

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月13日(13.07.2023)



(10) 国際公開番号

WO 2023/132151 A1

(51) 国際特許分類:

H04N 25/10 (2023.01) H04N 25/77 (2023.01)
H04N 25/70 (2023.01) H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2022/043667

(22) 国際出願日: 2022年11月28日(28.11.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-001397 2022年1月7日(07.01.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

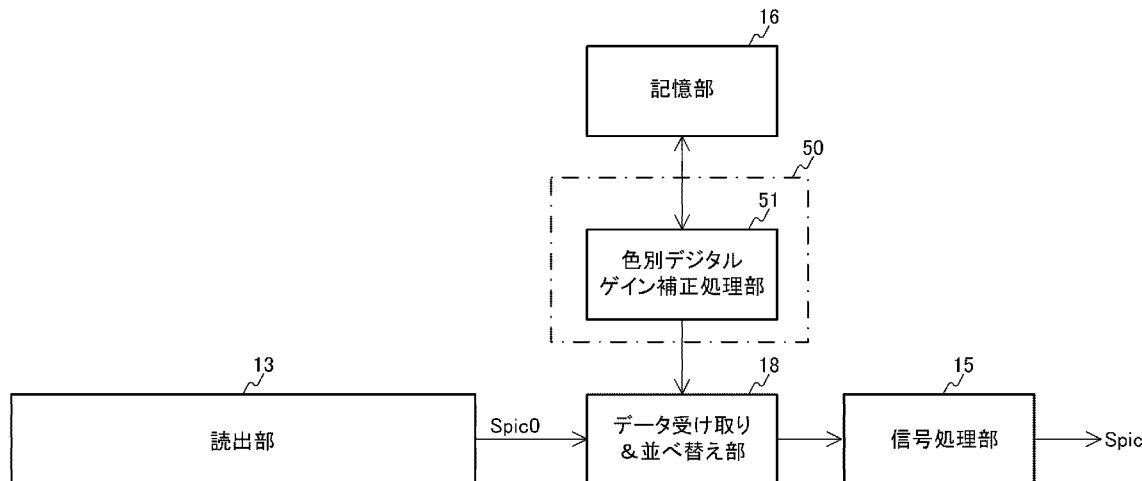
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 牧平 俊久 (MAKIHIRA, Toshihisa); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 田中 秀樹(TANAKA, Hideki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: IMAGE CAPTURING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像素子および電子機器



- 13 Read unit
- 15 Signal processing unit
- 16 Storage unit
- 18 Data acceptance & rearrangement unit
- 51 Color-specific digital gain correction processing unit

(57) Abstract: An image capturing element according to the present invention is provided with: a first pixel block which has a plurality of pixels mutually including color filters of the same first color; and a second pixel block which has a plurality of pixels including color filters of a second color different from that of the first pixel block, and which has a different number of pixels than the number of pixels in the first pixel block. The first pixel block and the second pixel block are configured so as to share, among the plurality of pixels, pixel constituent elements downstream of a load voltage conversion unit. Also included is a signal quantity adjustment unit which adjusts the output signal quantities output by

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the pixels in the first pixel block and the second pixel block. The signal quantity adjustment unit adjusts output signal quantities such that the output signal quantity of the first color matches the output signal quantity of the second color.

(57) 要約: 本技術の撮像素子は、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が第1の画素ブロックの画素数と異なる第2の画素ブロックと、を具備する。第1の画素ブロックおよび第2の画素ブロックは、電荷電圧変換部以降の画素構成素子を複数の画素間で共有する構成となっている。第1の画素ブロックおよび第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備する。信号量調整部は、第1の色についての出力信号量と、第2の色についての出力信号量とが一致するように出力信号量の調整を行う。

明 細 書

発明の名称：撮像素子および電子機器

技術分野

[0001] 本技術は、撮像素子に関する。詳しくは、像面位相差を得る画素構造を有する撮像素子、および、当該撮像素子を有する電子機器に関する。

背景技術

[0002] デジタルスチルカメラに代表される、撮像機能を備えた電子機器では、ピントを被写体に自動的に合わせるオートフォーカス方式が採用されている。このオートフォーカス方式の一つとして位相差方式があり、当該位相差方式の一つとして像面位相差方式がある（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2016／098640号

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術には、撮像画像を構成する画素信号を得るための通常画素と、像面位相差を得るための位相差検出画素とを備えた撮像素子が開示されている。撮像素子では、撮像画像の画質が高いことが望まれることから、今後、画素数の増加に伴って画素サイズの微細化が想定される。上述の従来技術では、位相差検出画素は、互いに隣接する2つの画素からなり、当該2つの画素に対してオンチップレンズが1つ形成された画素構造を基本の構成としている。したがって、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素の基本の画素構造を維持しつつ、高精度のオートフォーカスの実現に寄与できる撮像素子が望まれる。

[0005] 本技術は、このような状況に鑑みて生み出されたものであり、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素の基本の構成を維持しつつ、高精度のオートフォーカスの実現に寄与できる

ようにすることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、それぞれが、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、それぞれが、互いに同じで、かつ、上記第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が上記第1の画素ブロックの画素数と異なる第2の画素ブロックとを具備し、上記第1の画素ブロックおよび上記第2の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、上記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、上記第1の画素ブロックおよび上記第2の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、上記信号量調整部は、上記第1の画素ブロックから出力される上記第1の色についての出力信号量と、上記第2の画素ブロックから出力される上記第2の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子である。これにより、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素の基本の構成を維持しつつ、高精度のオートフォーカスの実現に寄与することができ、さらには、各色の画素ブロックの画素数が異なっても、露光時間に比例した出力信号量を得ることができるという作用をもたらす。ここで、「一致する」とは、厳密に一致する場合の他、実質的に一致する場合も含む意味であり、設計上あるいは製造上生ずる種々のばらつきの存在は許容される。

[0007] また、この第1の側面において、上記信号量調整部について、上記第1の画素ブロックから出力される上記第1の色についての出力信号量、および、上記第2の画素ブロックから出力される上記第2の色についての出力信号量に対して、信号量が小さい方の色の出力信号量が、信号量が大きい方の色の

出力信号量に一致するように出力信号量の調整を行うようにしてもよい。これにより、各色の出力信号量の差分を吸収することができるという作用をもたらす。

[0008] また、この第1の側面において、上記信号量調整部について、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素の信号を個々に読み出す第1の駆動モード、および、上記画素ペアの上記2つの画素の信号を加算して読み出す第2の駆動モードのとき、上記第1の画素ブロックから出力される上記第1の色についての出力信号量に対して、上記第2の画素ブロックから出力される上記第2の色についての出力信号量を一致させるように出力信号量の調整を行うようにしてもよい。これにより、第1の駆動モードおよび第2の駆動モードにおいて、各色の出力信号量の差分を吸収することができるという作用をもたらす。

[0009] また、この第1の側面において、上記信号量調整部について、上記第1の画素ブロックおよび上記第2の画素ブロックの全画素の信号を加算して読み出す第3の駆動モードのとき、上記第2の画素ブロックから出力される上記第2の色についての出力信号量に対して、上記第1の画素ブロックから出力される上記第1の色についての出力信号量を一致させるように出力信号量の調整を行うようにしてもよい。これにより、第3の駆動モードにおいて、各色の出力信号量の差分を吸収することができるという作用をもたらす。

[0010] また、この第1の側面において、上記信号量調整部について、上記出力信号量の調整を、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換した後のデジタル領域におけるデジタルゲイン調整によって行うようにしてもよい。これにより、各色の出力信号量の差分を吸収する処理をデジタル領域において行うことができるという作用をもたらす。

[0011] また、この第1の側面において、上記信号量調整部について、色別の出力信号量の調整を、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換する前のアナログ

領域におけるアナログゲイン調整によって行うようにしてもよい。これにより、各色の出力信号量の差分を吸収する処理をアナログ領域において行うことができるという作用をもたらす。

[0012] また、この第1の側面において、アナログ信号をデジタル信号に変換するアナログーデジタル変換部が、時間経過に応じて所定の傾きでレベルが変化するランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシングルスロープ型のアナログーデジタル変換部であり、上記信号量調整部について、上記ランプ波の参照信号の傾きを変えることによってアナログゲイン調整を行うようにしてもよい。これにより、ランプ波の参照信号の傾きを変えることによって各色の出力信号量の差分を吸収する処理を行うことができるという作用をもたらす。

[0013] また、この第1の側面において、上記2つの画素について第1の方向に並設され、上記第1の画素ブロックおよび上記第2の画素ブロックのそれぞれにおいて、上記第1の方向と交差する第2の方向に並ぶ2つの上記画素ペアについて、上記第1の方向においてずれて配置するようにしてもよい。これにより、画素アレイ部における画素配置を密にすることができるという作用をもたらす。

[0014] また、本技術の第2の側面は、それぞれが、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、それぞれが、互いに同じで、かつ、上記第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が上記第1の画素ブロックの画素数と異なる第2の画素ブロックと、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換するアナログーデジタル変換部とを具備し、上記第1の画素ブロックおよび上記第2の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、上記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、上記第1の画素ブロックおよび上記第2の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構

成素子を複数の画素間で共有する画素共有の構成となっており、上記アナログーデジタル変換部は、参照信号生成部から与えられるランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシングルスロープ型のアナログーデジタル変換部であり、上記参照信号生成部として、それぞれ、傾きが異なるランプ波の参照信号を生成する複数の参照信号生成部が設けられており、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、上記信号量調整部は、上記複数の参照信号生成部のそれぞれで生成される上記傾きが異なるランプ波の参照信号に基づいて、上記第1の画素ブロックから出力される上記第1の色についての出力信号量と、上記第2の画素ブロックから出力される上記第2の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子である。これにより、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素の基本の構成を維持しつつ、高精度のオートフォーカスの実現に寄与することができ、さらには、各色の画素ブロックの画素数が異なっても、露光時間に比例した出力信号量を得ることができるという作用をもたらす。

[0015] また、この第2の側面において、上記複数の参照信号生成部について、上記第1の画素ブロックから出力される上記第1の色についての出力信号量を調整するための参照信号生成部、および、上記第2の画素ブロックから出力される上記第2の色についての出力信号量を調整するための参照信号生成部であるようにしてもよい。これにより、各画素ブロックから出力される各色の出力信号量の差分を吸収する処理を、2つの参照信号生成部で生成されるランプ波の参照信号の傾きを調整することによって行うことができるという作用をもたらす。

[0016] また、本技術の第3の側面は、それぞれが、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、それぞれが、互いに同じで、かつ、上記第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が上記第1の画素ブロックの画素数と

異なる第2の画素ブロックとを具備し、上記第1の画素ブロックおよび上記第2の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、上記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、上記第1の画素ブロックおよび上記第2の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、上記第1の画素ブロックおよび上記第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、上記信号量調整部は、上記第1の画素ブロックから出力される上記第1の色についての出力信号量と、上記第2の画素ブロックから出力される上記第2の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子を有する電子機器である。これにより、撮像素子において、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素の基本の構成を維持しつつ、高精度のオートフォーカスの実現に寄与することができ、さらには、各色の画素ブロックの画素数が異なっても、露光時間に比例した出力信号量を得ることができるという作用をもたらす。

図面の簡単な説明

[0017] [図1]本技術の第1の実施の形態における撮像素子の一構成例を示すブロック図である。

[図2]第1の実施の形態における撮像素子の画素アレイ部における画素配置の一例を示す平面図である。

[図3]第1の実施の形態における撮像素子の画素アレイ部の概略断面構造の一例を示す断面図である。

[図4]図2に示した緑色（G r）の画素ブロックの回路構成の一例を示す回路図である。

[図5]図2に示した赤色（R）の画素ブロックの回路構成の一例を示す回路図である。

[図6]第1の実施の形態における撮像素子の読出部の構成の一例を示すブロッ

ク図である。

[図7]第1の実施の形態における撮像素子から出力される画像信号S p i cの構造の一例を示す図である。

[図8]平置型の半導体チップ構造および積層型の半導体チップ構造を模式的に示す斜視図である。

[図9]第1の実施の形態における撮像素子の信号量調整部の一構成例を示すブロック図である。

[図10]全画素読出しモードおよびA Fモードの場合における出力信号量の調整について説明する図である。

[図11]全画素加算モードの場合における出力信号量の調整について説明する図である。

[図12]本技術の第2の実施の形態におけるアナログーデジタル変換部の一構成例を示す回路図である。

[図13]高ゲイン時の参照信号R A M Pの波形、低ゲインの参照信号R A M Pの波形、信号線V S Lの波形、および、カウンタのクロックのタイミング関係を示す波形図である。

[図14]本技術を適用した電子機器の一例である撮像装置の一構成例を示すブロック図である。

[図15]本技術の実施の形態が適用される分野の例を示す図である。

[図16]車両制御システムの概略的な構成例を示すブロック図である。

[図17]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（色別の出力信号量の差分を吸収する制御：デジタルゲイン補正処理で行う例）

2. 第2の実施の形態（色別の出力信号量の差分を吸収する制御：アナログゲイン補正処理で行う例）

3. 変形例
4. 電子機器への適用例
5. 本技術の実施の形態の適用例
6. 移動体への応用例
7. 本技術がとることができる構成

[0019] <1. 第1の実施の形態>

本技術の撮像素子としては、例えば、X-Yアドレス方式の撮像素子の一種であるCMOS (Complementary Metal Oxide Semiconductor) イメージセンサを例示することができる。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製された撮像素子である。

[0020] [撮像素子の一構成例]

図1は、本技術の第1の実施の形態における撮像素子の一構成例を示すブロック図である。この撮像素子1は、画素アレイ部11、駆動部12、読出部13、参照信号生成部14、信号処理部15、記憶部（データ格納部）16、および、撮像制御部17を備えた構成となっている。

[0021] 画素アレイ部11は、光電変換部（光電変換素子）を含む画素（画素回路）20が行方向および列方向に、即ち、行列状に2次元配置された構成となっている。ここで、行方向とは、画素行の画素20の配列方向を言い、列方向とは、画素列の画素20の配列方向を言う。画素20は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。画素20は、入射光の受光量に応じた画素電圧 V_{pix} を含む信号SIGを生成する。

[0022] 駆動部12は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素20の選択に際して、撮像制御部17から供給されるタイミング制御信号に基づいて、画素行の走査や画素行のアドレスを制御する駆動を行う。この駆動部12による駆動の下に、画素アレイ部11の各画素20から、画素電圧 V_{pix} を含む信号SIGが出力される。

[0023] 読出部13は、例えば、後述するシングルスロープ型のアナログーデジタル変換部を備えており、撮像制御部17による制御の下に、画素アレイ部1

1の各画素20から信号線VSLを介して読み出される、画素電圧Vpixを含む信号SIGに対して、アナログーデジタル変換（AD変換）を行う。読出部13は、アナログーデジタル変換後の信号を画像信号Spic0として出力する。

[0024] 参照信号生成部14は、読出部13のシングルスロープ型のアナログーデジタル変換部において、アナログーデジタル変換の際の基準信号として用いられる参照信号RAMPを生成する。この参照信号RAMPは、時間経過に応じて所定の傾きでレベル（電圧）が変化する（例えば、単調減少する）、所謂、ランプ波の信号である。

[0025] 信号処理部15は、撮像制御部17による制御の下に、読出部13から供給される画像信号Spic0に対して所定の信号処理を行うことにより、画像信号Spicとして出力する。信号処理部15は、画像データ生成部151と、位相差データ生成部152とを有する構成となっている。

[0026] 信号処理部15において、画像データ生成部151は、画像信号Spic0に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDPを生成するように構成されている。位相差データ生成部152は、画像信号Spic0に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データDFを生成するように構成されている。

[0027] 信号処理部15は、画像データ生成部151によって生成された画像データDP、および、位相差データ生成部152によって生成された位相差データDFを含む画像信号Spicを出力する。

[0028] 記憶部（データ格納部）16は、例えば、信号処理部15での信号処理に当たって、その処理に必要なデータを一時的に記憶（格納）する。

[0029] 撮像制御部17は、外部から与えられる制御信号Sctlに基づいて、各種のタイミング信号、クロック信号、および、制御信号等を生成し、これら生成した信号を基に、駆動部12、読出部13、参照信号生成部14、および、信号処理部15等の駆動制御を行うことにより、撮像素子1の動作を制御する。撮像制御部17は、制御信号Sctlに基づいて、撮像素子1の撮像動作を

制御する。

[0030] [画素の配置例]

図2は、画素アレイ部11における画素20の配置の一例を示す平面図である。図2に示すように、画素アレイ部11は、複数の画素ブロック100と、複数のレンズ101とを有している。

[0031] 複数の画素ブロック100は、画素ブロック100R、画素ブロック100Gr、画素ブロック100Gb、および、画素ブロック100Bを含んでいる。画素アレイ部11では、複数の画素20は、4つの画素ブロック100（画素ブロック100R、100Gr、100Gb、100B）を単位（ユニットU）として配置されている。

[0032] 画素ブロック100Rは、赤色（R）のカラーフィルタ115（図3参照）を含む8個の画素20Rを有する。画素ブロック100Grは、緑色（G）のカラーフィルタ115を含む10個の画素20Grを有する。画素ブロック100Gbは、緑色（G）のカラーフィルタ115を含む10個の画素20Gbを有する。画素ブロック100Bは、青色（B）のカラーフィルタ115を含む8個の画素20Bを有する。図2では、カラーフィルタの色の違いを、網掛けを用いて表現している。

[0033] 画素ブロック100Rにおける8個の画素20Rの配置パターン、および、画素ブロック100Bにおける8個の画素20Bの配置パターンは、互いに同じである。画素ブロック100Grにおける10個の画素20Grの配置パターン、および、画素ブロック100Gbにおける10個の画素20Gbの配置パターンは、互いに同じである。ユニットUにおいて、画素ブロック100Grは左上に配置され、画素ブロック100Rは右上に配置され、画素ブロック100Bは左下に配置され、画素ブロック100Gbは右下に配置される。

[0034] 上述の画素ブロック100R、画素ブロック100Gr、画素ブロック100Gb、および、画素ブロック100Bの配列は、所謂、RGBベイヤー配列である。すなわち、画素ブロック100R、画素ブロック100Gr、

画素ブロック１００Ｇｂ、および、画素ブロック１００Ｂは、画素ブロック１００を単位として、ＲＧＢベイヤー配列による配列となっている。

[0035] なお、赤色（Ｒ）および青色（Ｂ）は、特許請求の範囲に記載の第１の色の一例であり、緑色（Ｇｒ，Ｇｂ）は、特許請求の範囲に記載の第２の色の一例である。また、画素ブロック１００Ｒおよび画素ブロック１００Ｂは、特許請求の範囲に記載の第１の画素ブロックの一例であり、画素ブロック１００Ｇｒおよび画素ブロック１００Ｇｂは、特許請求の範囲に記載の第２の画素ブロックの一例である。

[0036] [画素アレイ部の断面構造例]

図３は、画素アレイ部１１の概略断面構造の一例を示す断面図である。図３に示すように、画素アレイ部１１は、複数のレンズ１０１の他、半導体基板１１１、半導体領域１１２、絶縁層１１３、多層配線層１１４、カラーフィルタ１１５、および、遮光膜１１６を備えている。

[0037] 半導体基板１１１は、撮像素子１が形成される支持基板であり、例えば、Ｐ型の半導体基板である。半導体領域１１２は、半導体基板１１１の基板内における、複数の画素２０のそれぞれに対応する位置に設けられた半導体領域であり、Ｎ型の不純物がドーピングされることにより光電変換部（例えば、フォトダイオード）が形成される。絶縁層１１３は、半導体基板１１１の基板内における、ＸＹ平面において並設された複数の画素２０の境界に設けられ、この例では、酸化膜などを用いて構成されるＤＴＩ（Deep Trench Isolation）である。

[0038] 多層配線層１１４は、画素アレイ部１１の光入射側（レンズ１０１側）とは反対側の面における半導体基板１１１の上に設けられ、複数の配線層および層間絶縁膜を含む。多層配線層１１４における配線は、例えば、半導体基板１１１の表面に設けられた図示しないトランジスタと、駆動部１２および読出部１３とを接続するように構成されている。

[0039] カラーフィルタ１１５は、画素アレイ部１１の光入射側における半導体基板１１１の上に設けられる。ここで、ＸＹ平面において、第１の方向をＸ方

向とし、第2の方向をY方向とすると、遮光膜116は、画素アレイ部11における光入射側において、X方向に並設された2つの画素20を囲むように設けられる。以下、X方向に並設された2つの画素20を画素ペア90とも呼ぶこととする。

[0040] 複数のレンズ101は、所謂、オンチップレンズであり、画素アレイ部11の光入射側におけるカラーフィルタ115の上に設けられている。複数のレンズ101は、X方向に並設された2つの画素20（画素ペア90）の上部に設けられている。画素ブロック100Rの8個の画素20の上部には4つのレンズ101が設けられている。画素ブロック100Grの10個の画素20の上部には5つのレンズ101が設けられている。画素ブロック100Gbの10個の画素20の上部には5つのレンズ101が設けられている。画素ブロック100Bの8個の画素20の上部には4つのレンズ101が設けられている。

[0041] 複数のレンズ101は、X方向およびY方向において並設されている。Y方向に並ぶレンズ101は、X方向において、1つの画素20の分だけずれて配置されている。換言すれば、Y方向に並ぶ画素ペア90は、X方向において、1つの画素20の分だけずれて配置されている。

[0042] この構成により、1つのレンズ101に対応する画素ペア90の2つの画素20においては、互いに像がずれる。撮像素子1は、複数の画素ペア90により検出された、所謂、像面位相差に基づいて位相差データDFを生成する。すなわち、1つのレンズ101に対応する画素ペア90の2つの画素20は、像面位相差に基づいて位相差データDFを生成するための位相差検出画素である。デジタルスチルカメラなどの撮像機能を備えた電子機器では、位相差データDFに基づいてデフォーカス量を決定し、当該デフォーカス量に基づいて、撮影レンズの位置を移動させる。このようにして、撮像機能を備えた電子機器では、オートフォーカスを実現することができる。

[0043] [画素ブロックの回路構成例]

次に、画素ブロック100の回路構成例について、10個の画素20Gr

を有する緑色（G_r）の画素ブロック100G_r、および、8個の画素20Rを有する赤色（R）の画素ブロック100Rを例に挙げて説明する。図4は、緑色（G_r）の画素ブロック100G_rの回路構成の一例を示す回路図である。図5は、赤色（R）の画素ブロック100Rの回路構成の一例を示す回路図である。

[0044] 画素アレイ部11は、複数の制御線TRGL、複数の制御線RSTL、複数の制御線SELL、および、複数の信号線VSLを有している。

[0045] 制御線TRGLは、画素アレイ部11の画素行ごとに、行方向に沿って配線されており、一端が駆動部12の対応する出力端に接続されている。この制御線TRGLには、駆動部12から制御信号が適宜供給される。制御線RSTLは、画素アレイ部11の画素行ごとに、行方向に沿って配線されており、一端が駆動部12の対応する出力端に接続されている。この制御線RSTLには、駆動部12から制御信号が適宜供給される。

[0046] 制御線SELLは、画素アレイ部11の画素行ごとに、行方向に沿って配線されており、一端が駆動部12の対応する出力端に接続されている。この制御線SELLには、駆動部12から制御信号が適宜供給される。信号線VSLは、画素アレイ部11の画素列ごとに、列方向に沿って配線されており、一端が読出部13に接続される。この信号線VSLは、画素20から出力される信号SIGを読出部13に伝送する。

[0047] 図4に示す緑色（G_r）の画素ブロック100G_rは、10個の光電変換部21、および、10個の転送トランジスタ22を有している。画素ブロック100G_rは、さらに、電荷電圧変換部23、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26を1個ずつ有している。

[0048] ここで、転送トランジスタ22、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26としては、例えば、N型MOS（Metal Oxide Semiconductor）電界効果トランジスタを用いることができる。ただし、ここで例示した転送トランジスタ22、リセットトランジスタ2

4、増幅トランジスタ25、および、選択トランジスタ26の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0049] 10個の光電変換部21および10個の転送トランジスタ22は、画素ブロック100Grに含まれる10個の画素20Grにそれぞれ対応している。そして、画素ブロック100Grは、電荷電圧変換部23、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26を、10個の画素20Gr間で共有する、所謂、画素共有の画素回路の構成となっている。

[0050] 光電変換部21は、PN接合のフォトダイオード(PD: Photo Diode)である。フォトダイオードは、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光量に応じた量の電荷を生成し、生成した電荷を内部に蓄積する。フォトダイオード21のカソード電極は、転送トランジスタ22のソース電極に接続されている。

[0051] 転送トランジスタ22のゲート電極は制御線TRGLに接続され、ソース電極は光電変換部21のカソード電極に接続され、ドレイン電極は電荷電圧変換部23に接続されている。10個の転送トランジスタ22のゲート電極は、10本の制御線TRGL(この例では、制御線TRGL1~TRGL6, TRGL9~TRGL12)のうちの互いに異なる制御線TRGLに接続されている。

[0052] 電荷電圧変換部23は、転送トランジスタ22のドレイン領域と、リセットトランジスタ24のソース領域との間に形成される浮遊拡散(FD: Floating Diffusion)領域の容量 C_{FD} である。この電荷電圧変換部23は、光電変換部21で光電変換され、当該光電変換部21から転送トランジスタ22によって転送された電荷を電圧に変換する。

[0053] リセットトランジスタ24は、ゲート電極が制御線RSTLに接続され、ソース電極が電荷電圧変換部23に接続されている。リセットトランジスタ24のドレイン電極には、電源電圧 V_{DD} が供給されている。リセットトランジスタ24は、駆動部12から制御線RSTLを通して与えられる制御信号に

したがって、電荷電圧変換部 23 に蓄積された電荷をリセットする。

[0054] 増幅トランジスタ 25 は、ゲート電極が電荷電圧変換部 23 に接続され、ソース電極が選択トランジスタ 26 のドレイン電極に接続されている。増幅トランジスタ 25 のドレイン電極には、電源電圧 V_{DD} が供給されている。増幅トランジスタ 25 は、光電変換部 21 における光電変換によって得られる電荷を読み出す回路、即ち、ソースフォロワ回路の入力部となる。つまり、増幅トランジスタ 25 は、ソース電極が選択トランジスタ 26 を介して信号線 V_{SL} に接続されることにより、信号線 V_{SL} の一端に接続されている、後述する定電流源 I（図 6 参照）とソースフォロワ回路を構成する。

[0055] 選択トランジスタ 26 は、ゲート電極が制御線 SEL に接続され、ドレイン電極が増幅トランジスタ 25 のソース電極に接続され、ソース電極が信号線 V_{SL} に接続されている。そして、選択トランジスタ 26 は、駆動部 12 による選択走査の下に、画素アレイ部 11 におけるいずれかの画素 20 を選択する。

[0056] 上述した回路構成において、画素 20 では、転送トランジスタ 22 およびリセットトランジスタ 24 がオン状態になることにより、光電変換部 21 に蓄積されていた電荷が排出される。そして、転送トランジスタ 22 およびリセットトランジスタ 24 がオフ状態になることにより、露光期間が開始され、光電変換部 21 において光電変換が行われ、受光量に応じた量の電荷が蓄積される。

[0057] 露光期間が終了した後、画素 20 は、リセット電圧 V_{reset} および画素電圧 V_{pix} を含む信号 SIG を、信号線 V_{SL} に出力する。具体的には、まず、選択トランジスタ 26 がオン状態になることにより、画素 20 が信号線 V_{SL} と電氣的に接続される。これにより、増幅トランジスタ 25 は、読出部 13 の入力部において信号線 V_{SL} の一端に接続された後述する定電流源 I（図 6 参照）に電氣的に接続され、ソースフォロワとして動作する。

[0058] そして、画素 20 は、後述するように、リセットトランジスタ 24 がオン状態になることにより、電荷電圧変換部 23 の電圧がリセットされた後の P

相（Pre-charge相）期間において、そのときの電荷電圧変換部23の電圧をリセット電圧 V_{reset} として出力する。また、画素20は、転送トランジスタ22がオン状態になることにより、光電変換部21から電荷電圧変換部23へ電荷が転送された後のD相（Data相）期間において、そのときの電荷電圧変換部23の電圧を画素電圧 V_{pix} として出力する。画素電圧 V_{pix} とリセット電圧 V_{reset} との差電圧は、露光期間における画素20の受光量に対応する。このようにして、画素20は、これらのリセット電圧 V_{reset} および画素電圧 V_{pix} を含む信号SIGを、信号線VSLに出力する。

[0059] 図5に示す赤色（R）の画素ブロック100Rは、8個の光電変換部21、および、8個の転送トランジスタ22を有している。画素ブロック100Rは、さらに、電荷電圧変換部23、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26を1個ずつ有している。

[0060] ここで、転送トランジスタ22、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26としては、例えば、N型MOS型電界効果トランジスタを用いることができる。ただし、ここで例示した転送トランジスタ22、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0061] 8個の光電変換部21および8個の転送トランジスタ22は、画素ブロック100Rに含まれる8個の画素20Rにそれぞれ対応している。そして、画素ブロック100Rは、電荷電圧変換部23、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26を、10個の画素20R間で共有する画素回路の構成となっている。8個の転送トランジスタ22のゲート電極は、8本の制御線TRGL（この例では、制御線TRGL1, TRGL2, TRGL5～TRGL10）のうちの互いに異なる制御線TRGLに接続されている。

[0062] また、図示を省略するが、画素ブロック100Gbは、図4に図示した画素ブロック100Grと同様に、10個の光電変換部21、および、10個

の転送トランジスタ 22 を有している。10 個の光電変換部 21、および、10 個の転送トランジスタ 22 は、画素ブロック 100Gb に含まれる 10 個の画素 20Gb にそれぞれ対応している。転送トランジスタ 22 のゲート電極は、10 本の制御線 TRGL のうちの互いに異なる制御線 TRGL に接続されている。

[0063] 画素ブロック 100Gb は、さらに、電荷電圧変換部 23、リセットトランジスタ 24、増幅トランジスタ 25、および、選択トランジスタ 26 を 1 個ずつ有している。そして、画素ブロック 100Gb は、電荷電圧変換部 23、リセットトランジスタ 24、増幅トランジスタ 25、および、選択トランジスタ 26 を、10 個の画素 20Gb 間で共有する画素回路の構成となっている。

[0064] また、画素ブロック 100B は、図 5 に図示した画素ブロック 100R と同様に、8 個の光電変換部 21、および、8 個の転送トランジスタ 22 を有している。8 個の光電変換部 21、および、8 個の転送トランジスタ 22 は、画素ブロック 100B に含まれる 8 個の画素 20B にそれぞれ対応している。転送トランジスタ 22 のゲート電極は、8 本の制御線 TRGL のうちの互いに異なる制御線 TRGL に接続されている。

[0065] 画素ブロック 100B は、さらに、電荷電圧変換部 23、リセットトランジスタ 24、増幅トランジスタ 25、および、選択トランジスタ 26 を 1 個ずつ有している。そして、画素ブロック 100B は、電荷電圧変換部 23、リセットトランジスタ 24、増幅トランジスタ 25、および、選択トランジスタ 26 を、8 個の画素 20B 間で共有する画素回路の構成となっている。

[0066] [読出部の構成例]

続いて、読出部 13 の構成例について説明する。図 6 は、第 1 の実施の形態における撮像素子 1 の読出部 13 の構成の一例を示すブロック図である。なお、図 6 には、読出部 13 に加えて、参照信号生成部 14、信号処理部 15、および、撮像制御部 17 についても図示している。

[0067] 読出部 13 には、画素アレイ部 11 の各画素 20 から、複数の信号線 VS

Lを介して読み出される、画素電圧 V_{pix} を含む信号S I Gが入力される。なお、読出部13の入力部における複数の信号線V S Lのそれぞれには、定電流源Iが接続されている。定電流源Iは、その一端が、対応する信号線V S Lに接続され、他端が接地されており、対応する信号線V S Lに所定の電流を流す作用をなす。

[0068] 読出部13は、複数のアナログーデジタル変換部31および転送制御部32を有している。複数のアナログーデジタル変換部31は、それぞれ、複数の信号線V S Lに対応して設けられており、対応する信号線V S Lにおける信号S I Gに対してアナログーデジタル変換を行う。以下に、ある1つの信号線V S Lに対応するアナログーデジタル変換部31について説明する。

[0069] アナログーデジタル変換部31は、容量素子311、312、比較回路313、カウンタ314、および、ラッチ回路315を有する構成となっている。

[0070] 容量素子311は、一端が信号線V S Lに接続され、他端が比較回路313の一方の入力端に接続されている。容量素子311には、画素アレイ部11の各画素20から信号線V S Lを通して画素電圧 V_{pix} を含む信号S I Gが供給される。

[0071] 容量素子312は、一端が参照信号RAMPを伝送する信号線33に接続され、他端が比較回路313の他方の入力端に接続されている。容量素子312には、参照信号生成部14から信号線33を通して参照信号RAMPが供給される。

[0072] 比較回路313は、画素アレイ部11の各画素20から信号線V S Lおよび容量素子311を介して供給される信号S I Gと、参照信号生成部13から信号線33および容量素子312を介して供給される参照信号RAMPとを比較し、その比較結果として信号 V_{cp} を出力する。

[0073] 比較回路313は、撮像制御部17から信号線34を通して供給される制御信号AZに基づいて、容量素子311、312の電圧を設定することによって動作点を設定する。そして、動作点を設定した後に、比較回路313は

、P相期間において、信号S I Gに含まれるリセット電圧 V_{reset} と、参照信号RAMPの電圧とを比較する比較動作を行う。また、比較回路313は、D相期間において、信号S I Gに含まれる画素電圧 V_{pix} と、参照信号RAMPの電圧とを比較する比較動作を行う。

[0074] カウンタ314は、比較回路313から供給された信号 V_{cp} に基づいて、撮像制御部17から供給されるクロック信号CLKのパルスをカウントするカウント動作を行う構成となっている。具体的には、カウンタ314は、P相期間において、比較回路313から出力される信号 V_{cp} が遷移するまでクロック信号CLKのパルスをカウントすることによりカウント値CNT Pを生成し、このカウント値CNT Pを、複数のビットを有するデジタルコードとして出力する。また、カウンタ314は、D相期間において、比較回路313から出力される信号 V_{cp} が遷移するまでクロック信号CLKのパルスをカウントすることによりカウント値CNT Dを生成し、このカウント値CNT Dを、複数のビットを有するデジタルコードとして出力する。

[0075] ラッチ回路315は、カウンタ314から供給されたデジタルコードを一時的に保持するとともに、転送制御部32からの指示に基づいて、そのデジタルコードをバス配線35に出力する。

[0076] 転送制御部32は、撮像制御部17から供給された制御信号CTLに基づいて、複数のアナログーデジタル変換部31のラッチ回路315が、デジタルコードをバス配線35に順次出力させるように制御する。読出部13は、このバス配線35を用いて、複数のアナログーデジタル変換部31から出力される複数のデジタルコードを、画像信号 S_{pic0} として、信号処理部15に順次転送するようになっている。

[0077] 信号処理部15は、撮像制御部17による制御の下に、読出部13から供給される画像信号 S_{pic0} に対して所定の信号処理を行うことにより、画像データDPおよび位相差データDFを含む画像信号 S_{pic} として出力する。具体的には、信号処理部15は、図7に示すように、複数行分の画素20に係る位相差データDFを交互に配置することによって画像信号 S_{pic} を生成して出

力する。

[0078] [半導体チップ構造]

上述の構成の撮像素子 1 の半導体チップ構造としては、所謂、平置型の半導体チップ構造と、所謂、積層型の半導体チップ構造とを例示することができる。また、画素構造については、配線層が形成される側の基板面を表面（正面）とすると、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることもできるし、表面側から照射される光を取り込む表面照射型の画素構造とすることもできる。

[0079] 以下に、平置型の半導体チップ構造および積層型の半導体チップ構造の概略について説明する。

[0080] (平置型の半導体チップ構造)

図 8 における a は、撮像素子 1 の平置型のチップ構造を模式的に示す斜視図である。平置型の半導体チップ構造は、画素 20 が行列状に配置されてなる画素アレイ部 11 と同じ半導体基板（半導体チップ）41 上に、画素アレイ部 11 の周辺回路部の各構成要素を形成した構造となっている。具体的には、画素アレイ部 11 と同じ半導体基板 41 上に、駆動部 12、読出部 13、参照信号生成部 14、信号処理部 15、および、撮像制御部 17 等が形成されている。半導体基板 41 の例えば左右両端部には、外部接続用や電源用のパッド 42 が設けられている。

[0081] (積層型の半導体チップ構造)

図 8 における b は、撮像素子 1 の積層型の半導体チップ構造を模式的に示す分解斜視図である。積層型の半導体チップ構造は、1 層目の半導体基板 43 および 2 層目の半導体基板 44 の少なくとも 2 つの半導体基板が積層された構造となっている。

[0082] この積層型の半導体チップ構造において、1 層目の半導体基板 43 は、画素 20 が行列状に 2 次元配置された画素アレイ部 11 が形成された画素チップである。1 層目の半導体基板 43 の例えば左右両端部には、外部接続用や電源用のパッド 42 が設けられている。

[0083] 2層目の半導体基板44は、画素アレイ部11の周辺回路部、即ち、駆動部12、読出部13、参照信号生成部14、信号処理部15、および、撮像制御部17等が形成された回路チップである。なお、駆動部12、読出部13、参照信号生成部14、信号処理部15、および、撮像制御部17等の配置については、一例であって、この配置例に限られるものではない。

[0084] 1層目の半導体基板43上の画素アレイ部11と、2層目の半導体基板44上の周辺回路部とは、Cu-Cu接合を含む金属-金属接合、シリコン貫通電極(Through Silicon Via:TSV)、マイクロバンプなどから成る接合部45,46を介して電氣的に接続される。

[0085] 上述した積層型の半導体チップ構造によれば、1層目の半導体基板43には画素アレイ部11の作製に適したプロセスを適用でき、2層目の半導体基板44には回路部分の作製に適したプロセスを適用できる。これにより、撮像素子1の製造に当たって、プロセスの最適化を図ることができる。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になるとともに、回路規模を拡大することもできる、というメリットがある。

[0086] [画素ブロックおよび画素ペアについて]

以上説明したように、第1の実施の形態における撮像素子1では、それぞれが、互いに同じ色のカラーフィルタを含む複数の画素20を有する画素ブロック100を複数設けている。画素ブロック100内の複数の画素20は、それぞれが2つの画素20を含む複数の画素ペア90に区分されている。そして、これらの複数の画素ペア90に対応する位置に複数のレンズ101をそれぞれ設けている。

[0087] 上述の構成により、第1の実施の形態における撮像素子1では、画素アレイ部11の全面に亘って、高い解像度で位相差データDFを生成することができる。したがって、このような撮像素子1が搭載されたデジタルスチルカメラなどの撮像機能を備えた電子機器では、精度が高いオートフォーカスを実現することができる。その結果、撮像素子1では、画質を高めることができるため、より見やすい撮像画像を得ることができる。

[0088] また、撮像素子1では、ある画素ブロック100における画素数を、他のある画素ブロック100における画素数よりも多く設定している。具体的には、第1の実施の形態の例では、画素ブロック100Grにおける画素20Grの数、および、画素ブロック100Gbにおける画素20Gbの数を、画素ブロック100Rにおける画素20Rの数、および、画素ブロック100Bにおける画素20Bの数よりも多く設定している。これにより、例えば、画素数が多い緑色の受光感度を高めることができるため、撮像画像の画質を高めることができ、より見やすい撮像画像を得ることができる。

[0089] また、第1の実施の形態における撮像素子1によれば、撮像画像の高画質化に伴って画素サイズの微細化が図られたとしても、位相差検出画素、即ち、画素ペア90の2つの画素20の基本の構成を維持しつつ、デジタルスチルカメラなどの撮像機能を備えた電子機器における高精度のオートフォーカスの実現に寄与することができる。

[0090] [撮像素子の駆動モードについて]

第1の実施の形態における撮像素子1は、電荷電圧変換部23以降の画素構成素子、即ち、リセットトランジスタ24、増幅トランジスタ25、および、選択トランジスタ26を、複数の画素20間で共有する画素回路の構成となっている（図4、図5参照）。この画素共有の画素回路を有する撮像素子1では、駆動モードとして、例えば、第1の駆動モード、第2の駆動モード、および、第3の駆動モードの3つの駆動モードを設定可能な構成となっている。

[0091] 第1のモードは、電荷電圧変換部23以降の画素構成素子を共有する複数の画素20間で加算（画素加算）を行わずに、個々に読み出す全画素読出しモードである。第2の駆動モードは、画素ペア90の対となる2つの画素20間で加算を行って位相差データDFを生成するAF（オートフォーカス）モードである。第3の駆動モードは、電荷電圧変換部23以降の画素構成素子を共有する全画素20間で加算（画素加算）を行って読み出す全画素加算モードである。

[0092] [色別の出力信号量の差分について]

ところで、電荷電圧変換部23以降の画素構成素子を共有する構成の画素回路を有する撮像素子1では、図4や図5の場合のように、共有する画素数が異なると、電荷電圧変換部23に電氣的に繋がる転送トランジスタ22の数が異なることになる。その結果、電荷電圧変換部23ごとで、電荷電圧変換部23の変換効率や全画素加算モード時の取り扱い電荷量が異なることになるため、アナログーデジタル変換部31によるアナログーデジタル変換後の色別の出力信号量に差分が生じ、露光時間に比例した出力信号量を得ることができないことになる。

[0093] 電荷電圧変換部23の変換効率 η は、 $\eta = 1 / C$ で与えられる。ここで、 C は、浮遊拡散領域(FD領域)の容量 C_{FD} を含む電荷電圧変換部23の容量である。緑色(G_r , G_b)の画素ブロック100 G_r , 100 G_b の場合、赤色(R)の画素ブロック100 R および青色(B)の画素ブロック100 R よりも電荷電圧変換部23以降の画素構成素子を共有する画素数が多いために、電荷電圧変換部23に電氣的に繋がる転送トランジスタ22の数が多くなる。

[0094] 電荷電圧変換部23に電氣的に繋がる転送トランジスタ22の数が多くなると、電荷電圧変換部23の容量 C が大きくなるために、相対的に画素数が多い画素ブロック100 G_r / G_b の変換効率の方が、相対的に画素数が少ない画素ブロック100 R / B の変換効率よりも小さくなる。また、画素ブロック100 G_r / G_b と画素ブロック100 R / B とで、配線レイアウト(引き回し)が異なるために、その分だけ変換効率に差が生じる。さらに、加算を行う画素数が異なる駆動モードにおいて、電荷電圧変換部23で取り扱う電子数が色ごとで異なる。

[0095] [デジタルゲイン補正について]

第1の実施の形態における撮像素子1では、全画素読出しモード、AFモード、および、全画素加算モードの各駆動モードにおいて、露光時間に比例した出力信号量を得ることを目的として、色別の出力信号量の差分を吸収す

る制御を行う。より具体的には、第1の実施の形態では、色別の出力信号量の差分を吸収する制御を、アナログーデジタル変換部31によるアナログーデジタル変換後のデジタル領域において、デジタルゲイン補正処理によって行うようにする。以下に、色別の出力信号量の差分を吸収するためのデジタルゲイン補正処理の具体例について説明する。

[0096] 色別の出力信号量の差分を吸収するための補正処理、即ち、デジタルゲイン補正処理を行うに当たっては、色別の出力信号量を取得する必要がある。この色別の出力信号量の取得は、撮像素子1の出荷前の調整段階において、外部の計測装置（図示を省略）を用いて行われる。具体的には、駆動モードごとの画素加算数、および、電荷電圧変換部23の使用変換効率より、色別の出力信号量を取得する。このようにして予め取得された色別の出力信号量の情報は、図1に示す記憶部16に記憶されて出荷されることになる。

[0097] ここで、色別の出力信号量の差分について説明する。上述したように、相対的に画素数が多い画素ブロック100Gr/Gbの変換効率の方が、相対的に画素数が少ない画素ブロック100R/Bの変換効率よりも小さい。したがって、画素加算を行わずに、個々に読み出す全画素読出しモード、および、画素ペア90の対となる2つの画素20間で加算を行うAFモードの場合は、図10におけるaに示すように、R、B出力信号量の方がG（Gr，Gb）の出力信号量よりも多くなり、両者に出力信号量の差分が生じる。

[0098] 一方、全画素20間で加算を行う全画素加算モードの場合には、加算する画素数が相対的に多い画素ブロック100Gr/Gbの方が、全画素加算によって電荷電圧変換部23で取り扱う電子数が多くなる。したがって、図11におけるaに示すように、G（Gr，Gb）の出力信号量の方がR，Bの出力信号量よりも多くなり、両者に出力信号量の差分が生じる。

[0099] 図9は、第1の実施の形態における撮像素子1の信号量調整部50の一構成例を示すブロック図である。なお、図9には、信号量調整部50に加えて、読出部13、信号処理部15、および、記憶部16についても図示している。

[0100] 図1および図6では図示を省略しているが、通常、信号処理部15の前段には、データ受け取り&並べ替え部18が設けられている。データ受け取り&並べ替え部18は、信号処理部15から順に出力されるアナログーデジタル変換後の画素データを受け取り、当該画素データを、画素ブロック100R、画素ブロック100Gr、画素ブロック100Gb、および、画素ブロック100BのRGBベイヤ配列に対応した画素配列に並べ替える処理を行う。

[0101] 信号量調整部50は、色別デジタルゲイン補正処理部51を有しており、当該色別デジタルゲイン補正処理部51による補正処理の下に、出荷前段階において予め取得され、記憶部16に記憶されている色別の出力信号量の情報に基づいて、色別の出力信号量の差分を吸収するための補正処理を行う。具体的には、色別デジタルゲイン補正処理部51は、データ受け取り&並べ替え部18において、例えば、並べ替え処理後の所定の色の画素の信号量を、色別の出力信号量を一致させ得るゲインによって調整することにより、色別の出力信号量の差分を吸収するゲイン調整を行う。ここで、「一致する」とは、厳密に一致する場合の他、実質的に一致する場合も含む意味であり、設計上あるいは製造上生ずる種々のばらつきの存在は許容される。

[0102] 以下に、色別の出力信号量の差分を吸収するための色別デジタルゲイン補正処理について、より具体的に説明する。

[0103] (全画素読出しモード／AFモードの場合)

図10におけるaに示すように、画素ブロック100(100R, 100Gr, Gb, 100B)の各画素20の信号を個々に読み出す全画素読出しモード、および、画素ペア90の対となる2つの画素20の信号を加算して読み出すAFモードの場合、R, Bの出力信号量の方が、G(Gr, Gb)の出力信号量よりも多くなる。このように、色別の出力信号量に差分が生じるのは、先述したように、電荷電圧変換部23の変換効率に色別に違いが生じるからである。この出力信号量の差分の情報については、予め取得され、記憶部16に記憶されている。

[0104] この全画素読出しモード／A Fモードのケースでは、信号量調整部50の色別デジタルゲイン補正処理部51は、例えば、撮像素子1の立ち上げの初期段階で、記憶部16に記憶されている出力信号量の差分の情報に基づいて、図10におけるbに示すように、相対的に多い方のR、Bの出力信号量に対して、相対的に少ない方のG（ G_r 、 G_b ）の出力信号量を増加させて一致させるように、デジタルゲイン補正によって出力信号量の調整を行う。すなわち、このデジタルゲイン補正では、変換効率の差分をG（ G_r 、 G_b ）の出力信号量にゲイン倍する補正が行われる。

[0105] この色別デジタルゲイン補正処理による出力信号量の調整により、全画素読出しモードおよびA Fモードの場合における、R、Bの出力信号量とG（ G_r 、 G_b ）の出力信号量との差分を吸収し、両者を一致させることができる。その結果、画素ブロック100（100R、100 G_r 、 G_b 、100B）の各画素20について、露光時間に比例した出力信号量を得ることができるため、より見やすい撮影画像を得ることができる。

[0106] （全画素加算モードの場合）

図11におけるaに示すように、画素ブロック100（100R、100 G_r 、 G_b 、100B）の全画素20の信号を加算して読み出す全画素加算モードの場合には、G（ G_r 、 G_b ）の出力信号量の方が、R、Bの出力信号量よりも多くなる。このように、色別の出力信号量に差分が生じるのは、主に、全画素加算によって電荷電圧変換部23で取り扱う電子数が多くなるからである。この出力信号量の差分の情報については、予め取得され、記憶部16に記憶されている。

[0107] この全画素加算モードのケースでは、信号量調整部50の色別デジタルゲイン補正処理部51は、例えば、撮像素子1の立ち上げの初期段階で、記憶部16に記憶されている出力信号量の差分の情報に基づいて、図11におけるbに示すように、相対的に多い方のG（ G_r 、 G_b ）の出力信号量に対して、相対的に少ない方のR、Bの出力信号量の出力信号量を増加させて一致させるように、デジタルゲイン補正によって出力信号量の調整を行う。すな

わち、このデジタルゲイン補正では、変換効率×加算画素数の差分を R, B の出力信号量に所定のゲインをかける補正が行われる。

[0108] この色別デジタルゲイン補正処理による出力信号量の調整により、全画素加算モードの場合における、R, B の出力信号量と G (G_r , G_b) の出力信号量との差分を吸収し、両者を一致させることができる。その結果、画素ブロック 100 ($100R$, $100G_r$, G_b , $100B$) の各画素 20 について、露光時間に比例した出力信号量を得ることができるため、より見やすい撮影画像を得ることができる。

[0109] <2. 第2の実施の形態>

図 12 は、本技術の第2の実施の形態におけるアナログーデジタル変換部の一構成例を示す回路図である。第2の実施の形態は、色別の出力信号量の差分を吸収する制御をアナログゲイン補正で行う例である。なお、撮像素子 1 の全体構成については、上述の第1の実施の形態と同様であるため、詳細な説明は省略する。

[0110] 上述の第1の実施の形態では、画素ブロック 100 ($100R$, $100G_r$, G_b , $100B$) の各画素 20 の信号に対して、シングルスロープ型のアナログーデジタル変換部 31 において、アナログーデジタル変換の際の基準信号として用いられる参照信号 RAMP を生成する参照信号生成部 14 が、各色共通に 1 個設けられた構成となっている。すなわち、第1の実施の形態では、各色の画素信号に対して、参照信号 RAMP の傾きを共通とし、アナログーデジタル変換部 31 でアナログーデジタル変換後のデジタル領域で色別デジタルゲイン補正処理を行う構成となっている。

[0111] これに対して、第2の実施の形態では、複数の参照信号生成部 14、本例では、R/B用の参照信号生成部 14A および G_r/G_b 用の参照信号生成部 14B の 2 つの参照信号生成部を設けた構成となっている。R/B用の参照信号生成部 14A は、生成するランプ波の参照信号 RAMP の傾きで決まるアナログゲインによって、画素ブロック $100R$ および画素ブロック $100B$ から出力される R/B の各色についての出力信号量を調整するための参照信号

生成部である。G_r/G_b用の参照信号生成部14Bは、生成するランプ波の参照信号RAMPの傾きで決まるアナログゲインによって、画素ブロック100G_rおよび画素ブロック100G_bから出力されるG_r/G_bの各色についての出力信号量を調整するための参照信号生成部である。

[0112] 図12には、信号量調整部50および記憶部16の他に、R/B用のDC発生部19AおよびG_r/G_b用のDC発生部19Bも図示されている。R/B用のDC発生部19Aは、R/B用の参照信号生成部14Aから出力されるランプ波の参照信号RAMPに与えるDC（Direct Current：直流）電圧を発生する。G_r/G_b用のDC発生部19Bは、G_r/G_b用の参照信号生成部14Bから出力されるランプ波の参照信号RAMPに与えるDC電圧を発生する。

[0113] 信号量調整部50は、色別デジタルゲイン補正処理部51を有しており、当該色別デジタルゲイン補正処理部51による補正処理の下に、出荷前段階において予め取得され、記憶部16に記憶されている色別の出力信号量の情報に基づいて、色別の出力信号量の差分を吸収するための補正処理を行う。具体的には、色別デジタルゲイン補正処理部51は、R/B用の参照信号生成部14AおよびG_r/G_b用の参照信号生成部14Bのそれぞれで生成されるランプ波の参照信号RAMPの傾きで決まるアナログゲインを制御することにより、色別の出力信号量の差分を吸収するゲイン調整を行う。

[0114] 図13は、高ゲイン時の参照信号RAMPの波形（RAMP波形）、低ゲインの参照信号RAMPの波形、信号線VSLの波形（VSL波形）、および、カウンタ314のクロック（カウンタクロック）のタイミング関係を示す波形図である。図13の波形図において、低ゲイン時は、実線で示すように、RAMP波形の傾きが急峻になり（即ち、1LSBの電圧レベルが大きくなり）、高ゲイン時は、破線で示すように、RAMP波形の傾きが緩やかになる（即ち、1LSBの電圧レベルが小さくなる）。また、低ゲイン時は、カウンタ314のカウント数が相対的に小であり、高ゲイン時は、カウンタ314のカウント数が相対的に大であり、したがって、出力が増えている

(即ち、ゲインが掛かる) ことになる。

[0115] 信号量調整部 50 の色別デジタルゲイン補正処理部 51 によって行われる、色別の出力信号量の差分を吸収するための色別デジタルゲイン補正処理についての考え方は、基本的に、第 1 の実施の形態の場合と同じである。

[0116] (全画素読出しモード／AF モードの場合)

図 10 における a に示すように、全画素読出しモードおよび AF モードの場合、R、B の出力信号量の方が、G (G_r , G_b) の出力信号量より多くなる。このケースでは、信号量調整部 50 の色別デジタルゲイン補正処理部 51 は、例えば、撮像素子 1 の立ち上げの初期段階で、記憶部 16 に記憶されている出力信号量の差分の情報に基づいて、相対的に多い方の R、B の出力信号量に対して低ゲインを設定し、相対的に少ない方の G (G_r , G_b) の出力信号量に対して高ゲインを設定する。

[0117] ここで設定される低ゲインおよび高ゲインは、R/B 用の参照信号生成部 13A および G_r/G_b 用の参照信号生成部 13B のそれぞれで生成されるランプ波の参照信号 RAMP の傾きで決まるアナログゲインである。このゲイン調整により、図 10 における b に示すように、相対的に多い方の R、B の出力信号量に対して、相対的に少ない方の G (G_r , G_b) の出力信号量を増加させることで、両者を一致させることができる。その結果、画素ブロック 100 ($100R$, $100G_r$, G_b , $100B$) の各画素 20 について、露光時間に比例した出力信号量を得ることができるため、より見やすい撮影画像を得ることができる。

[0118] (全画素加算モードの場合)

図 11 における a に示すように、画素ブロック 100 ($100R$, $100G_r$, G_b , $100B$) の全画素 20 の信号を加算して読み出す全画素加算モードの場合には、G (G_r , G_b) の出力信号量の方が、R、B の出力信号量より多くなる。このケースでは、信号量調整部 50 の色別デジタルゲイン補正処理部 51 は、撮像素子 1 の立ち上げの初期段階で、記憶部 16 に記憶されている出力信号量の差分の情報に基づいて、相対的に多い方の G (

G_r, G_b) の出力信号量に対して低ゲインを設定し、相対的に少ない方の R, B の出力信号量に対して高ゲインを設定する。

[0119] このゲイン調整により、図 11 における b に示すように、相対的に多い方の G (G_r, G_b) の出力信号量に対して、相対的に少ない方の R, B の出力信号量を増加させることで、両者を一致させることができる。その結果、画素ブロック 100 (100R, 100G_r, G_b, 100B) の各画素 20 について、露光時間に比例した出力信号量を得ることができるため、より見やすい撮影画像を得ることができる。

[0120] <3. 変形例>

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は、実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0121] <4. 電子機器への適用例>

以上説明した本技術の実施の形態に係る撮像素子については、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの撮像機能を備えた種々の電子機器に適用することができる。

[0122] (撮像装置の例)

図 14 は、本技術を適用した電子機器の一例である撮像装置の一構成例を示すブロック図である。

[0123] 本適用例に係る撮像素子 200 は、被写体を撮像するための装置であり、レンズ群等を含む撮像光学系 201、撮像部 202、DSP (Digital Signal Processor) 回路 203、表示部 204、操作部 205、記憶部 206、および、電源部 207 を備える。これらは、バス配線 208 によって相互に接続

される。撮像素子200としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

[0124] 撮像部202は、光電変換によって画素データを生成するものである。この撮像部202として、先述した実施の形態に係る撮像素子が用いられる。撮像部202には、入射光側に配された撮像光学系201によって、被写体からの光が集光されてその受光面に導かれる。撮像部202は、光電変換によって生成した画素データを後段のDSP回路203に供給する。

[0125] DSP回路203は、撮像部202からの画素データに対して所定の信号処理を実行するものである。表示部204は、画素データを表示するものである。表示部204としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定される。操作部205は、ユーザの操作にしたがって操作信号を生成するものである。記憶部206は、画素データなどの様々なデータを記憶するものである。電源部207は、撮像部202、DSP回路203、および、表示部204などに電源を供給するものである。

[0126] <5. 本技術の実施の形態の適用例>

上述の本技術の実施の形態は、以下に例示するように様々な技術に適用することができる。

[0127] 図15は、本技術の実施の形態が適用される分野の例を示す図である。

[0128] 本技術の実施の形態における撮像装置は、例えば、デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置として用いられ得る。

[0129] また、この撮像装置は、自動停止等の安全運転や運転者の状態の認識等のために自動車の周囲または車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置として用いられ得る。

[0130] また、この撮像装置は、ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビ、冷蔵庫、エアコンディショナ等

の家電に供される装置として用いられ得る。

[0131] また、この撮像装置は、内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置として用いられ得る。

[0132] また、この撮像装置は、防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置として用いられ得る。

[0133] また、この撮像装置は、肌を撮影する肌測定器や、頭皮を撮影するマイクロスコプ等の、美容の用に供される装置として用いられ得る。

[0134] また、この撮像装置は、スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置として用いられ得る。

[0135] また、この撮像装置は、畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置として用いられ得る。

[0136] <6. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0137] 図16は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0138] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図16に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0139] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆

動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0140] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0141] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0142] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0143] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検

出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0144] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0145] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0146] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0147] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 16 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネ

ル 1 2 0 6 3 が例示されている。表示部 1 2 0 6 2 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0148] 図 1 7 は、撮像部 1 2 0 3 1 の設置位置の例を示す図である。

[0149] 図 1 7 では、撮像部 1 2 0 3 1 として、撮像部 1 2 1 0 1, 1 2 1 0 2, 1 2 1 0 3, 1 2 1 0 4, 1 2 1 0 5 を有する。

[0150] 撮像部 1 2 1 0 1, 1 2 1 0 2, 1 2 1 0 3, 1 2 1 0 4, 1 2 1 0 5 は、例えば、車両 1 2 1 0 0 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 1 2 1 0 1 及び車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として車両 1 2 1 0 0 の前方の画像を取得する。サイドミラーに備えられる撮像部 1 2 1 0 2, 1 2 1 0 3 は、主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0151] なお、図 1 7 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0152] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよ

いし、位相差検出用の画素を有する撮像素子であってもよい。

[0153] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0154] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0155] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像

画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0156] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、図 1 の撮像素子 1 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、露光時間に比例した出力信号量を得ることができ、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0157] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0158] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0159] <7. 本技術がとることができる構成>

なお、本技術は以下のような構成もとることができる。

(1) それぞれが、互いに同じ第 1 の色のカラーフィルタを含む複数の画素を有する第 1 の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第 1 の画素ブロックと異なる第 2 の色のカラーフィルタを含む複数の画素を有し、画素数が前記第 1 の画素ブロックの画素数と異なる第 2 の画素ブロックとを具備し、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、それぞれが、2 つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、

前記信号量調整部は、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信号量と、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子。

(2) 前記信号量調整部は、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信号量、および、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量に対して、信号量が小さい方の色の出力信号量が、信号量が大きい方の色の出力信号量に一致するように出力信号量の調整を行う前記 (1) に記載の撮像素子。

(3) 前記信号量調整部は、前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素の信号を個々に読み出す第 1 の駆動モード、および、前記画素ペアの前記 2 つの画素の信号を加算して読み出す第 2 の駆動モードのとき、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信

号量に対して、前記第2の画素ブロックから出力される前記第2の色についての出力信号量を一致させるように出力信号量の調整を行う

前記(2)に記載の撮像素子。

(4) 前記信号量調整部は、前記第1の画素ブロックおよび前記第2の画素ブロックの全画素の信号を加算して読み出す第3の駆動モードのとき、前記第2の画素ブロックから出力される前記第2の色についての出力信号量に対して、前記第1の画素ブロックから出力される前記第1の色についての出力信号量を一致させるように出力信号量の調整を行う

前記(2)に記載の撮像素子。

(5) 前記信号量調整部は、前記出力信号量の調整を、前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換した後のデジタル領域におけるデジタルゲイン調整によって行う

前記(1)に記載の撮像素子。

(6) 前記信号量調整部は、色別の出力信号量の調整を、前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換する前のアナログ領域におけるアナログゲイン調整によって行う

前記(1)に記載の撮像素子。

(7) アナログ信号をデジタル信号に変換するアナログーデジタル変換部は、時間経過に応じて所定の傾きでレベルが変化するランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシングルスロープ型のアナログーデジタル変換部であり、

前記信号量調整部は、前記ランプ波の参照信号の傾きを変えることによってアナログゲイン調整を行う

前記(6)に記載の撮像素子。

(8) 前記2つの画素は第1の方向に並設され、

前記第1の画素ブロックおよび前記第2の画素ブロックのそれぞれにおい

て、前記第 1 の方向と交差する第 2 の方向に並ぶ 2 つの前記画素ペアは、前記第 1 の方向においてずれて配置されている

前記 (1) に記載の撮像素子。

(9) それぞれが、互いに同じ第 1 の色のカラーフィルタを含む複数の画素を有する第 1 の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第 1 の画素ブロックと異なる第 2 の色のカラーフィルタを含む複数の画素を有し、画素数が前記第 1 の画素ブロックの画素数と異なる第 2 の画素ブロックと、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換するアナログーデジタル変換部とを具備し、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、それぞれが、2 つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、

前記アナログーデジタル変換部は、参照信号生成部から与えられる前記ランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシングルスロープ型のアナログーデジタル変換部であり、

前記参照信号生成部として、それぞれ、傾きが異なるランプ波の参照信号を生成する複数の参照信号生成部が設けられており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、

前記信号量調整部は、前記複数の参照信号生成部のそれぞれで生成される前記傾きが異なるランプ波の参照信号に基づいて、前記第 1 の画素ブロック

から出力される前記第 1 の色についての出力信号量と、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量とが一致するように出力信号量の調整を行う

撮像素子。

(10) 前記複数の参照信号生成部は、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信号量を調整するための参照信号生成部、および、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量を調整するための参照信号生成部である

前記(9)に記載の撮像素子。

(11) それぞれが、互いに同じ第 1 の色のカラーフィルタを含む複数の画素を有する第 1 の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第 1 の画素ブロックと異なる第 2 の色のカラーフィルタを含む複数の画素を有し、画素数が前記第 1 の画素ブロックの画素数と異なる第 2 の画素ブロックとを具備し、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、

前記信号量調整部は、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信号量と、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量とが一致するように出力信号量の調整を行う

撮像素子を有する電子機器。

符号の説明

- [0160] 1 撮像素子
- 1 1 画素アレイ部
- 1 2 駆動部
- 1 3 読出部
- 1 4 参照信号生成部
- 1 5 信号処理部
- 1 6 記憶部
- 1 7 撮像制御部
- 1 8 データ受け取り & 並べ替え部
- 2 0 画素
- 2 1 光電変換部（フォトダイオード）
- 2 2 転送トランジスタ
- 2 3 電荷電圧変換部
- 2 4 リセットトランジスタ
- 2 5 増幅トランジスタ 2 5
- 2 6 選択トランジスタ
- 4 1, 4 3, 4 4 半導体基板
- 5 0 信号量調整部
- 5 1 色別デジタルゲイン補正処理部
- 9 0 画素ペア
- 1 0 0 (1 0 0 R, 1 0 0 G r, 1 0 0 G b, 1 0 0 B) 画素ブロック

請求の範囲

[請求項1] それぞれが、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が前記第1の画素ブロックの画素数と異なる第2の画素ブロックとを具備し、

前記第1の画素ブロックおよび前記第2の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第1の画素ブロックおよび前記第2の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、

前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、

前記信号量調整部は、前記第1の画素ブロックから出力される前記第1の色についての出力信号量と、前記第2の画素ブロックから出力される前記第2の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子。

[請求項2] 前記信号量調整部は、前記第1の画素ブロックから出力される前記第1の色についての出力信号量、および、前記第2の画素ブロックから出力される前記第2の色についての出力信号量に対して、信号量が小さい方の色の出力信号量が、信号量大きい方の色の出力信号量に一致するように出力信号量の調整を行う請求項1に記載の撮像素子。

- [請求項3] 前記信号量調整部は、前記第1の画素ブロックおよび前記第2の画素ブロックの各画素の信号を個々に読み出す第1の駆動モード、および、前記画素ペアの前記2つの画素の信号を加算して読み出す第2の駆動モードのとき、前記第1の画素ブロックから出力される前記第1の色についての出力信号量に対して、前記第2の画素ブロックから出力される前記第2の色についての出力信号量を一致させるように出力信号量の調整を行う
請求項2に記載の撮像素子。
- [請求項4] 前記信号量調整部は、前記第1の画素ブロックおよび前記第2の画素ブロックの全画素の信号を加算して読み出す第3の駆動モードのとき、前記第2の画素ブロックから出力される前記第2の色についての出力信号量に対して、前記第1の画素ブロックから出力される前記第1の色についての出力信号量を一致させるように出力信号量の調整を行う
請求項2に記載の撮像素子。
- [請求項5] 前記信号量調整部は、前記出力信号量の調整を、前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換した後のデジタル領域におけるデジタルゲイン調整によって行う
請求項1に記載の撮像素子。
- [請求項6] 前記信号量調整部は、色別の出力信号量の調整を、前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換する前のアナログ領域におけるアナログゲイン調整によって行う
請求項1に記載の撮像素子。
- [請求項7] アナログ信号をデジタル信号に変換するアナログーデジタル変換部は、時間経過に応じて所定の傾きでレベルが変化するランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシング

ルスロープ型のアナログーデジタル変換部であり、

前記信号量調整部は、前記ランプ波の参照信号の傾きを変えることによってアナログゲイン調整を行う

請求項 6 に記載の撮像素子。

[請求項 8]

前記 2 つの画素は第 1 の方向に並設され、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックのそれぞれにおいて、前記第 1 の方向と交差する第 2 の方向に並ぶ 2 つの前記画素ペアは、前記第 1 の方向においてずれて配置されている

請求項 1 に記載の撮像素子。

[請求項 9]

それぞれが、互いに同じ第 1 の色のカラーフィルタを含む複数の画素を有する第 1 の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第 1 の画素ブロックと異なる第 2 の色のカラーフィルタを含む複数の画素を有し、画素数が前記第 1 の画素ブロックの画素数と異なる第 2 の画素ブロックと、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力されるアナログ信号をデジタル信号に変換するアナログーデジタル変換部と

を具備し、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、それぞれが、2 つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第 1 の画素ブロックおよび前記第 2 の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成素子を複数の画素間で共有する画素共有の構成となっており、

前記アナログーデジタル変換部は、参照信号生成部から与えられるランプ波の参照信号を、アナログーデジタル変換の際の基準信号として用いるシングルスロープ型のアナログーデジタル変換部であり、

前記参照信号生成部として、それぞれ、傾きが異なるランプ波の参照信号を生成する複数の参照信号生成部が設けられており、

前記第1の画素ブロックおよび前記第2の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部をさらに具備し、

前記信号量調整部は、前記複数の参照信号生成部のそれぞれで生成される前記傾きが異なるランプ波の参照信号に基づいて、前記第1の画素ブロックから出力される前記第1の色についての出力信号量と、前記第2の画素ブロックから出力される前記第2の色についての出力信号量とが一致するように出力信号量の調整を行う撮像素子。

[請求項10] 前記複数の参照信号生成部は、前記第1の画素ブロックから出力される前記第1の色についての出力信号量を調整するための参照信号生成部、および、前記第2の画素ブロックから出力される前記第2の色についての出力信号量を調整するための参照信号生成部である請求項9に記載の撮像素子。

[請求項11] それぞれが、互いに同じ第1の色のカラーフィルタを含む複数の画素を有する第1の画素ブロックと、

それぞれが、互いに同じで、かつ、前記第1の画素ブロックと異なる第2の色のカラーフィルタを含む複数の画素を有し、画素数が前記第1の画素ブロックの画素数と異なる第2の画素ブロックとを具備し、

前記第1の画素ブロックおよび前記第2の画素ブロックは、それぞれが、2つの画素を対とする複数の画素ペアを有し、

前記複数の画素ペアに対応するそれぞれの位置には複数のレンズが設けられており、

前記第1の画素ブロックおよび前記第2の画素ブロックは、光電変換部で得られた電荷を電圧に変換する電荷電圧変換部以降の画素構成

素子を複数の画素間で共有する画素共有の構成となっており、

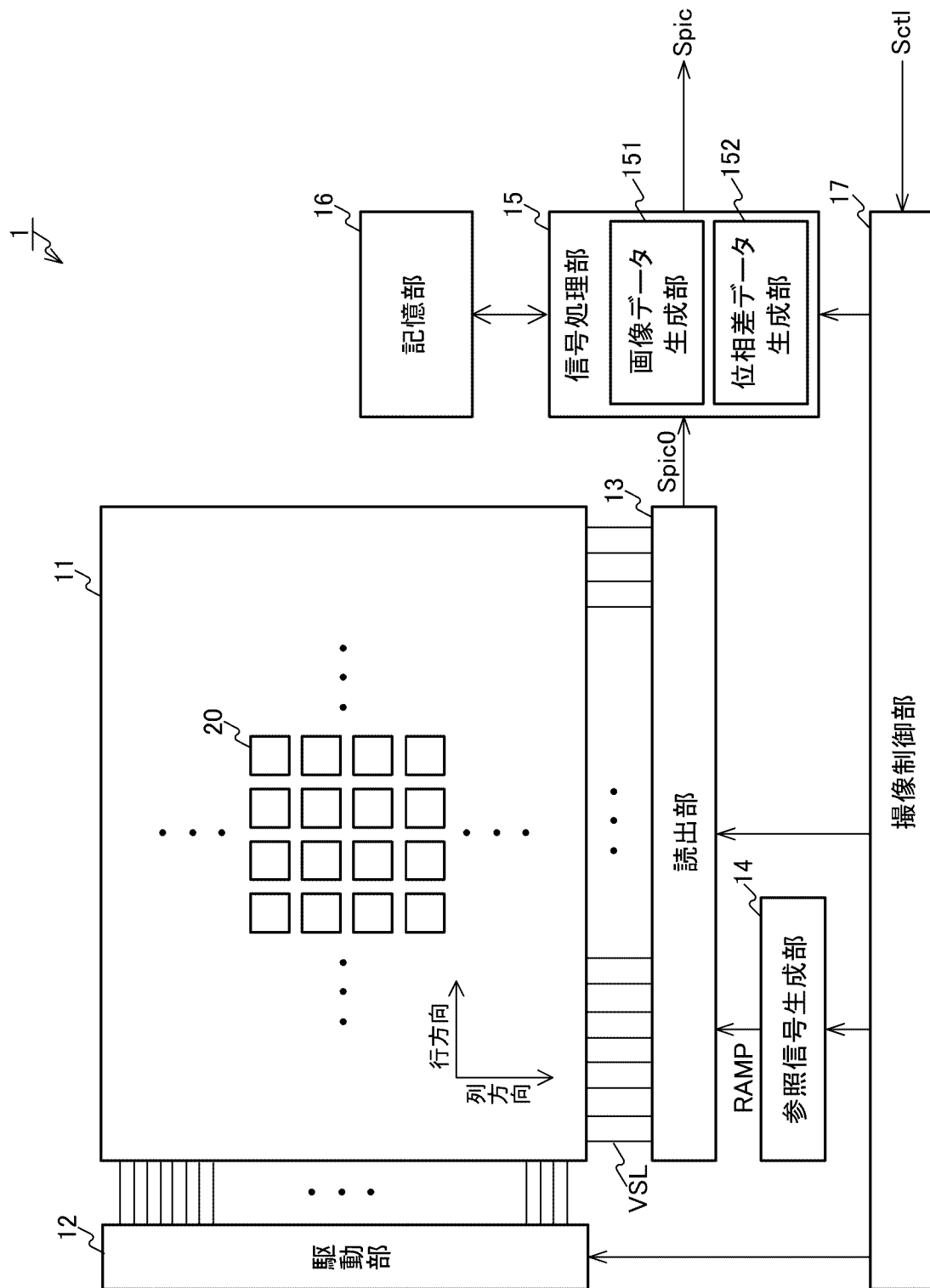
前記第 1 の画素ブロックおよび前記第 2 の画素ブロックの各画素から出力される出力信号量を調整する信号量調整部

をさらに具備し、

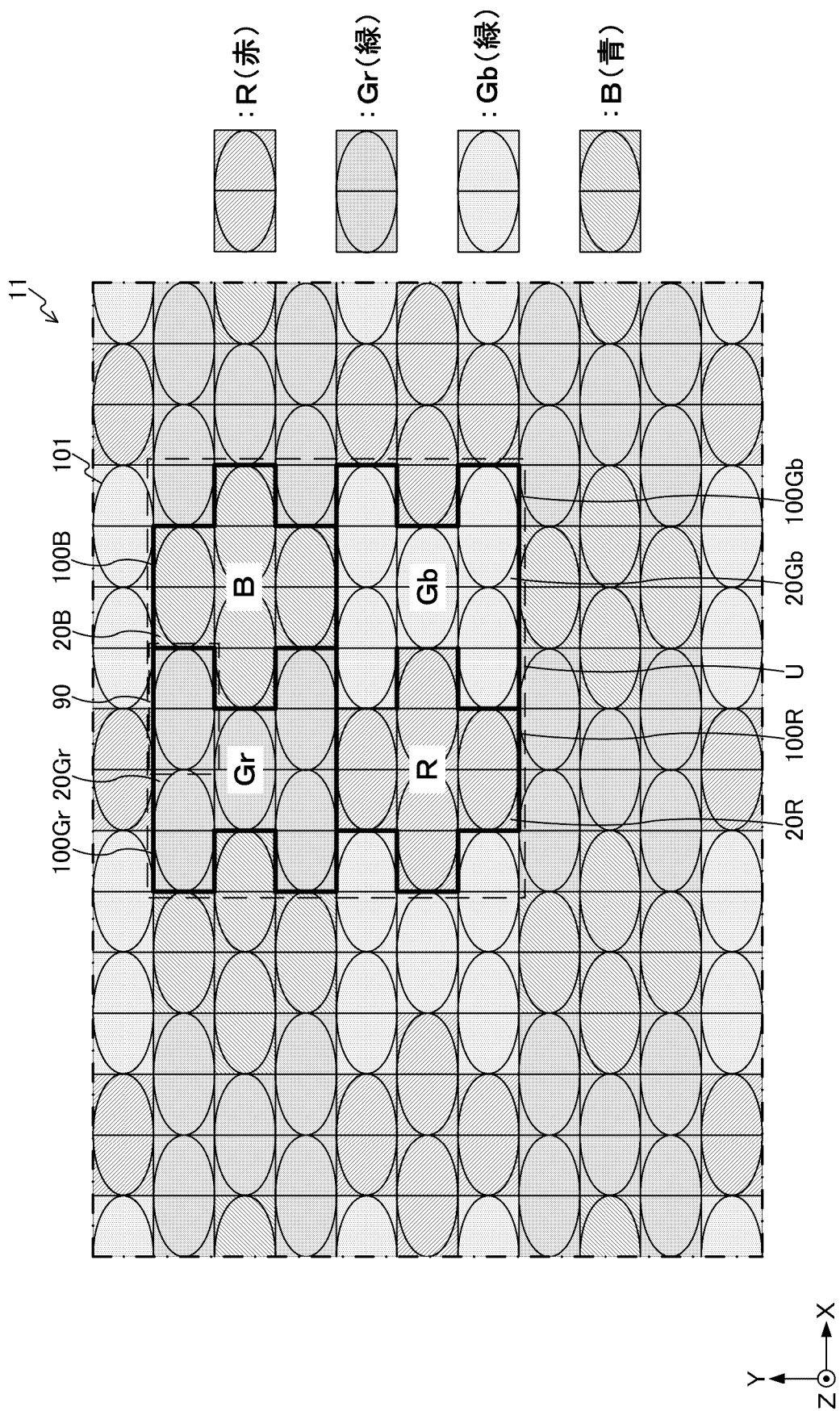
前記信号量調整部は、前記第 1 の画素ブロックから出力される前記第 1 の色についての出力信号量と、前記第 2 の画素ブロックから出力される前記第 2 の色についての出力信号量とが一致するように出力信号量の調整を行う

撮像素子を有する電子機器。

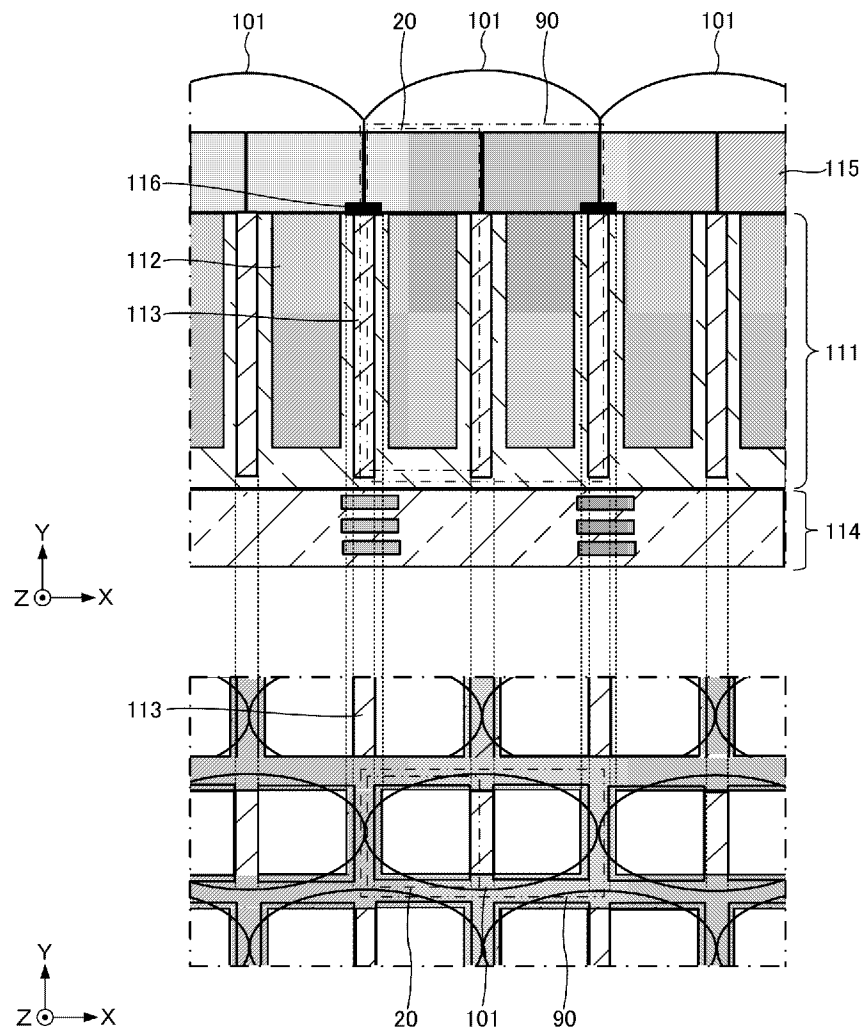
[図1]



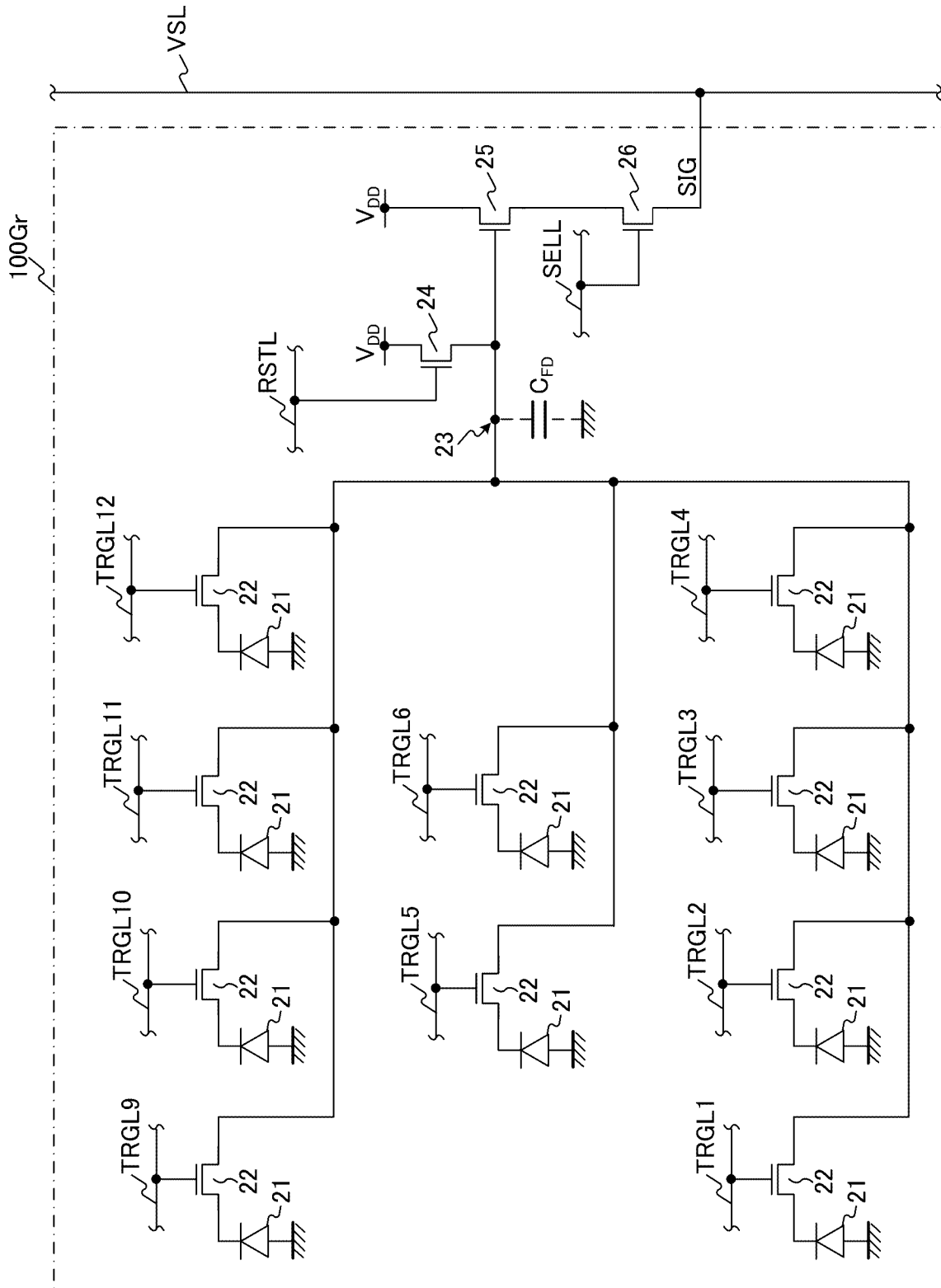
[図2]



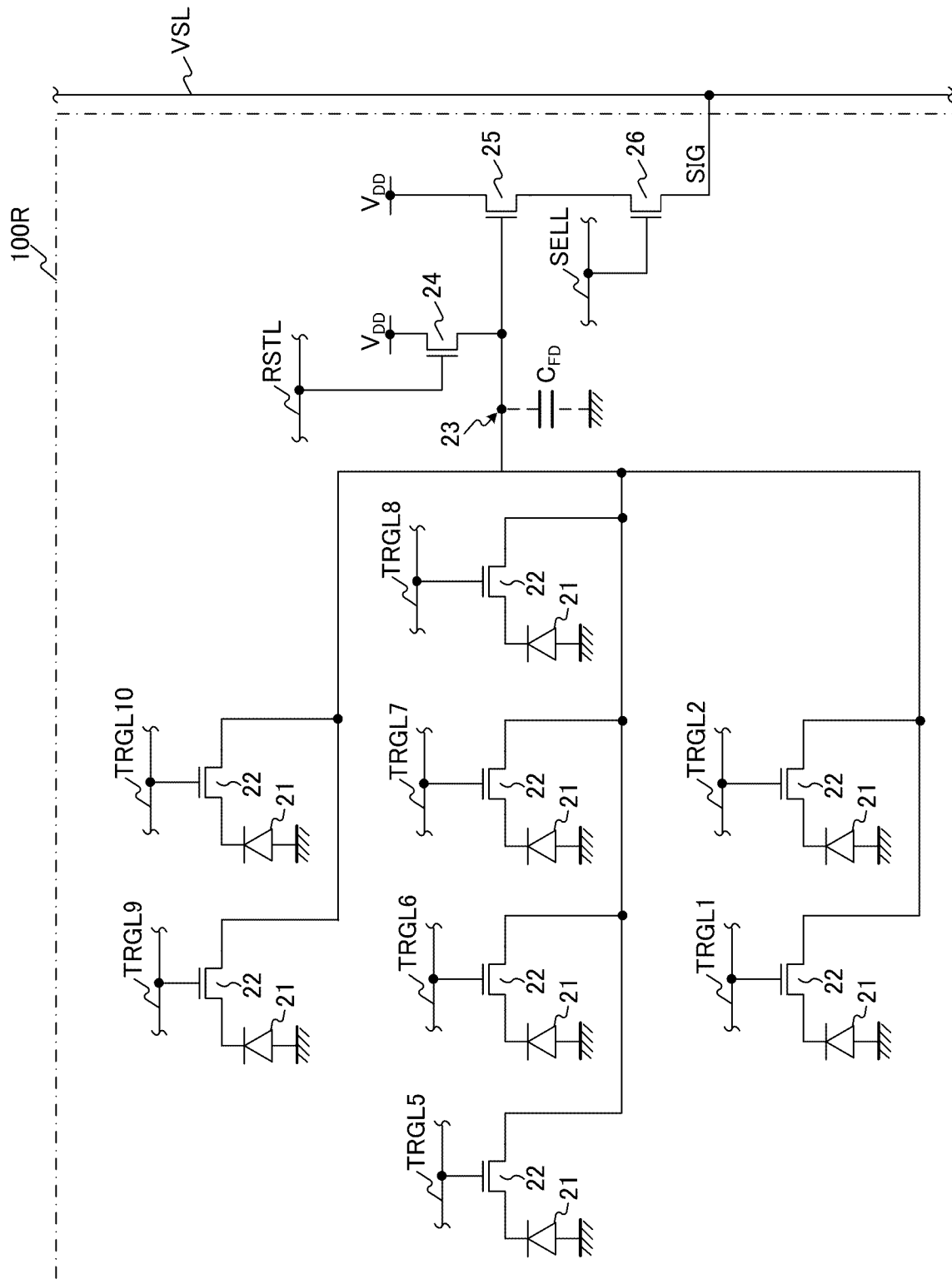
[図3]



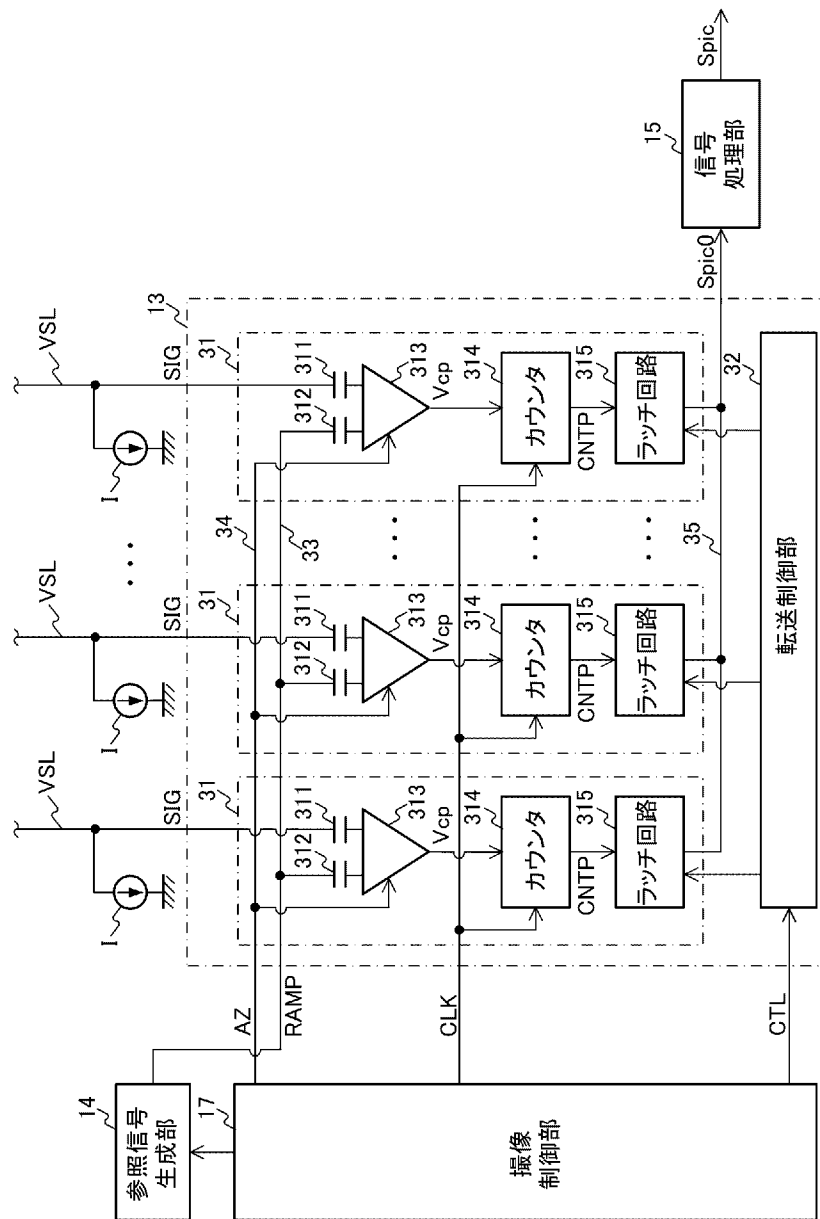
[図4]



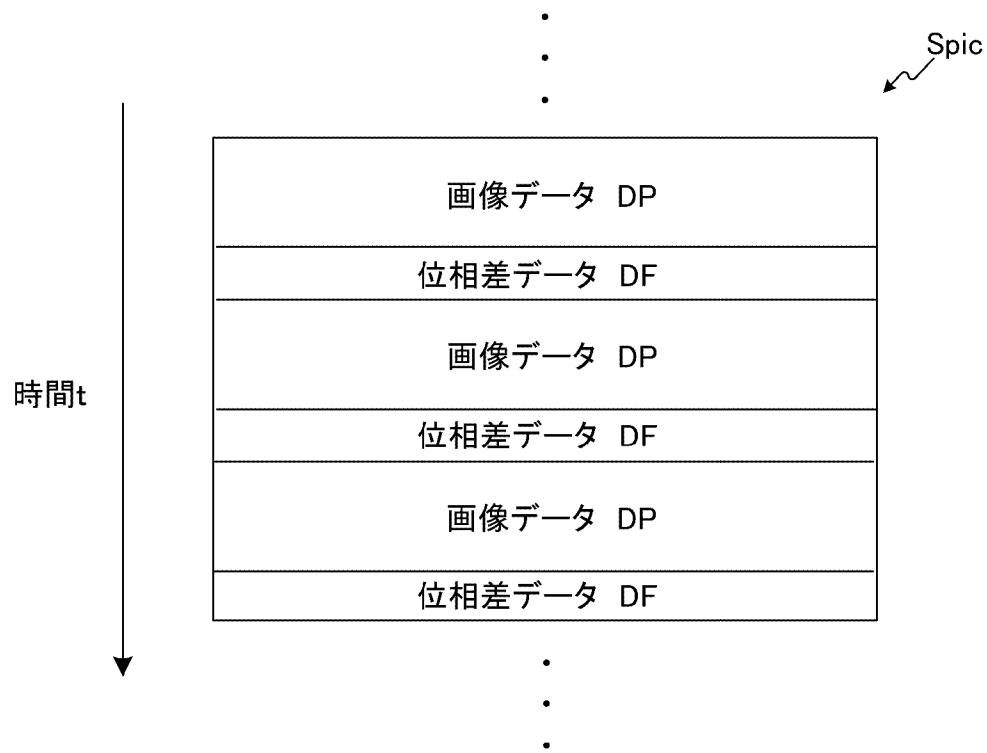
[図5]



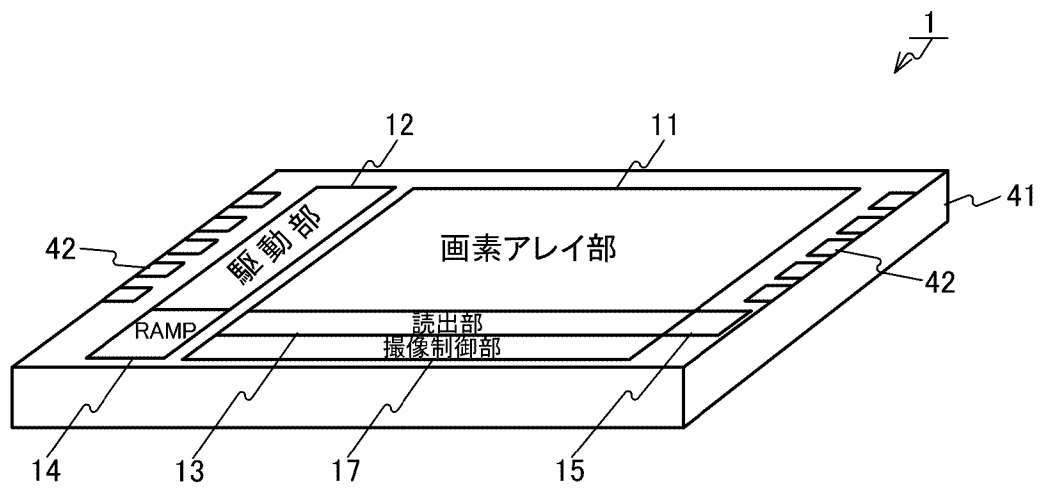
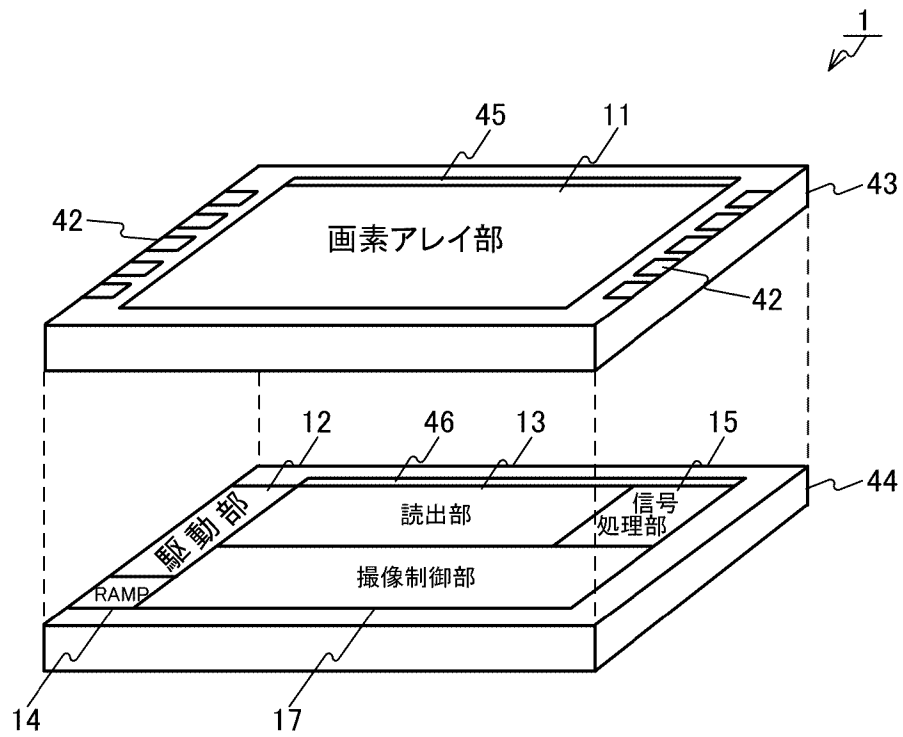
[図6]



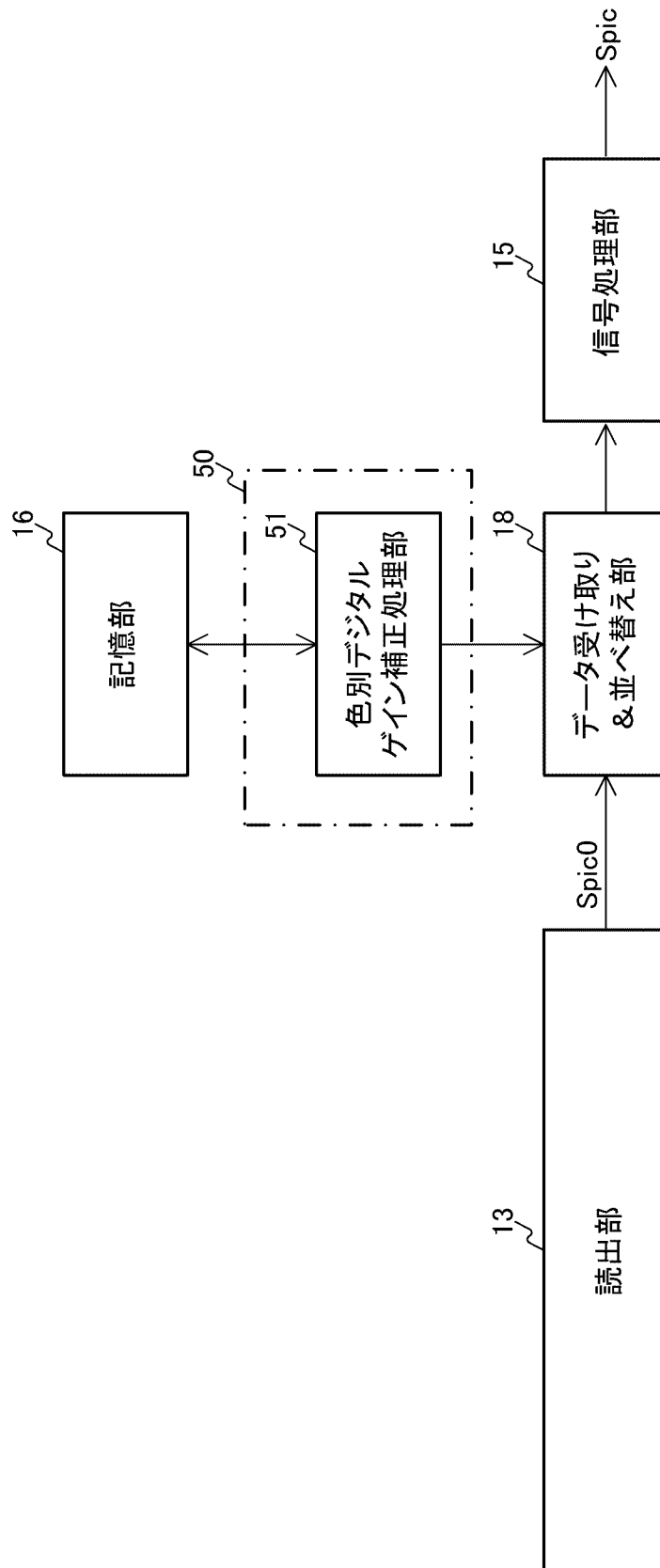
[図7]



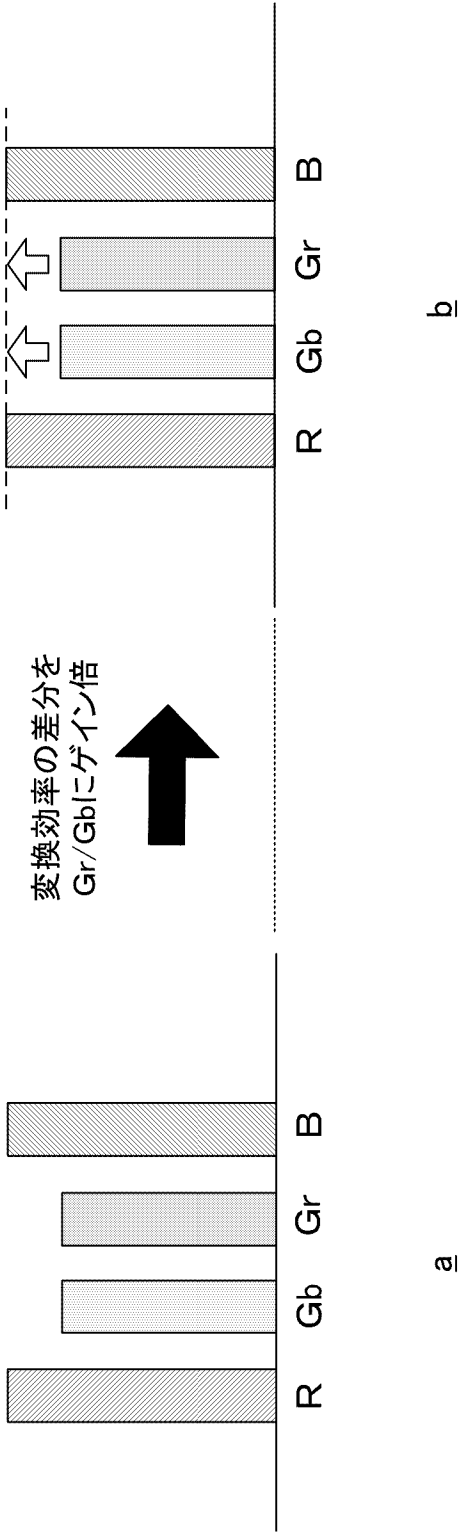
[図8]

ab

[図9]



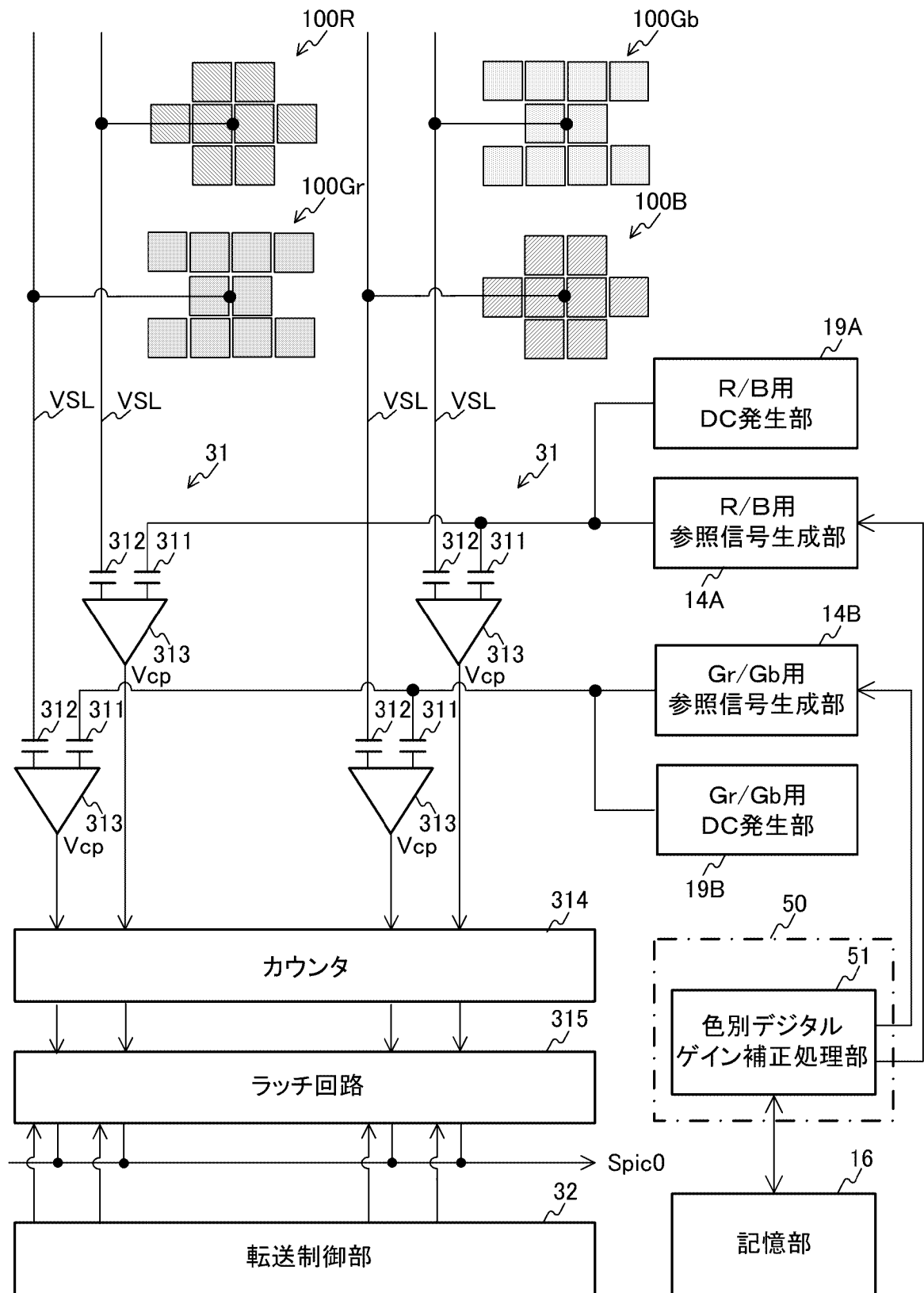
[図10]



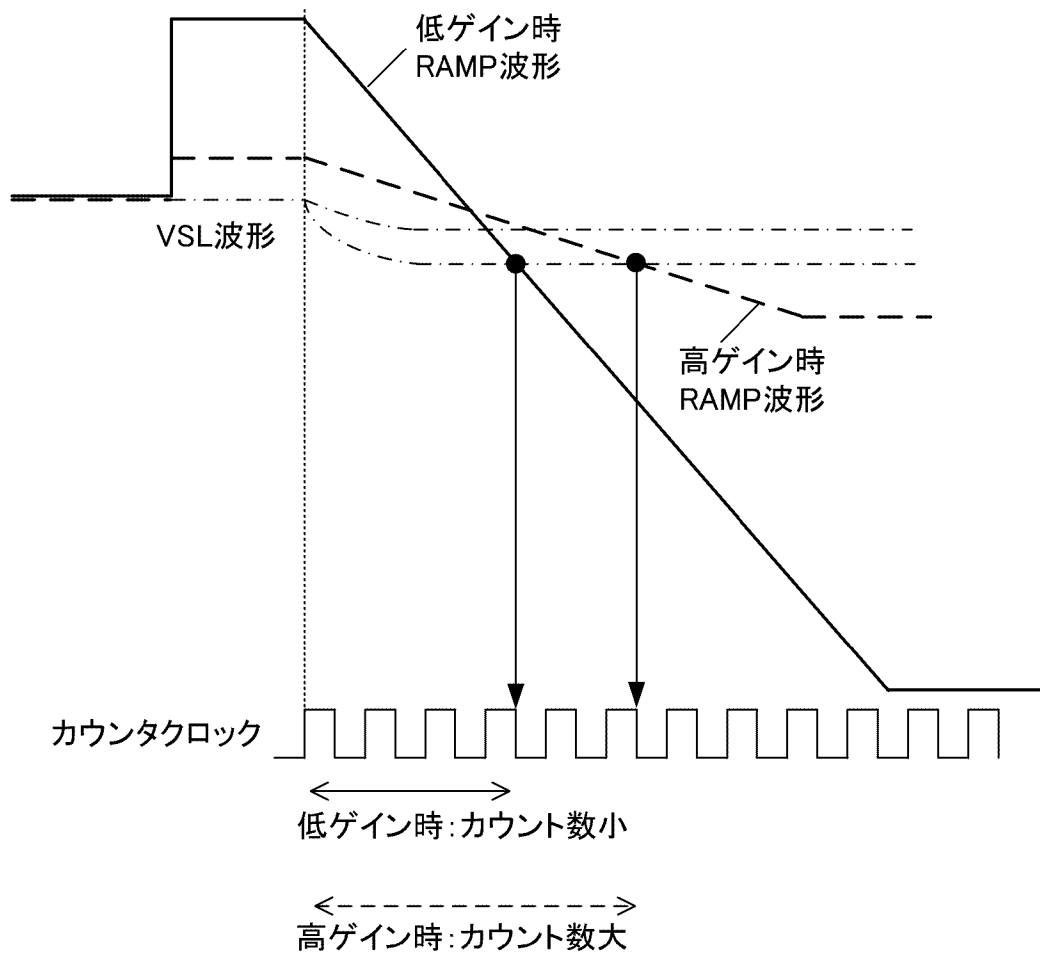
[図11]



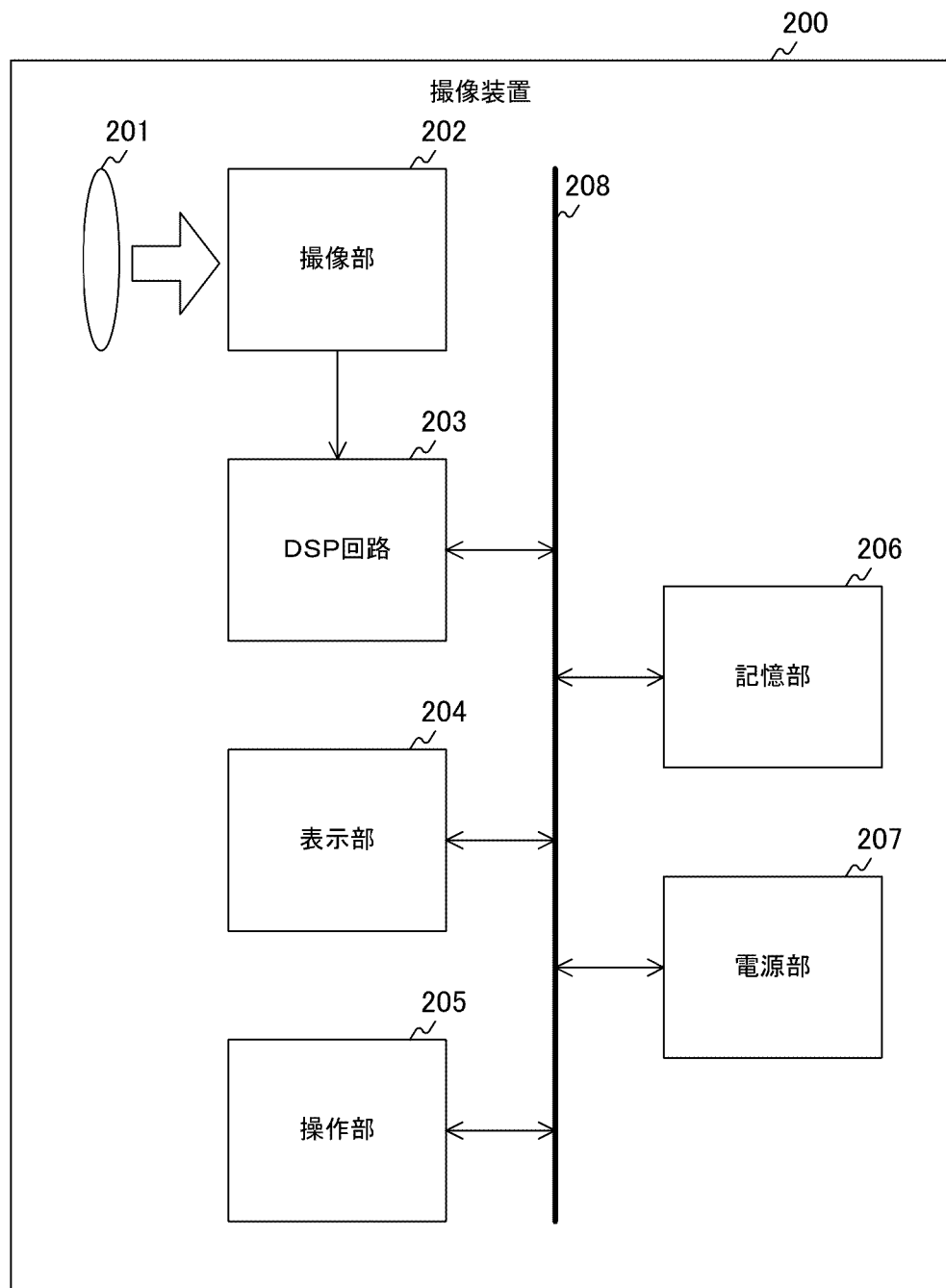
[図12]



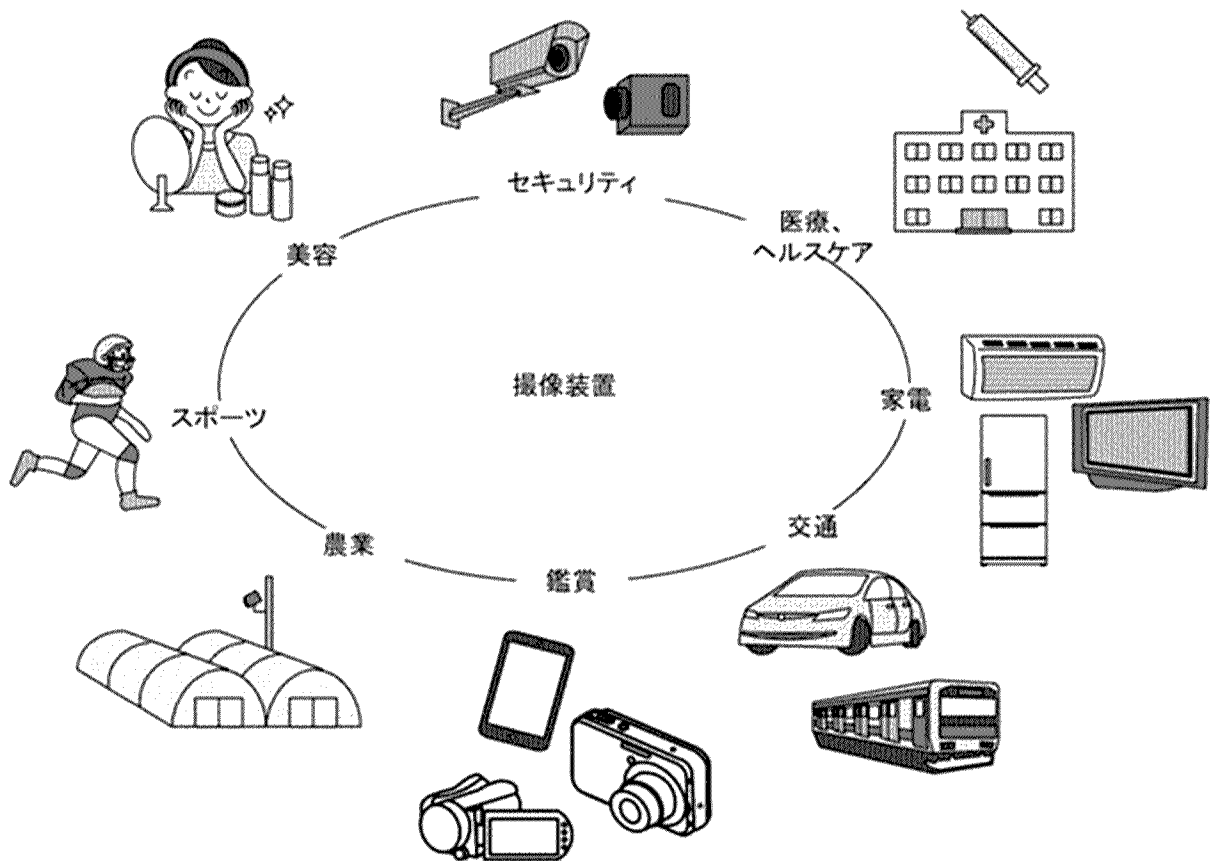
[図13]



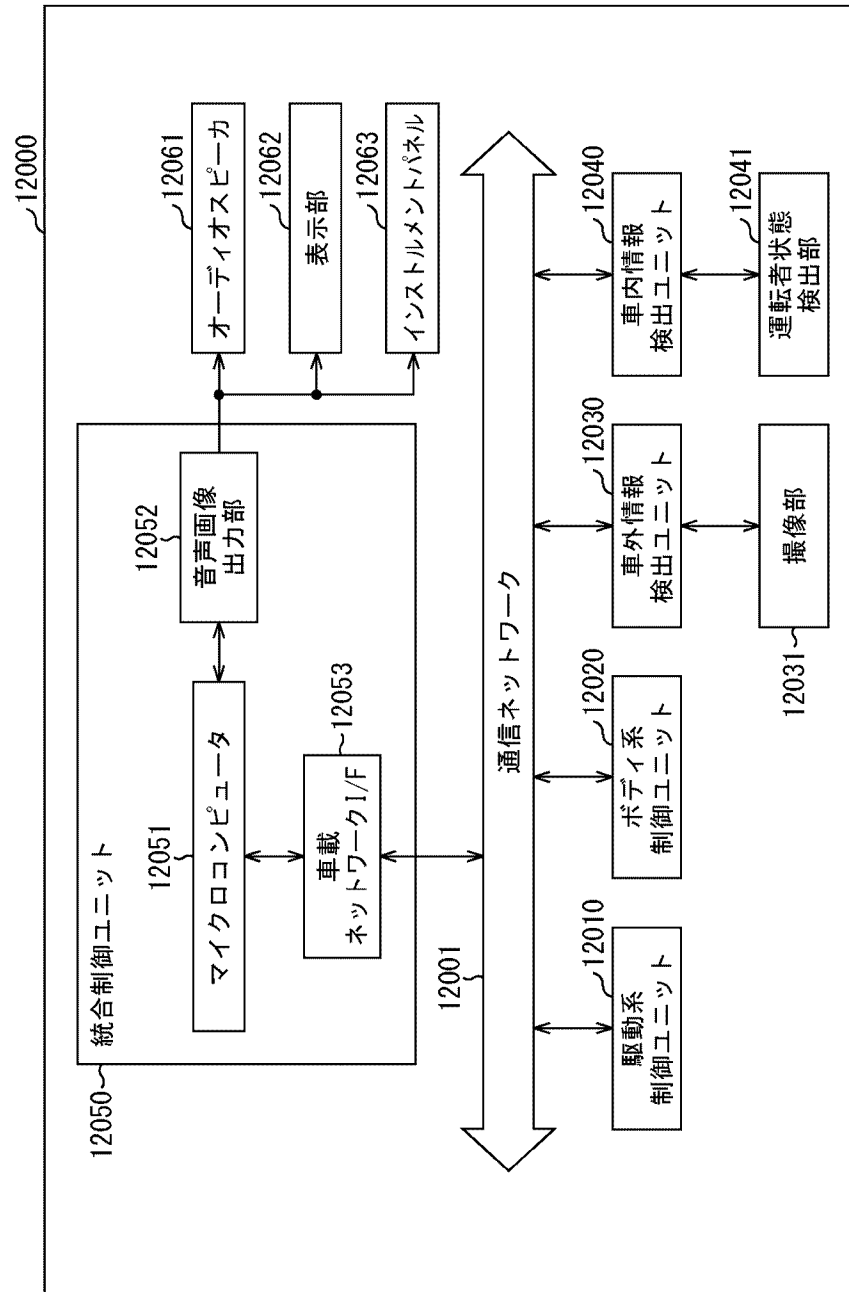
[図14]



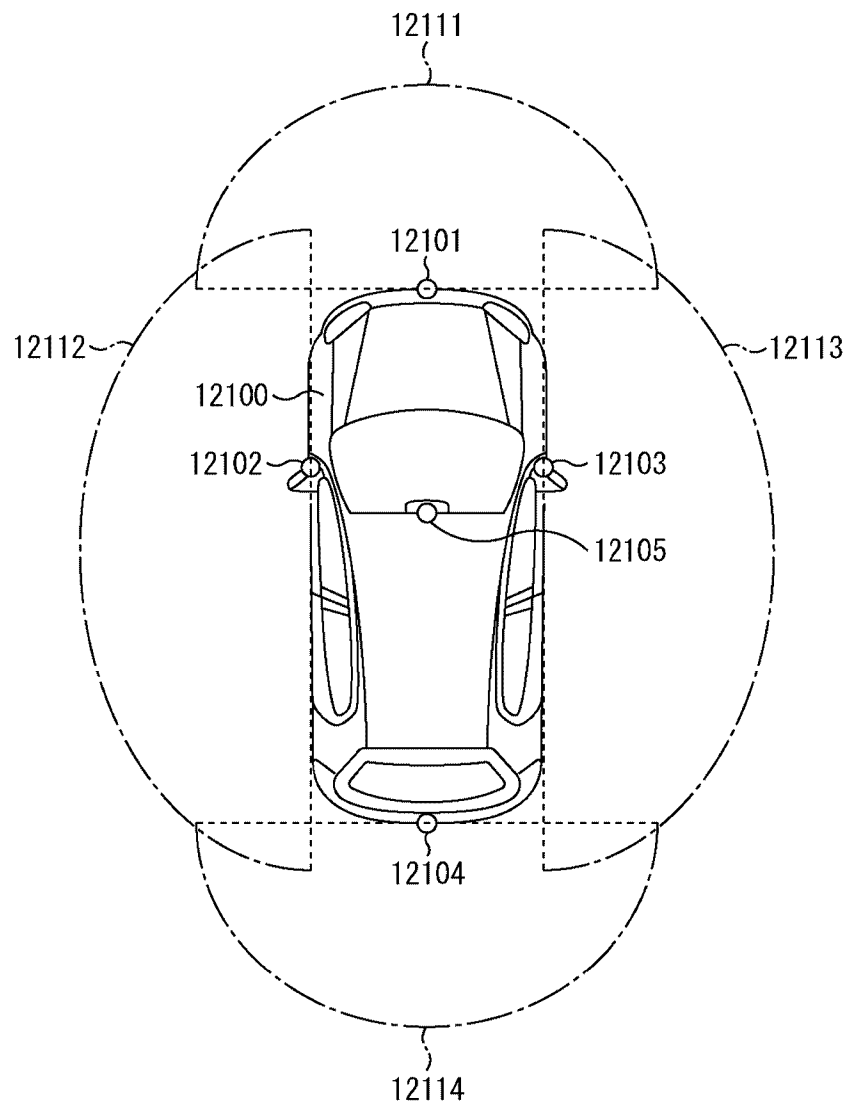
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/043667

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/10**(2023.01)i; **H04N 25/70**(2023.01)i; **H04N 25/77**(2023.01)i; **H01L 27/146**(2006.01)n

FI: H04N25/10; H04N25/70; H04N25/77; H01L27/146 A; H01L27/146 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/10; H04N25/70; H04N25/77; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-52041 A (SONY CORP) 11 April 2016 (2016-04-11) paragraphs [0038]-[0076], [0107]-[0110], fig. 6-9, 18-19	1-11
A	JP 2020-17552 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 30 January 2020 (2020-01-30) fig. 3-6	1-11
A	JP 2015-201834 A (SONY CORP) 12 November 2015 (2015-11-12) entire text, all drawings	1-11
A	JP 2015-2531 A (CANON KK) 05 January 2015 (2015-01-05) entire text, all drawings	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

17 January 2023

Date of mailing of the international search report

24 January 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/043667

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-52041	A	11 April 2016	US 2017/0171470 A1 paragraphs [0070]-[0112], [0146]-[0150], fig. 6-9, 18-19 WO 2016/035566 A1 CN 111464763 A	
JP	2020-17552	A	30 January 2020	US 2021/0352228 A1 fig. 3-6 WO 2020/021826 A1	
JP	2015-201834	A	12 November 2015	US 2017/0104942 A1 full text, all figures WO 2015/151794 A1	
JP	2015-2531	A	05 January 2015	US 2014/0368696 A1 full text, all figures CN 104243778 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/10(2023.01)i; H04N 25/70(2023.01)i; H04N 25/77(2023.01)i; H01L 27/146(2006.01)n FI: H04N25/10; H04N25/70; H04N25/77; H01L27/146 A; H01L27/146 D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/10; H04N25/70; H04N25/77; H01L27/146 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-52041 A (ソニー株式会社) 11.04.2016 (2016-04-11) 段落[0038]-[0076], [0107]-[0110], [図6]-[図9], [図18]-[図19]	1-11
A	JP 2020-17552 A (ソニーセミコンダクタソリューションズ株式会社) 30.01.2020 (2020-01-30) [図3]-[図6]	1-11
A	JP 2015-201834 A (ソニー株式会社) 12.11.2015 (2015-11-12) 全文、全図	1-11
A	JP 2015-2531 A (キヤノン株式会社) 05.01.2015 (2015-01-05) 全文、全図	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 17.01.2023		国際調査報告の発送日 24.01.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 豊田 好一 5V 3568 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/043667

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-52041	A	11.04.2016	US 2017/0171470 A1 paragraphs [0070] to [0112] ; [0146] to [0150] ; figs. 6 to 9 ;18 to 19 WO 2016/035566 A1 CN 111464763 A	
JP	2020-17552	A	30.01.2020	US 2021/0352228 A1 figs. 3 to 6 WO 2020/021826 A1	
JP	2015-201834	A	12.11.2015	US 2017/0104942 A1 full text,all figures WO 2015/151794 A1	
JP	2015-2531	A	05.01.2015	US 2014/0368696 A1 full text,all figures CN 104243778 A	