



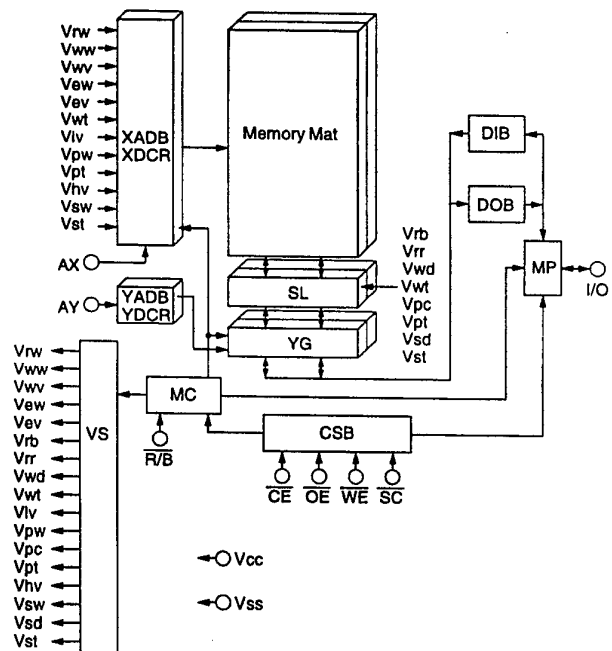
<p>(51) 国際特許分類6 G11C 16/06</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/08707</p> <p>(43) 国際公開日 1997年3月6日(06.03.97)</p>
<p>(21) 国際出願番号 PCT/JP96/02419</p> <p>(22) 国際出願日 1996年8月29日(29.08.96)</p> <p>(30) 優先権データ                  特願平7/223016 1995年8月31日(31.08.95) JP                  特願平7/224991 1995年9月1日(01.09.95) JP                  特願平7/231025 1995年9月8日(08.09.95) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について)                  株式会社 日立製作所(HITACHI, LTD.)(JP/JP)                  〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および                  (75) 発明者/出願人 (米国についてのみ)                  田中利広(TANAKA, Toshihiro)(JP/JP)                  〒197 東京都あきる野市二宮2273-5 Tokyo, (JP)                  加藤正高(KATO, Masataka)(JP/JP)                  〒184 東京都小金井市貫井北町5-13-11-305 Tokyo, (JP)                  土屋 修(TSUCHIYA, Osamu)(JP/JP)                  〒205 東京都羽村市五ノ神1-14-2 Tokyo, (JP)                  西本敏明(NISHIMOTO, Toshiaki)(JP/JP)                  〒190 東京都立川市砂川町8-21-3-107 Tokyo, (JP)</p>	<p>(74) 代理人                  弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.)                  〒100 東京都千代田区大手町2丁目2番1号                  新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 AL, AM, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, US, UZ, VN, ARIPO特許 (KE, LS, MW, SD, SZ, UG), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類                  国際調査報告書                  補正書・説明書</p>	

(54)Title: SEMICONDUCTOR NON-VOLATILE MEMORY DEVICE AND COMPUTER SYSTEM USING THE SAME

(54)発明の名称 半導体不揮発性記憶装置及びそれを用いたコンピュータシステム

(57) Abstract

After threshold voltages of a plurality of memory cells are lowered either collectively or selectively, the existence/absence of memory cells whose threshold voltages are lower than a predetermined voltage are collectively verified in units of a group of memory cells connected to a word line (low threshold voltage verification), and selective write of those memory cells whose threshold voltages drop excessively is performed. The well of each memory cell is formed in an element isolation layer so as to isolate the well from the substrate of the memory device. An erase voltage is supplied by applying a negative voltage to the memory well, and a positive voltage to a word line voltage distributionally. The absolute value of the memory well voltage is substantially equal to, or lower than the voltage of the word line at the time of read. Sectors constituting the memory mat includes a sector (selection sector) in which erase is selected and the positive voltage is applied to the word line, a sector (non-selection sector) in which erase is not selected and the word line voltage is different from the memory well voltage, and a sector (complete non-selection sector) in which erase is not selected and the word line voltage is equal to the source - drain voltage (channel voltage) of the memory cell.



(57) 要約

複数のメモリセルを一括または選択的にしきい値電圧を下げた後、メモリセルのしきい値電圧が所定の電圧より低くなっているメモリセルの存否を、ワード線(WL)に接続されているメモリセル群単位で一括して検証(低しきい値ベリファイ)し、しきい値電圧が下がり過ぎたメモリセルに対し、選択的に書き込み(選択戻し)を行う。

これにより、erratic現象を抑制できるので、erratic現象を考慮して書き換え回数の制約を決めることなく、書き換え回数を大幅に向上させることが可能となる。

また、メモリセルのウェルを記憶装置の基板と分離するために素子分離層の領域内に形成し、メモリウェルに負の電圧を、ワード線電圧に正電圧を分配して印加し、消去動作電圧を供給する。メモリウェル電圧の絶対値は、読み出し時のワード線(WL)電圧と同程度またはそれ以下とする。メモリマツトを構成するセクタは、消去動作が選択され、ワード線(WL)に正の電圧が印加されたセクタ(選択セクタ)、消去が非選択でワード線(WL)電圧とメモリウェル電圧が異なるセクタ(非選択セクタ)、さらに消去が非選択でワード線(WL)電圧とメモリセルのソース(3)・ドレイン(2)間電圧(チャンネル電圧)が等しいセクタ(完全非選択セクタ)を備えている。

さらに、共通ソース線(SL)は、ビット線(BL)間に配置されずに、ワード線(WL)と平行である。共通ソース線(SL)の金属配線層M1は、ビット線(BL)に使用する金属配線層M2より先の製造工程で形成される。ダミーメモリセル列を含むメモリマツトの終端には、ビット線(BL)と同じ層の金属配線層M2で列方向(ビット線と平行)の共通ソース線(SL)が配置される。

こうして、共通ソース線を単位ブロックのメモリセル列毎に接続し、ビット線(BL)間にダミーメモリセル列を配置しないことで、メモリマツトのサイズを3%低減できる。共通ソース線(SL)の配線幅をビット線(BL)の配線幅に対して100倍程度の太い配線とすることで、セクタに接続されているメモリセルに加わる基板バイアスは一定となり、セクタ単位での情報の読み出しが安定する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GA	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロヴェニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロヴァキア
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア旧ユーゴスラ ヴィア共和国	TD	チャド
BY	ベラルーシ	IE	アイルランド			TG	トーゴ
CA	カナダ	IL	イスラエル	ML	マリ	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MR	モリタニア	TR	トルコ
CH	スイス	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NE	ニジェール	UG	ウガンダ
CN	中国	KP	朝鮮民主主義人民共和国	NL	オランダ	US	アメリカ合衆国
CU	キューバ	KR	大韓民国	NO	ノルウェー	UZ	ウズベキスタン
CZ	チェッコ共和国	KZ	カザフスタン	NZ	ニュー・ジーランド	VN	ヴェトナム

## 明 細 書

## 半導体不揮発性記憶装置及びそれを用いたコンピュータシステム

## 5 技術分野

本発明は、しきい値電圧を電氣的に書き換えることが可能なトランジスタからなる半導体不揮発性記憶装置に関し、時にしきい値電圧の電氣的書き換えを頻発的に行う場合に好適な半導体不揮発性記憶装置及びそれを用いたコンピュータシステムなどに関し、特に単一電源電圧で駆動される半導体不揮発性記憶装置の安定した読み出し動作とその装置の小型化を可能とする技術分野に関する。

## 背景技術

記憶内容を電氣的に一括消去できる1トランジスタ/セル構成の半導体不揮発性記憶装置にフラッシュメモリがある。フラッシュメモリはその構成上、1ビット当たりの占有面積が少なく高集積化が可能であるため、近年注目され、その構造や駆動方法などに関する研究開発が活発に行なわれている。

例えば、第1にSymposium on VLSI Circuits Digest of Technical Papers pp 97-98 1993に記載されているDINOR方式、第2に同pp 99-100 1993に記載されているNOR方式、第3に同pp 61-62 1994に記載されているAND方式、第4にInternational Electron Devices meeting Tech. Dig. pp 19-22に記載されているHICR方式が提案されている。

上記各方式とも、読み出し時にはワード線電位を電源電圧 $V_{cc}$ とし、ビット線電位には弱い電子の引き抜きが起こらないように1V程度の低電圧を印加し、センスアンプ回路でメモリセルの情報の読み出しを行う。浮遊ゲートに電子が蓄積された状態を消去状態と定義すると、消去状態では、メモリセルしきい値電圧は高くなるので読み出し時にワード線を選択してもドレイン電流は流れず、ビット線電位はプリチャージ電位1Vを保持している。電子の注入が行なわれていない(電子が放出されている)状態を書き込み状態と定義すると、書き込み状態では、メモリセルしきい値電圧は低くなるのでワード線を選択すると電流が流れ、

ビット線電位はプリチャージ電位1Vより低くなる。ビット線電位をセンスアン  
プで増幅し、情報の“0”、“1”を判定する。

たとえば、第1にインタナショナル エレクトロン デバイシズ ミーティン  
グ テクニカル ダイジェスト (International Electron Devices meeting  
5 Tech. Dig.) pp 991-993 1992に記載されているアンド (AND) 方  
式、第2に同pp 19-22 1993に記載されているエイチ アイ シー ア  
ール (HICR) 方式が提案されている。

上記各方式とも、ワード線単位のセクタで、メモリセルのしきい値電圧を上げ  
る動作を消去動作と定義している。

10 シンポジウム オン ブイエルエスアイ サーモキット ダイジェスト オブ  
テクニカル ペーパーズ (Symposium on VLSI Circuits Digest of  
Technical Papers) pp 61-62 1994に記載されているAND方式の消  
去動作電圧は、選択セクタすなわち選択ワード線に1.6Vの正の高電圧を印加し、  
メモリセルのドレインおよびソース端子電圧を接地電圧 $V_{SS}$ の0Vとしている。  
15 選択セクタのメモリセルの浮遊ゲートとチャネル間に、電圧差が生じ、チャネル  
内の電子が浮遊ゲート内にファウラ・ノルドハイム (Fowler-Nordheim) トンネル  
現象で注入され、メモリセルのしきい値電圧を上げる消去動作ができる。

ところで、上記方式のフラッシュメモリにおいては、メモリセルのしきい値電  
圧が負の電圧になると誤読み出しの原因となるので、メモリセルのしきい値電  
20 が負の電圧にならないように制御する必要がある。そのため、従来は、図29に  
示す書き込み動作シーケンスを実行している。例えば、第3の従来技術である  
AND方式の書き込み動作では、メモリセルアレイの所定ワード線に接続されて  
いるメモリセル群 (セクタ) に単位書き込み時間を設定して一括してデータ書き  
込みを行なった後、そのメモリセルデータを読み出して書き込み不十分のメモリ  
25 セルがある場合に再書き込みを行う動作 (ベリファイ動作) を行う。メモリセル  
のしきい値電圧が書き込みしきい値電圧に達しているかを確認するベリファイ動  
作時のワード線電位は、書き込みしきい値電圧の分布の広がり considering セク  
タ内のメモリセル群の全てのメモリセルのしきい値電圧が負の値とならないよう  
な値、例えば1.5Vに設定される。

Symposium on VLSI Technology Digest of Technical Papers pp 83-84 1993には、erratic 不良、すなわち、浮遊ゲート中の電子の注入および放出を絶縁膜であるトンネル膜を介して行うため、トンネル膜中のトラップ準位が正電圧に帯電している状態でトンネル膜中の内部電界が強まり、局所的に電子が浮遊ゲートから放出しやすくなる現象、またはトラップ準位が書き換え回数によって正電圧に帯電したり、しなかつたりする現象が報告されている。上記従来の技術では、図26に示すように書き込み動作を行う際に発生したerratic 不良を検出できず、erratic 不良が発生した場合、正確な情報を半導体不揮発性記憶装置から読み出すことができないという問題点があった。

10 一方、上記各方式とも書き込み動作は、選択のメモリセルのしきい値電圧を下げる動作である。AND型では、同記載によればメモリセルのビット線毎に書き込みデータのラッチ動作を行うセンスラッチ回路を備え、セクタ単位の書き込みを一括に行う。メモリセルの制御ゲートすなわちワード線に-9Vの負電圧を印加し、メモリセルのドレイン端子電圧は、センスラッチ回路のデータにより、  
15 選択セルでは4Vの電圧とし、非選択セルでは0Vとする。選択メモリセルの浮遊ゲートとドレイン間には、電圧差が生じ、浮遊ゲート内の電子がドレイン側に Fowler-Nordheim トンネル現象で引き抜かれる。非選択のメモリセルでは、浮遊ゲートとドレイン間との電圧差が小さいため、浮遊ゲート内の電子の放出を防ぐことができる。

20 また、書き込み動作では、非選択セクタのメモリセルは、選択ドレイン端子電圧によって、弱ししきい値電圧の低下が生じる。それを阻止するために、非選択ワード線には、電源電圧 $V_{cc}$ を印加している。

上記従来技術のAND型の半導体不揮発性記憶装置では、装置を構成するMOSトランジスタの耐圧を、書き込み、消去動作のうち最も電位差が大きくなる消去動作のワード線電圧である1.6V以上とする必要がある。耐圧を確保するために、MOSトランジスタのゲート絶縁膜をたとえば25nm以上に厚くしてゲート酸化膜に加わる電界強度を低減させるとともに、拡散層を高耐圧構造とし、0.4 $\mu\text{m}$ の最小加工ルールを用いたとしても、ゲート長をたとえば、1.5 $\mu\text{m}$ 以上にする必要があった。その結果、MOSトランジスタのレイアウト面積は大き

くなり、半導体不揮発性記憶装置のチップサイズが大きくなるという問題点があった。

また、このようなフラッシュメモリにおいては、たとえば特開平7-176705号公報に記載されているAND型が提案されている。図19にメモリセルの  
5 接続図、図20に特開平7-176705号の図1の概略レイアウト図を示す。メモリセルを列方向に複数個接続した単位ブロックとし、メモリセルのドレインがMOSトランジスタを介してビット線に、メモリセルのソースは、MOSトランジスタを介して共通ソース線に接続されている。また、ビット線には単位ブロックが複数個接続されている。図20に示すように、共通ソース線は、ビット線  
10 間に垂直な方向に拡散層で形成されL(SL)、さらに、副数本のビット線毎に、ビット線と平行な方向にビット線と同層の金属配線M1(SL)を用いて、配線されている。

上記従来技術のAND型フラッシュメモリでは、ワード線に接続されているメモリセル群のセクタ単位で一括に読み出し動作および書き換え後のメモリセルの  
15 しきい値電圧のベリファイ動作を行っている。共通ソース線L(SL)が拡散層で形成されているため、図53のメモリセルアレイの等価回路に示すように共通ソース線L(SL)に流れるメモリセル電流により、共通ソース線L(SL)において電圧効果が生じる。この結果、メモリセルには実効的に基板バイアスがかかり、しきい値電圧を変化させる。このしきい値電圧の変動量は、メモリセルに  
20 記憶された情報パターンやメモリセルの位置により異なる。一方、サブソース線Sub Source Lineも拡散層により形成されているが、メモリセル1セル分の電流しか流れないため、セクタに対してメモリセルしきい値電圧ばらつきの原因とならない。

図56にメモリセルのビット線位置に対するしきい値電圧依存性を示す。基板  
25 バイアスはソース線から離れているメモリセルに対して最も影響し、基板バイアス効果によりメモリセルのしきい値電圧は上がる。メモリセル全ビットが書き込みビット、すなわちしきい値電圧が低くセル電流が流れる場合で最大となる。一方、ソース線に隣合うセルのみの1ビットが書き込みセルにおいて、しきい値電圧が最も低くなる。上記のしきい値電圧差 $\Delta V_{th}$ がセクタ内でのメモリセルの

しきい値電圧ばらつきをひきおこしている。

メモリ情報の読み出しには、しきい値電圧差 $\Delta V_{th}$ を小さくし、読み出し動作の安定化を図らなければならない。このために図20中の共通ソース線M1

(SL)をビット線32本毎に形成する必要があるが、メモリアレイ部の面積が  
5 3%以上増加するという問題があった。

そこで、本発明の1つの目的は、電氣的書き換えが可能な半導体不揮発性記憶装置において、動作シーケンスを新たに設定し、装置内部でerratic現象を抑制し、書き換え耐性を向上させることができる半導体不揮発性記憶装置およびそれを用いたコンピュータシステムを提供することにある。

10 また、本発明の別な目的は、電氣的書き換えが可能な半導体不揮発性記憶装置の消去動作の最大電圧を、書き込み動作の最大動作電圧と同程度に下げ、チップサイズを低減した半導体不揮発性記憶装置およびそれを用いたコンピュータシステムを提供することである。

さらに、本発明のもう一つ別の目的は、電氣的書き換えが可能な半導体不揮発性記憶装置において、セクタ単位での情報の読み出しを安定化、すなわち、しきい値電圧ばらつきを低減し、さらに、装置の面積を低減した半導体不揮発性記憶装置を提供することである。  
15

#### 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、  
20 以下のとおりである。

すなわち、本発明の最初の問題点を解決する半導体不揮発性記憶装置は、図2に代表されるしきい値電圧を電氣的に書き換える（消去、書き込み）ことが可能なトランジスタからなる半導体不揮発性記憶装置に適用されるものであり、書き込み動作（しきい値電圧を下げる動作）シーケンスに、メモリセルを一括または  
25 選択的にしきい値電圧を下げた後、新たにワード線に接続されているメモリセル群単位で、一括してしきい値電圧を検証（ベリファイ）し、その後一括してメモリセル毎のしきい値電圧に対応して、しきい値電圧を上げる動作シーケンスを備えた半導体不揮発性記憶装置である。

図12の半導体不揮発性記憶装置の機能ブロック図に示すように、メモリセル

のビット線毎に、センス動作と書き込みデータおよびしきい値電圧を上げる動作時のデータのラッチ動作を行うフリップフロップと、ベリファイ後メモリセルのしきい値状態に応じてビット毎にフリップフロップの再データを自動設定を行う回路、総称センスラッチ回路を備え、さらに内蔵電源電圧回路でメモリセルしきい値電圧を戻す電圧やベリファイワード線電圧等を発生する半導体不揮発性記憶装置である。

また、本発明のコンピュータシステムは、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有するものである。

前記した半導体不揮発性記憶装置およびそれを用いたコンピュータシステムによれば、書き込み動作（しきい値電圧を下げる動作）シーケンスに、新たに装置内部で自動的に、ワード線に接続されているメモリセル群単位で、一括にしきい値電圧を検証（ベリファイ）し、その後一括にメモリセル毎のしきい値電圧に対応してしきい値電圧を上げる動作手段を備えた半導体不揮発性記憶装置とすることにより、erratic 現象で下がったメモリセルしきい値電圧をもどし、しきい値電圧分布を少なくすることができる。さらに、ベリファイワード線電圧を接地電位（V s s）で読み出すことにより、erratic 現象でデプリートしたビットを選択的にしきい値電圧をもどし、誤った読み出しを防止できる。

例えば、書き込み後のメモリセルしきい値電圧を1.5 Vとし、浮遊ゲート中の電子の放出とベリファイ動作とを繰り返し、書き込み対象の全てのメモリセルしきい値電圧が1.5 V以下とした後、選択ワード線の電位を接地電位（V s s）でベリファイ（読み出し）し、メモリセルしきい値電圧が0 V以下（デプレッション）のerratic 現象で下がったセルを選定し、その読み出しデータをセンスラッチ回路のフリップフロップのデータとし、ビット線すなわちドレイン電圧を選択的に接地電位（V s s）、書き込みを行った選択ワード線の電位を1.6 V程度の高電圧とし、チャンネル全面の Fowler-Nordheimトンネル現象を利用して、電子を浮遊ゲートに注入することで、メモリセルしきい値電圧を選択的にもどす。なお、デプリートしていないメモリセルに接続されているセンスラッチ回路のフリップフロップのデータは電源電圧であるので、しきい値電圧を上げる動作中はチャンネル電位（電源電圧）とワード線間に十分な電界差が生じないため、書き込み



後のメモリセルしきい値電圧1.5Vを保持できる。

また、erratic現象を考慮して書き換え回数の制約を決めることなく、本発明により書き換え回数を大幅に向上させることができる。

さらに、メモリセルしきい値電圧をもどす動作に Fowler-Nordheimトンネル現象を利用することで、低電圧の単一電源化が図れる。

これにより、電氣的書き換えが可能な半導体不揮発性記憶装置において、ベリファイ動作としきい値を戻す動作を追加した書き込み動作シーケンスにより、erratic現象を抑制し、書き換え耐性を向上させることができる。特に、これを用いたコンピュータシステム等において、低電圧化による消費電力の低減、信頼性の向上が可能となる。

また第2の問題点を解決する半導体不揮発性記憶装置の消去動作において、従来、選択ワード線にのみ正の高電圧を印加していたことに対し、本発明では、ワード線電圧に正電圧を、メモリウェルに負の電圧を分配して印加し、消去動作電圧を供給する。なお、メモリウェル電圧の絶対値は、読み出し時のワード線電圧と同程度またはそれ以下とする。

図33には本発明のメモリマットの概念図を示す。半導体不揮発性記憶装置のメモリマットを構成するセクタは、消去動作が選択され、ワード線に正の電圧が印加されたセクタ（選択セクタ）、消去が非選択でワード線電圧とメモリウェル電圧が異なるセクタ（非選択セクタ）、さらに消去が非選択でワード線電圧とメモリセルのソース・ドレイン間電圧（チャンネル電圧）が等しいセクタ（完全非選択セクタ）を備えている。

完全非選択セクタが、消去動作においてメモリウェルに負電圧を加え、チャンネル電圧とワード線電圧が接地電圧となるメモリセル、またはメモリウェル電圧とチャンネル電圧とワード線電圧が接地電圧であるメモリセルからなる。この場合のメモリセルの接続は、複数のメモリセルが並列に接続された単位ブロックと、該メモリセルのドレインがMOSトランジスタを介してビット線に接続され、該メモリセルのソースが、MOSトランジスタを介してソース線に接続されている。したがって、選択セクタと非選択セクタが同一の単位ブロックであり、それ以外のブロックを構成するセクタは完全非選択セクタである。

図35に半導体不揮発性記憶装置のメモリセルの断面模式図を示す。メモリセルに負電圧を印加するために、メモリセルのウェルDP well と上記MOSトランジスタのウェルおよびメモリセルのソース線とビット線の電位をトランスファするMOSトランジスタのウェルを、記憶装置の基板 p-subと分離するために阻止分離層niso領域内に形成している。

本発明の半導体不揮発性記憶装置は、図37の半導体不揮発性記憶装置の機能ブロック図に示すように、セクタ単位を崩さずにメモリマットを分割し、そのメモリマットのウェル電圧を切り換える回路MWVC、ワード線すなわちセクタを選択する行デコーダ回路XDRC、センス動作と書き込みデータのラッチ動作を行うセンスラッチ回路SLを備え、さらに消去動作電圧のワード線電圧Vh、メモリウェル電圧Vmwおよび書き込み動作電圧のワード線電圧V1、ビット線電圧V1b等を発生する内蔵電源回路VSを備えている。

また、消去動作での消去電圧の立上り波形は、負荷容量をつけ、数 $\mu$ 秒から数十 $\mu$ 秒で立ち上げることにより、急激な電界をメモリセルに加えることを防止する。メモリウェル電圧の立上り時の電圧到達時間がワード線電圧の電圧到達時間に等しいタイミングとするモードコントロール回路MCを半導体不揮発性記憶装置に備えている。

本発明のコンピュータシステムは、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有するものである。

本発明では、行デコーダ回路XDRCを介して選択ワード線に12Vを加え、メモリマットウェル切り換え回路MWVCを介してメモリウェルに-4Vを加えることによって、消去動作に必要とされるメモリセルへの印加電圧16Vを達成している。このため、行デコーダ回路XDRCのMOSトランジスタに加わる最大電圧が12Vとなり、耐圧を従来の16Vから12Vに低減させることができる。

一方、書き込み動作では、選択メモリセルに対し、行デコーダ回路XDRCを介してワード線に-9V、センスラッチ回路SLのデータに従って選択ビット線に4Vを加え、非選択のワード線電圧を電源電圧Vccとしている。このため、行デコーダ回路XDRCのMOSトランジスタは-9Vと電源電圧Vccを選択

する必要があり、3. 3 Vの電源電圧 $V_{cc}$ に対しては、MOSトランジスタの耐圧として12. 3 Vが要求される。

したがって、本発明の装置を構成するMOSトランジスタでは、上記消去動作および書き込み動作により、最大12. 3 Vの耐圧を確保すれば良く、1  $\mu\text{m}$  程度のゲート長を用いることができる。

また、メモリセルの接続が、複数のメモリセルを並列に接続した単位ブロックとし、共通のドレインがMOSトランジスタを介してビット線に接続され、その単位のソースが、MOSトランジスタを介してソース線に接続されている方式では、選択セクタと同一ブロックの非選択セクタのみが、メモリウェル電圧のディスタurbを受けると、そのため、ディスタurb寿命時間は、ビット線と交差するセクタ数8 kビット（1 k = 1024ビット）から単位ブロックを構成するセクタ数たとえば64ビットの1/128に低減でき、信頼性の向上が可能となる。

図49は、第3の問題点を解決する為の単位ブロックをビット線方向に複数個配置した金属配線層のレイアウト、図2は、メモリマットの金属配線層のレイアウトの模式図を示す。

本発明の半導体不揮発性記憶装置では、メモリセルアレイのメモリマットにおいて、共通ソース線（M1）は、ビット線間に配置せずに、ワード線と平行に配置するレイアウト構成とする。共通ソース線（M1）の金属配線層は、ビット線に使用する金属配線層より前の製造工程で形成される。ダミーメモリセル列を含むメモリマットの終端には、ビット線と同じ層の金属配線層で列方向（ビット線と平行）の共通ソース線（M2以上）が配置されるレイアウト構成とする。また、共通ソース線の幅は、ビット線の幅に対して100倍程度太くする。

本発明のメモリセルの接続方法は、少なくとも、ビット線にMOSトランジスタを介して複数のメモリセルが接続される単位ブロック構成で、該単位ブロック毎のソースが共通ソース線（M1）に接続されている。

本発明の半導体不揮発性記憶装置は、図57の半導体不揮発性記憶装置の機能ブロック図に示すように、セクタ単位を崩さずにメモリマットを分割し、ワード線すなわちセクタを選択する行デコーダ回路XDCR、センス動作と書き込みデータのラッチ動作を行うセンスラッチ回路SNSを備え、さらに書き換え動作電

圧を発生する内蔵電源回路V Sを備えている。

メモリセルアレイマットの共通ソース線を単位ブロックのメモリセル列ごとに接続し、ビット線間にダミーメモリセル列を配置しないことにより、メモリマットのサイズを低減できる。

- 5 また、共通ソース線の配線幅をビット線幅より100倍程度太くするので、同一のワード線、すなわちセクタに接続されているメモリセルに加わる基板バイアスは一定となり、しきい値電圧のばらつきが低減する。従って、セクタ単位での情報の読みだしが安定する。

図面の簡単な説明

- 10 図1は、本発明の第1の実施例である書き込み動作（メモリセルしきい値電圧を下げる動作）のフローチャート図である。
- 図2は、本発明の第2の実施例である書き込み動作のフローチャート図である。
- 図3は、本発明の第3の実施例である書き込み動作のフローチャート図である。
- 図4は、本発明の第4の実施例である書き込み動作のフローチャート図である。
- 15 図5は、半導体不揮発性メモリセルのトランジスタを示す断面図である。
- 図6A、6Bは、半導体不揮発性メモリセルのトランジスタのしきい値電圧を選択的に下げる動作での電圧印加例を示す断面図である。
- 図7A、7Bは、半導体不揮発性メモリセルのトランジスタのしきい値電圧を選択的に上げる動作での電圧印加例を示す断面図である。
- 20 図8は、本発明のメモリセルしきい値電圧を選択的に下げる動作（書き込み動作）のセンスラッチ回路内のフリップフロップのデータを示す図である。
- 図9は、本発明の1回の動作でメモリセルしきい値電圧を選択的に戻す動作のセンスラッチ回路内のフリップフロップのデータを示す図である。
- 図10は、本発明のメモリセルしきい値電圧を選択的に戻す動作をセンスラッチ回路内のフリップフロップのデータにより選択戻しを行う場合のフリップフロップのデータを示す図である。
- 25 図11は、本発明のメモリセルしきい値電圧を再び選択的に下げる動作（書き込み動作）のセンスラッチ回路内のフリップフロップのデータを示す図である。
- 図12は、本発明の半導体不揮発性記憶装置を示す機能ブロック図である。

- 図13はシリアルアクセス方式のタイミングチャート。
- 図14A, 14Bは、メモリセルの出力状態図。
- 図15は、ランダムアクセス方式のタイミングチャート。
- 図16は、メモリセルの出力状態図。
- 5 図17は、メモリマットを構成するメモリセルの接続例(NOR)を示す回路図である。
- 図18は、メモリマットを構成するメモリセルの接続例(DINOR)を示す回路図である。
- 図19は、メモリマットを構成するメモリセルの接続例(AND)を示す回路
- 10 図である。
- 図20は、メモリマットを構成するメモリセルの接続例(HICR)を示す回路図である。
- 図21は、本発明のセンスラッチ回路をメモリマットに対してオープンビット線方式としたブロック図である。
- 15 図22は、本発明のセンスラッチ回路をメモリマットに対して折り返しビット線方式としたブロック図である。
- 図23は、本発明のセンスラッチ回路を詳細に示す回路図である。
- 図24は、従来のしきい値電圧を選択的に下げる動作(書き込み動作)時の動作タイミングを示す波形図である。
- 20 図25は、本発明の1回の動作でメモリセルしきい値電圧を選択的に戻す動作時の動作タイミングを示す波形図である。
- 図26は、本発明のメモリセルしきい値電圧を選択的に戻す動作をセンスラッチ回路内のフリップフロップのデータにより選択戻し動作時の動作タイミングを示す波形図である。
- 25 図27は、本発明のメモリセルしきい値電圧を再び選択的に下げる動作(書き込み動作)時の動作タイミングを示す波形図である。
- 図28は、本発明の半導体不揮発性記憶装置を用いたコンピュータシステムを示す機能ブロック図である。
- 図29は、従来の書き込み動作(メモリセルしきい値電圧を下げる動作)のフ

ローチャート図である。

図30は、従来のメモリセルのしきい値電圧を下げる動作（書き込み動作）を行った際の書き込み状態を示す図である。

図31A, 31B, 31Cは、本発明のメモリセルのしきい値電圧を下げる動作（書き込み動作）を行った際の書き込み状態を示す図である。

図32は、本発明のメモリセルの端子に印加する電圧を示す図である。

図33は、本発明の一実施例の半導体不揮発性記憶装置のメモリマットの概念図。

図34A, 34Bは、従来例の半導体不揮発性メモリセルの消去動作での電圧印加例を示すトランジスタの断面図。

図35は、本発明の一実施例の消去動作での選択メモリセルの電圧印加例を示すトランジスタの断面図。

図36A, 36B, 36Cは、本発明の一実施例の半導体不揮発性メモリセルの消去動作での非選択メモリセルの電圧印加例を示すトランジスタの断面図。

図37は、本発明の実施例の半導体不揮発性記憶装置を示す機能ブロック図。

図38は、本発明の一実施例のセンスラッチ回路を詳細に示す回路図。

図39は、本発明の一実施例において、AND型メモリセルで構成されるメモリマットを詳細に示す回路図。

図40は、本発明の一実施例の消去動作でメモリマットへ供給される電圧を発生するための機能ブロック図。

図41は、本発明の一実施例のメモリウェル電圧切り換え回路の回路図。

図42は、本発明の実施例のワード線を選択する行デコード回路の回路図。

図43は、従来例の消去動作のタイミングを示す波形図。

図44は、本発明の一実施例の第1の消去動作のタイミングを示す波形図。

図45は、本発明の一実施例の第2の消去動作のタイミングを示す波形図。

図46は、本発明の一実施例の第3の消去動作のタイミングを示す波形図。

図47は、本発明の一実施例の第4の消去動作のタイミングを示す波形図。

図48は、本発明のメモリセルアレイマット部の金属配線層のレイアウトを示す図である。

図49は、本発明のメモリセルアレイマツト部の金属配線層のレイアウトを示す図である。

図50は、従来のメモリセルアレイ部のレイアウトの概略を示す図である。

図51は、本発明のメモリセルアレイ部のレイアウトの概略を示す図である。

5 図52は、NAND型メモリセルの接続例を示す回路図である。

図53は、従来のメモリセルアレイの等価回路図を示す。

図54は、本発明のメモリセルアレイの等価回路図を示す。

図55は、ソース線間のビット線本数に対するソース線の面積割合を示す図である。

10 図56は、メモリセルのビット線位置に対するしきい値電圧の依存性を示す図である。

図57は、本実施例の半導体不揮発性記憶装置を示す機能ブロック図である。

図58は、本実施例のセンスラッチ回路を詳細に示す回路図である。

図59は、本実施例の読み出し動作のタイミングを示す波形図である。

15 図60は、PCカードへの適用例を示すブロック図。

発明を実施する為の最良の形態

以下、本発明の実施例を図面に基づいて詳細に説明する。

図12により、本実施例の半導体不揮発性記憶装置の基本構成を説明する。

本実施例の半導体不揮発性記憶装置は、たとえばしきい値電圧を電氣的に書き  
20 換え可能なトランジスタからなる複数のメモリマツトにより構成されるEEPROMとされ、メモリマツトMemory Mat、行アドレスバッファXADB、行アドレスデコーダXD CR、センスアンプおよびデータラッチ共用のセンスラッチ回路SLと列ゲートアレイ回路YG、列アドレスバッファYADB、列アドレスデコーダYD CR、入力バッファ回路DIB、出力バッファ回路DOB、マルチプレ  
25 クサ回路MP、モードコントロール回路MC、コントロール信号バッファ回路CSB、内蔵電源回路VSなどから構成されている。

この半導体不揮発性記憶装置において、コントロール信号バッファ回路CSBには、特に制限されるものではないが、たとえば外部端子/CE、/OE、/WE、SCなどに供給されるチップイネーブル信号、アウトプットイネーブル信号、

ライトイネーブル信号、シリアルクロック信号などが入力され、これらの信号に応じて内部制御信号のタイミング信号を発生し、またモードコントロール回路MCには外部端子R/(/B)からレディ/ビジィ信号が入力されている。なお、本実施例における/CE、/OE、/WEなどの「/」は相補信号を表している。

- 5 さらに、内蔵電源回路VSにおいては、特に制限されるものではないが、たとえば外部から電源電圧Vccが入力され、読み出しワード線電圧Vrw、書き込みワード線電圧Vww、書き込みベリファイワード線電圧Vwv、消去ワード線電圧Vew、消去ベリファイワード線電圧Vev、読み出しビット線電圧Vrb、読み出しリファレンスビット線電圧Vrr、書き込みドレイン端子電圧Vwd、
- 10 書き込みトランスファゲート電圧Vwt、低しきい値ベリファイワード線電圧Vlv、選択戻しワード線電圧Vpw、選択戻し非選択チャンネル・ドレイン電圧Vpc、選択戻しトランスファゲート電圧Vpt、高しきい値ベリファイワード線電圧Vhv、再選択書き込みワード線電圧Vsw、再選択書き込みドレイン端子電圧Vsd、再選択書き込みトランスファゲート電圧Vstなどが生成されるよ
- 15 うになっている。なお、上記各電圧は外部から供給されるようにしてもよい。

ここで生成された各電圧は、読み出しワード線電圧Vrw、書き込みワード線電圧Vww、書き込みベリファイワード線電圧Vwv、消去ワード線電圧Vew、消去ベリファイワード線電圧Vev、書き込みトランスファゲート電圧Vwt、低しきい値ベリファイワード線電圧Vlv、選択戻しワード線電圧Vpw、選択

20 戻しトランスファゲート電圧Vpt、高しきい値ベリファイワード線電圧Vhv、再選択書き込みワード線電圧Vsw、再選択書き込みトランスファゲート電圧Vstが、行アドレスデコーダXDCRに、読み出しビット線電圧Vrb、読み出しリファレンスビット線電圧Vrr、書き込みドレイン端子電圧Vwd、選択戻し非選択チャンネル・ドレイン電圧Vpc、再選択書き込みドレイン端子電圧Vsd、

25 d、書き込みトランスファゲート電圧Vwt、選択戻しトランスファゲート電圧Vpt、再選択書き込みトランスファゲート電圧Vstがセンスラッチ回路SLにそれぞれ入力されている。

内蔵電源電圧は、電源電圧の共用化を図ってもよい。たとえば、消去ワード線電圧Vewと選択戻しワード線電圧Vpw、書き込みワード線電圧Vwwと再選



択書き込みワード線電圧 $V_{sw}$ 、書き込みドレイン端子電圧 $V_{wd}$ と再選択書き込みドレイン端子電圧 $V_{sd}$ 、書き込みトランスファゲート電圧 $V_{wt}$ と再選択書き込みトランスファゲート電圧 $V_{st}$ などが共用の電圧となりえる。

この半導体不揮発性記憶装置においては、外部端子から供給される行、列アドレス信号 $AX$ 、 $AY$ を受ける行、列アドレスバッファ $XADB$ 、 $YADB$ を通して形成された相補アドレス信号が行、列アドレスデコーダ $XDCR$ 、 $YDCR$ に供給される。また、特に制限されるものではないが、たとえば、上記行、列アドレスバッファ $XADB$ 、 $YADB$ は装置内部のチップイネーブル選択信号/ $CE$ により活性化され、外部端子からのアドレス信号 $AX$ 、 $AY$ を取り込み、外部端子から供給されたアドレス信号と同相の内部アドレス信号と逆相のアドレス信号とからなる相補アドレス信号を形成する。

行アドレスデコーダ $XDCR$ は、行アドレスバッファ $XADB$ の相補アドレス信号に従ったメモリセル群のワード線 $W$ の選択信号を形成し、列アドレスデコーダ $YDCR$ は、列アドレスバッファ $YADB$ の相補アドレス信号に従ったメモリセル群のビット線 $B$ の選択信号を形成する。これにより、メモリマット $Memory\ Mat$ 内において、任意のワード線 $W$ およびビット線 $B$ が指定されて所望のメモリセルが選択される。

特に制限されるものではないが、たとえばメモリセルの選択は8ビットあるいは16ビット単位などでの書き込み、読み出しを行うために行アドレスデコーダ $XDCR$ と列アドレスデコーダ $YDCR$ によりメモリセルは8個あるいは16個などが選択される。1つのデータブロックのメモリセルはワード線方向（行方向）に $m$ 個、ビット線方向（列方向）に $n$ 個とすると、 $m \times n$ 個のメモリセル群のデータブロックが8個あるいは16個などから構成される。

ここで、メモリマトリックス $Memory\ Matrix$ の任意のメモリセルを選択し、この選択されたメモリセルからのデータの読み出し動作について、メモリセルに対してシリアルアクセス方式を用いる場合と、ランダムアクセス方式を用いる場合について、図13～図16により説明する。本実施の形態においては、出力の際に一時データをラッチするセンスラッチ回路を設けてシリアルアクセス方式を採用することで、特に大きな効果が期待できる。

たとえば、シリアルアクセス方式においては、図13のようなタイミングチャートとなり、メモリマトリックスMemory Matrixの一部概略を示す図14A、14Bのようにしてデータが出力される。すなわち、チップイネーブル信号/CE、アウトプットイネーブル信号/OE、ライトイネーブル信号/WEが活性化され、

5 データ入力コマンドDinの入力後にアドレス信号Addressが入力されると、シリアルクロック信号SCに同期して、アドレス信号が順次インクリメントまたはデクリメントされ、たとえば0ビットから511ビットまでの512ビットのデータDataが順次出力される。

この場合に、メモリマトリックスMemory Matrixにおいては、図14Aのよう

10 に1つのワード線WL<sub>i</sub>が指定され、さらにデータ線DL<sub>j</sub>が順に指定されることで、ワード線WL<sub>i</sub>とビット線BL<sub>j</sub>に接続されるメモリセルが順次選択されて、センスラッチ回路にデータが取り込まれる。そして、このセンスラッチ回路に取り込まれたデータは、図14Bのようにメインアンプを通じて順次出力される。たとえば、アドレス信号Addressが入力されてから最初のデータが出力される

15 までの時間 $t_{wsc}$ は1 $\mu$ s、1つのデータが出力される時間 $t_{sccl}$ は50nsとなることができ、データの高速な読み出しが可能となる。

これに対して、ランダムアクセス方式においては、図15のようなタイミングチャートとなり、メモリマトリックスMemory Matrixの一部概略を示す図16のようにしてデータが出力される。すなわち、最初のアドレス信号Addressが入力

20 されると、メモリマトリックスMemory Matrixにおいては、1つのワード線WL<sub>i</sub>と1つのビット線BL<sub>j</sub>が指定され、このワード線WL<sub>i</sub>とビット線BL<sub>j</sub>に接続されるメモリセルが選択される。そして、この選択されたメモリセルのデータはセンスアンプを通じて出力される。同様に、次のアドレス信号Addressに対しても、このアドレス信号Addressの入力から時間 $t_{acc}$ 後に、ワード線WL<sub>i</sub>と

25 ビット線BL<sub>j</sub>により選択されたメモリセルのデータを出力することができる。

上記メモリセルは、特に制限されるものではないが、たとえばEPROMのメモリセルと類似の構成であり、制御ゲートと浮遊ゲートとを有する公知のメモリセル、または制御ゲートと浮遊ゲート、および選択ゲートとを有する公知のメモリセルである。ここでは、制御ゲートと浮遊ゲートとを有するメモリセルの構造

を図5により説明する。

図5において、この不揮発性メモリセルは、たとえば1987年に発行された International Electron Devices Meeting Tech. Dig. pp. 560-563において発表されたフェラッシュメモリのメモリセルのトランジスタと同一の構造である。このメモリセルは、特に制限されるものではないが、たとえば単結晶P型シリコンからなる半導体基板上に形成される。

すなわち、この不揮発性メモリセルは、図5に示すように制御ゲート電極1、ドレイン電極2、ソース電極3、浮遊ゲート4、層間絶縁膜5、トンネル絶縁膜6、P型基板7、ドレイン・ソース領域の高不純物濃度のN型拡散層8、9、ドレイン側の低不純物濃度のN型拡散層10、ソース側の低不純物濃度のP型拡散層11からなるトランジスタ1素子によって、1つのフラッシュ消去型のEEPROMセルが構成されている。

これらのメモリセルを複数接続するメモリセル群については、種々の接続例が提案されており、特に制限されるものではないが、たとえば、図17から図20に示すようなNOR型、DINOR型、AND型、HICR型などがあり、以下順に説明する。

図17は、メモリセルをNOR型により接続した例であり、メモリセルのMOSトランジスタに対してワード線W1, ..., Wmとビット線B1, ..., Bn、さらにSource Lineが接続され、これらを通して書き換え（書き込み、消去）動作または読み出し動作が行われる。すなわち、ワード線W1, ..., WmはMOSトランジスタのゲート、ビット線B1, ..., BnはMOSトランジスタのドレイン、Source LineはMOSトランジスタのソースにそれぞれ接続されている。

図18は、DINOR型によるメモリセルの接続例で、Select Gate および Sub Bit Lineが追加され、Select Gate のMOSトランジスタのソースはビット線B1, ..., Bnに接続され、またこのMOSトランジスタのドレインはSub Bit Lineを通してそれぞれのメモリセルのMOSトランジスタのドレインに接続されている。

図19は、AND型による接続例を示し、Select Gate 1およびSelect Gate 2、さらにSub Source Lineを有し、Select Gate 1のMOSトランジスタのソ

ースは、ビット線B 1, ..., B nに接続され、さらにこのMOSトランジスタのドレインはSub Bit Lineを通してそれぞれのメモリセルのMOSトランジスタのドレインに接続されている。また、Select Gate 2のMOSトランジスタのソースはSource Line に接続され、さらにこのMOSトランジスタのドレインはSub  
5 Source Line を通してそれぞれのメモリセルのMOSトランジスタのソースに接続されている。

図20は、HICR型によるメモリセルの接続例で、Select Gate 1のMOSトランジスタのソースはビット線B 1, ..., B nに接続され、さらにこのMOSトランジスタのドレインはSub Bit Lineを通してそれぞれのメモリセルのMOS  
10 トランジスタのドレインに接続されている。また、Select Gate 2のMOSトランジスタのソースはSource Line に接続され、さらにこのMOSトランジスタのドレインはSub Source Line を通してそれぞれのメモリセルのMOSトランジスタのソースに接続されている。

メモリセルのしきい値電圧を選択的に上げる若しくは下げる動作すなわち書換え動作手法を図6A, 6B、図7A, 7Bのメモリセルの断面模式図と端子印加電圧を用いて説明する。  
15

図6A, 6Bは、メモリセルのしきい値電圧を選択的に下げる動作を示したものである。図6A、図6Bは、それぞれの制御ゲートが共通のワード線に接続されたメモリセルであり、図6Aの端子印加電圧はメモリセルのしきい値電圧を下  
20 げる際の端子印加電圧を示してあり、図6Bの端子印加電圧はメモリセルのしきい値電圧を保持する際の端子印加電圧を示している。図6A、図6Bの制御ゲートが共通に接続されたワード線にたとえば-10V程度の負の電圧を印加し、図6Aのメモリセルのドレイン端子には選択的にたとえば5V程度の電圧を印加することで、浮遊ゲートとドレイン間に電圧差が生じ、浮遊ゲート内の電子がドレ  
25 イン側に Fowler-Nordheimトンネル現象で引き抜かれる。図6Bのメモリセルのドレイン端子には0Vを印加することで、浮遊ゲートとドレイン間との電圧差を少なくさせ、浮遊ゲート内の電子の放出を防ぐ。

尚、メモリセルのしきい値電圧を下げる動作において、非選択のワード線の電圧は、ドレイン電圧によるディスターブ（電子の放電）を防止するため正電圧が

印加されている。そのため、書換え動作ではソース電極をopenとすることで、定常電流が流れることを防止する。

図7A、7Bは、メモリセルのしきい値電圧を選択的に上げる動作を示したものである。図7A、図7Bは、それぞれの制御ゲートが共通のワード線に接続されたメモリセルであり、図7Aの端子印加電圧はメモリセルのしきい値電圧を上げる際の端子印加電圧を示してあり、図7Bの端子印加電圧はメモリセルのしきい値電圧を保持する際の端子印加電圧を示している。図7A、図7Bの制御ゲートが共通に接続されたワード線にたとえば16V程度の高電圧を印加し、図7Aのメモリセルのドレイン端子には選択的にたとえば0Vの電圧を印加することで、  
5 浮遊ゲートとチャネル間とに電圧差が生じ、チャネル内の電子が浮遊ゲート内に  
10 Fowler-Nordheimトンネル現象で注入される。図7Bのメモリセルのドレイン端子にはたとえば8V程度の電圧を印加することで、浮遊ゲートとチャネル間との電圧差を少なくさせ、浮遊ゲート内への電子の注入を防ぐ。

また、メモリセルのしきい値電圧を上げる動作でのドレイン電圧すなわちチャ  
15 ネル電圧を負の電圧として、制御ゲートすなわちワード線電圧を下げることも可能である。

図6A、6B、図7A、7Bから明らかなように、メモリセルのドレイン端子に印加する電圧値を選択的に制御することにより、選択的にメモリセルのしきい値電圧を書き換えられる。メモリセルのドレイン端子に印加する電圧値を選択的に  
20 に制御するには、後述するように、メモリセルのドレイン端子が接続されるビット線ごとにフリップフロップを有するセンスラッチ回路を接続し、センスラッチ回路にドレイン端子の電圧情報に関するデータを持たせればよい。

本実施例のメモリマットMemory Matとセンスラッチ回路SLとの接続について、その概要を図21と図22により説明する。本実施例においては、ビット線B1  
25 からBnの1本に1つのセンスラッチ回路SLが設けられることが特徴であり、たとえば図21に示すようにセンスラッチ回路SL1からSLnをメモリマットMemory Mat a、bのビット線Ba1からBan、Bb1からBbnに対してオープンビット線方式で配置して、図22のようにビット線B1からBnの2本に2つのセンスラッチ回路SLが設ける折り返しビット線方式で配置する。

次に、センスラッチ回路SLの詳細な回路図を説明する。メモリマツトMemory Matとセンスラッチ回路SLとの接続を図21のオープンビット線方式で配置した場合のセンスラッチ回路SLの回路図を図23に示す。

この図23に示すセンスラッチ回路SLにおいては、ビット線BanとBbn  
5 に対してフリップフロップを含むセンスラッチ回路SLが接続されており、ビット線BanとBan、Bbn-1とBbnに対して同一（等価）の接続構成を有している。さらに、センスラッチ回路SLはビット線の偶数／奇数に対してコントロール信号を分けており、ビット線Ban-1とBbnに対して同一（等価）の接続構成を有している。これは、ビット線の寄生線間容量が、センス動作にあ  
10 たえる影響を防止するため、たとえば偶数ビット線側（以下、even側という）に接続されているメモリセルのセンス動作中は、奇数ビット線側（以下、odd側という）の電位をVssとして寄生線間容量を一定の値で、even側のメモリセルの読み出しを行う。

メモリマツトMemory Mat aのビット線Ba1を例に説明すると、ビット線Ba1  
15 a1には、ビット線の電位を接地電圧Vssにディスチャージを行うゲート信号BDeuを入力とするMOSトランジスタM1と、ビット線の電位のプリチャージを行うゲート信号RCeuを入力とするMOSトランジスタM2と、フリップフロップの情報をゲート入力信号とするMOSトランジスタM4を介してプリチャージ信号PCeuをゲートとするMOSトランジスタM3が接続されている。  
20 M3とM4との接続は限定するものではなく、電源電圧Vcc側がM3、ビット線側がM4でもよい。ビット線Ba1とフリップフロップ側配線Ba1f間には、ゲート信号TReuを入力とするMOSトランジスタM5が接続されている。フリップフロップ側配線Ba1fには、フリップフロップの電位を接地電圧Vssにディスチャージを行うゲート信号RSLeuを入力とするMOSトランジスタ  
25 M6と、列アドレスに応じて列ゲート信号Yaddを入力としフリップフロップの情報をデータ出力を行うMOSトランジスタM7と、ゲート入力信号をフリップフロップの情報とするMOSトランジスタM8に接続されている。MOSトランジスタM8のドレインは共用信号ALeu、ソースは接地電圧Vssとし、多段入力NOR回路接続を組む。すなわち、接続されている全てのフリップフロ

プの情報接地電圧 $V_{ss}$ になることを判定するMOSトランジスタである。

以上、本実施例の半導体不揮発性記憶装置の基本構成を述べてきたが、次に、本実施例の特徴であるしきい値電圧を下げる動作（書き込み動作）シーケンスを図1から図4の動作シーケンスにより説明する。

- 5 尚、図1から図4の動作シーケンスをしきい値電圧を下げる動作を消去シーケンスに適用することも可能である。

本実施例の第1の実施例の動作シーケンスを図1に示す。本実施例は、Aシーケンス、すなわち、前述した図29の動作シーケンスの後に、Bシーケンス、すなわち、メモリセルのデータを読み出し、所定のレベル以上書き込み過ぎたメモリセル（以下、低しきい値のメモリセルという）がないかを確認する低しきい値  
10 ベリファイ動作を行い、低しきい値電圧のメモリセルのしきい値電圧を選択的に戻す動作（選択戻し動作）を追加した。

図31Aにより、Bシーケンスを詳述する。低しきい値ベリファイ動作時のワード線電位は、メモリセルのしきい値電圧が負の値とならないような電圧、たとえば接地電圧 $V_{ss}$ に設定する。しきい値電圧が $V_{ss}$ 以下である低しきい値の  
15 メモリセルに接続されたワード線を選択すると電流が流れるので、低しきい値のメモリセルの存否を確認できる。低しきい値のメモリセルが存在すれば、単位戻し時間を設定して、図7に示すチャネル全面 Fowler-Nordheimトンネル現象により、低しきい値のメモリセルのしきい値電圧を1回の動作で選択的に $V_{ss}$ 以上のしきい値に戻す。  
20

本実施例の第2の実施例の動作シーケンスを図2に示す。第1の実施例では1回の動作で選択戻し動作を行うのに対して、第2の実施例では、低しきい値ベリファイ動作及び選択戻し動作を複数回に分けて行うCシーケンスをAシーケンスの後に  
25 行う。Cシーケンスを繰り返す間に、メモリセルのしきい値電圧が戻ったメモリセル、すなわち、低しきい値ではなくなったメモリセルは、Cシーケンスの動作対象からはずれ、不必要な選択戻し動作が行われないように設定される。

尚、Cシーケンスにおいて最初に行われる低しきい値ベリファイ時のワード線電圧と2回目以降に繰り返し行われる低しきい値ベリファイ時のワード線電圧は一致していなくてもよい。たとえば、最初に行われる低しきい値ベリファイ時の

ワード線電圧を接地電圧  $V_{ss}$  とし、上述した B シーケンスの如くデプレッションしているメモリセルを判定し、単位戻し時間を設定して、低しきい値のメモリセルのしきい値電圧を 1 回の動作で選択的に  $V_{ss}$  以上のしきい値に戻し、2 回目以降に繰り返し行われる低しきい値ベリファイ時のワード線電圧を、図 3 1 B のように、たとえば 0.5 V とし、メモリセルのしきい値電圧が 0.5 V 以上に戻してもよい。

本実施例の第 3 の実施例の動作シーケンスを図 3 に示す。第 3 の実施例では、低しきい値ベリファイ動作、選択戻し動作を行った後、書き込みが所定のレベルまで達していないメモリセル（以下、高しきい値のメモリセルという）の存否を確認する高しきい値ベリファイ動作を行い、高しきい値のメモリセルがあればそのメモリセルに対し、しきい値電圧の選択書き込み動作（以下、再選択書き込みという）を行う。選択戻し動作と再選択書き込み動作との間には、しきい値電圧を下げる動作をしているので、再データ入力のベリファイ動作が必要である。しきい値電圧を保っているものと、少しだけしきい値電圧が変動したもののとの区別を行うためである。

再データ入力ベリファイのワード線電圧をたとえば 2 V 程度の電圧を印加して、書き込みデータをフリップフロップにラッチさせる。後述するように、この書き込みデータと、高しきい値ベリファイ動作の結果とに応じて、再選択書き込みを行うメモリセルを決定する。高しきい値ベリファイ動作時のワード線電圧には、たとえば 1.5 V 程度の電圧を印加して、書き込み対象セルのしきい値電圧を、1.5 V 以下にする。再選択書き込み動作は、書き込み動作と同様なシーケンスにより実現できる。

このシーケンスにより、書き込み状態のしきい値電圧レベルを、低しきい値ベリファイ時のワード線電圧 0.5 V から高しきい値ベリファイ時のワード線電圧 1.5 V の間に収めることができる。

本実施例の第 4 の実施例の動作シーケンスを図 4 に示す。第 4 の実施例の動作シーケンスは C シーケンスと D シーケンス、すなわち、選択戻し動作と再選択書き込み動作をあらかじめ規定した回数だけ繰り返す動作シーケンスである。

以下、上述した A、B、C、D シーケンスをさらに詳述する。



本実施例の図1から図4に記載のA、B、C、Dシーケンス行う際のセンスラッチ回路SL内のフリップフロップのデータをそれぞれ図8、図9、図10、図11に示し、また、A、B、C、Dシーケンス行う際の図23のセンスラッチ回路SL内の内部信号のタイミング波形図を図24、図25、図26、図27に示す。図8から図11に記載のフリップフロップのデータ“0”は、フリップフロップが接続されているメモリセルのしきい値電圧が高い状態（消去状態）と定義しており、フリップフロップのデータは接地電圧 $V_{ss}$ である。また、フリップフロップのデータ“1”は、メモリセルのしきい値電圧が低い状態（書き込み状態）と定義しており、フリップフロップのデータはたとえば外部電源電圧 $V_{cc}$ であり、書き換え動作時には内部昇圧電位の書き込みドレイン端子電圧 $V_{wd}$ 、選択戻し非選択チャンネル・ドレイン電圧 $V_{pc}$ 、再選択書き込みドレイン端子電圧 $V_{sd}$ となる。

図24から図27のタイミング波形図は、メモリマツト Memory Mat a側のメモリセル群（セクタ）を選択した（対象メモリマツトMemory Mat側の）波形図であり、実線の波形は、図23において添字にuがついている制御信号の波形であり、破線の波形は、図19において添字にdがついている制御信号の波形図である。

まず、書き込み動作シーケンス（Aシーケンス）を図8で説明する。しきい値が高い状態（消去状態）を保持するメモリセルにビット線を介して接続されているセンスラッチ回路内のフリップフロップを“0”とし、しきい値が低い状態（書き込み）に書き換えるメモリセルにビット線を介して接続されているフリップフロップを“1”とするデータを入力し、その後図6に示したドレインエッチ Fowler-Nordheim トンネル現象で浮遊ゲート内の電子を引き抜く。ベリファイでは、選択ワード線の電圧を1.5Vとし、フリップフロップのデータ“1”に対応するビット線のみを選択的にプリチャージを行う。書き込みしきい値電圧レベル、すなわちベリファイ時のワード線電圧である1.5Vに到達したメモリセルではセル電流が流れPassとなり、ビット線の電位を放電する。従って、フリップフロップのデータは“0”に書き換えられる。1.5Vに未達のメモリセルではセル電流は流れずFailとなり、ビット線の電位はプリチャージした電圧を保ち、

フリップフロップのデータは“1”を保持している。ベリファイ後のフリップフロップのデータを再書き込みデータとし、書き込みとベリファイ動作を繰り返す。フリップフロップの全てのデータが“0”となることで書き込み動作を終了する。この一括判定は、チップ内で自動的に行う。

- 5 図24に書き込み動作シーケンス(Aシーケンス)時のセンスラッチ回路SL内の内部信号のタイミング波形図を示す。

t1までにセンスラッチ回路SL内のフリップフロップに書き込みデータを入力し、t1からt5の間に書き込み、t5からt9の間にeven側のベリファイ、t9からt11の間にodd側のベリファイ、t11からt13の間にメモリセル

10 しきい値電圧の全ビット終了判定を行う。t1までの書き込みデータ入力は、上述したように、メモリセルのしきい値電圧を選択的に下げたいメモリセルに対応するビット線B1, ..., Bnに接続されているフリップフロップのデータをHighレベル、しきい値電圧を下げたくないデータを接地電圧Vssとする。

t1からt2の間にPCeu、PCouを選択することにより、フリップフロ

15 ップのデータを選択的にビット線B1, ..., Bnに伝達させる。その後、t2からt4の間にTReu、TRouを選択して書き込みドレイン電圧を供給する。TReu、TRouの選択前にPCeu、PCouを選択するのは、TReu、TRouのみを選択した場合、ビット線B1, ..., Bnの容量がフリップフロップ側B1f, ..., Bnfの容量より大きいので、フリップフロップのデータを破

20 壊してしまうためである。TReu、TRouおよびSG1a/bの電位を6Vとするのは、書き込み時のドレイン電圧5V(VSPeおよびVSPo)をトランスファするためであり、ドレイン電圧を上げる場合には、TReu、TRouおよびゲート信号SG1a/bのドレイン側Select Gate 1のMOSトランジスタのしきい値電圧を考慮してTReu、TRouおよびSG1a/bのゲート電

25 位を設定する。選択ワード線電圧Waの電位を立ち下げた(t2)後、SG1a/bを選択(t3)するのは、ワード線の遅延時間がドレイン側Select Gate 1と比較して大きいからである。正味の書き込み時間はt3からt4の間であり、ワード線を負電圧-10Vとすることで、選択的にビット線電圧を5Vとすることで所望のメモリセルの浮遊ゲートに電界が生じ、電子が放出される。

t 4 から t 5 の間は、ビット線  $B_1, \dots, B_n$  の電位およびサブビットライン Sub Bit Line、サブソースライン Sub Source Line を接地電圧  $V_{ss}$  に放電するために  $BD_{eu}/d$ 、 $BD_{ou}/d$  およびドレイン側 Select Gate 1 のゲート信号  $SG_{1a}/b$ 、ソース側 Select Gate 2 のゲート信号  $SG_{2a}/b$  が選択される。

t 5 から t 6 の間は、フリップフロップのデータにより選択的にビット線にプリチャージを行うためと、リファレンス電位を非選択側メモリマットのビット線に供給するために、 $PC_{eu}$  と  $RC_{ed}$  が選択される。ここで MOS トランジスタのしきい値電圧を考慮して、プリチャージの電位を  $1.0V$  とした場合には、 $PC_{eu}$  の電位を  $2.0V$  とし、リファレンス電位  $0.5V$  とした場合には、 $RC_{ed}$  の電位は  $1.5V$  とする。

t 6 までは、フリップフロップのデータを保持するために内部電源電圧  $V_{SPe}/o$ 、 $V_{SNe}/o$  は活性化されている。t 5 から t 10 の間までは、選択ワード線電位はベリファイ電圧の  $1.5V$  である。

even 側ベリファイ時のメモリセルの放電時間は、t 6 のソース側 Select Gate 2 のゲート信号  $SG_{2a}$  の選択から、t 7 のドレイン側 Select Gate 1 のゲート信号  $SG_{1a}$  の非活性までであり、この間 even 側のフリップフロップは  $RSLe_{u}/d$  信号の活性によりリセットされている。その後、t 7 から t 8 の間に  $TR_{eu}/d$  を選択し、even 側のフリップフロップの電源電圧  $V_{SPe}$ 、 $V_{SNe}$  を再び活性化することで、ベリファイ後のメモリセルの情報を even 側のフリップフロップに取り込むことができる。すなわち、メモリセルのしきい値電圧が低い状態または高い状態により、ビット線の電位が放電状態またはプリチャージ電圧を保っている。

t 8 から t 9 の間は、even 側ベリファイ時のビット線  $B_{n-1}$  の電位およびサブビットライン Sub Bit Line、サブソースライン Sub Source Line を接地電圧  $V_{ss}$  に放電する。

次に、odd 側のベリファイ動作を even 側ベリファイと同様に t 9 から t 10 の間に行う。その後、 $T_{11}$  から t 13 の間にメモリセルしきい値電圧の全ビット終了判定を行う。全てのメモリセルのしきい値電圧が下がっていれば、フリップ

フロップのデータは接地電圧 $V_{ss}$ であり、この $V_{ss}$ を判定する。 $ALeu$ および $ALou$ を活性化( $t_{11}$ から $t_{12}$ 間)した後、その電位を検証し、接地電圧 $V_{ss}$ の場合は $t_1$ へ繰り返し、書き込み動作を継続させる。また、 $ALeu$ 、 $ALou$ がHighレベルの場合には書き込み動作を終了する。

- 5 図9は、Bシーケンス時のセンスラッチ回路内のフリップフロップのデータをあらわす。従来の書き込み動作(Aシーケンス)終了後、書き込みの対象となったワード線に接続されているすべてのメモリセルに対し、上述した低しきい値ベリファイ動作を行う。低しきい値ベリファイ動作時のワード線電圧は、例えば接地電圧 $V_{ss}$ とし、全ビットを対象としてプリチャージを行う。ベリファイワー
- 10 ド線電圧よりもしきい値電圧が低いビット(デプレッションビット)では、セル電流が流れ、フリップフロップのデータは“0”となり、また、しきい値電圧を確保しているビットではプリチャージ電圧を維持して“1”となる。その後、フリップフロップのデータ判定を行い、全データが“1”なら動作を終了させ、1ビットでも“0”すなわち、低しきい値ベリファイ時のワード線電圧よりも、し
- 15 きい値電圧が低いビット(デプレッションビット)が存在すれば、選択戻し動作となる。書き込みの対象となったワード線の電位を高電圧たとえば16Vとし、フリップフロップのデータで選択されたメモリセルのチャンネルを接地電圧 $V_{ss}$ とし、非選択のメモリセルのチャンネル・ドレイン電圧 $V_{pc}$ 、たとえば8Vで選択戻し動作を行う。

- 20 図25は、Bシーケンス時のセンスラッチ回路SL内の内部信号のタイミング波形を示す。 $t_1$ から $t_3$ の間では、even側、 $t_3$ から $t_4$ の間にodd側の低しきい値ベリファイ動作を行い、 $t_4$ から $t_5$ 間ので選択戻し動作を行うか否かの判定をし、 $t_6$ から $t_9$ 間で選択戻し動作を行う。

- 図24で説明したAシーケンス内のベリファイ時との違いは、全ビットを対象
- 25 とするベリファイ動作であるため、 $t_1$ から $t_2$ 間のビット線のプリチャージ電圧及びリファレンス電圧の供給を、 $RC_{eu}$ の電位を2.0Vおよび $RC_{ed}$ の電位を1.5Vとすることで行う点にある。

選択戻し動作では、まず $t_5$ から $t_6$ の間に $PC_{eu}$ 、 $PC_{ou}$ を活性化させフリップフロップのデータをビット線に伝達させる。その後、書き込み動作と同

様に信号線を活性化することで選択戻し動作を実行できる。ただし、選択戻し動作時のワード線電圧 $V_{pw}$ は、例えば16Vの高電圧を印加し、フリップフロップの電源電圧 $V_{SPe/o}$ は、選択戻し時の非選択チャンネル・ドレイン電圧 $V_{pc}$ 、例えば8Vの電圧とし、さらにドレイン電圧をトランスファするMOSトランジスタのゲート信号 $TR_{eu/d}$ 、 $TRO_{u/d}$ および $SGI_{u/d}$ の電位は、

5      選択戻し時のトランスファゲート電圧 $V_{pt}$ 、例えば9Vとする。

図10には、Cシーケンス時のセンスラッチ回路内のフリップフロップのデータをあらわす。従来の書き込み動作（Aシーケンス）終了後、書き込み対象となったワード線に接続されているメモリセルの低しきい値ベリファイを図9と同様に

10      に行い、しきい値電圧が低いビット（デプレッションビット）が存在すれば、選択戻し動作を行う。その後、しきい値電圧を戻したい電圧で、再度低しきい値ベリファイ動作が行われる。たとえば、低しきい値ベリファイワード線電圧を0.5Vとすると、メモリセルのしきい値電圧を0.5V以上にすることができる。

再度行う低しきい値ベリファイにおいて、選択ワード線の電圧を0.5Vとした場合について述べる。まず、ビット線側を全選択のプリチャージを行う。選択戻ししきい値電圧レベル、すなわちベリファイワード線電圧である0.5Vに未

15      達しているメモリセルではセル電流が流れFailとなり、ビット線の電位を放電する。従って、フリップフロップのデータは“0”を保持している。また一方、0.5Vに到達したメモリセルではセル電流は流れずPassとなり、ビット線の電位は

20      プリチャージした電圧を保ち、フリップフロップのデータの“1”に書き換えられる。ベリファイ後のフリップフロップのデータを再選択戻しのデータとし、選択戻しと低しきい値ベリファイ動作を繰り返す。フリップフロップの全てのデータが“1”となることで動作は終了する。この一括判定はチップ内で自動的に行う。

25      図26は、Cシーケンス時のセンスラッチ回路SL内の内部信号のタイミング波形を示す。

$t_1$ から $t_2$ 間にフリップフロップのデータをセットし、 $t_2$ から $t_8$ 間にeven側、 $t_8$ から $t_9$ 間にodd側の低しきい値ベリファイ動作を行い、 $t_9$ から $t_{10}$ 間で選択戻し動作を行うか否かの判定をし、 $t_{10}$ から $t_{11}$ 間で選択戻

し動作を行う。

t 1 から t 2 間、非選択側の R S L e d、R S L o d を選択し、フリップフロップの電源電圧 V S P e / o、V S N e / o を活性化することにより、フリップフロップのデータを全ビット選択にセットする。

- 5 t 2 から t 3 間は、選択された全ビット線にプリチャージ電位を、非選択側メモリマットのビット線にリファレンス電位を供給するために R C e u の電圧を 2.0 V、R C e d の電圧を 1.5 V にする。even 側ベリファイ時のメモリセルの放電時間は、t 3 のソース側 Select Gate 2 のゲート信号 S G 2 a の選択から、t 4 のドレイン側 Select Gate 1 のゲート信号 S G 1 a の非活性までである。

- 10 t 4 から t 5 間に、P C e u / d を選択し、フリップフロップのデータをビット線に伝達する。その後、t 5 から t 6 の間でフリップフロップのリセット動作を行い、t 6 から t 7 間に T R e u / d を選択し、even 側のフリップフロップの電源電圧 V S P e、V S N e を再び活性化することで、ベリファイ後のメモリセルの情報を even 側のフリップフロップに取り込むことができる。

- 15 次に、odd 側のベリファイ動作を even 側ベリファイと同様に t 8 から t 9 間に行う。その後、t 9 から t 10 間にメモリセルのしきい値電圧が所定の電圧以上に戻っているか否かの判定を行う。全てのメモリセルのしきい値電圧が戻っていれば、フリップフロップのデータが電源電圧 V S P e / o の電位 (High レベル) となるので、フリップフロップのデータによりメモリセルのしきい値電圧の判定  
20 を行うことができる。フリップフロップのデータの検証は、非選択側の A L e d および A L o d を活性化して行う。フリップフロップのデータが接地電圧 V s s の場合は t 10 からの選択戻し動作を行い、その結果、フリップフロップのデータが High レベルになれば動作を終了する。選択戻し動作は図 21 と同様に行われる。選択戻し動作終了した t 11 以降は、t 2 にもどり動作シーケンスを継続す  
25 る。

図 11 は、D シーケンスでのフリップフロップのデータをあらわす。再データ入力ベリファイのワード線電圧をたとえば 2 V 程度の電圧を印加して、書き込みデータをフリップフロップにラッチさせ、高しきい値ベリファイ時のワード線電圧をたとえば 1.5 V 程度の電圧を印加して、書き込み対象のメモリセルのしき

い値電圧を1.5V以下にする。

再選択書き込み動作のフリップフロップのデータは、図8で説明した書き込みのフリップフロップのデータと同様である。

図2.7は、Dシーケンス時のセンスラッチ回路SL内の内部信号のタイミング波形を示す。回路SLを動作させるタイミング波形図を示す。

t1からt3間にベリファイワード線電圧2Vの再データ入力ベリファイ動作を行い、t3からt4間にベリファイワード線電圧1.5Vの高しきい値ベリファイ動作を行い、t5からt6間で再選択書き込み動作を行うか否かの判定をし、t6からt7間で再選択書き込み動作を行う。t7終了後には、t2にもどり動作シーケンスを継続する。

図3.2は、A、B、C及びDシーケンス実行時並びに読み出し、消去、消去ベリファイ時にメモリセルの端子に印加する電圧を示す。

以上、実施例に基づき具体的に説明したが、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、本実施例の半導体不揮発性記憶装置については、フラッシュメモリ(EEPROM)に適用した場合について説明したが、本発明は前記実施例に限定されるものではなく、EEPROM、EPROMなどの電氣的に書き換え可能な他の不揮発性記憶装置についても広く適用可能である。

また、本実施例の半導体不揮発性記憶装置においては、フラッシュメモリとして記憶装置単位で使用される場合に限らず、たとえばコンピュータシステム、デジタル・スチル・カメラシステム、自動車システムなどの各種システムの記憶装置として広く用いられ、一例として図2.4によりコンピュータシステムについて説明する。

図2.8において、このコンピュータシステムは、情報機器としての中央処理装置CPU、情報処理システム内に構築したI/Oバス、Bus Unit、主記憶メモリや拡張メモリなどの高速メモリをアクセスするメモリ制御ユニットMemory Control Unit、主記憶メモリとしてのDRAM、基本制御プログラムが格納されたROM、先端にキーボードが接続されたキーボードコントローラKBDCなどによって構成される。さらに、表示アダプタとしてのDisplay AdapterがI/O

バスに接続され、上記Display Adapterの先端にはディスプレイDisplayが接続されている。

そして、上記I/OバスにはパラレルポートParallel Port I/F、マウスなどのシリアルポートSerial Port I/F、フロッピーディスクドライブFDD、

5 上記I/OバスよりのHDD I/Fに変換するバッファコントローラHDD Bufferが接続される。また、上記メモリ制御ユニットMemory Control Unitからのバスと接続されて拡張RAMおよび主記憶メモリとしてのDRAMが接続されている。

ここで、このコンピュータシステムの動作について説明する。電源が投入され

10 て動作を開始すると、まず上記中央処理装置CPUは、上記ROMを上記I/Oバスを通してアクセスし、初期診断、初期設定を行う。そして、補助記憶装置からシステムプログラムを主記憶メモリとしてのDRAMにロードする。また、上記中央処理装置CPUは上記I/Oバスを通してHDDコントローラにHDDをアクセスするものとして動作する。

15 そして、システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。なお、ユーザは上記I/Oバス上のキーボードコントローラKBDCや表示アダプタDisplay Adapterにより処理の入出力を行いながら作業を進める。そして、必要に応じてパラレルポートParallel Port I/F、シリアルポートSerial Port I/Fに接続された入出力装置を活用する。

20 また、本体上の主記憶メモリとしてのDRAMでは主記憶容量が不足する場合は、拡張RAMにより主記憶を補う。ユーザがファイルを読み書きしたい場合には、ユーザは上記HDDが補助記憶装置であるものとして補助記憶装置へのアクセスを要求する。そして、本発明のフラッシュメモリによって構成されたフラッシュファイルシステムはそれを受けてファイルデータのアクセスを行う。

25 以上のようにして、実施例のフラッシュメモリなどの半導体不揮発性記憶装置は、コンピュータシステムのフラッシュファイルシステムなどとして広く適用可能である。

さらに図33から図48に地の実施例を説明する。

図33は本発明の実施例の概念を表わすメモリマットの概略図、図34A、3



4 Bは従来例である半導体不揮発性メモリセルのトランジスタを示す断面図および消去動作での電圧印加例を示す図、図35および図36A、36B、36Cは本実施例の消去動作での選択および非選択メモリセルの電圧印加例を示す図、図37は本発明の半導体不揮発性記憶装置を示す機能ブロック図、図38は本発明のセンスラッチ回路を示す回路図、図39は本発明のメモリマットを示す回路図、図40はメモリマットへ供給される電圧を発生するための機能ブロック図、図41および図42はメモリウェル電圧切り換え回路および行デコーダ回路の回路図、図43から図47は消去動作のタイミングを示す波形図、図48は本実施例の半導体不揮発性記憶装置を用いたコンピュータシステムを示す機能ブロック図である。

まず、図37により本実施例の半導体不揮発性記憶装置の構成を説明する。本実施例の半導体不揮発性記憶装置は、たとえばしきい値電圧を電氣的に書き換え可能なトランジスタからなる複数のメモリマットにより構成されるフラッシュメモリであり、メモリマット (Memory Mat)、メモリマットウェル電圧切り換え回路MWVC、行アドレスバッファ回路XADB、行アドレスデコーダ回路XDCR、センスアンプおよびデータラッチ共用のセンスラッチ回路SLと列ゲートアレイ回路YG、列アドレスバッファ回路YADB、列アドレスデータ回路YDCR、入力バッファ回路DIB、出力バッファ回路DOB、マルチプレクサ回路MPP、モードコントロール回路MC、コントロール信号バッファ回路CSB、内蔵電源回路VSなどから構成されている。

本実施例のメモリマットとセンスラッチ回路SLとの接続は、ビット線B1からBnの1本に1つのセンスラッチ回路SLが設けられており、たとえば図38、図39に示すようにセンスラッチ回路SL1からSLnをメモリマットu、dのビット線Bu1からBun、Bu1からBunに対してオープンビット線方式で配置する。

図37の半導体不揮発性記憶装置において、コントロール信号バッファ回路CSBには、特に制限されるものではないが、たとえば外部端子/CE、/OE、/WE、SCなどに供給されるチップイネーブル信号、アウトプットイネーブル信号、ライトイネーブル信号、シリアルクロック信号などが入力され、これらの

信号に応じて内部制御信号のタイミング信号を発生し、またモードコントロール回路MCには外部端子R／（／B）からレディ／ビジィ信号が入力されている。なお、本実施例における／CE、／OE、／WEなどの「／」は相補信号を表している。

- 5 さらに、内蔵電源回路VSにおいては、特に制限されるものではないが、たとえば外部から電源電圧Vccと接地電圧Vssが入力され、消去（しきい値電圧を上げる）動作時のワード線電圧Vh、そのベリファイワード線電圧Vhv、書き込み（しきい値電圧を下げる）動作時のワード線電圧Vl、そのベリファイワード線電圧Vlv、消去動作時のメモリウェル電圧Vmw、読み出しビット線電
- 10 圧Vrb、読み出しリファレンスビット線電圧Vrr、書き込み動作時のドレイン端子電圧Vld、そのトランスファゲート電圧Vltなどが生成されるようになっている。電圧名の添字は、供給されるメモリマットの添字u／dと同じである。なお、上記各電圧は外部から供給されるようにしてもよい。

- ここで生成された各電圧は、ワード線電圧Vh、Vhv、Vl、Vlvおよび
- 15 トランスファゲート電圧Vltが行アドレスデコーダ回路XD CRに、ビット線電圧Vrb、Vrr、Vldおよびトランスファゲート電圧Vltがセンスラッチ回路SLに、メモリウェル電圧Vmwがメモリマットウェル電圧切り換え回路MWVCおよび行アドレスデコーダXD CR回路、センスラッチ回路SLにそれぞれ入力されている。

- 20 この半導体不揮発性記憶装置においては、外部端子から供給される行、列アドレス信号AX、AYを受ける行、列アドレスバッファ回路XADB、YADBを通して形成された相補アドレス信号が行、列アドレスデコーダ回路XD CR、YD CRに供給される。また、特に制限されるものではないが、たとえば上記行、列アドレスバッファ回路XADB、YADBは装置内部のチップイネーブル選択
- 25 信号／CEにより活性化され、外部端子からのアドレス信号AX、AYを取り込み、外部端子から供給されたアドレス信号と同相の内部アドレス信号と逆相のアドレス信号とからなる相補アドレス信号を形成する。

行アドレスデコーダ回路XD CRは、行アドレスバッファXADBの相補アドレス信号に従ったメモリセル群のワード線Wの選択信号を形成し、列アドレスデ

コーダ回路YDCRは、列アドレスバッファ回路YADBの相補アドレス信号に従ったメモリセル群のビット線Bの選択信号を形成する。これにより、メモリマツト内において、任意のワード線Wおよびビット線Bが指定されて所望とするメモリセルが選択される。

- 5 特に制限されるものではないが、たとえばメモリセルの選択は8ビットあるいは16ビット単位などでの書き込み、読み出しを行うために行アドレスデコーダ回路XDCRと列アドレスデコーダ回路YDCRによりメモリセルは8個あるいは16個などが選択される。1つのデータブロックのメモリセルはワード線方向（行方向）にm個、ビット線方向（列方向）にn個とすると、 $m \times n$ 個のメモリセル群のデータブロックが8個あるいは16個などから構成される。

上記メモリセルは、特に制限されるものではないが、たとえばEPROMのメモリセルと類似の構成であり、制御ゲートと浮遊ゲートとを有する公知のメモリセル、または制御ゲートと浮遊ゲート、および選択ゲートとを有する公知のメモリセルである。

- 15 512バイト（1バイト=8ビット）の64Mビットを例とし、メモリマツトを図37に示すように2マツト構成とし、単位ブロックjを64ビットとする。図19のAND型メモリ接続では、各々のビット線 $B_n$ （ $B_1$ から $B_{4096}$ ）には、 $j = 64$ 個の複数のメモリセルを並列に接続した単位ブロックを片マツト $i = 128$ 個のメモリセルが、ゲート信号 $S_{iD}$ を入力とする選択MOSトランジスタを介して接続されている。共通のソースライン（Source Line）には、ゲート信号 $S_{iS}$ を入力とする選択MOSトランジスタを介して、単位ブロック毎のサブソースライン（Sub Source Line）に接続されている。

- 以下、本発明の消去動作について説明する。図35および図36A、36B、36Cに本発明の消去動作である選択、非選択のメモリセルの電圧印加例を示すメモリセル断面図を示す。図35および図36A、36B、36Cのメモリセルは、記憶装置の基板p-subと分離するために素子分離層niso領域内のウェルDP wellに形成される。基板p-subの電圧は、従来と同様な接地電圧 $V_{ss}$ であり、特に制限はないが、素子分離層nisoの電圧は、ソース、ドレイン端子電圧より高い電圧値、たとえば電源電圧 $V_{cc}$ や接地電圧 $V_{ss}$ を供給する。本発明

では、素子分離層 $n_{iso}$ の電圧を電源電圧 $V_{cc}$ とする。

図35の選択メモリセルの消去動作の電圧は、制御ゲートに1.2V、ウェルDP well およびソース端子に負の電圧-4Vを印加する。浮遊ゲートとチャンネル間とに電圧差が生じ、チャンネル内の電子が浮遊ゲート内にFowler-Nordheim トンネル現象で注入される。なお、メモリセルのドレイン電極は、openとし、メモリセルを介した定常電流が流れることを防止する。

チャンネル電圧を-4Vとすることにより、ワード線電圧が1.2Vでも、従来の消去時間と同じ時間(約1m秒)で消去動作ができる。

これにより、消去時のメモリセルのしきい値電圧を、読み出し時の選択ワード線電圧である電源電圧 $V_{cc}$ の上限電圧 $V_{ccmax}$ 以上とすることができる。消去動作では、消去を何回かに分けた消去パルスの繰り返し印加によって消去を行うとともに、消去後毎回、メモリセルのしきい値電圧を検証する動作(ベリファイ)が行われる。消去ベリファイのワード線電圧は、4.2V程度に設定される。

15 図36A、36B、36Cに非選択メモリセルへの電圧印加方式を示す。

図36Aの方式では、制御ゲートに0V、ウェルDP well およびソース端子に-4V、ドレイン端子openとする。非選択メモリセルは-4Vのチャンネル電圧によるディスターブを受ける。このディスターブの印加電圧は、読み出し時のワード線ディスターブを逆とした電圧印加と同様である。読み出し時の選択ワード線電圧は電源電圧で $V_{cc}$ であり、その最大電圧 $V_{ccmax}$ は3.6V、また、一般的な保証電圧として3.9Vであり、保証時間は10年間( $3 \times 10^8$ 秒)である。

今、512バイト(1バイト=8ビット)の64Mビットを例とし、消去ディスターブを受ける時間を算出する。メモリマップ構成を図8等を示すような、センスラッチ回路SLに対してオープンビットライン方式とすると、メモリマップは2分割される。同一メモリマップ上の同一ビット線に接続されているメモリセルのビット数は、8kビット(1k=1024)であり、たとえば、単位ブロックである並列ビット数 $j$ を64ビット、最大消去時間10ms、書き換え回数を $10^6$ 回とすると、選択セクタのある同一のメモリマップの非選択セクタのメモ

リセルには、ワード線電圧相当 4 V の消去ディスターブを  $8 \times 10^7$  秒間受ける。

従って、消去ディスターブ寿命の電圧値は、電源電圧  $V_{cc}$  の保証電圧値と同程度の値であり、最大保証時間は、読み出し保証時間内である。

図 3 6 B の方式では、制御ゲートに 0 V、ウェル DP well に -4 V、ソース  
5 端子を open、ドレイン端子に 0 V とし、制御ゲート電圧とチャネル電圧が同電位の 0 V であり、非選択メモリセルの浮遊ゲート内への電子の注入を完全に防ぐ。

図 3 6 C の方式では、制御ゲートおよびウェル DP well に 0 V、ドレイン端子およびソース端子を 0 V または open とし、図 3 6 B と同様に制御ゲート電圧とチャネル電圧が同電位の 0 V であり、非選択メモリセルの浮遊ゲート内への電子  
10 の注入を完全に防ぐ。メモリセルの接続をたとえば図 1 9 や図 2 0 とし、図 3 6 B の方式を同一ブロックの非選択セクタのメモリセルに用いた場合の消去ディスターブ最大保証時間は、 $6.3 \times 10^5$  秒に低減できる。

図 3 3 には本発明のメモリマットの概念図を示す。半導体不揮発性記憶装置のメモリマットを構成するセクタは、消去動作が選択され、ワード線に正の電圧が  
15 印加されたセクタ（選択セクタ）、消去が非選択でワード線電圧とメモリウェル電圧が異なるセクタ（非選択セクタ）、さらに消去が非選択でワード線電圧とメモリセルのソース・ドレイン間電圧（チャネル電圧）が等しいセクタ（完全非選択セクタ）を備えている。

つぎに、メモリセルの接続を図 1 9 に示した AND 型接続としたメモリマットの回路図を図 3 9 に、そのメモリマットへ供給される電圧発生の機能ブロック図  
20 を図 4 0 に、メモリウェル電源切り換え回路 MWVC の回路図を図 4 1 に、行デコーダ回路 XDCR 等の電圧変換回路およびドライバ回路を図 4 2 に示す。

図 4 0 の内蔵電源回路 VS は、基準電圧発生回路、降圧回路、昇圧ポンプ回路、リミッタ回路、電源切り換え回路から構成され、モードコントロール回路 MC に  
25 より制御されている。書き込みベリファイワード線電圧  $V_{1v}$  (1.5 V) は、カレントミラー回路などで構成される降圧回路と基準電圧発生回路の基準電圧を用いることにより発生できる。また、消去時のワード線電圧  $V_h$  の 12 V、メモリウェル電圧  $V_{mw}$  の -4 V、書き込み時のワード線電圧  $V_1$  の -9 V は、昇圧ポンプ回路で各々の電圧を発生した後、基準電圧発生回路の基準電圧をリミッタ

回路に用いる。

図41のメモリウェル電源切り換え回路MWVCでは、メモリウェルの電圧を接地電圧 $V_{ss}$ と負電圧 $-4V$ とに切り換えを行なう回路であり、入力信号MC1が低(low)となる消去動作時に、内蔵電源回路VS内の $-4V$ の電源電圧も起  
5 動がかかり、メモリウェルの電圧の立上がり波形は、メモリウェルDP wellと素子分離層nisoとの接合容量により、数 $\mu$ 秒から数十 $\mu$ 秒で立ち上がる。

図42の電圧変換回路およびドライバ回路は、ワード線W、ドレイン、ソース側選択MOSトランジスタのゲート信号SiD、SiS、ビット線の電位をディスチャージするMOSトランジスタのゲート信号BDC、メモリマットと同一のウェ  
10 ル内のセンスラッチ回路SLを構成するMOSトランジスタ、たとえばゲート信号TR等に接続されている。この回路は、電源電圧より高い電圧、消去ワード線電圧Vhの12V、書き込み電圧のトランスファゲート電圧V1hの5V等と負電圧、消去ウェル電圧Vmwの $-4V$ 、書き込みワード線電圧V1の $-9V$ との切り換えを行なう回路である。

15 ワード線Wを例として説明すると、電圧変換回路およびドライバ回路のPMOSトランジスタのソース電圧は、書き込み動作時には電源電圧Vccに、消去動作時には消去ワード線電圧Vhの12Vに接続されている。同回路内の素子分離層niso領域内のNMOSトランジスタのソース電圧は、消去動作時のみに $-4V$ となる消去ウェル電圧Vmwに接続されている。

20 消去動作時には、制御信号MC2およびNCを高(high)に活性させ、アドレス信号がhighに選択されているワード線Wのみが12Vの電圧となり、非選択ワード線の電圧は接地電圧Vssとなる。書き込み動作時には、制御信号MC2およびNCを高(high)に活性させ、アドレス信号が選択されているワード線Wのみが $-9V$ の電圧となり、非選択ワード線の電圧は電源電圧Vccとなる。

25 消去時のワード線電圧Vhはセクタを選択した後、電源電圧Vccから12Vへ立ち上げる。数pFのワード線負荷容量により、その立ち上がり波形は数 $\mu$ 秒から数十 $\mu$ 秒で立ち上がる。これは、内蔵電源電圧を立ち上げてから、セクタアドレスであるゲート信号を切り換えると、MOSトランジスタの最小ドレイン・ソース間耐圧BVdsmi nを通過して、MOSトランジスタを破壊することを防

止している。

また、半導体不揮発性記憶装置において、消去が選択されたセクタに対して、ワード線およびメモリウェルに加える電圧の立上り波形を数 $\mu$ 秒から数+ $\mu$ 秒とすることによって、メモリセルのしきい値電圧を書き換える電界が急激にかかることを防止でき、書き換え回数の向上が図れる。

消去動作でワード線W11を選択した消去パルス1回分のタイミング波形図を図43から図47に示す。この波形図は図39に示すメモリマットの回路図による。図43は従来例、図44から図47は本発明の消去タイミング波形を示す。

図43に示すように、選択ワード線W11の波形はt1のタイミングで選択され、消去ワード線電圧Vhの立上りで立上がる。チャンネル電圧であるドレイン、ソースをVmwuの接地電圧Vssとするために、SID、SISおよびBDCuを電源電圧Vccとする。t3のタイミングでワード線を非選択、消去ワード線電圧Vhの活性を終了する。t2からt3間がパルス1回分の消去時間である。

図44に本実施例の第1の消去動作タイミング波形図を示す。t1のタイミングで選択セクタのワード線W11とメモリウェルを選択し、VhおよびVmwu電圧の起動をかける。SID、SIS、SiD、SiS、BDCuがVssであっても、MOSトランジスタはON状態となるため、選択セクタ側のメモリセルのチャンネル電圧はVmwuの-4Vとなる。また、TRuの電圧を-4VとすることによりBunfとの電圧ショートを防止する。t4のタイミングでワード線を非選択、消去ワード線電圧Vh、メモリウェル電圧Vmwuの活性を終了する。t3からt4間がパルス1回分の消去時間である。

図45に本実施例の第2の消去動作タイミング波形図を示す。図44と同様にVhおよびVmwu電圧を立ち上げる。選択セクタの同一ブロックのみをディスタープのセクタとするために、同一ブロック内のチャンネル電圧を-4V、他のブロックのチャンネル電圧をVssとする。TRuをBDCuを-4Vとし、センスラッチ側から供給されるBunfのVssをビット線Bnに接続させ、SISをVss、SIDを-4Vとし選択ブロック内のチャンネル電圧を-4V、SiDをVcc、SiSを-4Vとしチャンネル電圧をVssとする。t4のタイミングでワード線を非選択、消去ワード線電圧Vh、メモリウェル電圧Vmwuの活性を

終了する。t 3 から t 4 間がパルス 1 回分の消去時間である。

図 4 6 および図 4 7 は、V h の立ち上げを t 2 とした波形であり、その他のタイミングは図 1 5 および図 1 6 と同一である。内蔵電源電圧の電流供給能力と負荷容量によって到達電位に達する時間は違ってくる。そのため、メモリウェル電圧の立上り時の電圧到達時間がワード線電圧の電圧到達時間に等しいタイミングで、電圧発生回路の起動をかけることにより、消去開始時間を明確にする。

つぎに、メモリセルの書き込み動作を説明する。書き込み動作時の制御ゲートすなわちワード線をたとえば -9 V 程度の負の電圧を印加し、書き込みのメモリセルのドレイン端子には選択的にたとえば 4 V 程度の電圧を印加することで、浮遊ゲートとドレイン間に電圧差が生じ、浮遊ゲート内の電子がドレイン側に Fowler-Nordheim トンネル現象で引き抜かれる。非選択のメモリセルのドレイン端子には 0 V を印加することで、浮遊ゲートとドレイン間との電圧差を抑え、浮遊ゲート内の電子の放出を防ぐ。

なお、書き込み動作時の非選択のワード線の電圧は、ドレイン電圧によるディスタープ（電子の放電）を防止するため電源電圧 V c c を印加している。そのため、メモリセルのソース電極を open とし、メモリセルを介した定常電流が流れることを防止する。

書き込み時のメモリセルのしきい値電圧は、読み出し時の選択ワード線電圧である電源電圧 V c c の下限電圧 V c c m i n と非選択ワード線電圧である接地電圧 V s s の 0 V との間でなくてはならない。非選択のメモリセルのしきい値電圧が負の値の電圧まで下がった場合には、非選択メモリセルで電流が流れるため、誤った読み出しが行われる。そのため、何回かに分けた書き込みパルスの繰返し印加によって書き込み動作を行うとともに、書き込み後に毎回、メモリセルのしきい値電圧を検証する動作、ベリファイが行われる。書き込みベリファイのワード線電圧は、書き込み対象の全てのメモリセルのしきい値電圧が 0 V にならないような、1. 5 V 程度に設定される。

なお、上記に示したメモリセルのドレイン端子に印加される電圧情報は、ビット線を介してドレイン端子に接続されているセンスラッチ回路内のフリップフロップにデータが蓄えられている。



センスラッチ回路SLの回路図を説明する。メモリマットとセンスラッチ回路SLとの接続を図37のオープンビット線方式で配置した場合のセンスラッチ回路SLの回路図を図38示す。

この図38に示すセンスラッチ回路SLにおいては、ビット線BunとBdn  
5 に対してフリップフロップを含むセンスラッチ回路SLが接続されている。ビット線BunとBdnに対して同一（等価）の接続構成を有している。さらに、センスラッチ回路SLはビット線の偶数／奇数に対してコントロール信号を分けて接続しても良い。これは、ビット線の寄生線間容量が、センス動作にあたる影響を防止するため、たとえば偶数ビット線側に接続されているのメモリセルの  
10 センス動作中は、奇数ビット線の電位をVssとして寄生線間容量を一定の値で、偶数ビット線側のメモリセルの読み出しを行う。

図38に示すセンスラッチ回路SLの構成をメモリマットMemory Mat uのビット線Bu1を例に説明すると、ビット線Bu1には、ビット線の電位のプリチャージを行うゲート信号RCuを入力とするMOSトランジスタM1と、フリップ  
15 フロップの情報をゲート入力信号とするMOSトランジスタM3を介してプリチャージ信号PCuをゲートとするMOSトランジスタM2が接続されている。M2とM3との接続は限定するものではなく、電源電圧Vcc側がM2、ビット線側がM3でもよい。ビット線Bu1とフリップフロップ側配線Bu1f間には、ゲート信号TRuを入力とするMOSトランジスタM4が接続されている。フリ  
20 ップフロップ側配線Bu1fには、フリップフロップの電位を接地電圧Vssにディスチャージするゲート信号RSLuを入力とするMOSトランジスタM5と、列アドレスに応じて列ゲート信号Yaddを入力としフリップフロップの情報をデータ出力するMOSトランジスタM6と、ゲート入力信号をフリップフロップの情報とするMOSトランジスタM7が接続されている。MOSトランジスタM  
25 7のドレインは共用信号ALu、ソースは接地電圧Vssとし、多段入力NOR回路接続を組む。すなわち、接続されている全てのフリップフロップの情報が接地電圧Vssになることを判定する。

また、ビット線Bunには、図39のメモリマットの構成回路図に示すように、ビット線Bunの電位を、ソース線電圧にディスチャージを行うゲート信号

B D uを入力とするMOSトランジスタが接続されている。

図38および図39において、少なくともソース、ドレインの拡散層に負電圧が供給されるMOSトランジスタのウェルは、メモリセルと同一のメモリウェル内に形成される。

- 5 以上、実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

また、本実施例の半導体不揮発性記憶装置においては、フラッシュメモリとして記憶装置単位で使用される場合に限らず、たとえばコンピュータシステム、デ  
10 ジタル・スチル・カメラシステム、自動車システムなどの各種システムの記憶装置として広く用いられ、一例として図19によりコンピュータシステムについて説明する。

以上のようにして、本実施例のフラッシュメモリなどの半導体不揮発性記憶装置は、コンピュータシステムのフラッシュファイルシステムなどとして広く適用  
15 可能である。

以下、本発明の更に別の実施例を図面49-60に基づいて詳細に説明する。

図57により本実施例の半導体不揮発性記憶装置の構成を説明する。

本実施例の半導体不揮発性記憶装置は、たとえばしきい値電圧を電氣的に書き換え可能なトランジスタからなる複数のメモリマットにより構成されるフラッシュ  
20 ュメモリであり、メモリマットMemory Mat、行アドレスバッファ回路XADB、行アドレスデコード回路XD CR、センスアンプおよびデータラッチ共用のセンスラッチ回路SNSと列ゲートアレイ回路YG、列アドレスバッファ回路YADB、列アドレスデコード回路YD CR、入力バッファ回路DIB、出力バッファ回路DOB、マルチプレクサ回路MP、モードコントロール回路MC、コントロール信号バッファ回路CSB、内蔵電源回路VSなどから構成されている。  
25

本実施例のメモリマットMemory Matとセンスラッチ回路SNSとの接続は、ビット線B1からBnの1本に1つのセンスラッチ回路SNSが設けられており、たとえば図58に示すようにセンスラッチ回路SNS1からSNSnをメモリマットMemory Mat u、dのビット線B1uからBnu、B1dからBndに対し

てオープンビット線方式で配置する。

図57の半導体不揮発性記憶装置において、コントロール信号バッファ回路CSBには、特に制限されるものではないが、たとえば外部端子 $\text{/CE}$ 、 $\text{/OE}$ 、 $\text{/WE}$ 、SCなどに供給されるチップイネーブル信号、アウトプットイネーブル信号、ライトイネーブル信号、シリアルクロック信号などが入力され、これらの信号に応じて内部制御信号のタイミング信号を発生し、またモードコントロール回路MCには外部端子R $\text{/}$  ( $\text{/B}$ ) からレディ/ビジィ信号が入力されている。なお、本実施例における $\text{/CE}$ 、 $\text{/OE}$ 、 $\text{/WE}$ などの「 $\text{/}$ 」は相補信号を表している。

さらに、内蔵電源回路VSにおいては、特に制限されるものではないが、たとえば外部から電源電圧 $V_{cc}$ と接地電圧 $V_{ss}$ が入力され、消去(しきい値電圧を上げる)動作時のワード線電圧 $V_h$ 、そのベリファイワード線電圧 $V_{hv}$ 、書き込み(しきい値電圧を下げる)動作時のワード線電圧 $V_l$ 、そのベリファイワード線電圧 $V_{lv}$ 、読み出しビット線電圧 $V_{rb}$ 、読み出しリファレンスビット線電圧 $V_{rr}$ 、書き込み動作時のドレイン端子電圧 $V_{ld}$ 、そのトランスファゲート電圧 $V_{lt}$ などが生成されるようになっている。電圧名の添字は、供給されるメモリマットの添字 $u/d$ と同じである。なお、上記各電圧は外部から供給されるようにしてもよい。

ここで生成された各電圧は、ワード線電圧 $V_h$ 、 $V_{hv}$ 、 $V_l$ 、 $V_{lv}$ およびトランスファゲート電圧 $V_{lt}$ が行アドレスデコーダ回路XD $CR$ に、ビット線電圧 $V_{rb}$ 、 $V_{rr}$ 、 $V_{ld}$ およびトランスファゲート電圧 $V_{lt}$ がセンスラッチ回路SNSにそれぞれ入力されている。

この半導体不揮発性記憶装置においては、外部端子から供給される行、列アドレス信号AX、AYを受ける行、列アドレスバッファ回路XA $DB$ 、YA $DB$ を通して形成された相補アドレス信号が行、列アドレスデコーダ回路XD $CR$ 、YD $CR$ に供給される。また、特に制限されるものではないが、たとえば上記行、列アドレスバッファ回路XA $DB$ 、YA $DB$ は装置内部のチップイネーブル選択信号 $\text{/CE}$ により活性化され、外部端子からのアドレス信号AX、AYを取り込み、外部端子から供給されたアドレス信号と同相の内部アドレス信号と逆相のア

ドレス信号とからなる相補アドレス信号を形成する。

行アドレスデコーダ回路XDCRは、行アドレスバッファXADBの相補アドレス信号に従ったメモリセル群のワード線Wの選択信号を形成し、列アドレスデコーダ回路YDCRは、列アドレスバッファ回路YADBの相補アドレス信号に従ったメモリセル群のビット線Bの選択信号を形成する。これにより、メモリマ  
5 ットMemory Mat内において、任意のワード線Wおよびビット線Bが指定されて所望とするメモリセルが選択される。

特に制限されるものではないが、たとえばメモリセルの選択は8ビットあるいは16ビット単位などでの書き込み、読み出しを行うために行アドレスデコーダ  
10 回路XDCRと列アドレスデコーダ回路YDCRによりメモリセルは8個あるいは16個などが選択される。1つのデータブロックのメモリセルはワード線方向（行方向）にm個、ビット線方向（列方向）にn個とすると、 $m \times n$ 個のメモリセル群のデータブロックが8個あるいは16個などから構成される。

上記メモリセルは、特に制限されるものではないが、たとえばEPROMのメモリセルと類似の構成であり、制御ゲートと浮遊ゲートとを有する公知のメモリ  
15 セル、または制御ゲートと浮遊ゲート、および選択ゲートとを有する公知のメモリセルである。たとえば、1987年に発行された International Electron Devices Meeting Tech. Dig. pp. 560-563において発表されたフラッシュメモリのメモリセルのトランジスタと同一の構造である。

20 図52に示すNAND型では、複数のメモリセルを直列に接続した単位ブロックで、ビット線側およびソース線側ともMOSトランジスタを介して接続されている。

以下、本実施例のメモリマットのレイアウト構成について説明する。図51は、従来例の特開平7-176705号公報に記載されている図50の概略レイアウト  
25 図に対して、本発明の概略レイアウト図を示す。図51に示すように、ビット線 $B_n$ は金属配線層M2とし、共通ソース線SLは、ワード線と平行方向に幅広の金属配線層M1で配置され、単位ブロックのソースは単位ブロック毎に共通ソース線SLに接続されるレイアウト構成である。

その共通ソース線の線幅は、ビット線の線幅の100倍程度の幅広の配線を用

いる。図 4 8 に単位ブロックをビット線方向に複数個配置した金属配線層のレイアウト、図 4 9 にメモリマットの金属配線層のレイアウトの模式図を示す。

半導体不揮発性記憶装置のメモリセルアレイのメモリマットにおいて、共通ソース線は、ビット線間に配置されずに、ワード線と平行であるレイアウト構成とする。共通ソース線の金属配線層は、ビット線に使用する金属配線層より先の製造工程で形成される。ダミーメモリセル列を含むメモリマットの終端には、ビット線と同じ層の金属配線層で列方向（ビット線と平行）の共通ソース線が配置されるレイアウト構成である。

図 5 4 に共通ソース線の幅が十分に幅広く抵抗が小さい場合のメモリセルアレイの等価回路を示す。共通ソース線 S L の配線が十分に幅広く抵抗値が小さいため、ソース側の MOS トランジスタ以降のソース抵抗の値は一定値となる。従って、基板バイアス効果によるメモリセルのしきい値電圧は、ワード線単位すなわちセクタ単位でばらつきをもたない。また、図 5 0 の共通ソース線の下に形成されていたダミーメモリセル列を廃止することにより、装置のサイズの小型化を図ることができる。

本実施例の半導体不揮発性記憶装置の製造方法は、従来技術の特開平 7 - 1 7 6 7 0 5 号公報に記載されている製造方法に金属配線層と、その金属配線層と接続するコンタクトホールを新たに工程を追加したものである。

次に、消去動作および書き込み動作について説明する。消去動作後のメモリセルのしきい値電圧を、読み出し時のワード線電圧である電源電圧  $V_{cc}$  の上限電圧  $V_{ccmax}$  以上とするには、メモリセルの制御ゲートであるワード線に 1 6 V 程度の高電圧を印加して、チャンネル内の電子が浮遊ゲート内に Fowler-Nordheim トンネル現象で注入させる。また、メモリセルに  $-4$  V 負の電圧を加えることで、ワード線電圧を 1 2 V と下げることができる。

書き込み動作では、ワード線を  $-9$  V 程度の負の電圧を印加し、書き込みのメモリセルのドレイン端子には選択的にたとえば 4 V 程度の電圧を印加することで、浮遊ゲートとドレイン間に電圧差が生じ、浮遊ゲート内の電子がドレイン側に Fowler-Nordheim トンネル現象で引き抜かれる。非選択のメモリセルのドレイン端子には 0 V を印加することで、浮遊ゲートとドレイン間との電圧差を抑え、浮

遊ゲート内の電子の放出を防ぐ。

書き込み時のメモリセルのしきい値電圧は、読み出し時の選択ワード線電圧である電源電圧  $V_{cc}$  の下限電圧  $V_{ccmin}$  と非選択ワード線電圧である接地電圧  $V_{ss}$  の  $0V$  との間でなくてはならない。非選択のメモリセルのしきい値電圧  
5 が負の値の電圧まで下がった場合には、非選択メモリセルで電流が流れるため、誤った読み出しが行われる。そのため、何回かに分けた書き込みパルスの繰返し印加によって書き込み動作を行うとともに、書き込み後に毎回、メモリセルのしきい値電圧を検証する動作、ベリファイが行われる。書き込みベリファイのワード線電圧は、書き込み対象の全てのメモリセルのしきい値電圧が  $0V$  にならない  
10 ような、 $1.5V$  程度に設定される。

なお、上記に示したメモリセルのドレイン端子に印加される電圧情報は、ビット線を介してドレイン端子に接続されているセンスラッチ回路内のフリップフロップ  $FF$  にデータを蓄えられている。

次に、読み出し動作およびベリファイ動作について説明する。ベリファイ動作  
15 は、ワード線電圧を検証する電圧値例えば、書き込みベリファイでは  $4.2V$  に、消去ベリファイでは  $1.5V$  に設定し、読み出し動作と同様の動作を行う。図 5 8 にセンスラッチ回路  $SNS$  の回路図を、図 5 9 に読み出し動作のタイミング波形図を示す。図 5 8 に示すように、メモリマット  $Memory\ Mat\ u/d$  とセンスラッチ回路  $SNS$  との接続をオープンビット線方式で配置している。ビット線  $B_{nu}$   
20  $u$  と  $B_{nd}$  に対してフリップフロップ  $FF$  を含むセンスラッチ回路  $SNS$  が接続されている。ビット線  $B_{nu}$  と  $B_{nd}$  に対して同一（等価）の接続構成を有している。さらに、センスラッチ回路  $SNS$  はビット線の偶数／奇数に対してコントロール信号を分けて接続している。これは、ビット線の寄生線間容量が、センス動作にあたえる影響を防止するためで、図 5 9 のタイミング波形図に示すように、  
25 たとえば偶数ビット線側に接続されているメモリセルのセンス動作中は、奇数ビット線の電位を  $V_{ss}$  として寄生線間容量を一定の値で、偶数ビット線側のメモリセルの読み出しを行う。

図 5 8 に示すセンスラッチ回路  $SNS$  の構成をメモリマット  $Memory\ Mat\ u$  のビット線  $B_{1U}$  を例に説明すると、ビット線  $B_{1u}$  には、ビット線の電位のプリ

チャージを行うゲート信号R P e uを入力とするM O SトランジスタM 1と、ビット線の電位をディスチャージを行うゲート信号B D e uを入力とするM O SトランジスタM 5が接続されている。ビット線B 1 uとフリップフロップF F側配線B 1 f u間には、ゲート信号T R e uを入力とするM O SトランジスタM 2が

5 接続されている。フリップフロップ側配線B 1 f uには、フリップフロップの電位を接地電圧V s sにディスチャージを行うゲート信号R F e uを入力とするM O SトランジスタM 3と、列アドレスに応じて列ゲート信号Y a d dを入力としフリップフロップF Fの情報をデータ出力を行うM O SトランジスタM 4が接続されている。

10 読み出し動作を図59のタイミング波形図を用いて説明する。選択マツト側をMemory Mat u側とし、ビット線のeven側に接続されているメモリセルのしきい値電圧が書き込みメモリセル、odd側のメモリセルが消去のメモリセルとした。

t 1でワード線を選択し、ワード線電位が上がりきる t 3前の t 2でビット線およびサブビット線 Sub Bit Line にプリチャージ電圧を加える。すなわち、 t

15 2で、ビット線のリセット信号B D e u / dを非活性、ビット線側M O Sトランジスタのゲート信号S i D u / dを活性、 t 2か t 3間にプリチャージ信号R P e u / dを活性する。選択メモリセルのドレイン電圧を1 Vすなわち、ビット線B n uの電位を1 V、非選択側のビット線電位を0. 5 Vとするために、トランスファM O Sトランジスタのしきい値電圧を考慮し、R P e uの電位を2.

20 0 V、R P e dの電位を1. 5 Vとする。

ワード線およびビット線の電圧が到達電位に達した t 3から t 4間では、メモリセルのしきい値電圧によってビット線の電位が放電される。そのため、 t 3でソース線側M O Sトランジスタのゲート信号S i S u / dを活性、 t 4でビット線側M O Sトランジスタのゲート信号S i D u / dを非活性する。また、 t

25 2から t 4間にはフリップフロップF Fのリセット信号R F e u / dが活性する。

t 4から t 5間で、フリップフロップF Fにメモリセルのしきい値電圧情報を取り込む。T R e u / dを選択し、even側のフリップフロップF Fの電源電圧V E P e、V F N eを活性することでデータの取り込みが行える。すなわち、メ

メモリセルの情報であるしきい値電圧が低い場合、ビット線の電位は放電されており、リファレンス電圧以下の時に、フリップフロップFFのデータは接地電圧の $V_{ss}$ となる。メモリセルのしきい値電圧が高い場合には、プリチャージ電圧を保っているため、フリップフロップFFのデータは電源電圧の $V_{cc}$ となる。

- 5      $t_5$ から $t_6$ 間は、even側のビット線およびサブビット線Sub Bit Line、サブソース線Sub Source Line を接地電圧 $V_{ss}$ に放電する。

次に、odd側の読み出し動作をeven側の読み出し動作と同様に $t_6$ から $t_7$ 間に行う。

- 10     even側およびodd側のフリップフロップFFへのメモリセルのデータの取り込みが終了した時点で、列ゲートアレイ回路YGのゲート信号の列アドレスを選択して、入出力端子I/Oにメモリセルの情報を読み出す。

本実施例により、メモリセル情報の読み出しでは、図56に示すしきい値電圧差 $\Delta V_{th}$ を小さくすることができ、セクタ単位での情報の読み出しを安定化、すなわち、しきい値電圧ばらつきを低減、さらに、装置の面積を低減できる。

- 15     以上、実施例に基づき具体的に説明したが、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

さらに、ノート型パーソナルコンピュータ、携帯情報端末などのコンピュータシステムにおいては、システムに挿脱可能に設けられるPCカードなどが用いられ、このPCカードはたとえば図60に示すように、ROMおよびRAMを有する中央処理装置CPUと、このCPUとの間でデータの送受信が可能に接続されるフラッシュアレイFLASH-ARRAY、コントローラ Controller と、データの送信が可能に接続されるコントロールロジック回路 Control Logic、バッファ回路Buffer、インタフェース回路Interface などから構成されている。

- 20     また、このPCカードにおいては、フラッシュアレイFLASH-ARRAY、  
25     コントロールロジック回路 Control Logic、バッファ回路Buffer、インタフェース回路Interface の間でデータの送受信が可能となっており、PCカードはシステム本体への挿入状態においてインタフェース回路Interface を介してシステムバスSYSTEM-BUSに接続されるようになっている。

たとえば、中央処理装置CPUは8ビットのデータ形式により全体の管理を行



い、インタフェース制御、書き換えおよび読み出し動作制御、さらに演算処理などを司り、またフラッシュアレイFLASH-ARRAYはたとえば32Mビットのフラッシュデバイスアレイで形成され、たとえば1セクタは512バイトのデータエリアと16バイトのユーティリティエリアからなり、8192セクタが51デバイスとなっている。

また、コントローラ Controller は、セルベースまたはディスクリットICなどから形成され、DRAMまたはSRAMなどによるセクタテーブルが設けられている。コントロールロジック回路 Control Logicからは、タイミング信号、コントロール信号が発生され、またバッファ回路 Buffer は書き換え時のデータの10 一時的な格納のために用いられる。

以上のように、フラッシュメモリなどの記憶装置はPCカードにも用いることができ、さらにこの不揮発性の半導体記憶装置は電氣的にデータの書き換えが要求される各種システムに広く用いることができる。

#### 産業上の利用可能性

15 書き込み動作（しきい値電圧を下げる動作）シーケンスに、低しきい値ベリファイと選択戻し動作とを追加することにより、erratic現象を抑制することができる。従って、erratic現象を考慮して書き換え回数の制約を決めることなく、書き換え回数を大幅に向上させることが可能となる。

書き込み動作（しきい値電圧を下げる動作）シーケンスに、低しきい値ベリファイ、選択戻し、高しきい値ベリファイ、再選択書き込みの動作シーケンスとを追加することにより、書き込み対象のメモリセルのしきい値電圧を、低しきい値ベリファイワード線電圧から高しきい値ベリファイワード線電圧の範囲内に押さえることができるので、読み出し動作マージンの向上を図ることが可能となる。

特に電氣的書き換え可能な半導体不揮発性記憶装置において、書き換え動作、25 選択戻し動作および再選択書き込み動作を Fowler-Nordheimトンネル現象を利用することで、低電圧の単一電源化を図り、さらに erratic現象を抑制し、特にこれを用いたコンピュータシステムなどにおいて、低電圧化によるシステムの消費電力の低減、信頼性の向上が可能となる。

消去動作に必要とされるメモリセルへの印加電圧1.6Vを、選択ワード線に1

2 Vを加え、メモリウェルに $-4$  Vを加えることによって、消去動作の最大電圧を、書き込み動作の最大動作電圧と同程度に下げ、ゲート絶縁膜を $1.9$  nm、ゲート長を $1$   $\mu$ m程度とするMOSトランジスタを使用することができ、半導体不揮発性記憶装置のチップサイズを低減させることが可能となる。

- 5 消去が選択されたセクタに対して、ワード線およびメモリウェルに加える電圧の立上り波形を数 $\mu$ 秒から数 $+$  $\mu$ 秒とすることによって、メモリセルのしきい値電圧を書き換える電界が急激にかかることを防止でき、書き換え回数を向上させることが可能となる。

- 特に電氣的書き換え可能な半導体不揮発性記憶装置において、書き換え動作を
- 10 Fowler-Nordheim トンネル現象を利用することで、低電圧の単一電源化を図り、さらに書き換え回数の向上を図ることにより、特にこれを用いたコンピュータシステムなどにおいて、低電圧化によるシステムの消費電力の低減、信頼性の向上が可能となる。

- メモリセルアレイマトの共通ソース線を単位ブロックのメモリセル列毎に接
- 15 続し、ビット線間にダミーメモリセル列を配置しないことによって、メモリマトのサイズを $3$  %低減でき、半導体不揮発性装置のチップサイズを低減させることが可能となる。

- 共通ソース線の配線幅をビット線の配線幅に対して $100$ 倍程度の太い配線と
- 20 することで、同一のワード線すなわちセクタに接続されているメモリセルに加わる基板バイアスは一定となり、セクタ単位での情報の読み出し安定化、すなわち、しきい値電圧ばらつきを低減させることが可能となる。

## 請求の範囲

1. それぞれが制御ゲート（１）、ドレイン（２）およびソース（３）を有する複数のメモリセルを一括または選択的にしきい値電圧を下げた後、ワード線  
5 （WL）に接続されているメモリセル群単位で、一括にしきい値電圧を検証（ベリファイ）し、その後一括にメモリセル毎のしきい値電圧に対応してしきい値電圧を上げる動作手段を備えたことを特徴とする半導体不揮発性記憶装置。
2. 前記しきい値電圧に対応してしきい値電圧を上げる動作手段を複数回に分け、繰り返し行うベリファイ後メモリセルのしきい値状態に応じてメモリセル毎  
10 にしきい値電圧を上げる動作手段を備えたことを特徴とする請求項第１項記載の半導体不揮発性記憶装置。
3. 前記ベリファイ時の選択ワード線電圧は、１回目に行うベリファイ時のワード線電圧と、繰り返し行うベリファイ時のワード線電圧とが必ずしも一致の電圧でないことを特徴とする請求項第２項記載の半導体不揮発性記憶装置。
- 15 4. 書き込みデータを書き込みベリファイ時のワード線電圧より高い電圧で再び読み出し、書き込みベリファイ時のワード線電圧より高いメモリセルしきい値電圧を再び下げる動作手段を備えたことを特徴とする請求項第２項記載の半導体不揮発性記憶装置。
5. 前記しきい値電圧を上げる動作と、前記しきい値電圧を再び下げる動作と  
20 を装置内部であらかじめ規定する回数を繰り返すことを特徴とする請求項第４項記載の半導体不揮発性記憶装置。
6. 制御ゲート（１）、ドレイン（２）およびソース（３）を有する複数の不揮発性半導体メモリセルをアレイ状に配置したメモリセルアレイと、前記複数のメモリセル群（セクタ）の制御ゲート（１）が共通に接続されたワード線（WL）  
25 と、前記複数のメモリセルのドレイン（２）が共通に接続されたビット線（BL）とを有し、ビット線（BL）毎に、センス動作と書き込みデータおよびしきい値電圧を上げる動作時のデータのラッチ動作を行うフリップフロップ（FF）と、ベリファイ後のメモリセルのしきい値状態に応じてビット毎にフリップフロップ（FF）の再データを自動設定を行う回路、総称センスラッチ回路（SL）を備

えたことを特徴とする半導体不揮発性記憶装置。

7. 請求の範囲第1, 2, 3, 4, 5項記載の半導体不揮発性記憶装置を用いたコンピュータシステムであって、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有することを特徴とするコンピュータシステム。

8. それぞれが制御ゲート(1)、ドレイン(2)およびソース(3)を有する複数の不揮発性半導体メモリセルをアレイ状に配置したメモリセルアレイのメモリマットと、前記複数のメモリセル群(セクタ)の制御ゲート(1)が共通に接続された、ワード線(WL)単位のセクタでメモリセルのしきい値電圧を上げる動作を一括に行う消去動作において、ワード線(WL)に印加する正の電圧とメモリウェルに印加する負の電圧とに分配してメモリセルの情報を書き換えることを特徴とする半導体不揮発性記憶装置。

9. 前記半導体不揮発性記憶装置のワード線(WL)に印加する正の電圧の絶対値がメモリウェルに印加する負の電圧の絶対値より大きいことを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

10. 前記半導体不揮発性記憶装置の消去動作において、メモリマットを構成するセクタは、消去動作が選択され、ワード線(WL)に正の電圧が印加されたセクタ(選択セクタ)、消去が非選択でワード線(WL)電圧とメモリウェル電圧が異なるセクタ(非選択セクタ)、さらに消去が非選択でワード線(WL)電圧とメモリセルのソース(3)・ドレイン(2)間電圧(チャンネル電圧)が等しいセクタ(完全非選択セクタ)を備えたことを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

11. 前記半導体不揮発性記憶装置の消去動作におけるメモリウェル電圧の絶対値は、読み出し時のワード線電圧以下であることを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

12. 前記半導体不揮発性記憶装置が、複数のメモリマットに分割され、選択セクタと非選択セクタが同一のメモリマットであり、それ以外のメモリマットを構成するセクタは完全非選択セクタであることを特徴とする請求項第10項記載の半導体不揮発性記憶装置。

13. 前記半導体不揮発性記憶装置の完全非選択セクタが、消去動作においてメモリウェルに負電圧を加え、チャンネル電圧とワード線（WL）電圧が接地電圧となるメモリセル、またはメモリウェル電圧とチャンネル電圧とワード線電圧が接地電圧であるメモリセルからなることを特徴とする請求項第10項記載の半導体不揮発性記憶装置。
14. 前記複数のメモリセルが並列に接続された単位ブロックと、該メモリセルのドレイン（2）がMOSトランジスタを介してビット線に接続され、該メモリセルのソース（3）が、MOSトランジスタを介してソース線に接続され、選択セクタと非選択セクタを同一の単位ブロックに含み、それ以外のブロックを構成するセクタは完全非選択セクタからなることを特徴とする請求項第13項記載の半導体不揮発性記憶装置。
15. 前記半導体不揮発性記憶装置がP型半導体基板上に形成され、メモリウェルと請求項7記載のMOSトランジスタのウェルが、該基板と電氣的に分離されていることを特徴とする請求項第13項記載の半導体不揮発性記憶装置。
16. 前記半導体不揮発性記憶装置の消去が選択されたセクタに対して、ワード線（WL）およびメモリウェルに加える電圧の立上り波形を数 $\mu$ 秒から数+ $\mu$ 秒とすることを特徴とする請求項第8, 11又は13項記載の半導体不揮発性記憶装置。
17. 前記半導体不揮発性記憶装置のメモリウェル電圧の立上り時の電圧到達時間がワード線（WL）電圧の電圧到達時間に等しいことを特徴とする請求項第16項記載の半導体不揮発性記憶装置。
18. 前記半導体不揮発性記憶装置を用いたコンピュータシステムであって、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有することを特徴とする請求項第8, 11, 13, 16又は17項に記載のコンピュータシステム。
19. それぞれが制御ゲート（1）、ドレイン（2）およびソース（3）を有する不揮発性半導体メモリセルを列方向に複数個接続した単位ブロックを該メモリセルのドレインがMOSトランジスタを介してビット線（BL）に複数個配置したメモリセルアレイにおいて、ビット線（BL）に使用する金属配線層は、行方

- 向（ワード線（WL）と平行）に配置した共通ソース線（SL）の金属配線層より後の製造工程で形成され、列方向（ビット線と平行）の共通ソース線（SL）は、ダミーメモリセル列を含むメモリアレイの終端に配置し、該行方向に配置した共通ソース線（SL）と電氣的に接続されていることを特徴とする半導体不揮発性記憶装置。
- 5
20. 請求項第19項記載の半導体不揮発性記憶装置において、メモリセルの読み出し動作および書き換え後のメモリセルのしきい値電圧の検証読み出し（ベリファイ）動作を、メモリセルの制御ゲート（1）が共通に接続されたワード線（WL）単位で一括に行ない、ビット線（BL）毎にセンス動作と書き換えデータのラッチ動作を行うセンスラッチ回路を備えていることを特徴とする半導体不揮発性記憶装置。
- 10
21. 請求項第19項記載の半導体不揮発性記憶装置の行方向に配置した該共通ソース線（SL）の金属配線の幅は、該ビット線の金属配線幅の100倍以上の配線幅で配置することを特徴とする半導体不揮発性記憶装置。
- 15
22. 請求項第19項記載の半導体不揮発性記憶装置において、該単位ブロックのメモリセルのソースは、MOSトランジスタを介して共通ソース線（SL）に接続されることを特徴とする半導体不揮発性記憶装置。

## 補正書の請求の範囲

[1997年1月27日(27.01.97)国際事務局受理:出願当初の請求の範囲1及び8は補正された;他の請求の範囲は変更なし。(6頁)]

1. (補正後) それぞれが制御ゲート(1)、ドレイン(2)およびソース(3)を有する複数のメモリセルを一括または選択的にしきい値電圧を下げた後、ワード線(WL)に接続されているメモリセル群単位で、一括にしきい値電圧を検証(ベリファイ)し、その後、所定のしきい値電圧よりも低いメモリセルについて選択的にそのしきい値電圧を一括して上げる動作手段を備えたことを特徴とする半導体不揮発性記憶装置。
2. 前記しきい値電圧に対応してしきい値電圧を上げる動作手段を複数回に分け、繰り返し行うベリファイ後メモリセルのしきい値状態に応じてメモリセル毎にしきい値電圧を上げる動作手段を備えたことを特徴とする請求項第1項記載の半導体不揮発性記憶装置。
3. 前記ベリファイ時の選択ワード線電圧は、1回目に行うベリファイ時のワード線電圧と、繰り返し行うベリファイ時のワード線電圧とが必ずしも一致の電圧でないことを特徴とする請求項第2項記載の半導体不揮発性記憶装置。
4. 書き込みデータを書き込みベリファイ時のワード線電圧より高い電圧で再び読み出し、書き込みベリファイ時のワード線電圧より高いメモリセルしきい値電圧を再び下げる動作手段を備えたことを特徴とする請求項第2項記載の半導体不揮発性記憶装置。
5. 前記しきい値電圧を上げる動作と、前記しきい値電圧を再び下げる動作とを装置内部であらかじめ規定する回数を繰り返すことを特徴とする請求項第4項記載の半導体不揮発性記憶装置。
6. 制御ゲート(1)、ドレイン(2)およびソース(3)を有する複数の不揮発性半導体メモリセルをアレイ状に配置したメモリセルアレイと、前記複数のメモリセル群(セクタ)の制御ゲート(1)が共通に接続されたワード線(WL)と、前記複数のメモリセルのドレイン(2)が共通に接続されたビット線(BL)とを有し、ビット線(BL)毎に、センス動作と書き込みデータおよびしきい値電圧を上げる動作時のデータのラッチ動作を行うフリップフロップ(FF)と、ベリファイ後のメモリセルのしきい値状態に応じてビット毎にフリップフロップ

(FF)の再データを自動設定を行う回路、総称センスラッチ回路(SL)を備



えたことを特徴とする半導体不揮発性記憶装置。

7. 請求の範囲第1, 2, 3, 4, 5項記載の半導体不揮発性記憶装置を用いたコンピュータシステムであって、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有することを特徴とするコンピュータシステム。

8. (補正後) それぞれが制御ゲート(1)、ドレイン(2)およびソース(3)を有する複数の不揮発性半導体メモリセルをアレイ状に配置したメモリセルアレイのメモリマットと、前記複数のメモリセル群(セクタ)の制御ゲート(1)が共通に接続された、ワード線(WL)単位のセクタでメモリセルのしきい値電圧を上げる動作を一括に行う消去動作において、ワード線(WL)に印加する正の電圧とメモリウェル及び前記複数のメモリセル群のソースに印加する負の電圧とに分配し、前記複数のメモリセル群のドレインをオープンとしてメモリセルの情報を書き換えることを特徴とする半導体不揮発性記憶装置。

9. 前記半導体不揮発性記憶装置のワード線(WL)に印加する正の電圧の絶対値がメモリウェルに印加する負の電圧の絶対値より大きいことを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

10. 前記半導体不揮発性記憶装置の消去動作において、メモリマットを構成するセクタは、消去動作が選択され、ワード線(WL)に正の電圧が印加されたセクタ(選択セクタ)、消去が非選択でワード線(WL)電圧とメモリウェル電圧が異なるセクタ(非選択セクタ)、さらに消去が非選択でワード線(WL)電圧とメモリセルのソース(3)・ドレイン(2)間電圧(チャンネル電圧)が等しいセクタ(完全非選択セクタ)を備えたことを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

11. 前記半導体不揮発性記憶装置の消去動作におけるメモリウェル電圧の絶対値は、読み出し時のワード線電圧以下であることを特徴とする請求項第8項記載の半導体不揮発性記憶装置。

12. 前記半導体不揮発性記憶装置が、複数のメモリマットに分割され、選択セクタと非選択セクタが同一のメモリマットであり、それ以外のメモリマットを構成するセクタは完全非選択セクタであることを特徴とする請求項第10項記載の

半導体不揮発性記憶装置。

13. 前記半導体不揮発性記憶装置の完全非選択セクタが、消去動作においてメモリウェルに負電圧を加え、チャンネル電圧とワード線（WL）電圧が接地電圧となるメモリセル、またはメモリウェル電圧とチャンネル電圧とワード線電圧が接地電圧であるメモリセルからなることを特徴とする請求項第10項記載の半導体不揮発性記憶装置。

14. 前記複数のメモリセルが並列に接続された単位ブロックと、該メモリセルのドレイン（2）がMOSトランジスタを介してビット線に接続され、該メモリセルのソース（3）が、MOSトランジスタを介してソース線に接続され、選択セクタと非選択セクタを同一の単位ブロックに含み、それ以外のブロックを構成するセクタは完全非選択セクタからなることを特徴とする請求項第13項記載の半導体不揮発性記憶装置。

15. 前記半導体不揮発性記憶装置がP型半導体基板上に形成され、メモリウェルと請求項7記載のMOSトランジスタのウェルが、該基板と電氣的に分離されていることを特徴とする請求項第13項記載の半導体不揮発性記憶装置。

16. 前記半導体不揮発性記憶装置の消去が選択されたセクタに対して、ワード線（WL）およびメモリウェルに加える電圧の立上り波形を数 $\mu$ 秒から数+ $\mu$ 秒とすることを特徴とする請求項第8, 11又は13項記載の半導体不揮発性記憶装置。

17. 前記半導体不揮発性記憶装置のメモリウェル電圧の立上り時の電圧到達時間がワード線（WL）電圧の電圧到達時間に等しいことを特徴とする請求項第16項記載の半導体不揮発性記憶装置。

18. 前記半導体不揮発性記憶装置を用いたコンピュータシステムであって、前記半導体不揮発性記憶装置に加えて、少なくとも中央処理装置およびその周辺回路などを有することを特徴とする請求項第8, 11, 13, 16又は17項に記載のコンピュータシステム。

19. それぞれが制御ゲート（1）、ドレイン（2）およびソース（3）を有する不揮発性半導体メモリセルを列方向に複数個接続した単位ブロックを該メモリセルのドレインがMOSトランジスタを介してビット線（BL）に複数個配置したメモリセルアレイにおいて、ビット線（BL）に使用する金属配線層は、行方

向（ワード線（WL）と平行）に配置した共通ソース線（SL）の金属配線層より後の製造工程で形成され、列方向（ビット線と平行）の共通ソース線（SL）は、ダミーメモリセル列を含むメモリアレイの終端に配置し、該行方向に配置した共通ソース線（SL）と電氣的に接続されていることを特徴とする半導体不揮発性記憶装置。

20. 請求項第19項記載の半導体不揮発性記憶装置において、メモリセルの読み出し動作および書き換え後のメモリセルのしきい値電圧の検証読み出し（ベリファイ）動作を、メモリセルの制御ゲート（1）が共通に接続されたワード線（WL）単位で一括に行ない、ビット線（BL）毎にセンス動作と書き換えデータのラッチ動作を行うセンスラッチ回路を備えていることを特徴とする半導体不揮発性記憶装置。

21. 請求項第19項記載の半導体不揮発性記憶装置の行方向に配置した該共通ソース線（SL）の金属配線の幅は、該ビット線の金属配線幅の100倍以上の配線幅で配置することを特徴とする半導体不揮発性記憶装置。

22. 請求項第19項記載の半導体不揮発性記憶装置において、該単位ブロックのメモリセルのソースは、MOSトランジスタを介して共通ソース線（SL）に接続されることを特徴とする半導体不揮発性記憶装置。

## 条約19条に基づく説明書

- 1 (1) 半導体不揮発性記憶装置に関する請求の範囲第1項において、「動作手段が、所定のしきい値電圧よりも低いメモリセルについて選択的にそのしきい値電圧を一括して上げる」ことを明確にした。補正の根拠は、本願明細書第6頁第18行から第26行の記載にある。

(2) 引用例の特開平4-153999では、第5頁左上欄第4行から第6行に「すべてのメモリトランジスタのフローティングゲートに電子が注入されて、しきい値は高くなる。」と記載されており、「選択的にそのしきい値電圧を上げる」ものではない。

また、別の引用例の特開平6-28875では、図2(B)から明らかな通り、ビット線(BL)を一本ずつ選択してメモリセルを一つずつ書き込みを行っています(第5カラム第20行-第34行参照)。したがって、「しきい値電圧を一括して上げる」ものではない。
- 2 (1) 半導体不揮発性記憶装置に関する請求の範囲第8項において、「メモリウェル及び前記複数のメモリセル群のソースに印加する負の電圧とに分配し、前記複数のメモリセル群のドレインをオープンとしてメモリセルの情報を書き換える」ことを明確にした。補正の根拠は、本願明細書第34頁第2行から第6行の記載にある。

(2) 引用例の特開平6-176587では、表1に書き込み時にビット線に5V、ソースに0V、ウェルに-2Vが記載されており、請求項8の「ドレインがオープン、ソース及びウェルが負電圧」とは異なり、本願明細書第34頁第5行から第6行に記載の「定常電流防止」の効果を得るものではない。
- 3 (1) 半導体不揮発性記憶装置に関する請求の範囲第6項において、補正は行っていないが、引用例の特開平2-40199ではベリファイを行う記載がないので、「ベリファイ後のメモリセルのしきい値状態に応じてビット毎にフリップフロップの再データを自動設定する回路」を示してはいない。

FIG.1

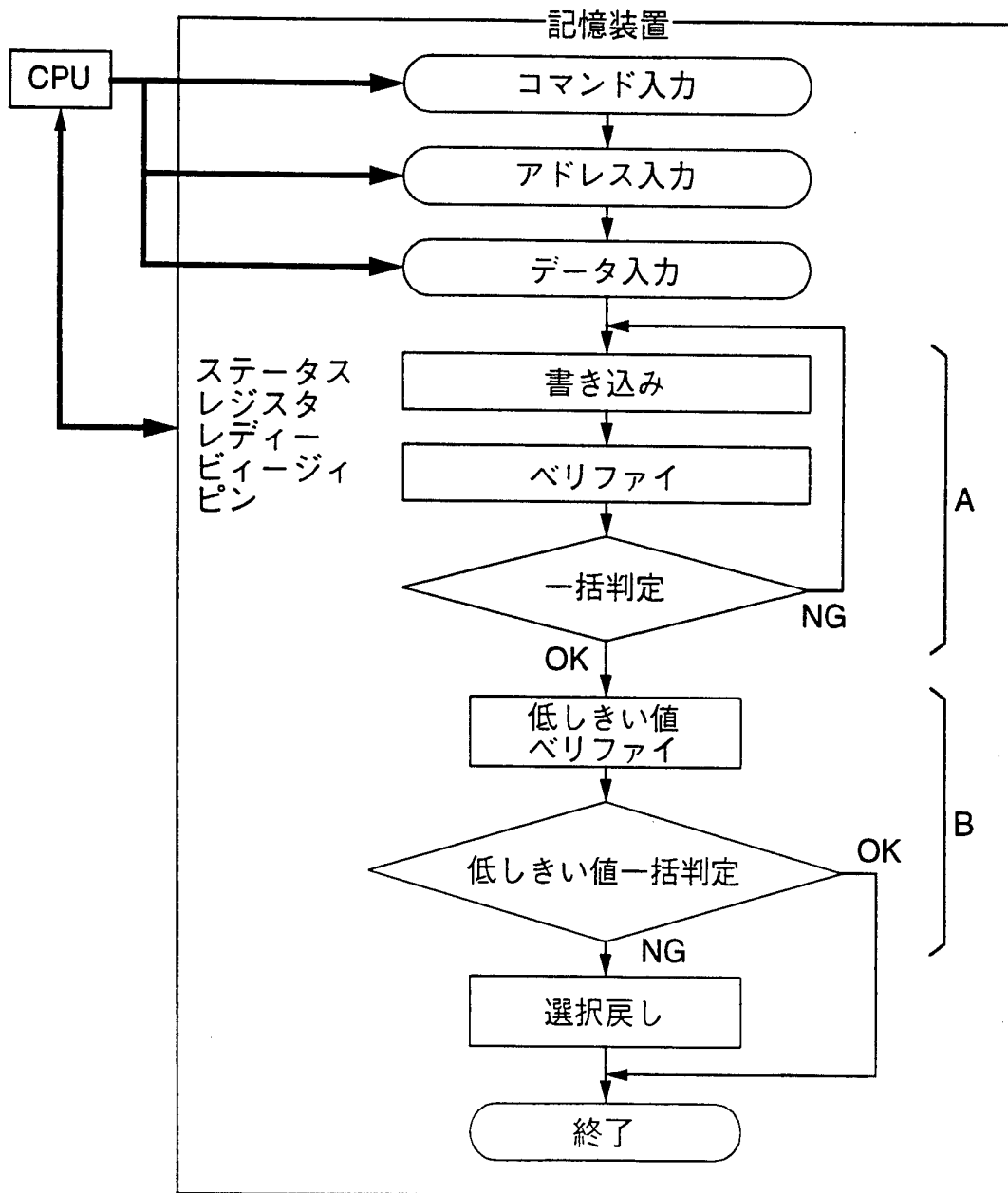


FIG.2

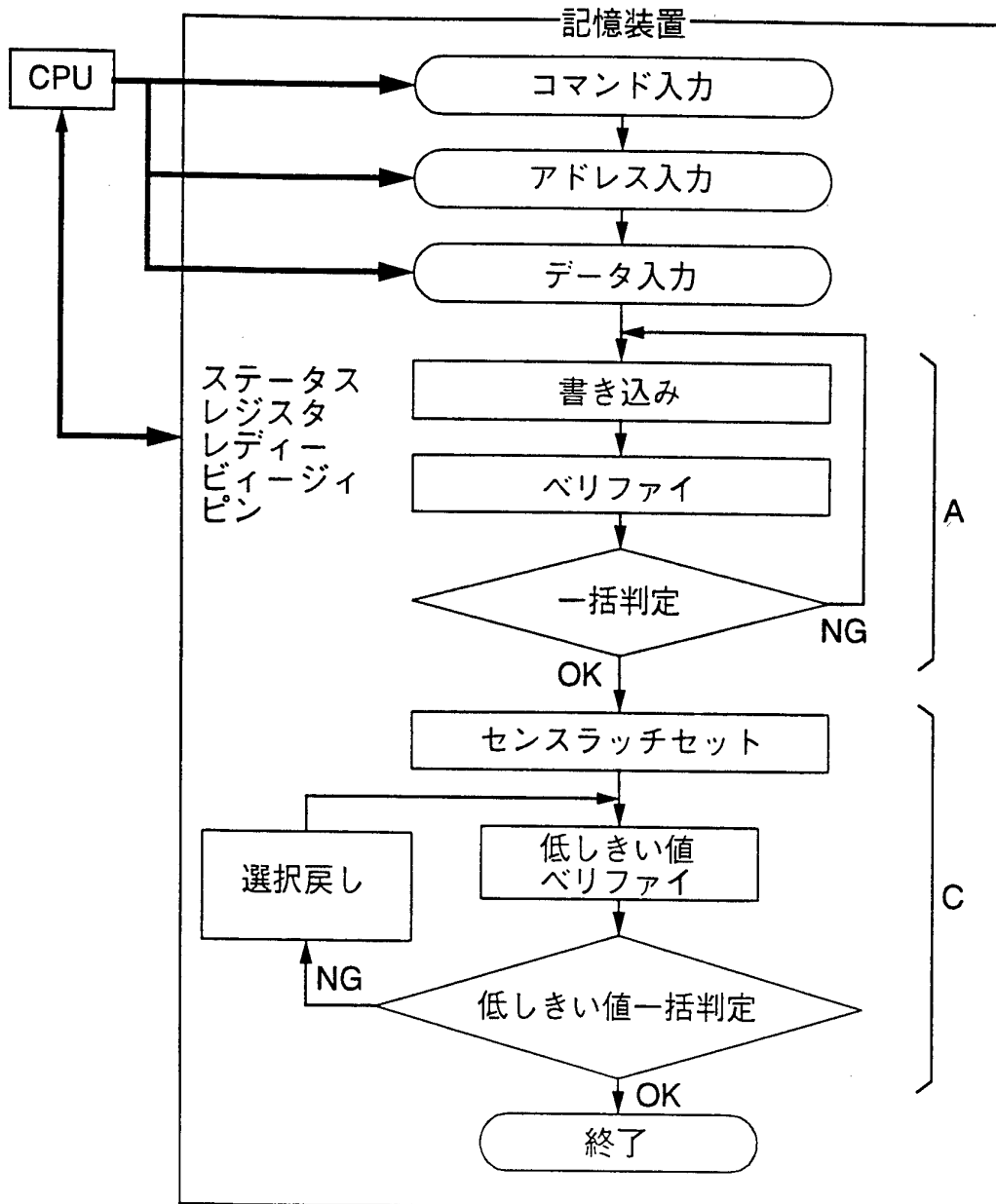


FIG.3

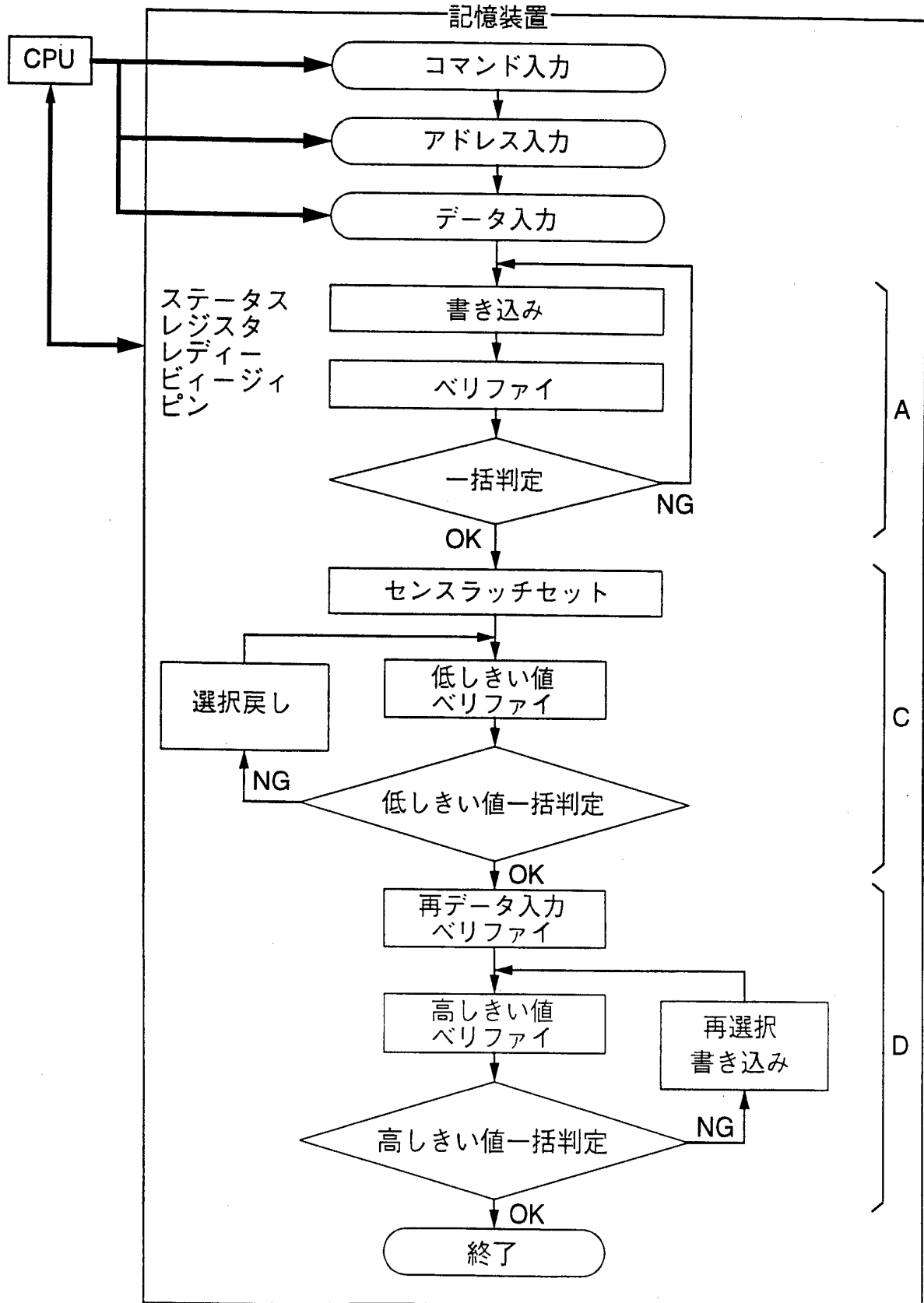




FIG.4 4 / 46

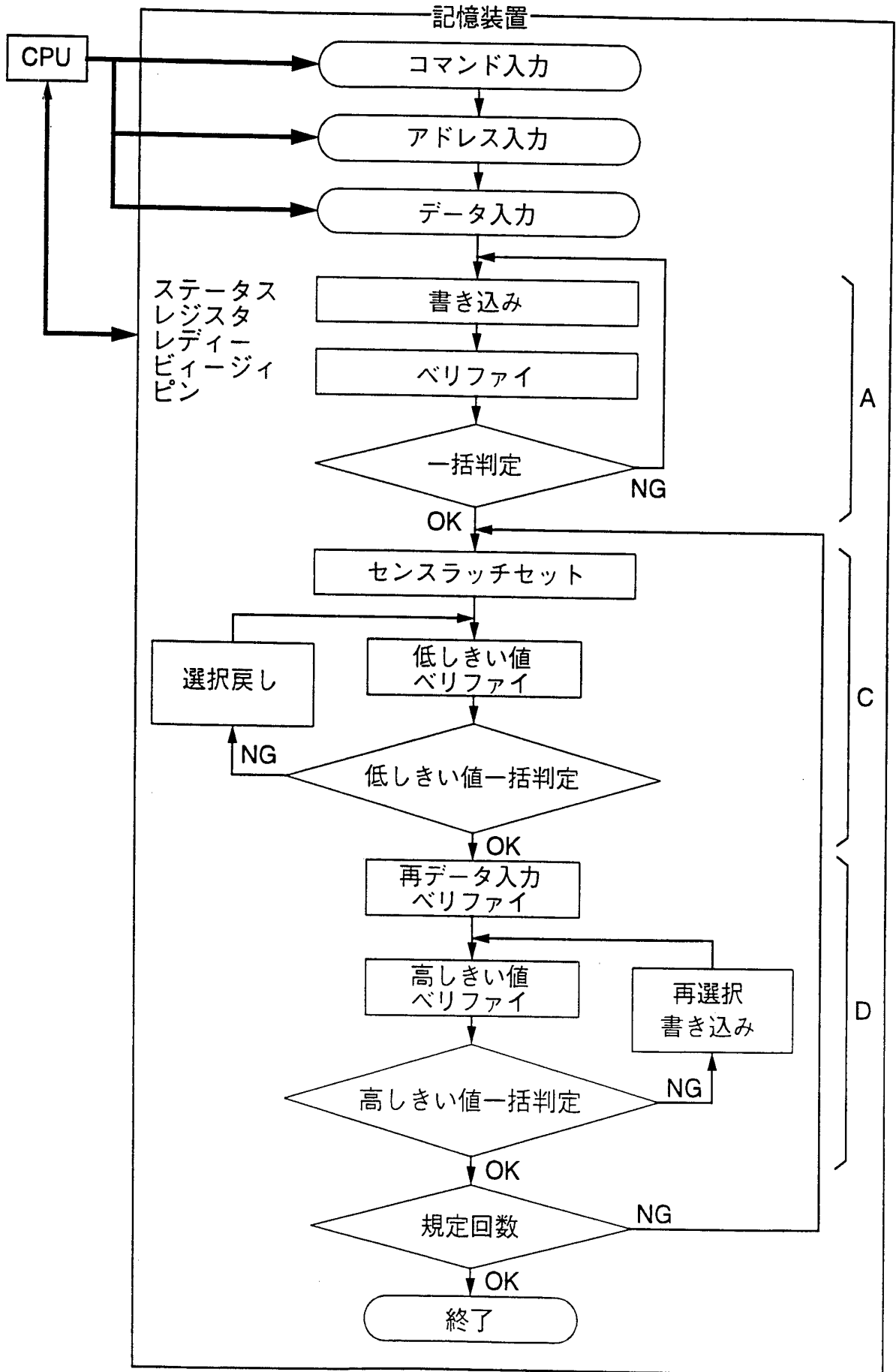


FIG.5

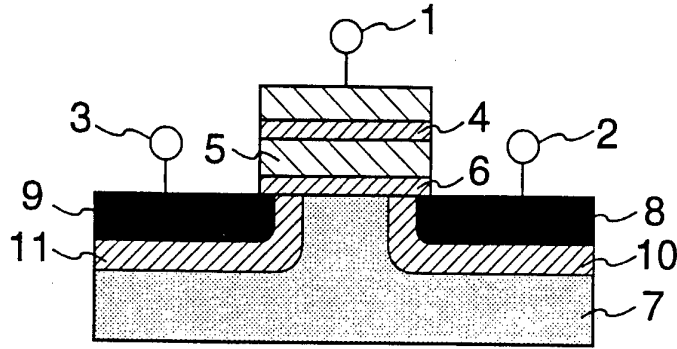


FIG.6A

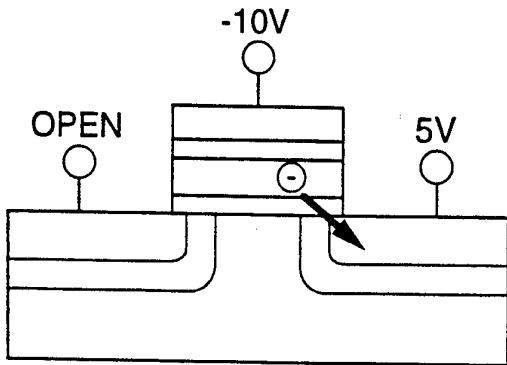


FIG.6B

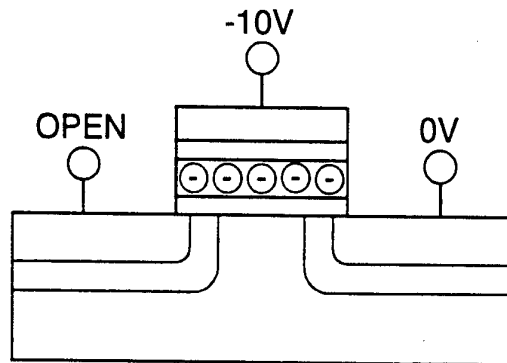


FIG.7A

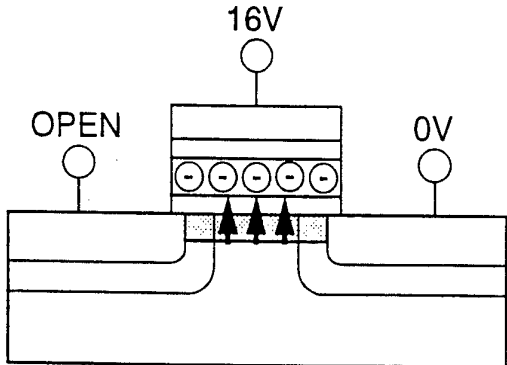


FIG.7B

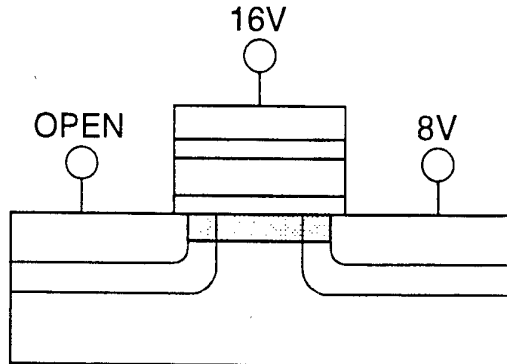


FIG.8

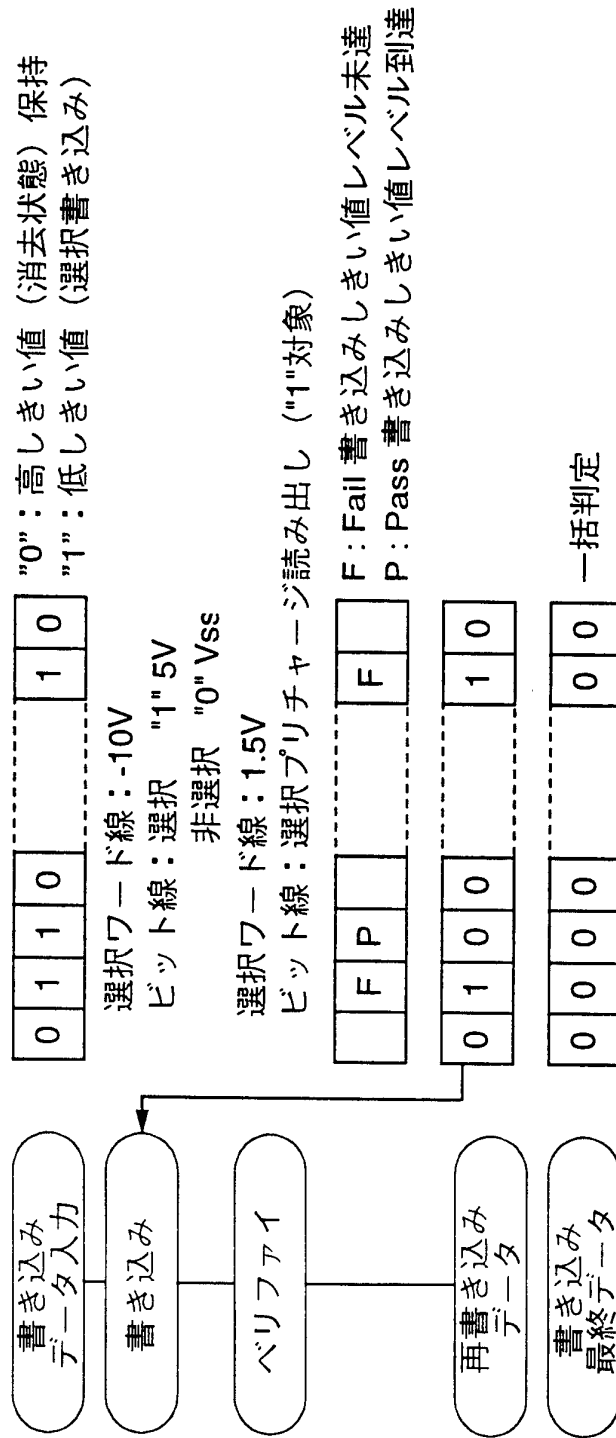


FIG.9

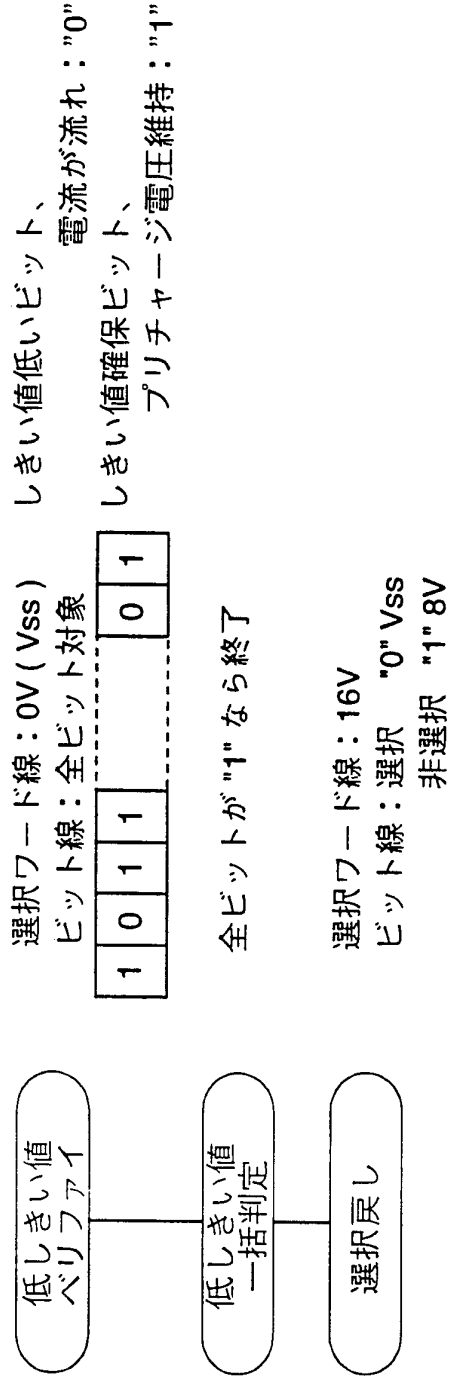


FIG.10

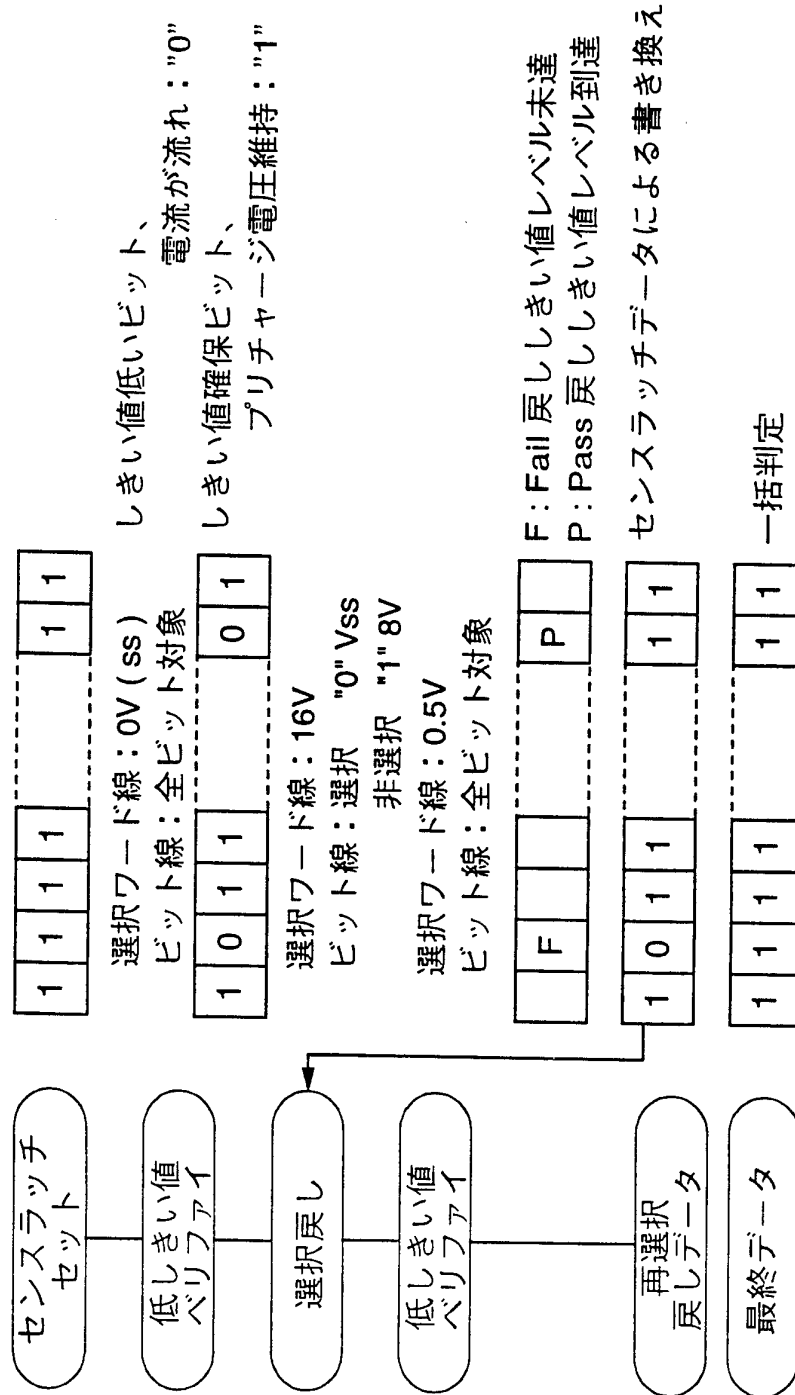


FIG.11

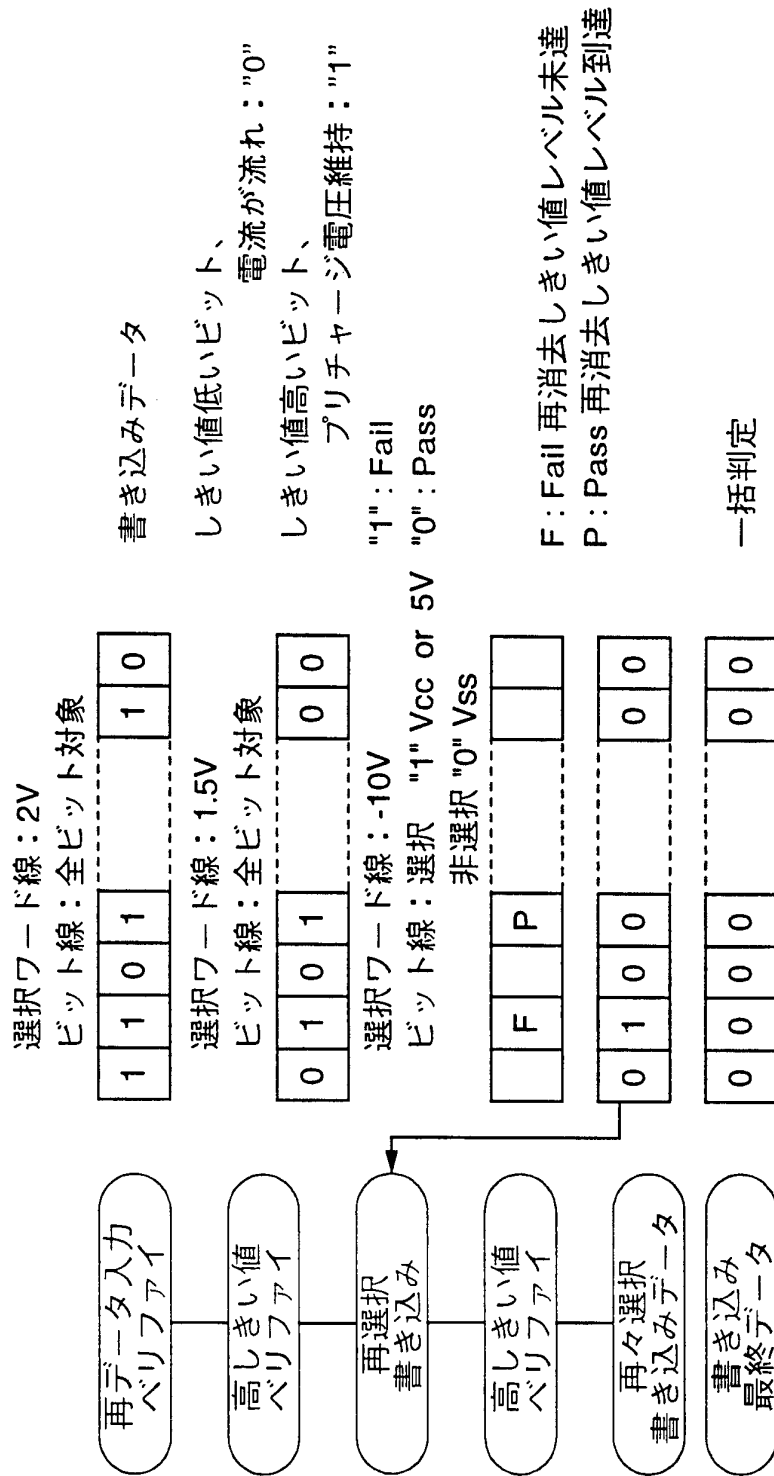


FIG.12

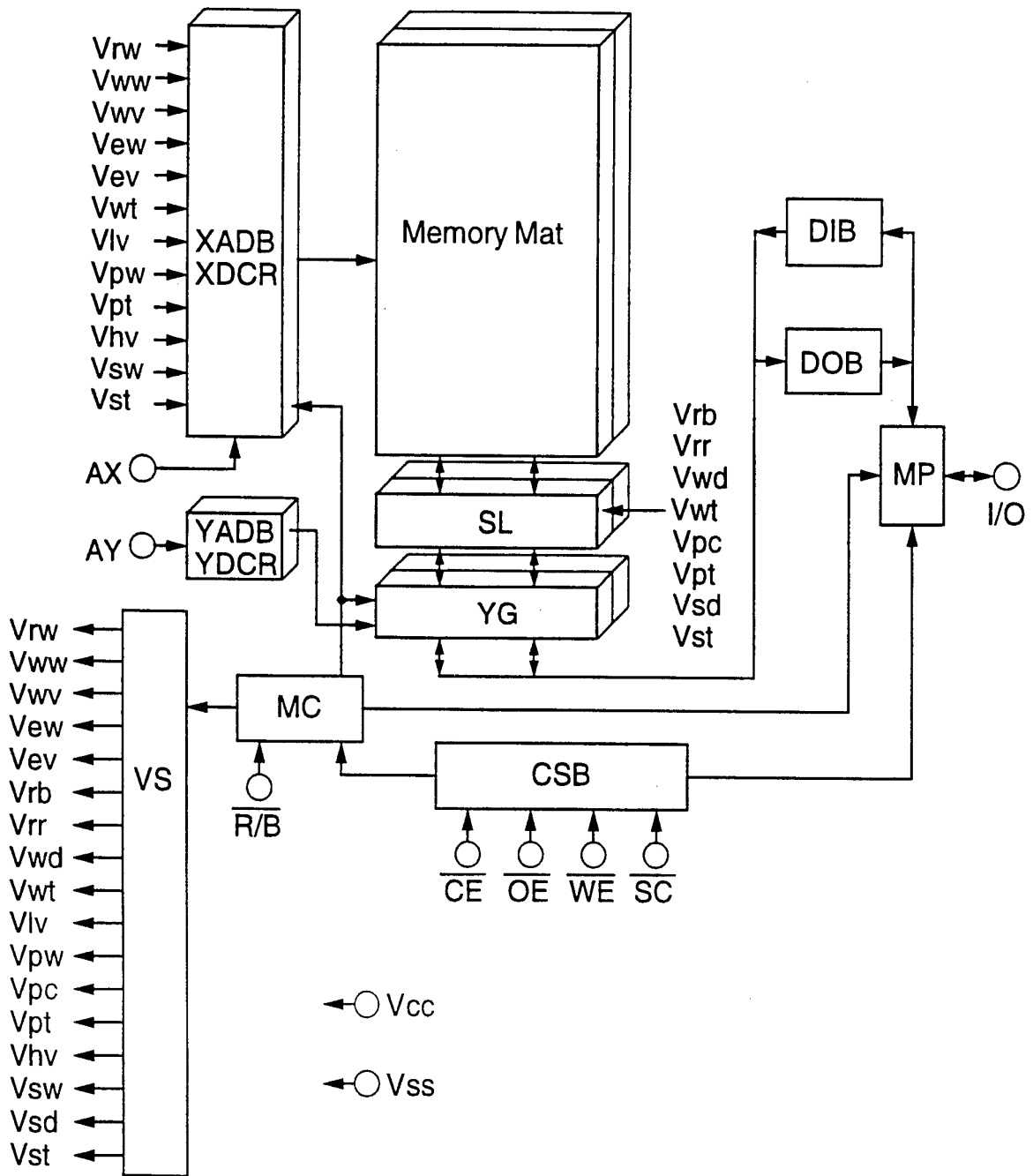


FIG.13

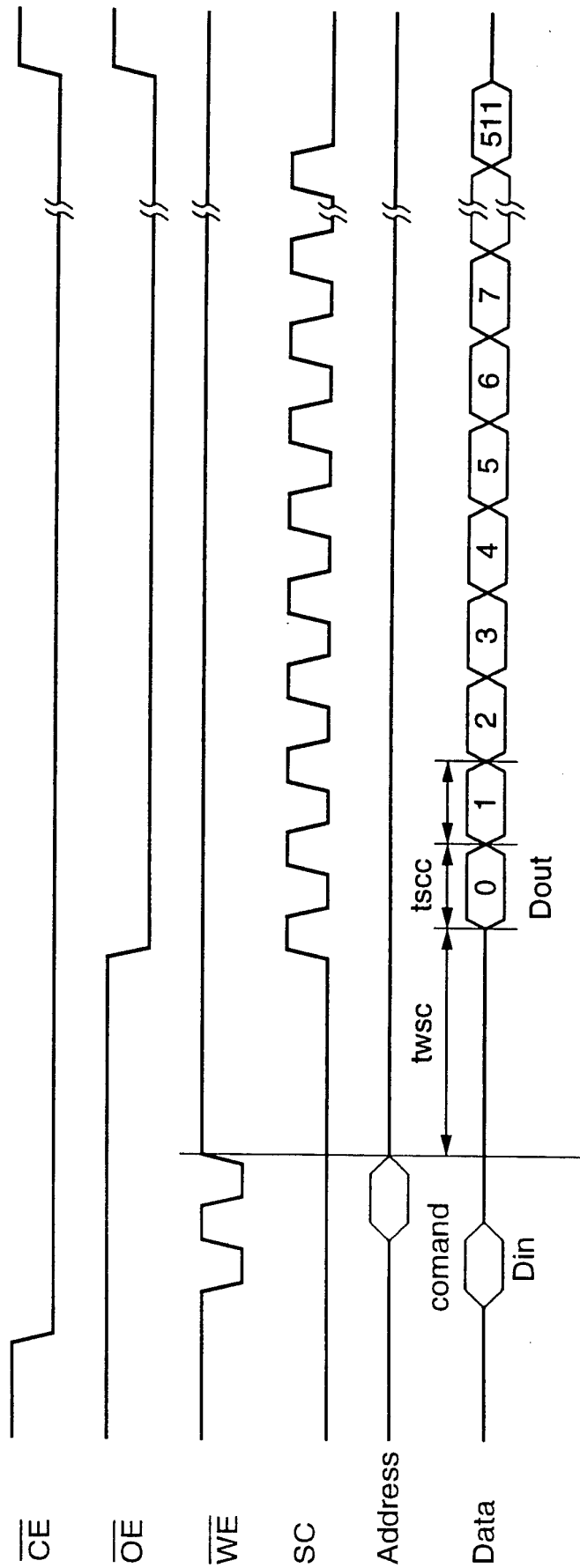




FIG.14A

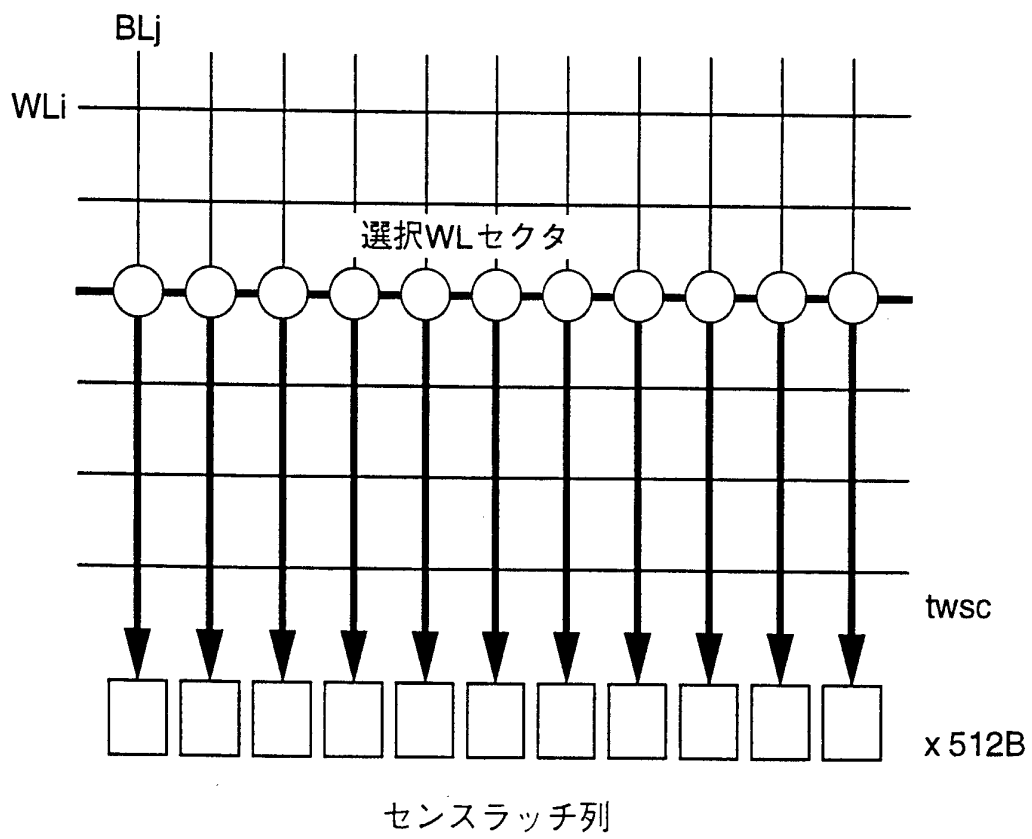


FIG.14B

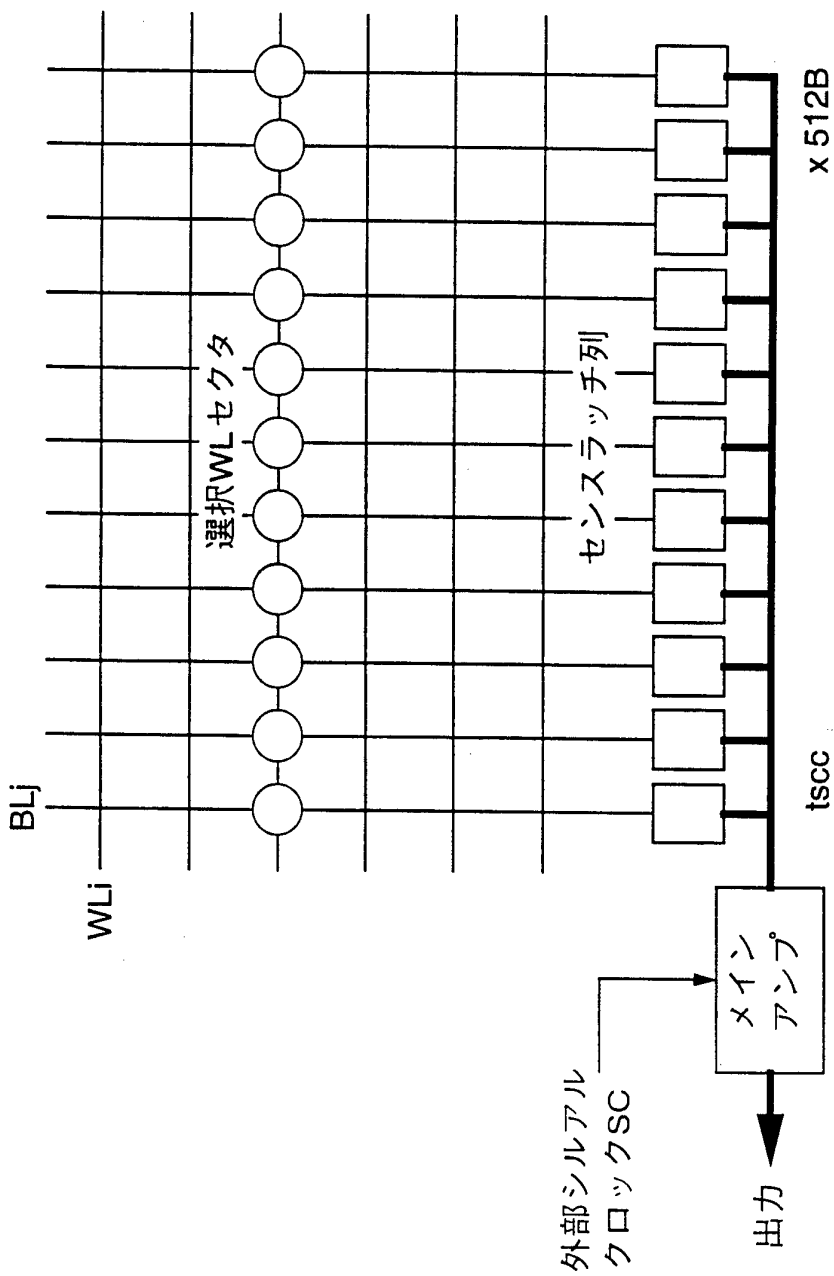


FIG.15

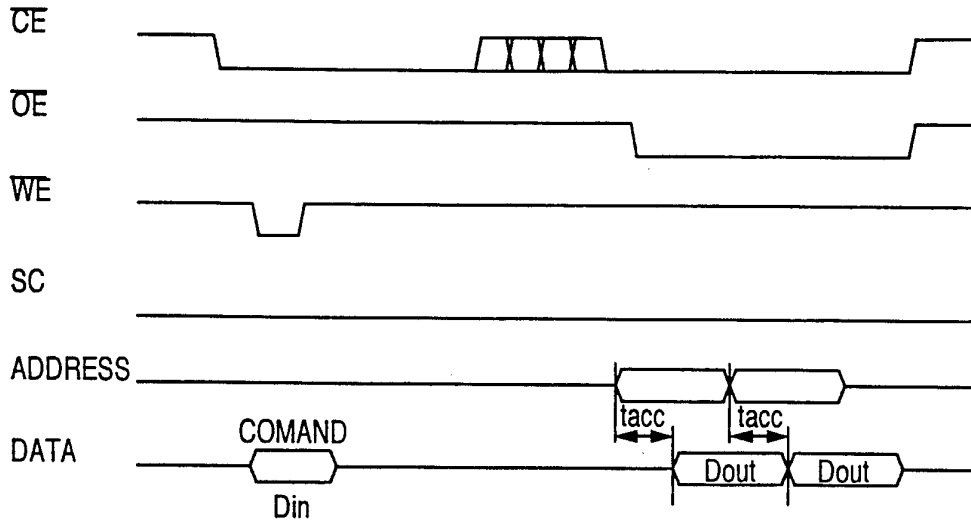


FIG.16

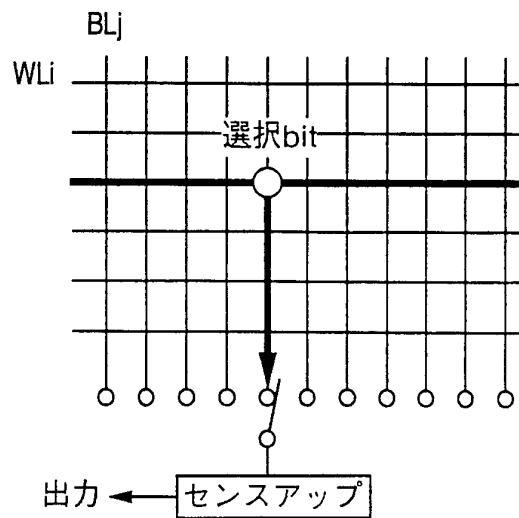


FIG.17

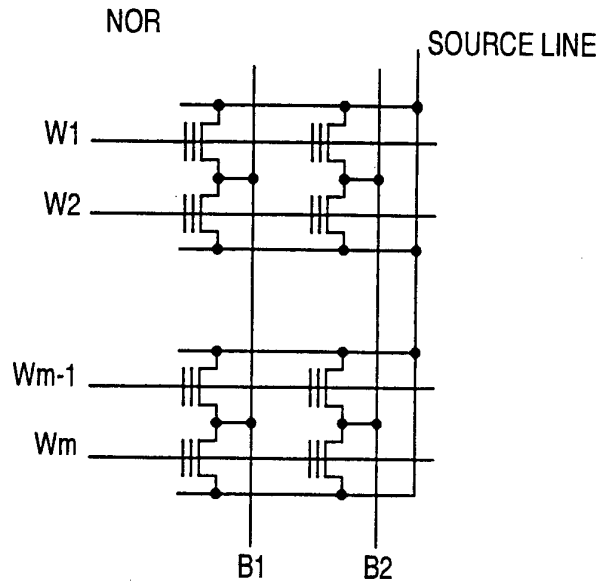


FIG.18

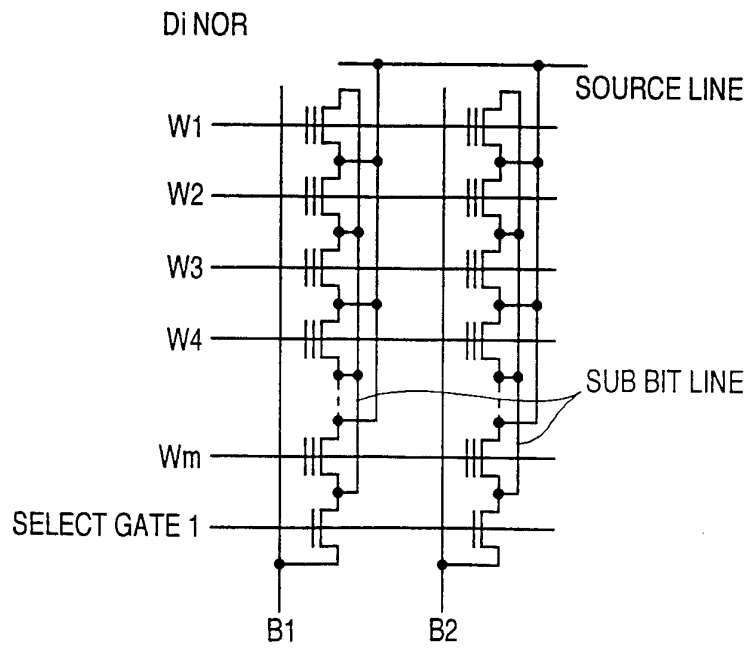


FIG.19

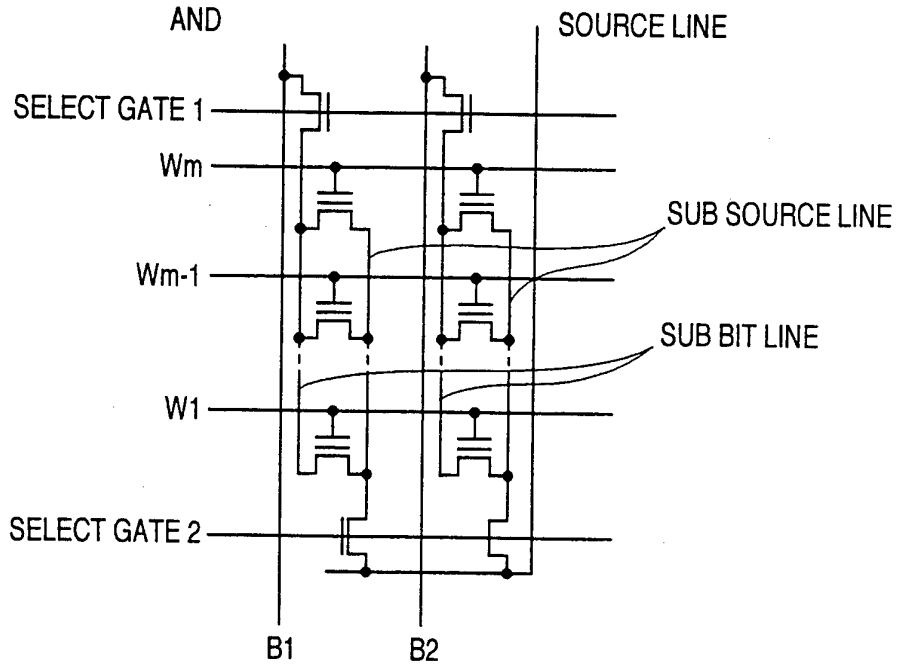


FIG.20

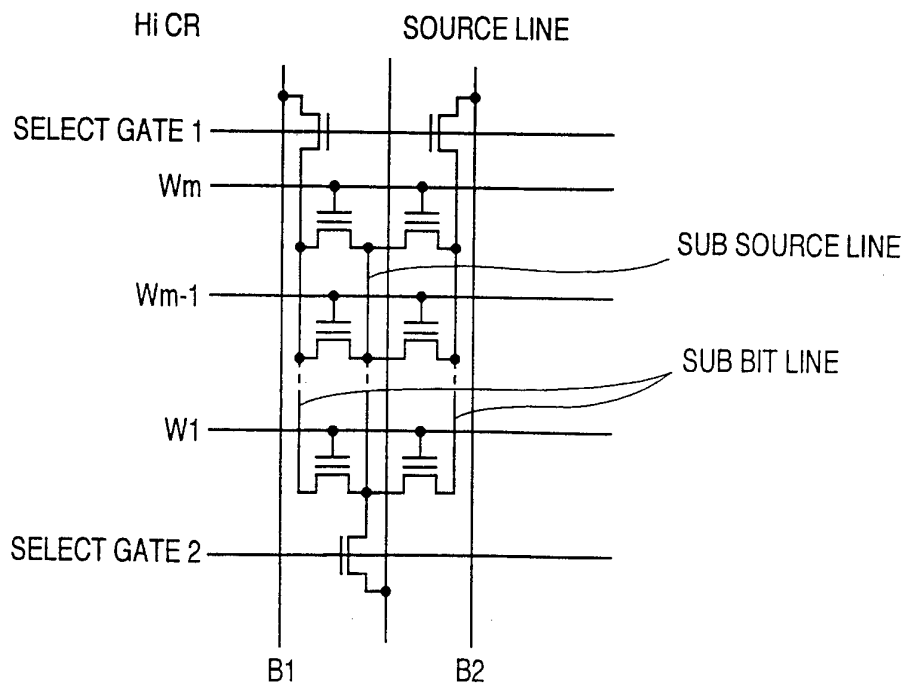


FIG.21

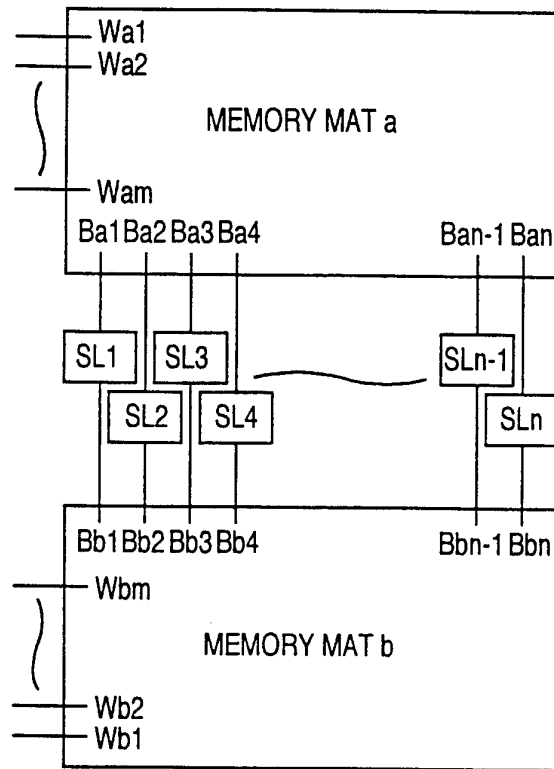


FIG.22

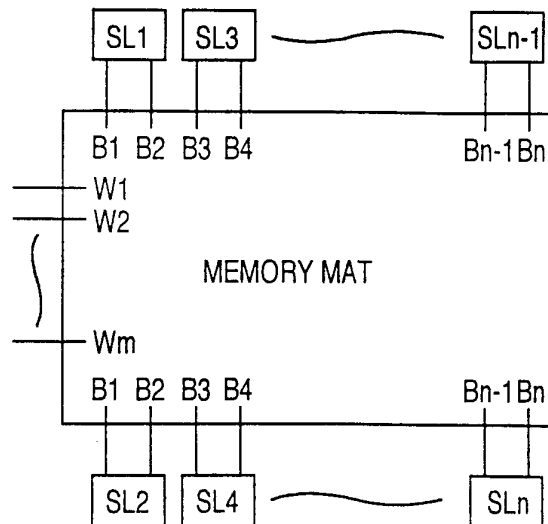


FIG.23

u : up e : even  
d : down o : odd

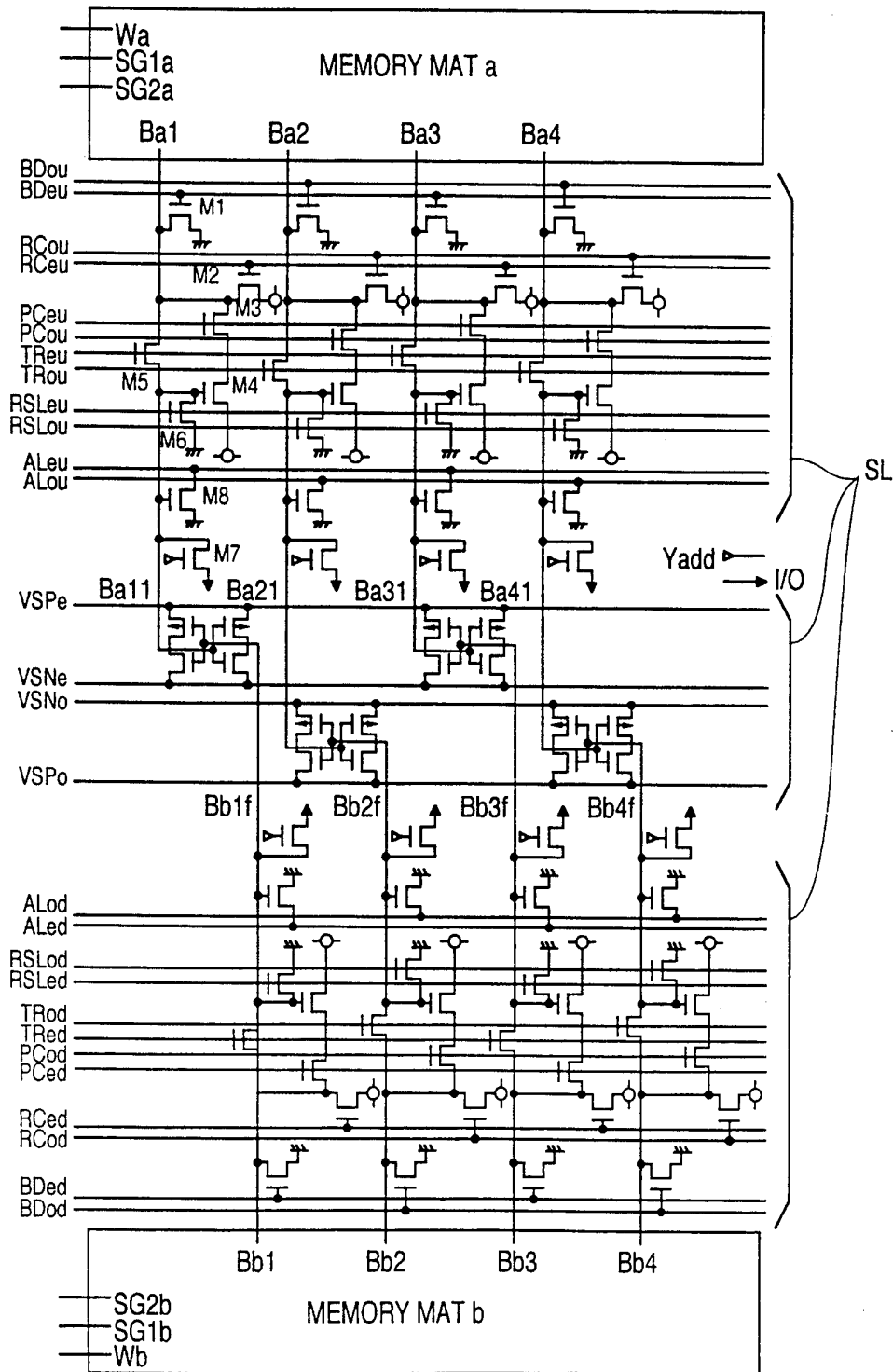


FIG.24

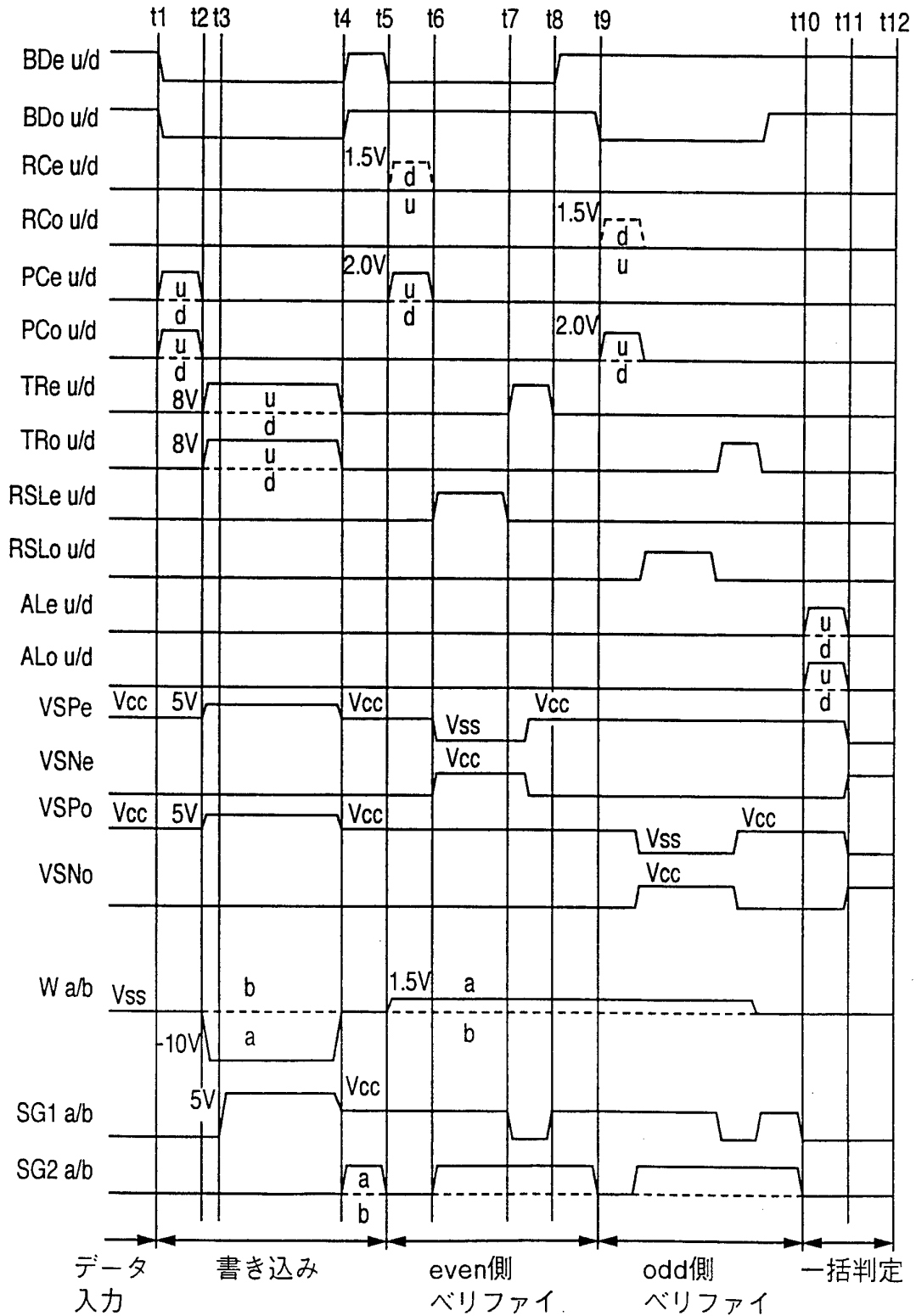




FIG.25

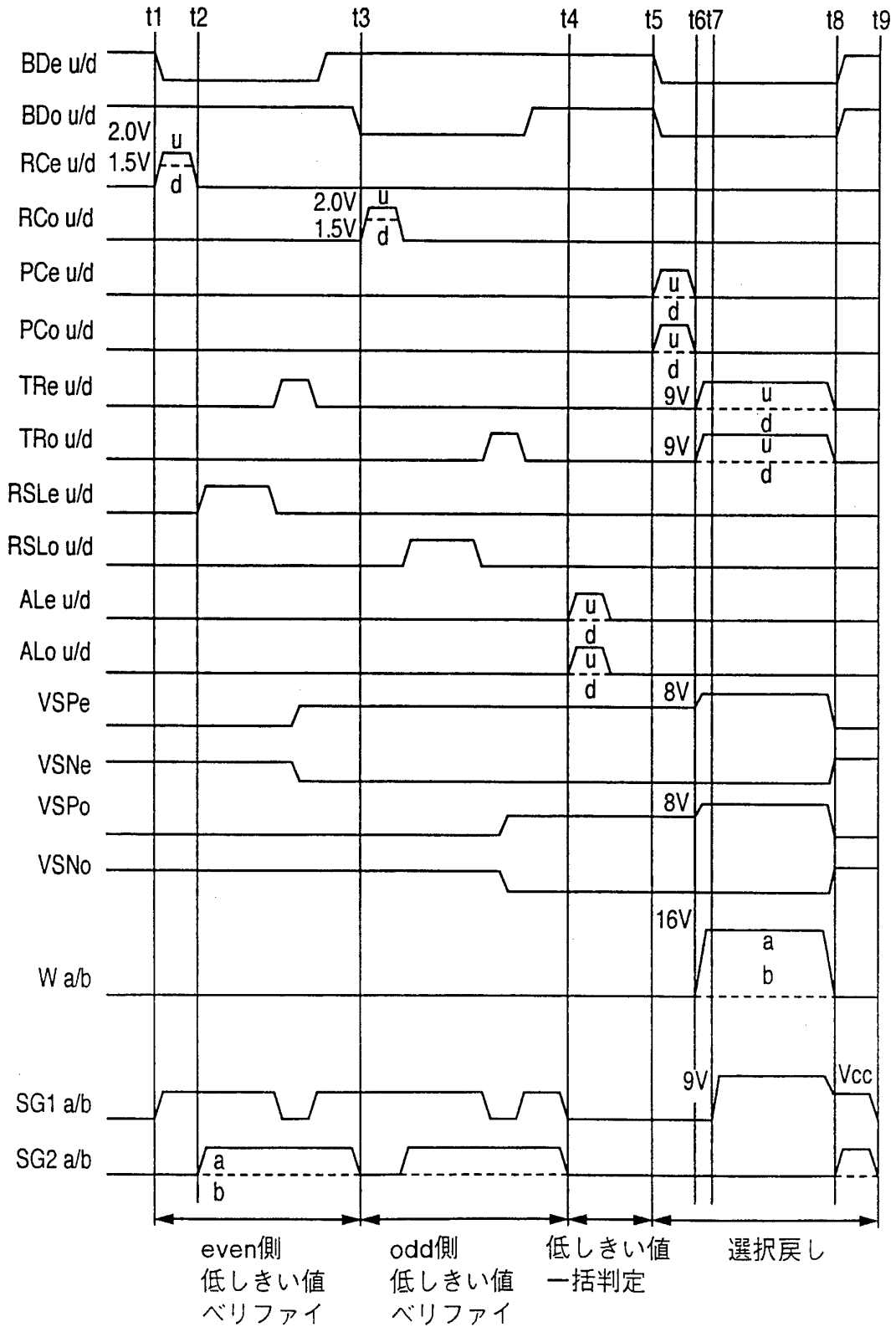


FIG.26

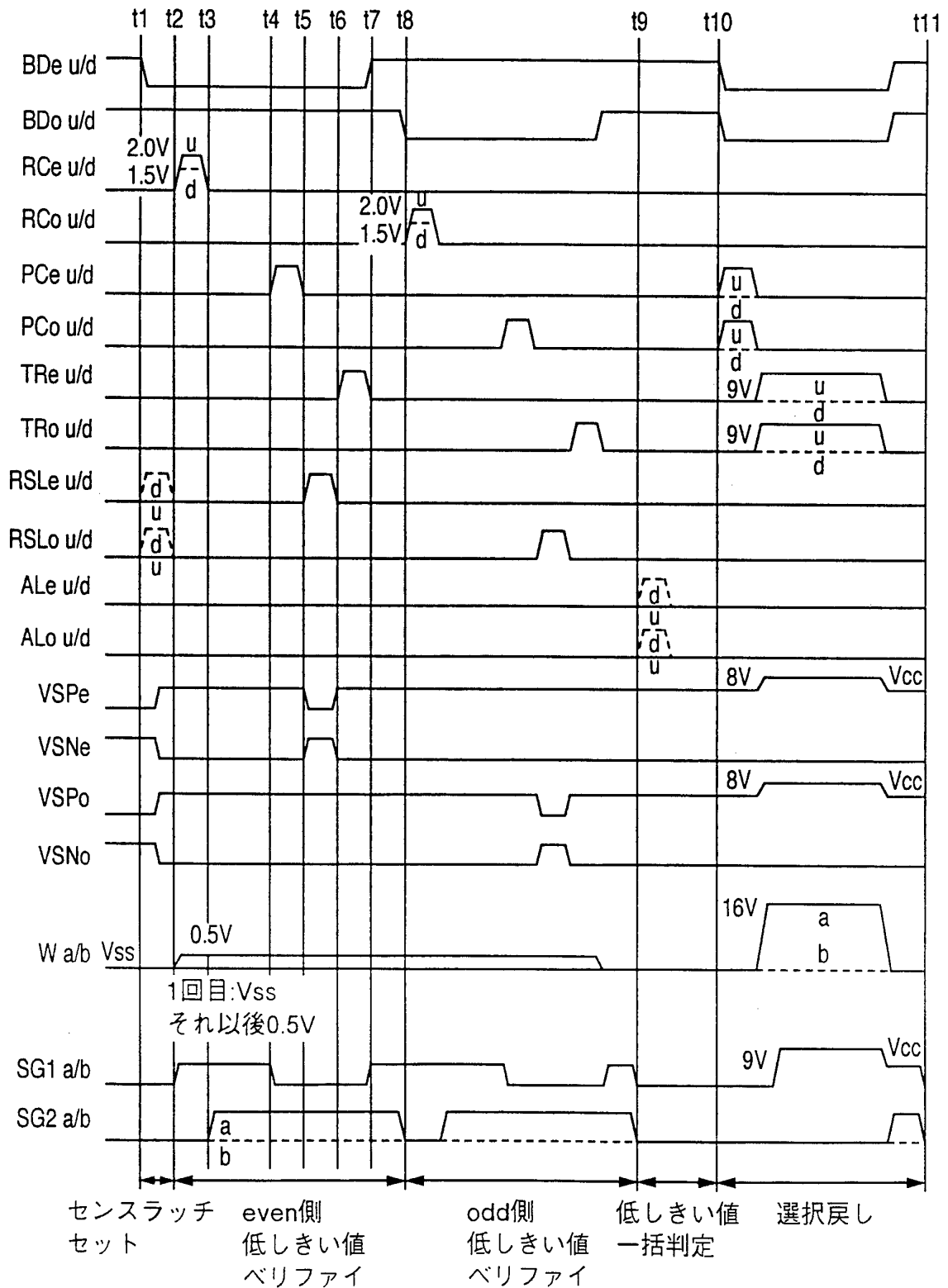


FIG.27

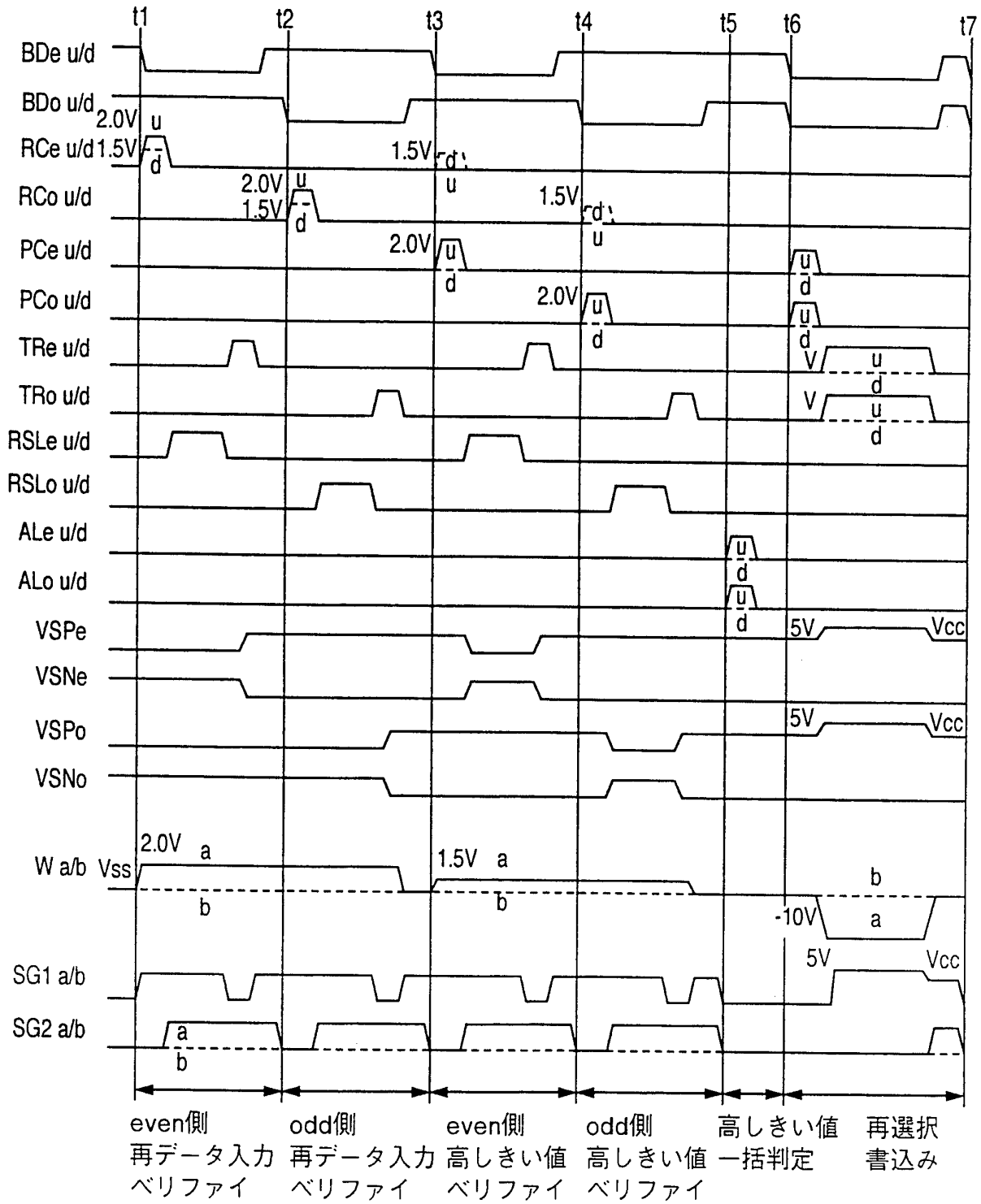
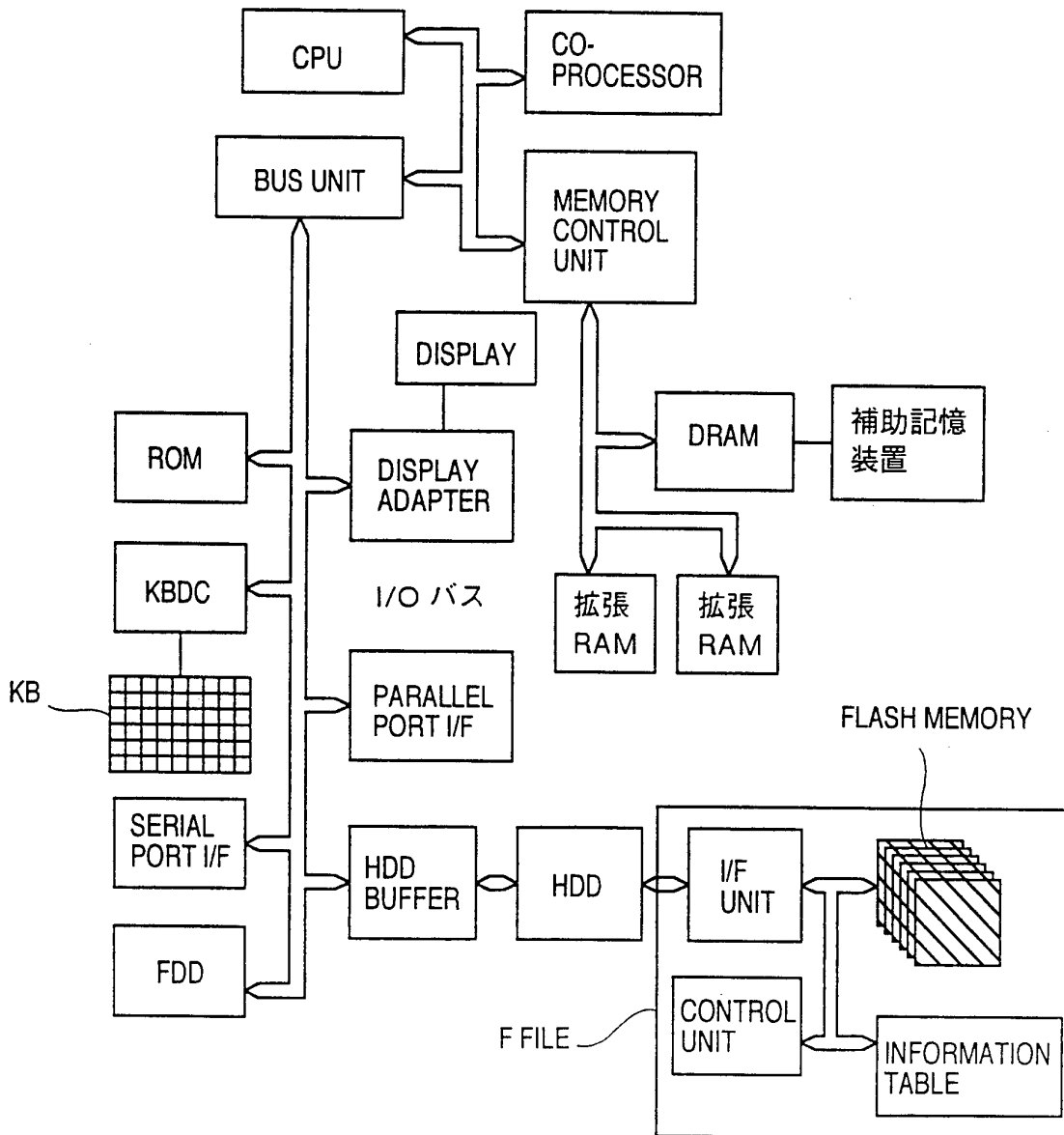


FIG.28



24 / 46

FIG.29  
PRIOR ART

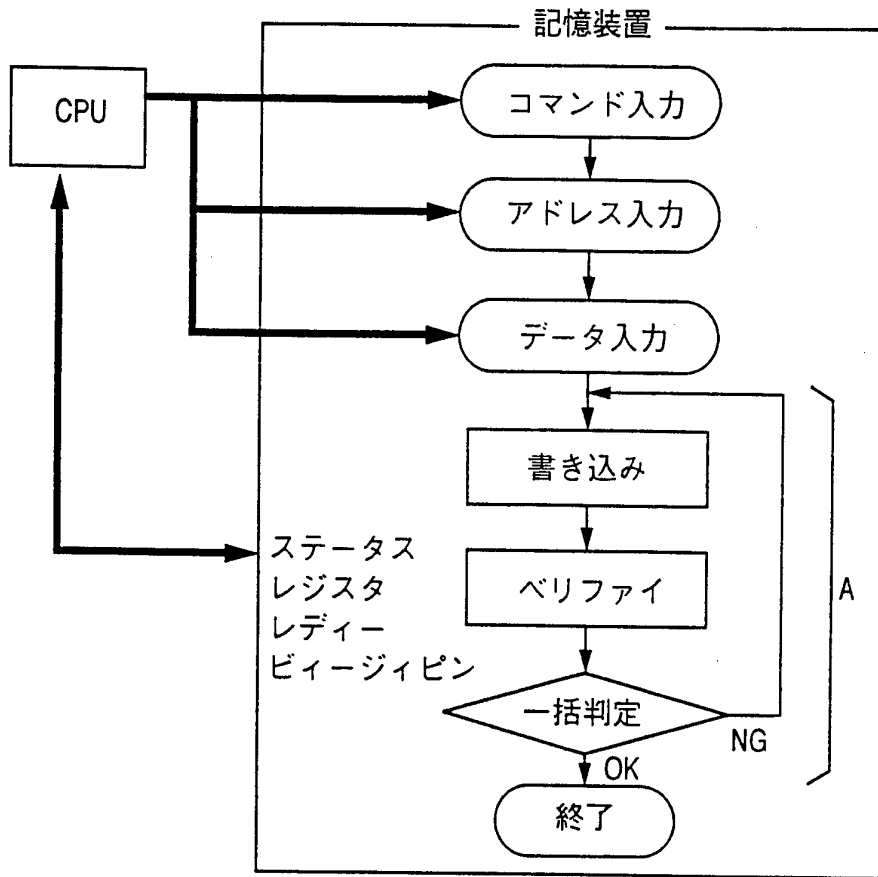


FIG.30  
PRIOR ART

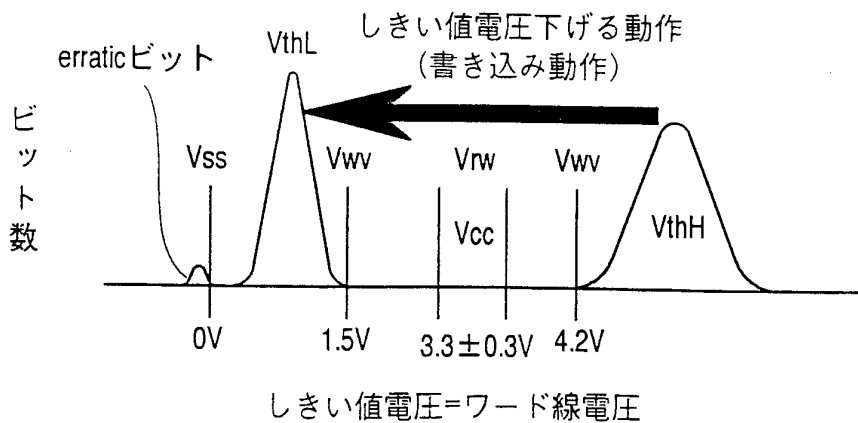


FIG.31A

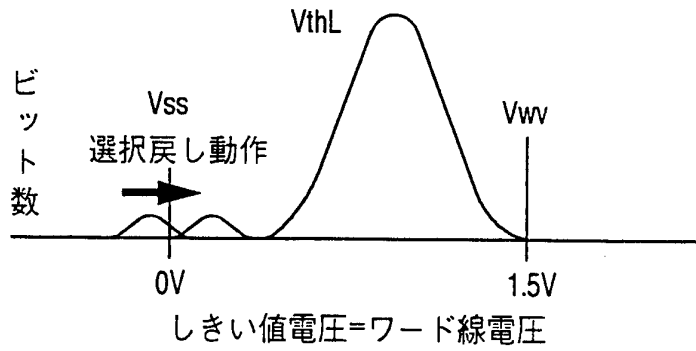


FIG.31B

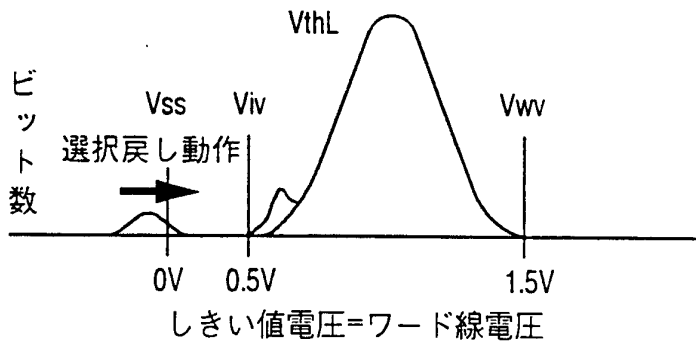


FIG.31C

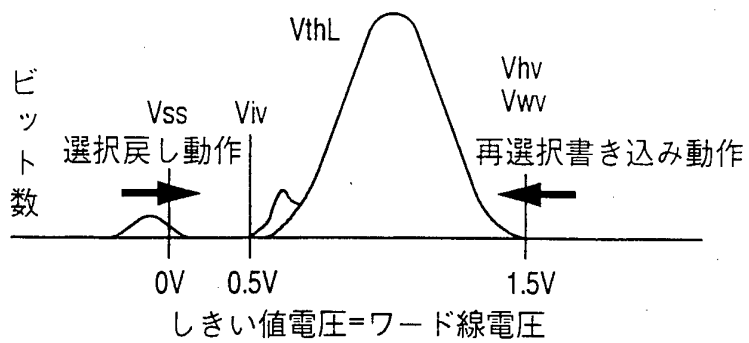




FIG.33

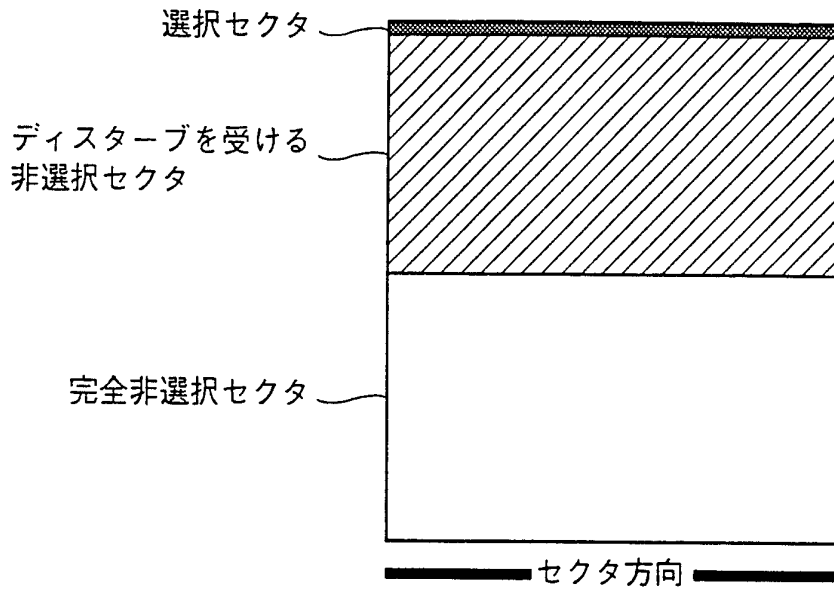




FIG.34A  
PRIOR ART

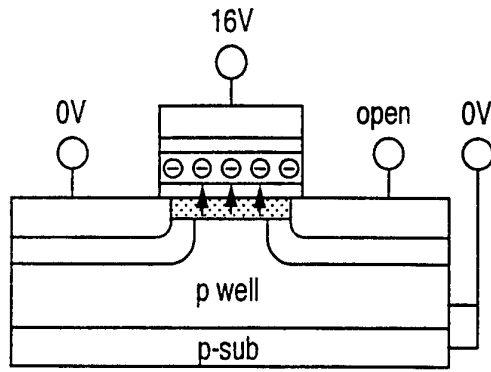


FIG.34B  
PRIOR ART

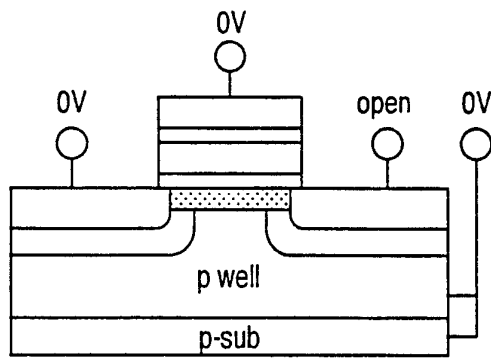


FIG.35

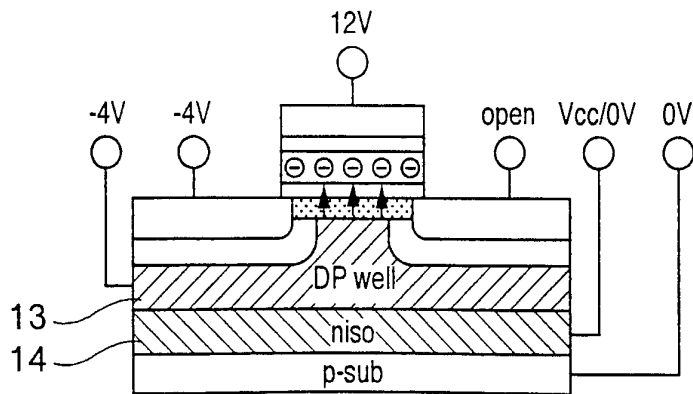


FIG.36A

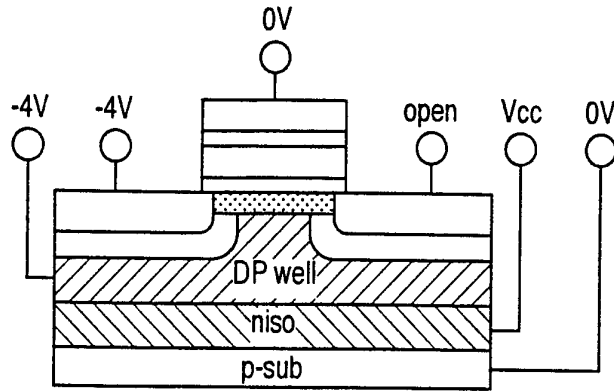


FIG.36B

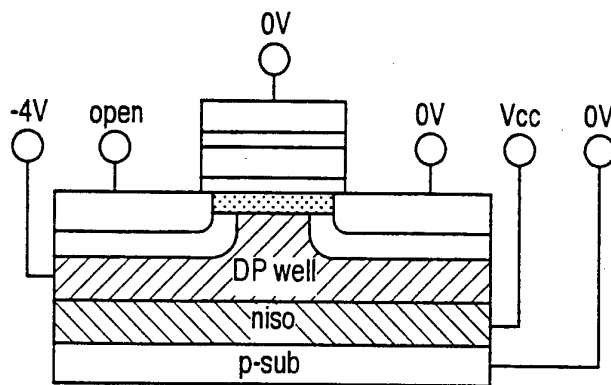


FIG.36C

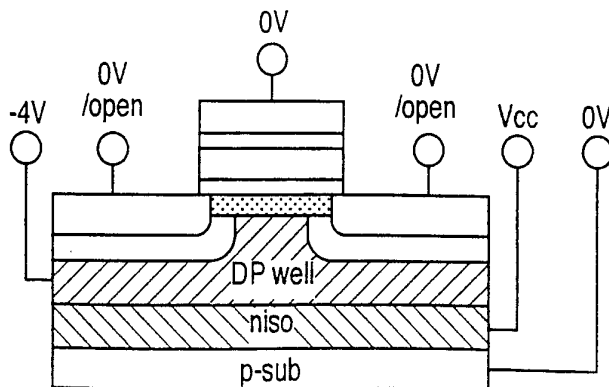


FIG.37

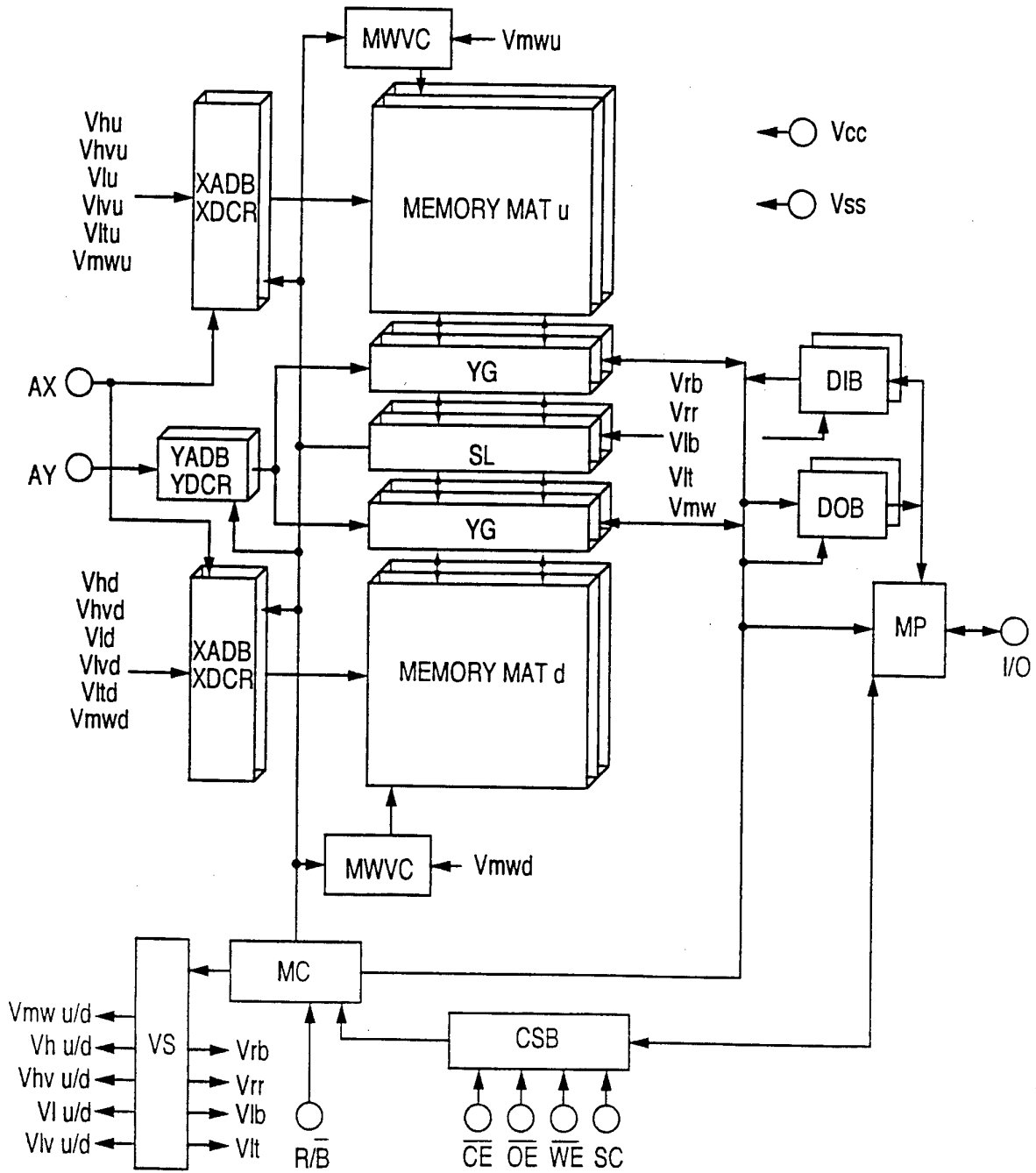


FIG.38

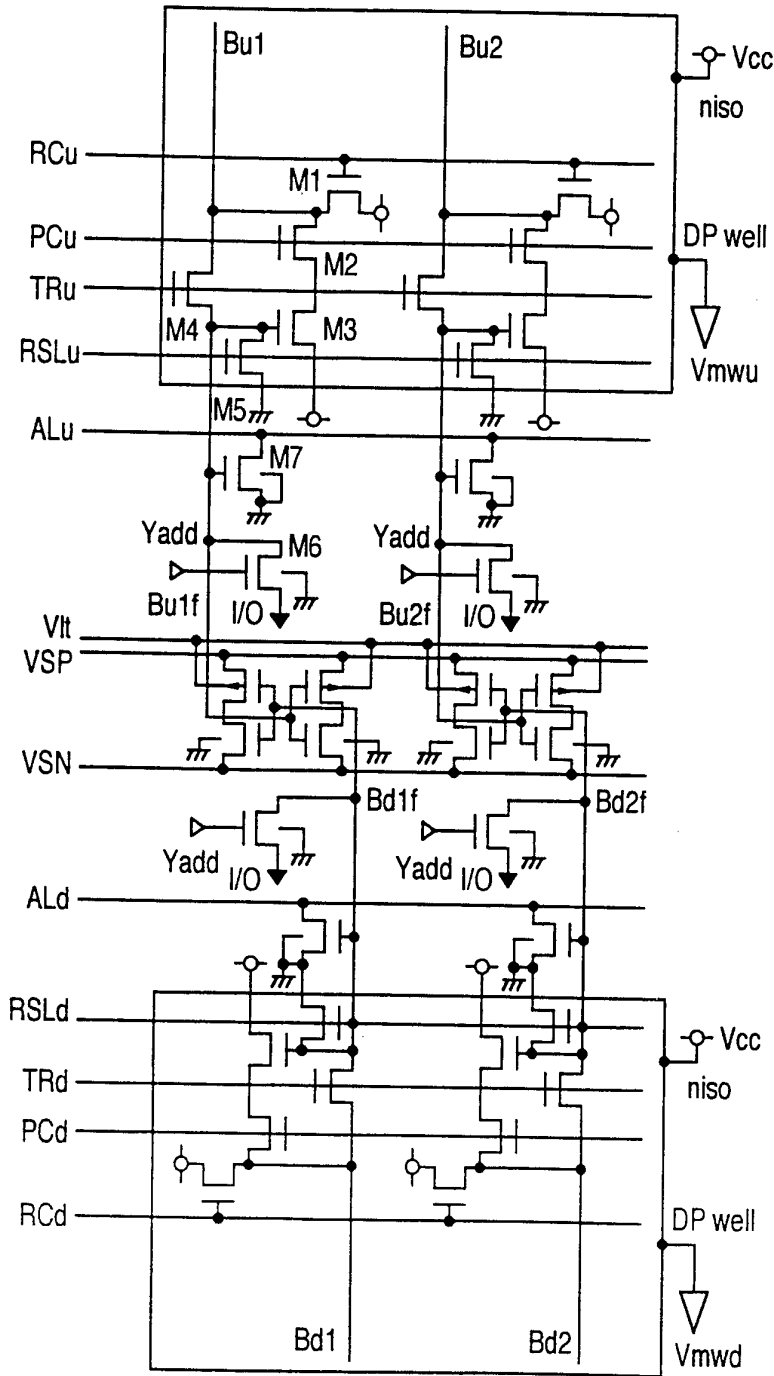




FIG.40

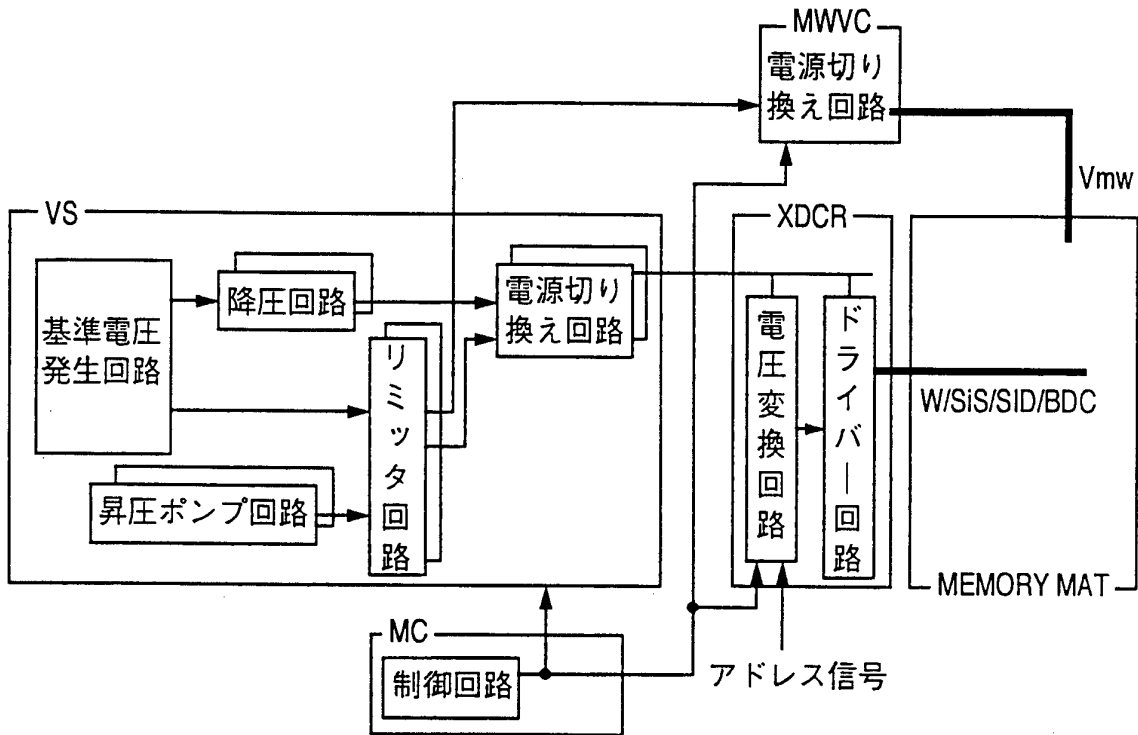


FIG.41

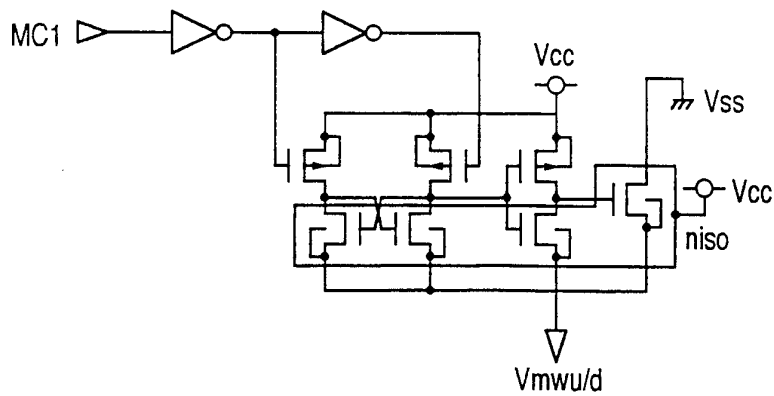


FIG.42

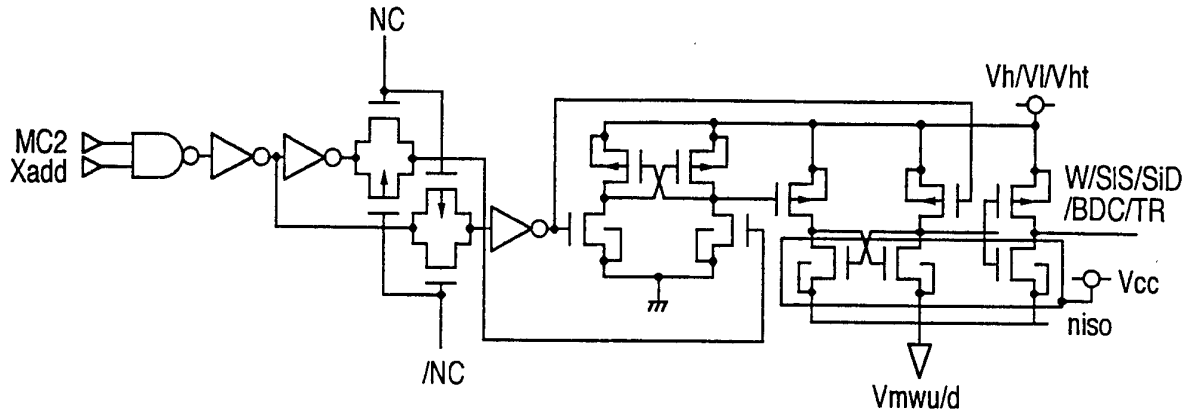


FIG.43

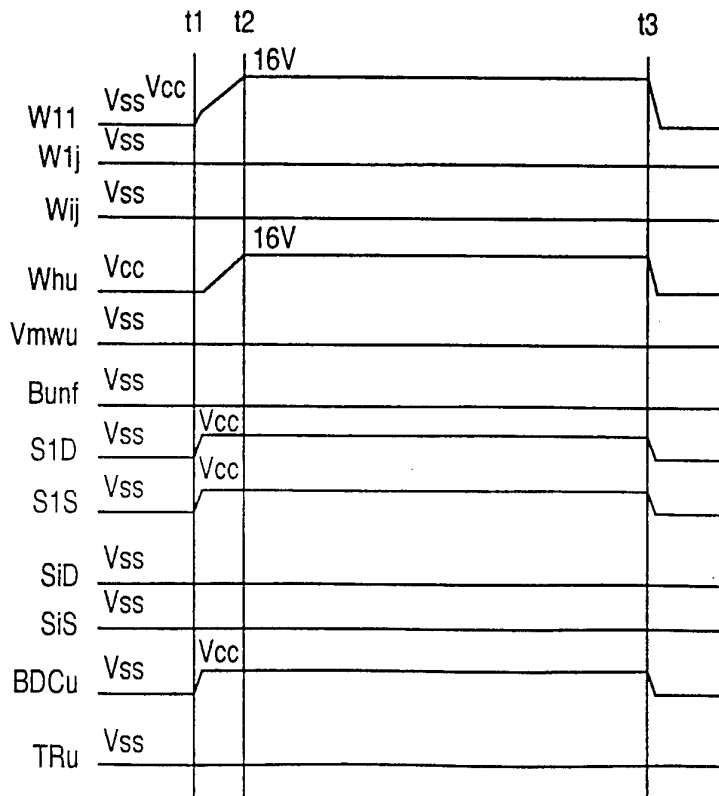


FIG.44

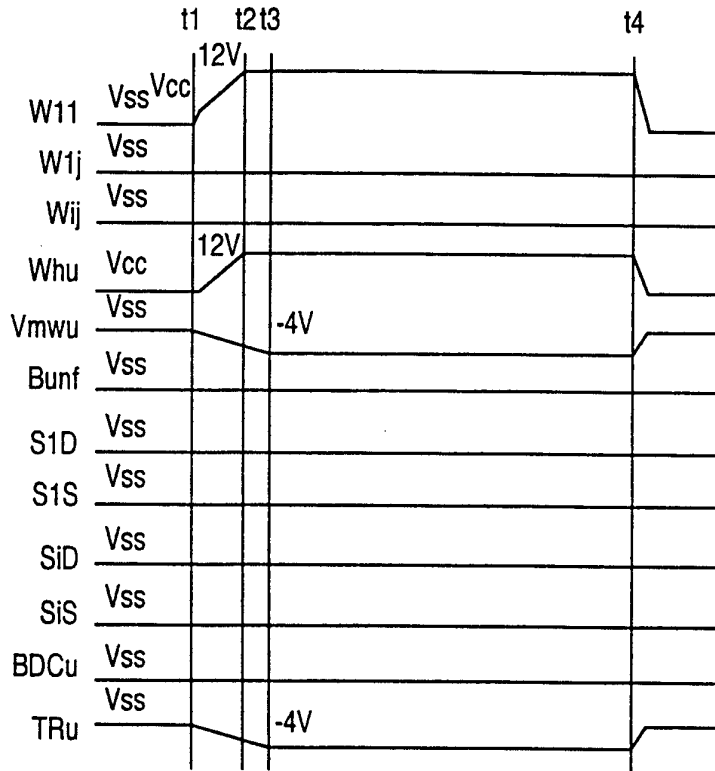


FIG.45

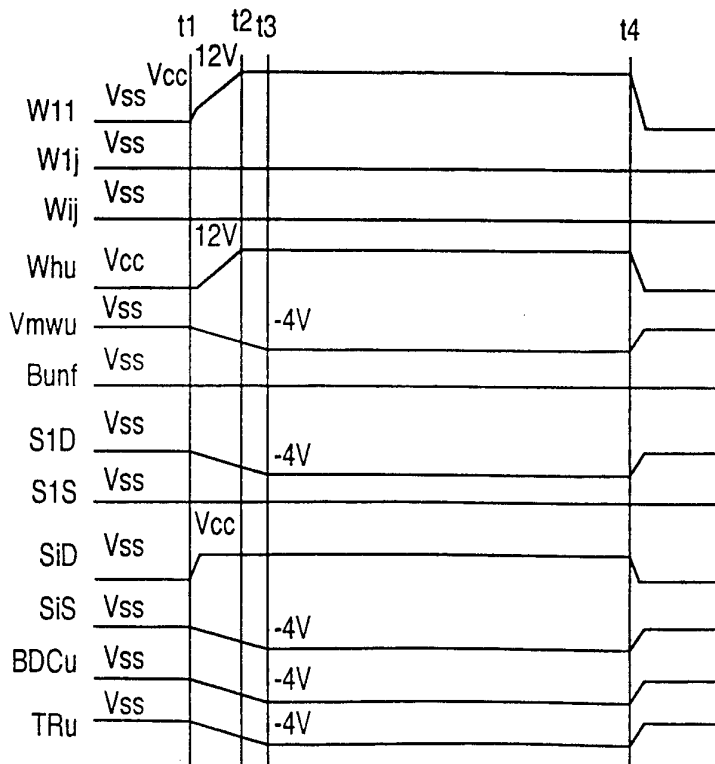




FIG.46

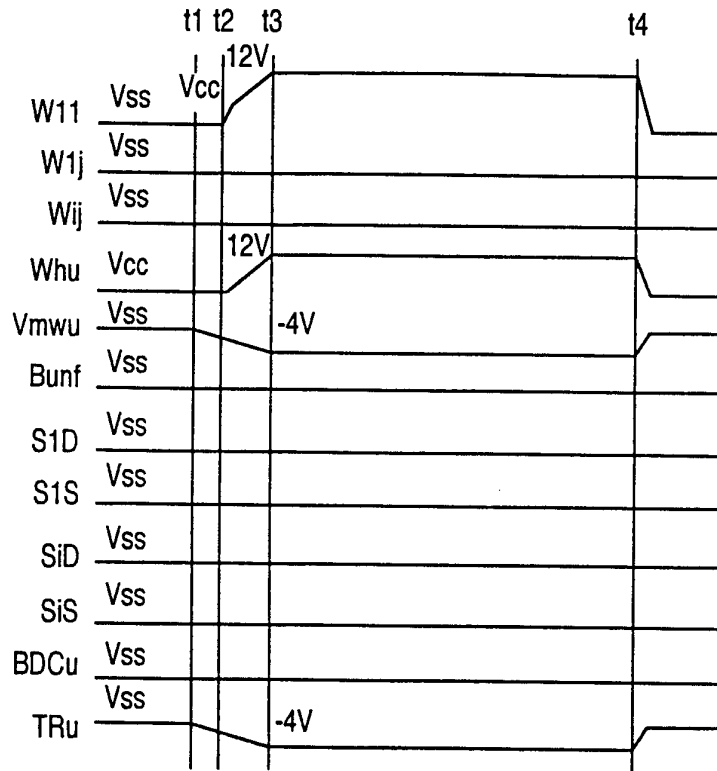


FIG.47

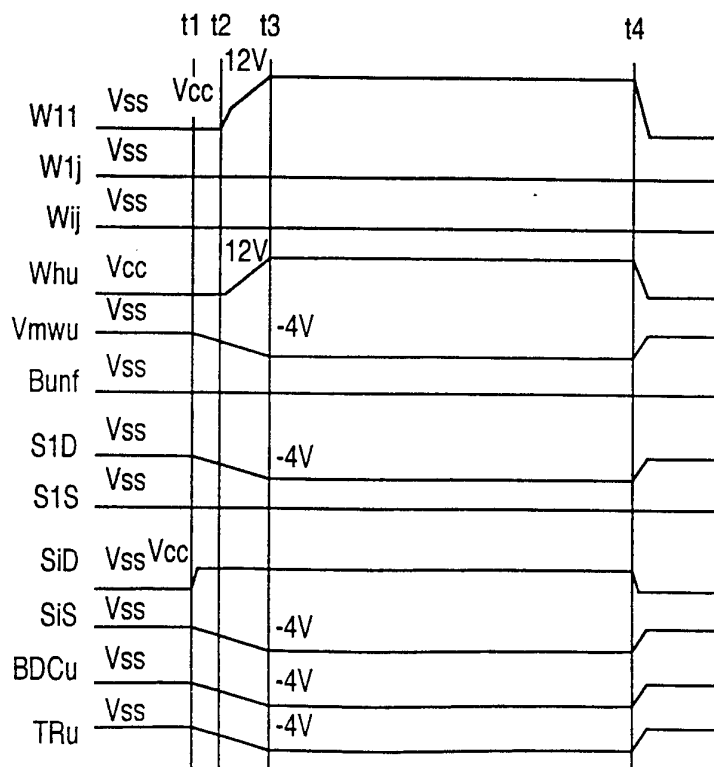


FIG.48

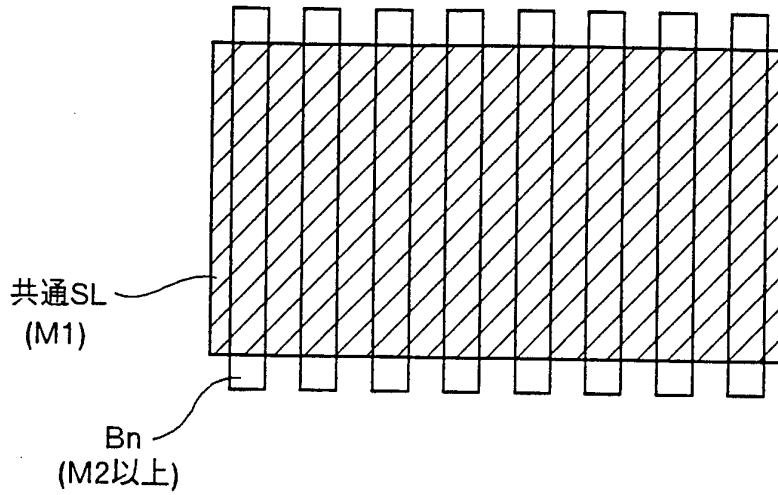
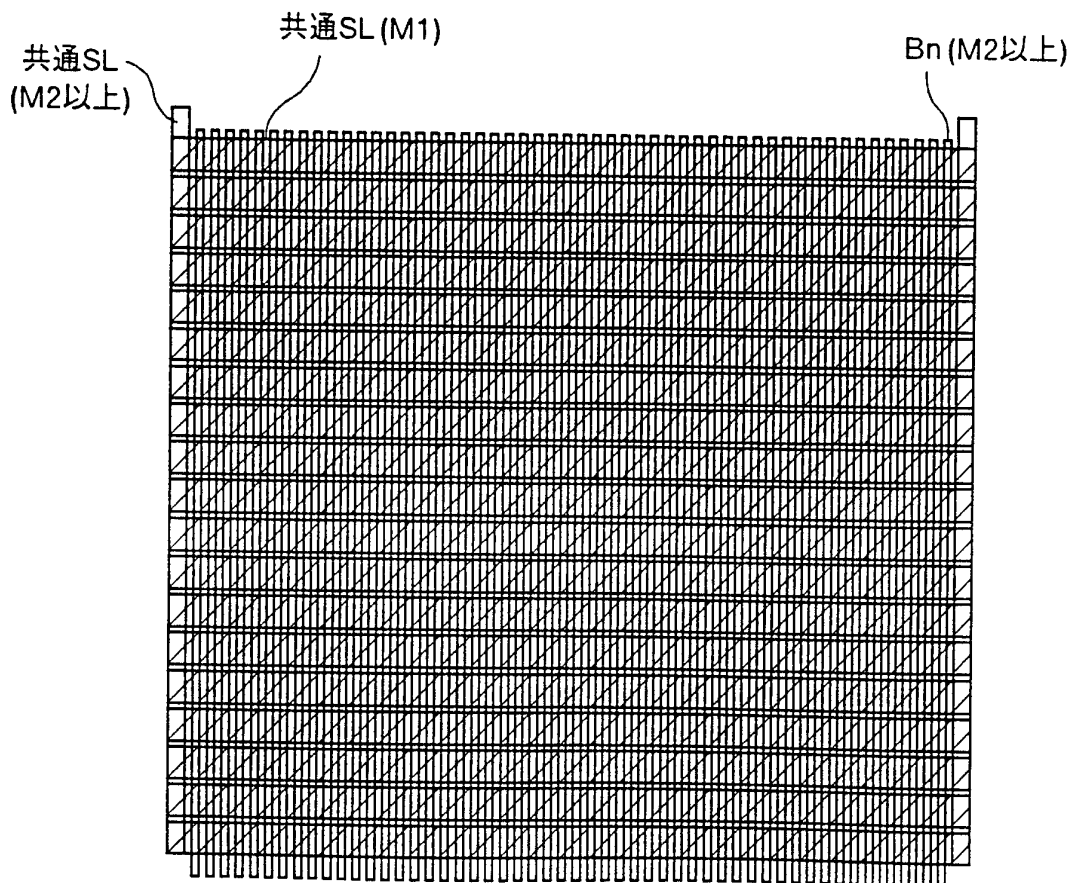


FIG.49



# FIG.50

## PRIOR ART

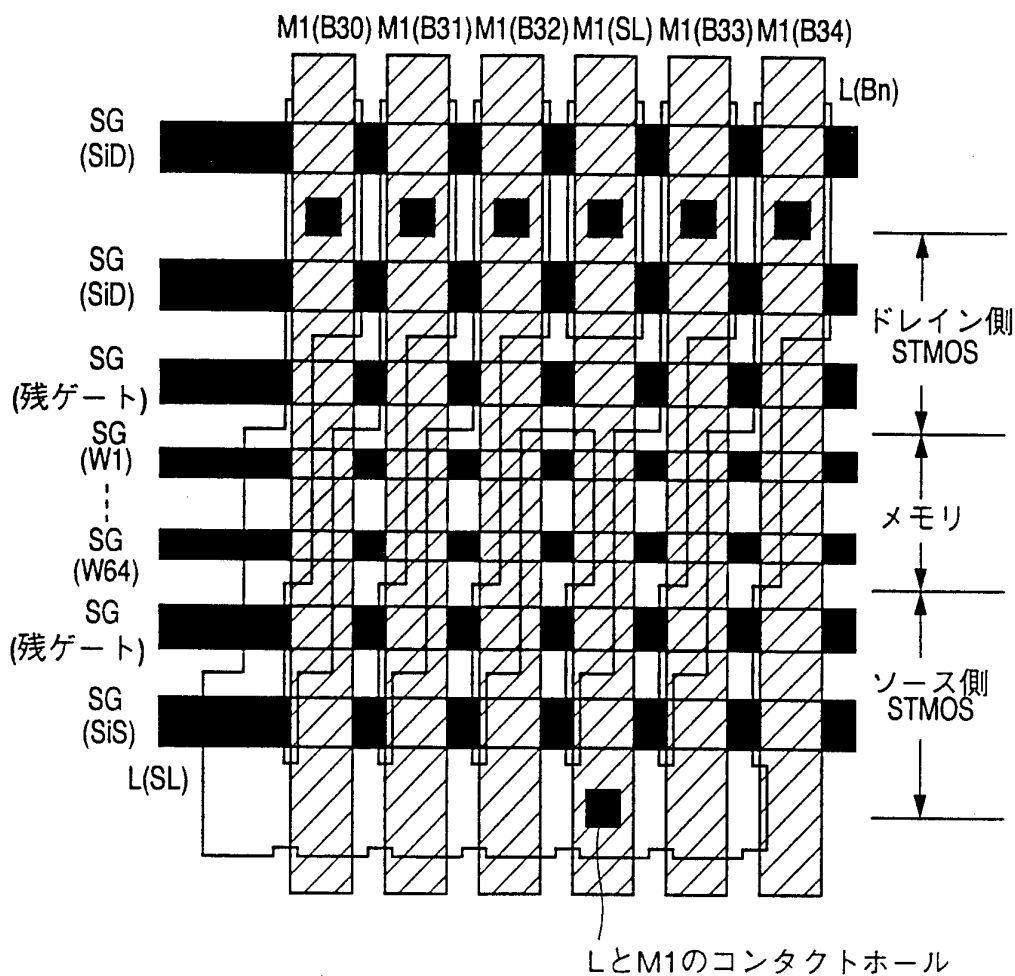


FIG.51

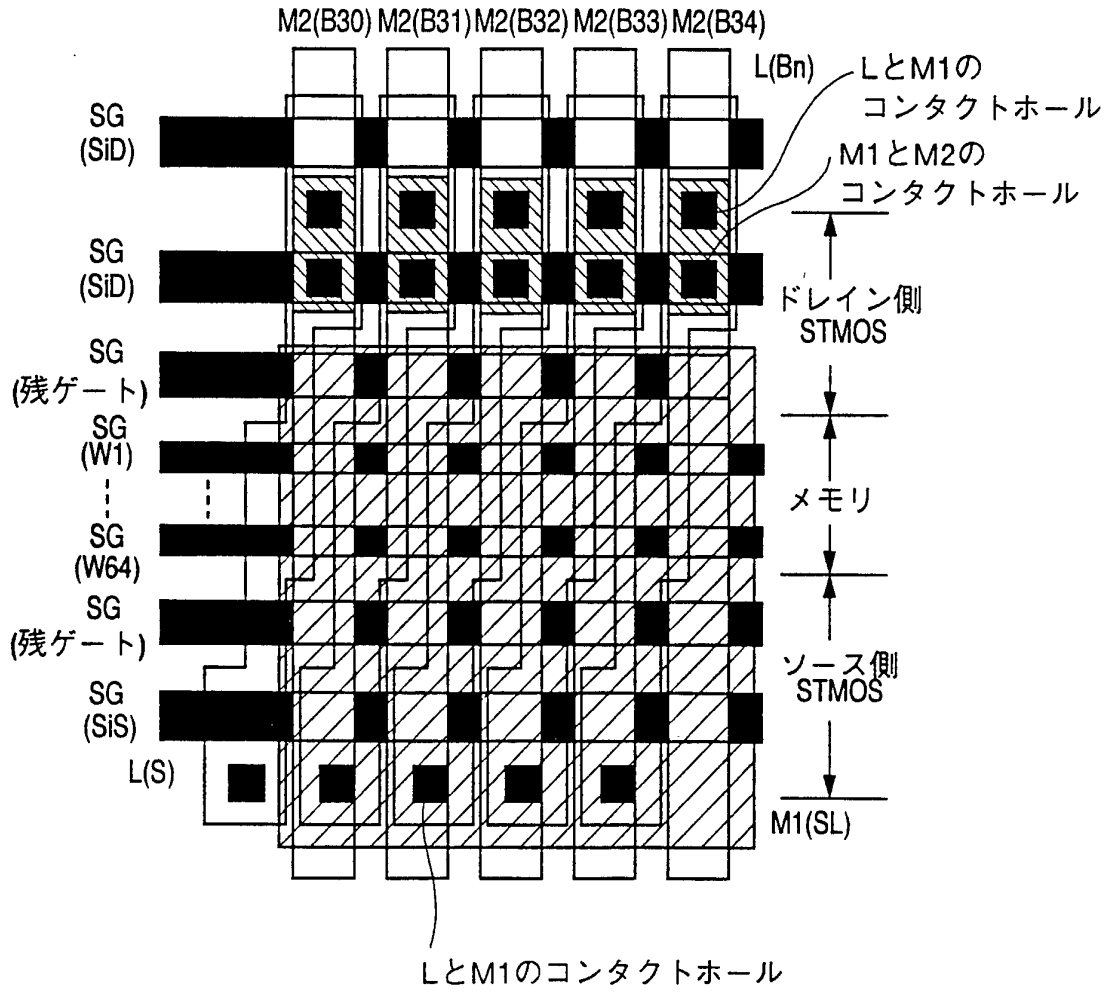


FIG.52

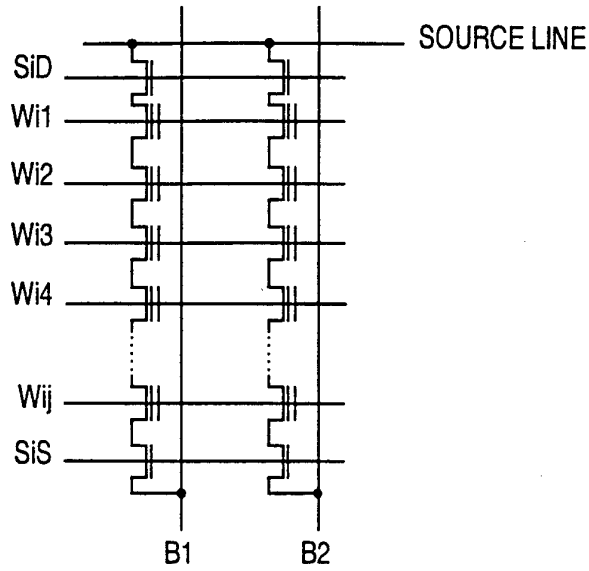


FIG.53

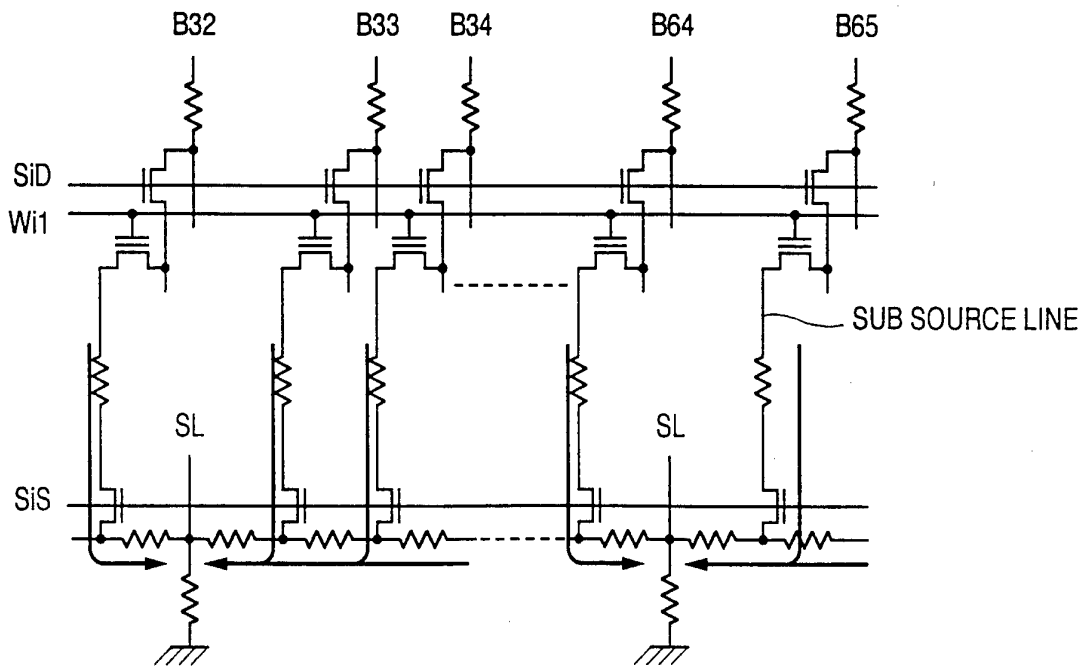


FIG.54

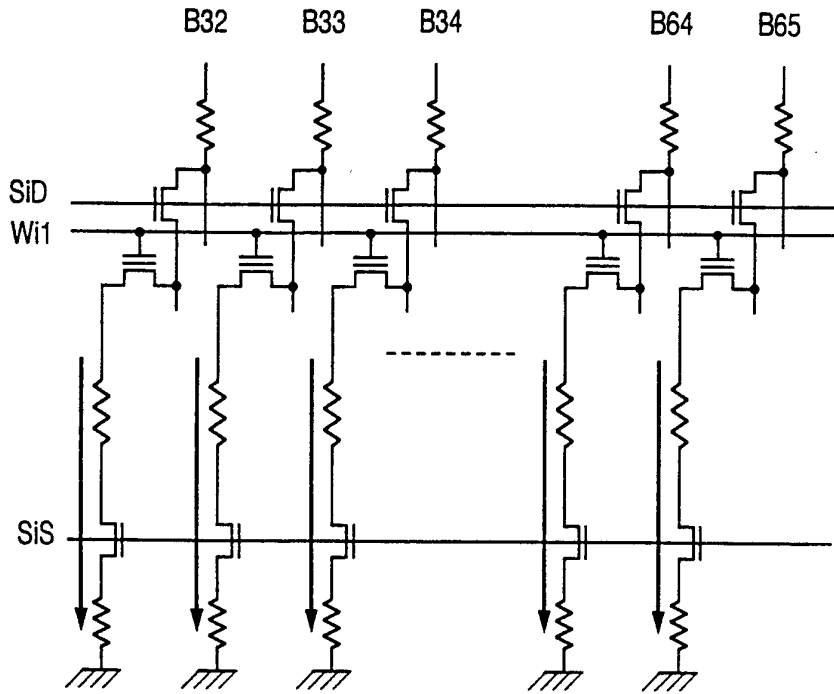


FIG.55

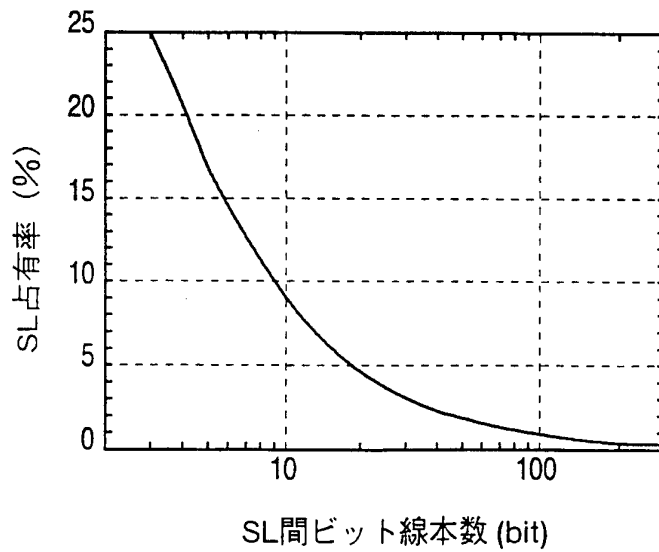


FIG.56

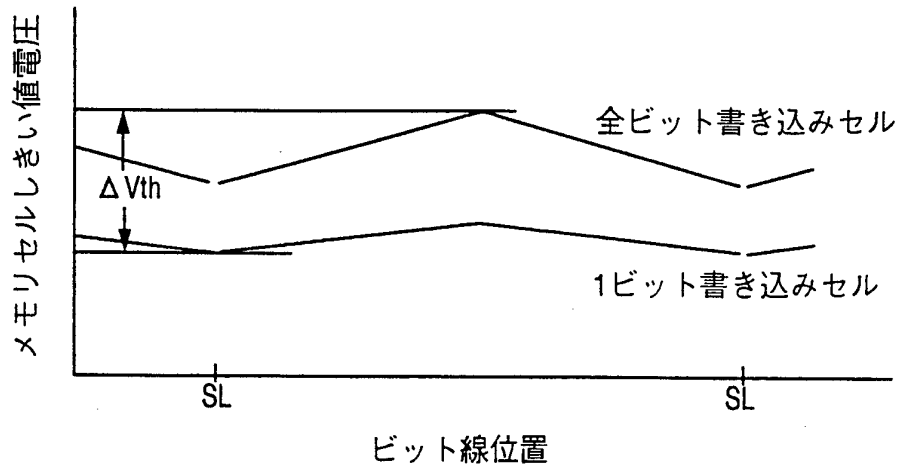


FIG.57

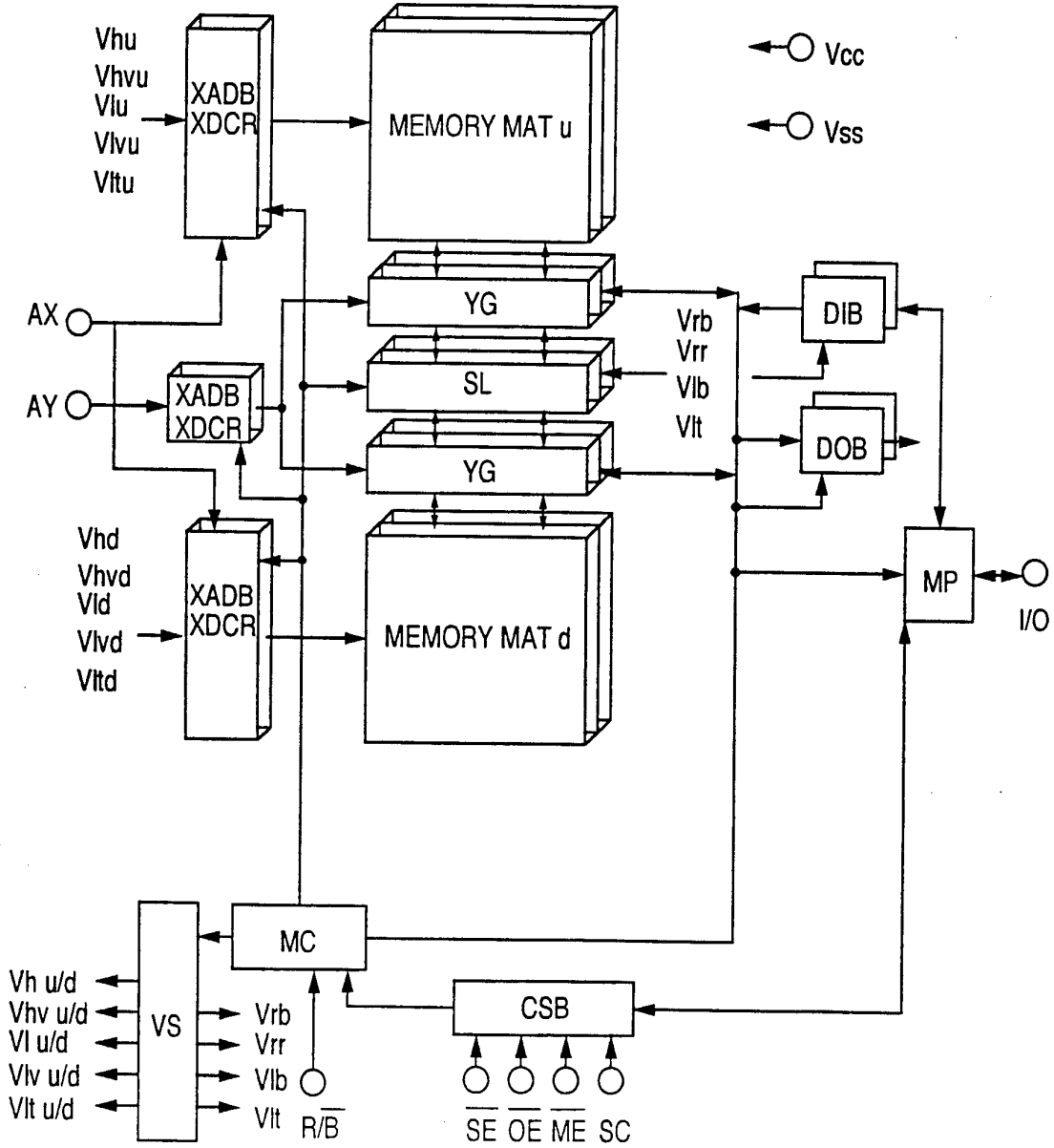




FIG.58

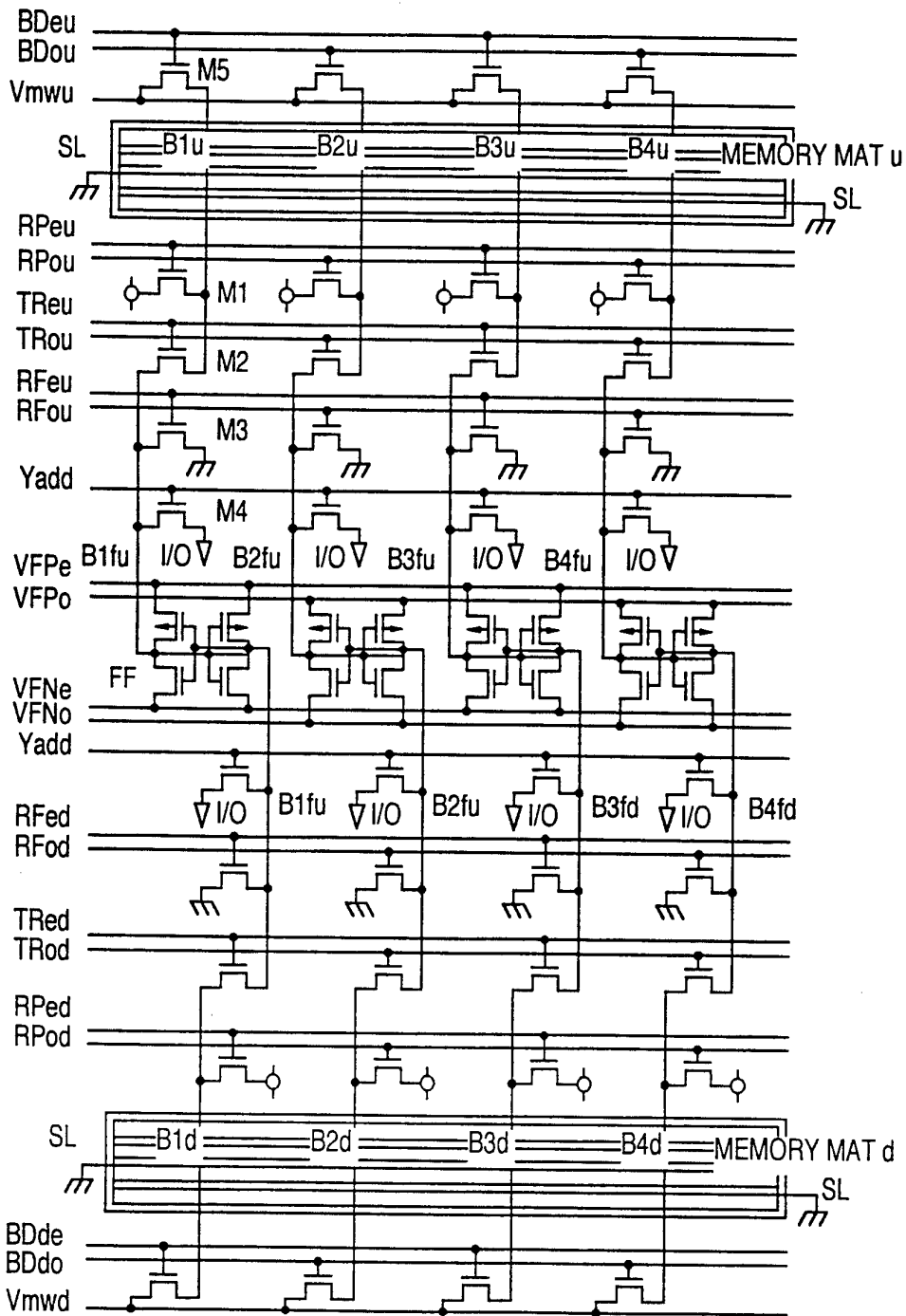


FIG.59

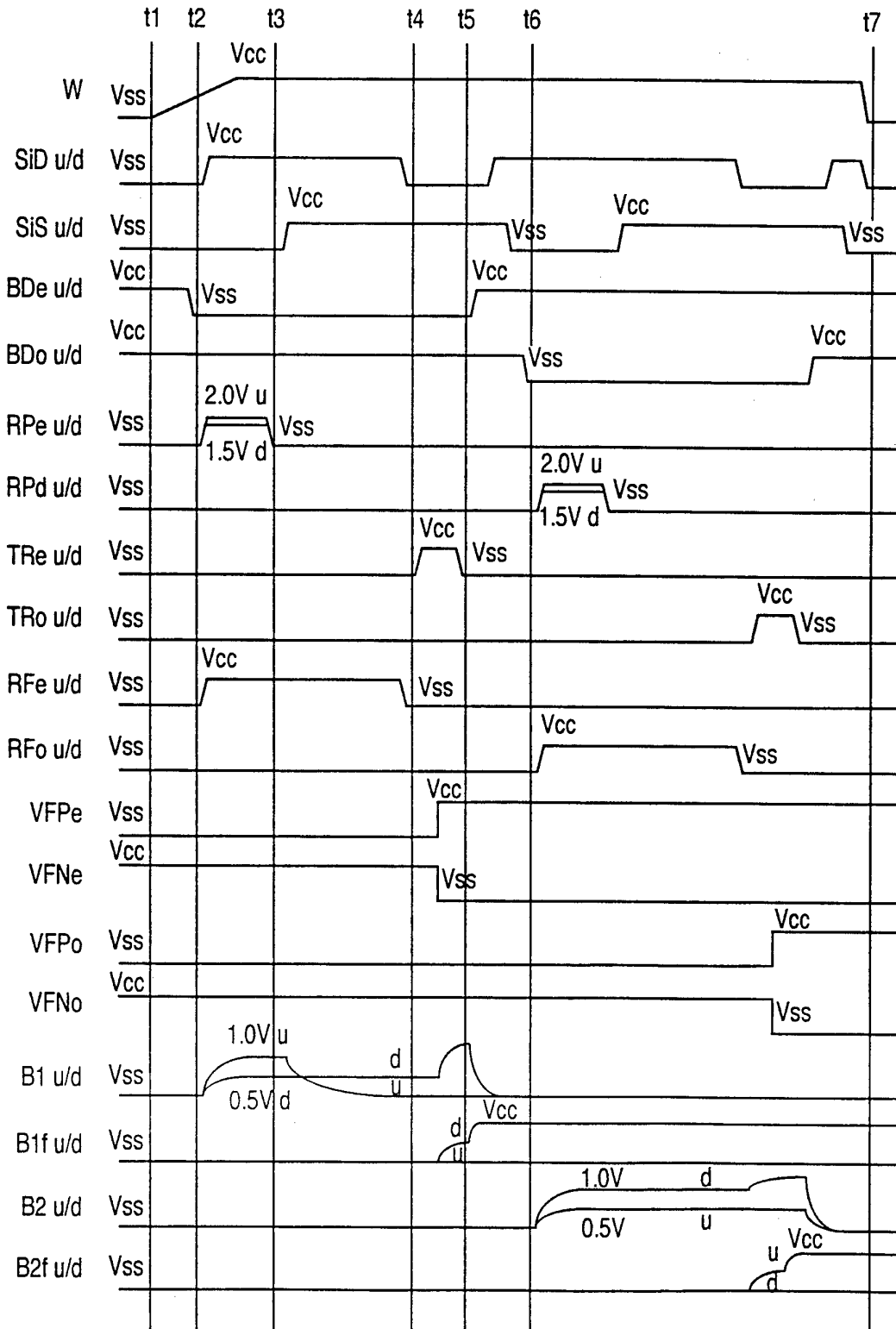
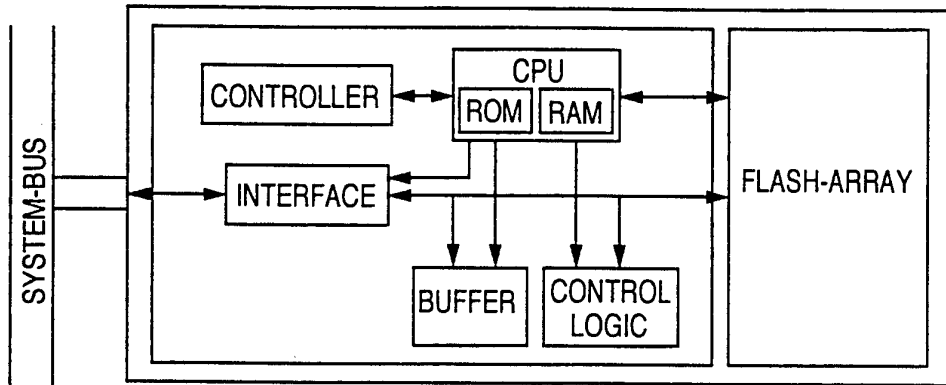


FIG.60



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02419

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 4-153999, A (Mitsubishi Electric Corp.), May 27, 1992 (27. 05. 92), Page 4, lower left column, line 8 to page 5, upper right column, line 4; Fig. 2 (Family: none)	1
X A	JP, 6-28875, A (Sony Corp.), February 4, 1994 (04. 02. 94), Column 3, line 48 to column 5, line 49; Fig. 2 & EP, 596198, A	2, 3, 7 4, 5
P	JP, 8-102198, A (NEC Corp.), April 16, 1996 (16. 04. 96), Column 7, lines 28 to 46; Fig. 1 (Family: none)	4, 5
X	JP, 2-40199, A (Mitsubishi Electric Corp.), February 8, 1990 (08. 02. 90), Page 9, lower left column, line 6 to page 10, upper right column, line 13; Fig. 1 & US, 4953129, A	6

 Further documents are listed in the continuation of Box C.
  See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
November 26, 1996 (26. 11. 96)

Date of mailing of the international search report  
December 10, 1996 (10. 12. 96)

Name and mailing address of the ISA/  
Japanese Patent Office  
Facsimile No.

Authorized officer  
  
Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02419

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 6-176587, A (Sharp Corp.), June 24, 1994 (24. 06. 94), Column 4, line 40 to column 6, line 50; table 1 (Family: none)	8, 9, 11 18
A	JP, 5-28783, A (Mitsubishi Electric Corp.), February 5, 1993 (05. 02. 93) (Family: none)	10, 12-15, 19-22
A	JP, 7-130888, A (Toshiba Corp.), May 19, 1995 (19. 05. 95) (Family: none)	16, 17
A	JP, 5-326891, A (NEC Corp.), December 10, 1993 (10. 12. 93) (Family: none)	19 - 22

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl <sup>6</sup> G11C 16/06			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl <sup>6</sup> G11C 16/06			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報	1926-1996年		
日本国公開実用新案公報	1971-1996年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP、4-153999、A (三菱電機株式会社)、27. 5月. 1992 (27. 05. 92)、第4頁左下欄第8行-第5頁右上欄第4行、第2図 (ファミリーなし)	1	
X A	JP、6-28875、A (ソニー株式会社)、4. 2月. 1994 (04. 02. 94)、第3欄第48行-第5欄第49行、図2、 &、EP、596198、A	2、3、7 4、5	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日	26. 11. 96	国際調査報告の発送日	10.12.96
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 廣岡浩平 印	5 L	7631
	電話番号 03-3581-1101	内線	3562

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P	JP、8-102198、A (日本電気株式会社)、16. 4月. 1996 (16. 04. 96)、第7欄第28行-第46行、図1、(ファミリーなし)	4、5
X	JP、2-40199、A (三菱電機株式会社)、08. 2月. 1990 (08. 02. 90)、第9頁左下欄第6行-第10頁右上欄第13行、図1、 &、US、4953129、A	6
X Y	JP、6-176587、A (シャープ株式会社)、24. 6月. 1994 (24. 06. 94)、第4欄第40行-第6欄第50行、表1、 (ファミリーなし)	8、9、11 18
A	JP、5-28783、A (三菱電機株式会社)、05. 2月. 1993 (05. 02. 93)、(ファミリーなし)	10、12-15 、19-22
A	JP、7-130888、A (株式会社 東芝)、19. 5月. 1995 (19. 05. 95)、(ファミリーなし)	16、17
A	JP、5-326891、A (日本電気株式会社)、10. 12月. 1993 (10. 12. 93)、(ファミリーなし)	19-22