



## (12) 发明专利

(10) 授权公告号 CN 114038374 B

(45) 授权公告日 2024. 12. 17

(21) 申请号 202111394055.1

(22) 申请日 2015.02.05

(65) 同一申请的已公布的文献号  
申请公布号 CN 114038374 A

(43) 申请公布日 2022.02.11

(30) 优先权数据  
61/935,928 2014.02.05 US(62) 分案原申请数据  
201580007349.0 2015.02.05(73) 专利权人 寇平公司  
地址 美国马萨诸塞州

(72) 发明人 金振国 徐用锡 金长湖

(74) 专利代理机构 北京市金杜律师事务所  
11256

专利代理师 傅远

(51) Int.Cl.  
G09G 3/20 (2006.01)  
G06F 13/16 (2006.01)(56) 对比文件  
US 6130657 A, 2000.10.10  
审查员 孟慧慧

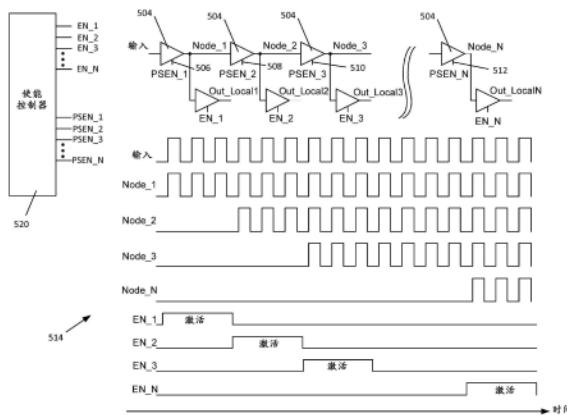
权利要求书1页 说明书5页 附图5页

## (54) 发明名称

用于微型显示设备的列总线驱动方法

## (57) 摘要

一种生成用于由像素阵列使用的列信号的方法,该方法包括将两个或更多个可控总线缓冲器串联连接。该两个或更多个可控总线缓冲器中的每个可控总线缓冲器的输出驱动相关联的节点。该方法还包括向两个或更多个可控总线缓冲器的串联连接的串的输入提供列数据信号。该方法还包括顺序地使能两个或更多个可控总线缓冲器的串联连接的串中的每个可控总线缓冲器,使得每个节点被顺序地驱动。每个节点被电耦合到相关联的可控本地输出缓冲器的输入。该方法还包括以与可控总线缓冲器的顺序地使能相关联的次序而顺序地使能可控本地输出缓冲器中的每个可控本地输出缓冲器。



1. 一种微型显示设备,包括:

像素阵列;

与所述像素阵列相关联的列驱动器,包括:

两个或更多个可控总线缓冲器,串联连接以形成两个或更多个可控总线缓冲器的串联连接的串,每个可控总线缓冲器具有驱动相关联的节点的第一输出并且还具有总线使能输入;

两个或更多个可控本地输出缓冲器,每个可控本地输出缓冲器具有电耦合到所述相关联的节点中的一个节点的输入,并且具有驱动所述像素阵列的一个或多个列的第二输出,并且还具有本地输出使能输入;以及

使能控制器,被配置为生成第一使能信号和第二使能信号,所述第一使能信号用于驱动两个或更多个可控总线缓冲器的所述串联连接的串的相应总线使能输入,并且所述第二使能信号用于驱动所述两个或更多个可控本地输出缓冲器的相应本地输出使能输入;

其中所述串联连接的串的一个可控总线缓冲器的第一输出被连接至所述串联连接的串的随后一个可控总线缓冲器的输入,并且所述使能控制器顺序地使能两个或更多个可控总线缓冲器的所述串联连接的串中的每个可控总线缓冲器,使得每个节点通过所述第一使能信号根据总线序列被驱动。

2. 根据权利要求1所述的微型显示设备,其中所述使能控制器被配置为在下一个随后的可控总线缓冲器被使能时,将每个可控总线缓冲器维持为使能。

3. 根据权利要求1所述的微型显示设备,其中所述使能控制器是状态机。

4. 根据权利要求1所述的微型显示设备,其中所述使能控制器是代码驱动处理器。

5. 根据权利要求1所述的微型显示设备,其中每个可控本地输出缓冲器在未被使能时输出高阻抗状态。

6. 根据权利要求1所述的微型显示设备,其中每个可控本地输出缓冲器在未被使能时输出固定的逻辑状态。

7. 根据权利要求1所述的微型显示设备,其中所述像素阵列的所述一个或多个列包括一个或多个DAC,使得所述可控本地输出缓冲器驱动至少一个DAC。

8. 根据权利要求1所述的微型显示设备,其中所述使能控制器顺序地使能每个可控本地输出缓冲器,使得所述像素阵列的所述一个或多个列中的每一列根据本地输出序列被驱动。

9. 根据权利要求8所述的微型显示设备,其中所述总线序列与所述本地输出序列有关。

10. 根据权利要求1所述的微型显示设备,其中所述两个或更多个可控总线缓冲器包括具有接收列数据信号的输入的第一可控总线缓冲器。

## 用于微型显示设备的列总线驱动方法

[0001] 本申请是国际申请日为2015年02月05日、国际申请号为PCT/US2015/014628、国家申请号为201580007349.0、发明名称为“用于微型显示设备的列总线驱动方法”的专利申请的分案申请。

[0002] 相关申请

[0003] 本申请要求2014年2月5日提交的美国临时申请No.61/935,928的权益。上述申请的全部教导通过引用合并于此。

### 背景技术

[0004] 诸如笔记本PC、智能电话和平板计算设备的移动计算设备是目前在商业和个人生活中用于生产、分析、通信和消费数据的常用工具。随着对数字信息的获取的容易性随着变得无处不在的高速无线通信技术而增加,消费者持续拥抱移动数字生活方式。移动计算设备的流行用途包括显示通常被无线地流传输到设备的大量高分辨率计算机图形信息和视频内容。

[0005] 虽然这些设备通常包括显示屏,但是优选的高分辨率、大幅面(format)显示的视觉体验在这样的移动设备中无法被容易地复制,因为这样的设备的物理大小是有限的以提高移动性。上述设备类型的另一个缺点是用户界面是手部依赖的,通常要求用户使用键盘(物理或虚拟)或触摸屏显示器输入数据或进行选择。

[0006] 作为结果,消费者正在寻找免提的高质量、便携式、彩色显示器解决方案以增强或取代他们的手部依赖的移动设备。这样的显示器解决方案具有实际大小和重量的限制,其因此限制可用的电力资源(例如,电池大小)。给定有限的电力资源,降低显示器的功耗将增加显示器可以在相关联的电力资源的单次充电上操作的时间量。

### 发明内容

[0007] 最近开发的微型显示器可以以非常小的形状系数提供大幅面、高分辨率彩色图片和流视频。用于这样的显示器的一个应用可以被集成到无线耳机计算机中,该无线耳机计算机被佩戴在用户的头部上,具有在用户的视场内的显示器,并且形式类似于眼镜、音频耳机或视频眼睛佩戴物。

[0008] 在本文中也被称为耳机计算机(HSC)或头戴式显示器(HMD)的“无线计算耳机”设备包括一个或多个小的、高分辨率的微型显示器和放大图像的相关联的光学器件。高分辨率微型显示器可以提供超级视频图形阵列(SVGA)(800x600)分辨率或扩展图形阵列(XGA)(1024x768)分辨率,或本领域已知的更高的分辨率。

[0009] 无线计算耳机包含使能数据和流视频能力的一个或多个无线计算和通信接口,并且通过手部依赖设备提供更大的方便性和移动性。

[0010] 关于这样的设备的更多信息参见以下待审专利申请:2009年1月5日提交的、名称为“Mobile Wireless Display Software Platform for Controlling Other Systems and Devices”的美国申请No.12/348,648、2009年3月27日提交的、名称为“Handheld

Wireless Display Devices Having High Resolution Display Suitable For Use as a Mobile Internet Device”的PCT国际申请No.PCT/US09/38601、2012年4月25日提交的、名称为“Improved Headset Computer”的美国申请No.61/638,419,其中的每个申请通过引用被整体合并于此。

[0011] 如本文中使用的,“HSC”耳机计算机、“HMD”头戴式显示设备和“无线计算耳机”设备可以被互换使用。

[0012] 本文所描述的实施例降低微型显示器的功率,例如与HSC相关联的实施例通过选择性地使能和禁能将信息信号驱动到微型显示器的像素阵列的缓冲器。到缓冲器的使能控制信号仅在需要缓冲器以用于将信息驱动到像素阵列时使能缓冲器。

[0013] 在一个方面中,本发明可以是生成用于由像素阵列使用的列信号的方法,该方法包括将两个或更多个可控总线缓冲器串联连接。该两个或更多个可控总线缓冲器中的每个可控总线缓冲器的输出驱动相关联的节点。该方法还包括向该两个或更多个可控总线缓冲器的串联连接的串的输入提供列数据信号,以及顺序地使能该两个或更多个可控总线缓冲器的该串联连接的串中的每个可控总线缓冲器。每个节点相对于时间被顺序地驱动。

[0014] 在一个实施例中,为了该顺序地使能,接收该列信号的该可控总线缓冲器首先被使能。在另一实施例中,为了该顺序地使能,在下一个随后的可控总线缓冲器被使能时,每个被使能的可控总线缓冲器保持使能。在一个实施例中,为了该顺序地使能,接收该列信号的该可控总线缓冲器最后被使能。

[0015] 在一个实施例中,每个节点被电耦合到相关联的可控本地输出缓冲器的输入。另一实施例还包括以与该可控总线缓冲器的该顺序地使能相关联的次序而顺序地使能该可控本地输出缓冲器中的每个可控本地输出缓冲器。另一实施例还包括禁能该可控总线缓冲器中的未被使能的每个可控总线缓冲器,并且禁能该可控本地输出缓冲器中的未被使能的每个可控本地输出缓冲器。

[0016] 在一个实施例中,未被使能的可控总线缓冲器输出高阻抗状态。在另一实施例中,未被使能的可控总线缓冲器输出固定的逻辑状态。另一实施例还包括将每个可控总线缓冲器和每个本地输出缓冲器的该顺序地使能与关联于该像素阵列的扫描模式相协调。

[0017] 在另一方面中,本发明可以是用于像素阵列的列驱动器,其包括串联连接的两个或更多个可控总线缓冲器和两个或更多个可控本地输出缓冲器,每个可控总线缓冲器具有驱动相关联的节点的输出,每个可控本地输出缓冲器具有电耦合到该相关联的节点中的一个节点的输入,并且每个可控本地输出缓冲器具有驱动该像素阵列的一个或多个列的输出。该列驱动器还可以包括使能控制器,其驱动该两个或更多个可控总线缓冲器的一个或多个总线使能输入,并且驱动该两个或更多个可控本地输出缓冲器的一个或多个本地输出使能输入。该使能控制器顺序地使能该两个或更多个可控总线缓冲器的串联连接的串中的每个可控总线缓冲器,使得每个节点根据总线序列被驱动。

[0018] 在一个实施例中,该控制器被配置为在下一个随后的可控总线缓冲器被使能时,将每个可控总线缓冲器维持为使能。

[0019] 在另一实施例中,该使能控制器是状态机。在另一实施例中,该使能控制器是代码驱动处理器。

[0020] 在一个实施例中,每个本地输出缓冲器在未被使能时输出高阻抗状态。在另一实

施例中,每个本地输出缓冲器在未被使能时输出固定的逻辑状态。

[0021] 在一个实施例中,该像素阵列的一个或多个列包括一个或多个DAC,使得该本地输出缓冲器驱动至少一个DAC。

[0022] 在另一实施例中,该使能控制器顺序地使能每个可控本地输出缓冲器,使得该像素阵列的该一个或多个列中的每一列根据本地输出序列被驱动。在另一实施例中,该总线序列与该本地输出序列有关。

[0023] 在一个实施例中,该两个或更多个可控总线缓冲器包括具有接收列数据信号的输入的第一可控总线缓冲器。

## 附图说明

[0024] 根据如在附图中示出的本发明的示例实施例的以下更具体描述,上文将是显而易见的,附图中相同参考标号贯穿不同视图指代相同部件。附图不一定按比例绘制,而是将重点放在说明本发明的实施例。

[0025] 图1示出根据本实施例的微型显示器的简单示例。

[0026] 图2示出图1中所示的列驱动器的放大视图。

[0027] 图3示出图1的列驱动器中的数字到模拟转换器的示例。

[0028] 图4示出列驱动器架构的示例。

[0029] 图5示出根据所描述的实施例的列驱动器架构的示例。

## 具体实施方式

[0030] 本发明的示例实施例的描述如下。

[0031] 本文所描述的微显示器可以在例如耳机计算机的许多移动通信和计算应用中使用。这样的耳机计算机的一个示例在2014年11月13日提交的、名称为“Text Selection Using HMD Head-Tracker and Voice-Command”的美国专利申请No.14/540,905中公开,其全部内容通过引用合并于此。

[0032] 如由图1中的示例实施例所示,本文所描述的微显示器通常包括由多个数据和控制信号驱动的像素阵列102。在该简单示例中,微显示器100包括20列和16行的总共320个像素。如上所述,实际实用的微型显示器通常具有更多的像素(例如,具有1024列和768行的XGA)。

[0033] 微型显示器包括一起向像素阵列102提供信息的列驱动器104和行驱动器106。列驱动器104通常向像素提供图像信息,并且行驱动器106向像素提供控制信息。

[0034] 针对特定像素列110的列驱动器信号108可以包括多个信号。图2示出针对红-绿-蓝(RGB)像素阵列的列驱动器104的放大视图。

[0035] 图2示出针对阵列的单列204的开头两个像素202。每个像素202包括红色分量206、绿色分量208和蓝色分量210。针对每一列,列驱动器104驱动三个信息信号;红色信号212、绿色信号214和蓝色信号216。这些信息信号在列204中延伸至所有像素。

[0036] 驱动像素的信息信号通常是模拟信号,该模拟信号通过数字到模拟转换器(DAC)从数字信号生成。图3示出针对一个像素列的这样的转换的示例。数字缓冲器302驱动30位的信息(10位的红色信息、10位的绿色信息和10位的蓝色信息),并且将该30位提供到三通

道DAC 304。三通道DAC 304内的每个通道将10位的信息转换为模拟信号;换句话说,三通道DAC 304包括10位红色DAC 306、10位绿色DAC 308和10位蓝色DAC 310。

[0037] 因为列驱动器104在典型的像素阵列中驱动大量的列(例如,多达1024或以上),因此驱动DAC的列驱动器的数字部分可以由多个总线或总线链组成。图4示出一个这样的列驱动器架构的示例。信息信号总线402被提供到总线缓冲器404,总线缓冲器404的输出被提供到另一个缓冲器,并且以此类推。总线可以是例如如在上文中图3中所描述的30位。每个缓冲器404的输出被称为节点-在该示例中,节点被称为Node\_1 406、Node\_2 408、Node\_3 410和Node\_N 412。

[0038] 节点中的每个节点被提供到受控(也被称为可控)本地输出缓冲器(即,具有可以通过施加到缓冲器的控制信号而被使能或禁能的输出的缓冲器)的输入。

[0039] 在图4中,Node\_1 406被施加到受控缓冲器414的输入,以产生本地输出总线OUT\_LOCAL\_1 416。类似地,Node\_2 408被用来形成本地输出总线OUT\_LOCAL\_2 418,Node\_3 410被用来产生本地输出总线OUT\_LOCAL\_3 420,并且以此类推。

[0040] 类似于图3中所示的示例,这些本地输出总线被用来驱动DAC或DAC组。可以要求每个本地输出总线来驱动大量DAC(例如,64个或更多的DAC,对应于64个或更多的像素列)

[0041] 用于降低由微型显示器使用的功率的一种技术是选择性地使能缓冲器组,以选择性地驱动相关联的本地输出总线,使得缓冲器组仅在需要缓冲器组时进行驱动。在缓冲器没有驱动相关联的本地输出总线时,缓冲器被设置为驱动高阻抗状态或固定的逻辑电平(例如,逻辑低)。

[0042] 图4中的时序图424示出该技术。信号EN\_1、EN\_2、EN\_3到EN\_N被用来相对于时间选择性地分别使能输出416、418、420到422。

[0043] 图5示出根据所描述的实施例的用于进一步降低由微型显示器所需的功率的技术。在图5的示例实施例中,产生Node\_1 406、Node\_2 408、Node\_3 410和Node\_N 412的总线缓冲器404(根据图4)被替换为可控总线缓冲器。因为图4中的总线缓冲器404不能被控制,因此该总线缓冲器404总是被使能,输出Node\_1 406、Node\_2 408、Node\_3 410和Node\_N 412被不断地驱动。与驱动这些节点相关联的总电容是相当显著(significant)的,特别是对于具有大量像素和宽信息数据字段(field)(例如,本文所描述的示例 $3 \times 10$ 位RGB阵列)的微型显示器阵列。

[0044] 缓冲器所需的功率量与驱动器的有功(active)电容乘以被驱动的电压的平方有关(即, $CV^2$ )。减小电容因此减小了功率。所描述的实施例通过将那些缓冲器替换为受控缓冲器,并且仅在需要受控缓冲器时使能它们,来降低驱动器404的电容。

[0045] 图5示出根据本发明的一个方面的用于像素阵列的列驱动器架构的本地总线部分的示例实施例。根据时序图514,该实施例控制到对应缓冲器504的激活的输入信号PSEN\_1 506、PSEN\_2 508、PSEN\_3 510到PSEN\_N 512。与图4一样,在使能信号(例如,EN\_1)是激活的时,其使能相关联的缓冲器的输出。PSEN信号没有被明确地示出在图5的时序图中。然而,PSEN信号固有地由Node\_1、Node\_2...Node\_N信号线中存在或缺乏的脉冲来示出。在PSEN\_N信号是激活的(使能)时,Node\_N脉冲存在。在PSEN\_N信号是非激活的(禁能)时,Node\_N脉冲不存在。

[0046] 对于从左到右扫描,在EN\_1是激活的时,信号PSEN\_1 506是激活的。如图5的时序

图中所示,在EN\_1是激活的时,仅Node\_1是激活的(即,产生脉冲)。虽然Node\_2、Node\_3到Node\_N的“非激活”被示出为“低”,但是在图5中,在相关联的缓冲器未使能的情况下,输出可以备选地处于不确定的“高阻抗”状态。

[0047] 在EN\_2是激活的时,PSEN\_1和PSEN\_2两者是激活的。如图5中所示,在EN\_2是激活的时间期间,Node\_1和Node\_2两者产生脉冲,而Node\_3到Node\_N示出不激活。

[0048] 在EN\_3是激活的时,PSEN\_1和PSEN\_2和PSEN\_3是激活的,因此Node\_1、Node\_2和Node\_3具有脉冲,而对于所有N大于3的节点Node\_N是非激活的。类似地,使能信号EN\_4到EN\_N被顺序地激活,直到所有N个节点包括驱动数据(在该示例中,脉冲)。

[0049] 在所描述的实施例中,如图5中所示,使能信号EN\_1到EN\_N和PSEN\_1到PSEN\_N可以由使能控制器520生成。使能控制器可以是简单的状态机,由计数器驱动的组合逻辑块、软件或固件代码驱动的处理或控制器、或本领域已知的任何其它这样的信号发生器。

[0050] 如关于图5所描述地顺序地激活缓冲器505,使得缓冲器的输出节点不都是不断地激活的,这可以减少缓冲器505的功率需求(对时间求平均)达40%或更多。

[0051] 对于从右到左扫描,可以相反地进行上文的处理。换句话说,起初所有PSEN\_N可以是激活的以开始,然后每个PSEN\_N可以被逐个去激活(例如,首先PSEN\_N-1,然后PSEN\_N-2等),直到所有PSEN\_N被去激活(并且它们对应的缓冲器504未使能)。

[0052] 将清楚,本文所描述的一个或多个实施例中可以以许多不同形式的软件和硬件来实现。软件代码和/或用于实现本文所描述的实施例专用硬件不限制本发明。因此,在不参考具体软件代码和/或专用硬件的情况下描述实施例的操作和行为-可以理解人们将能够设计实现基于本文的描述的实施例的软件和/或硬件。

[0053] 此外,本发明的某些实施例可以被实现为执行一个或更多功能的逻辑。该逻辑可以是基于硬件的、基于软件的、或者基于硬件和基于软件的组合。一些或全部的逻辑可以被存储在一个或多个有形计算机可读存储介质上,并且可以包括可以由控制器或处理器执行的计算机可执行指令。计算机可执行指令可以包括实现本发明的一个或多个实施例的指令。有形计算机可读存储介质可以是易失性的或非易失性的,并且可以包括例如闪存、动态存储器、可移除盘以及非可移除盘。

[0054] 虽然已经参考本发明的示例实施例具体示出和描述了本发明,但是本领域技术人员将理解,可以在本发明中进行形式和细节的各种改变,而不脱离由所附权利要求涵盖的本发明的范围。

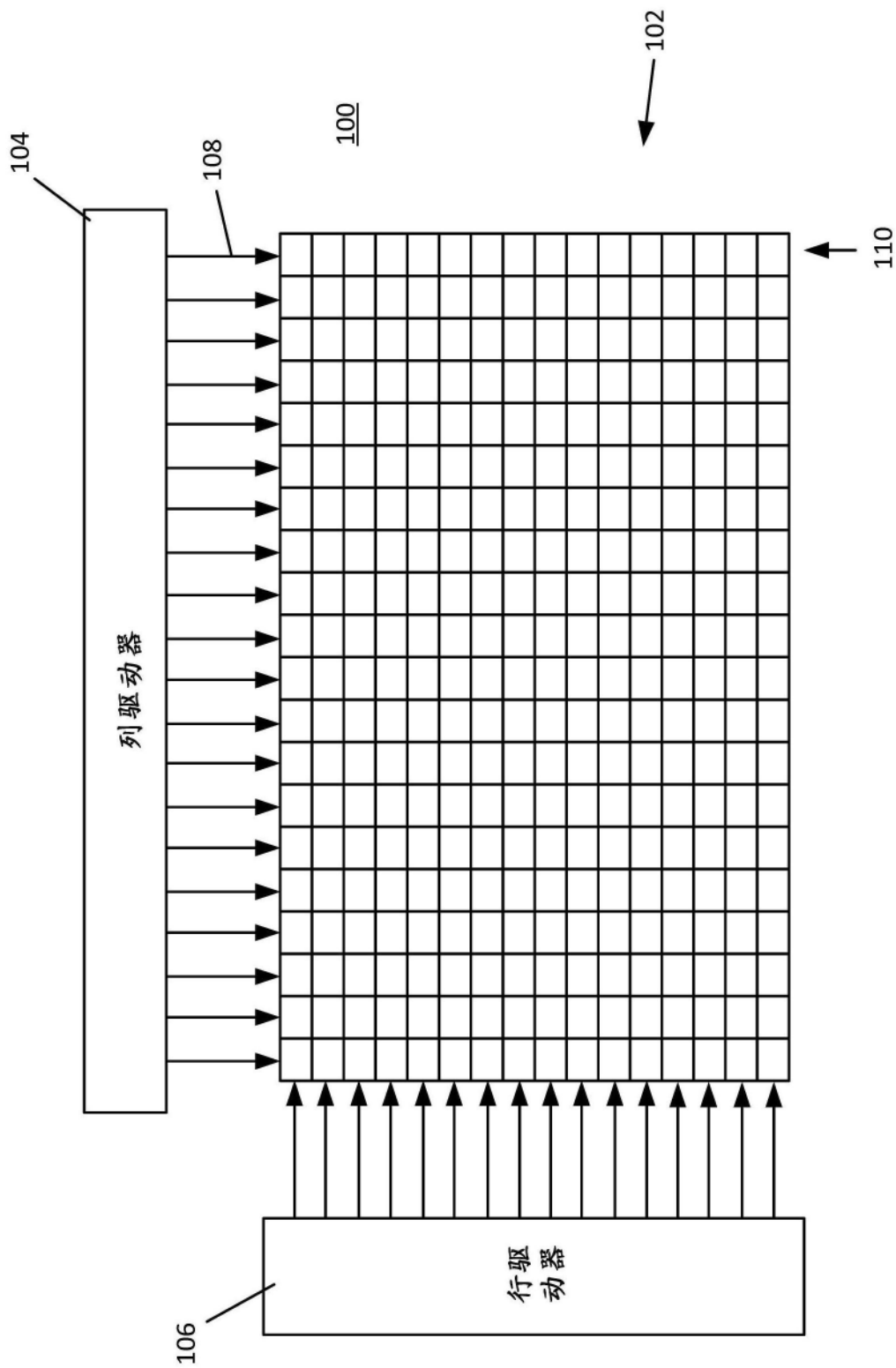


图1



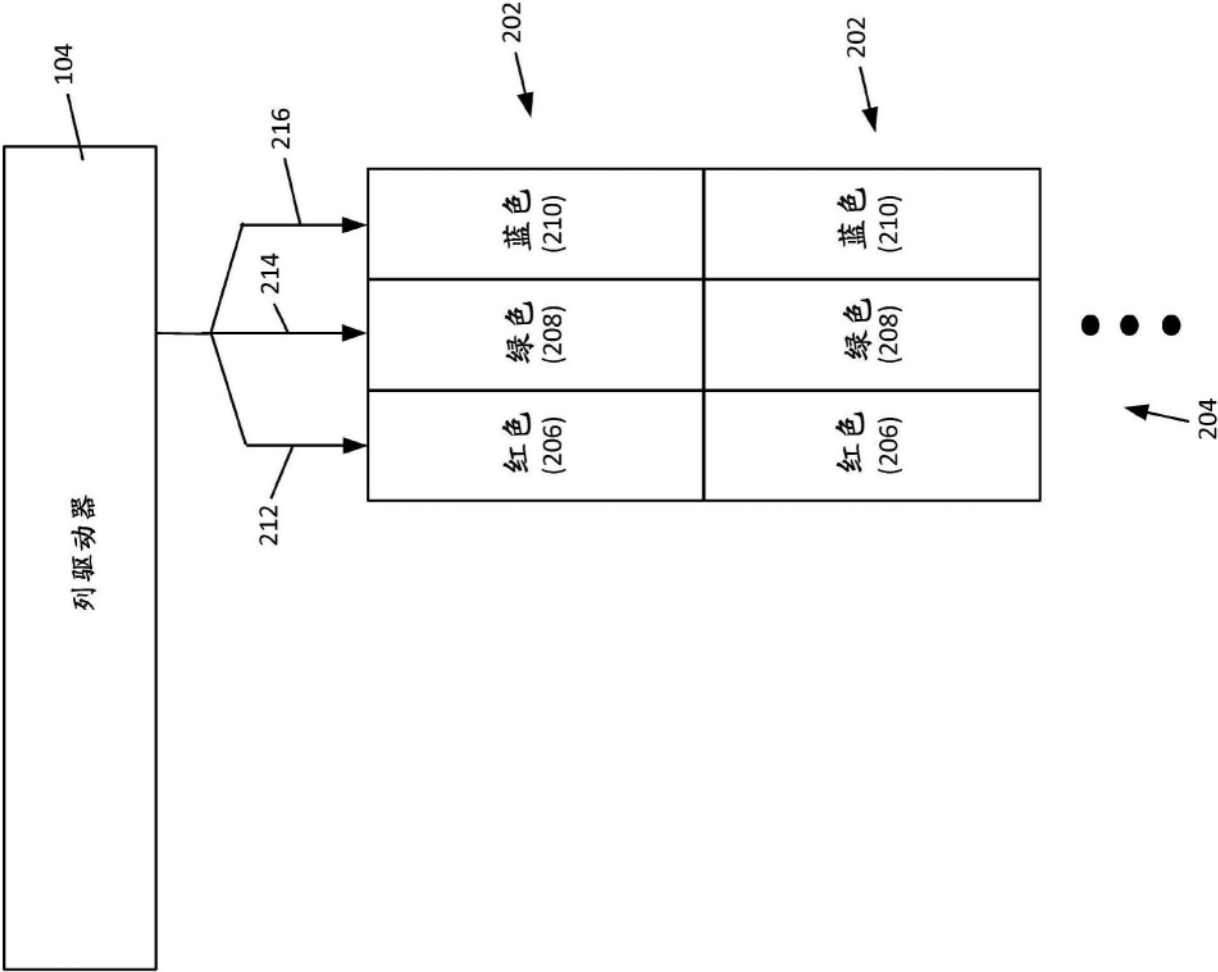


图2

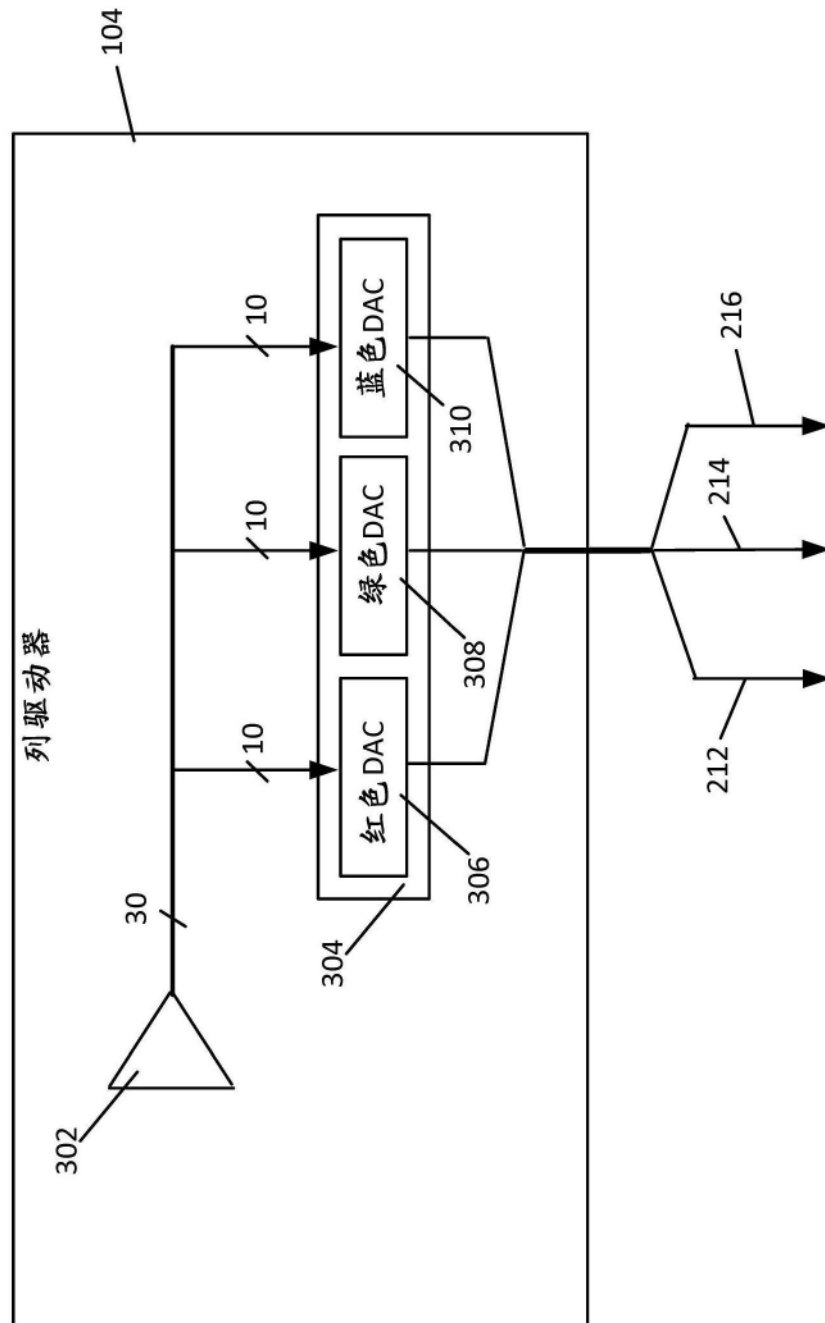


图3

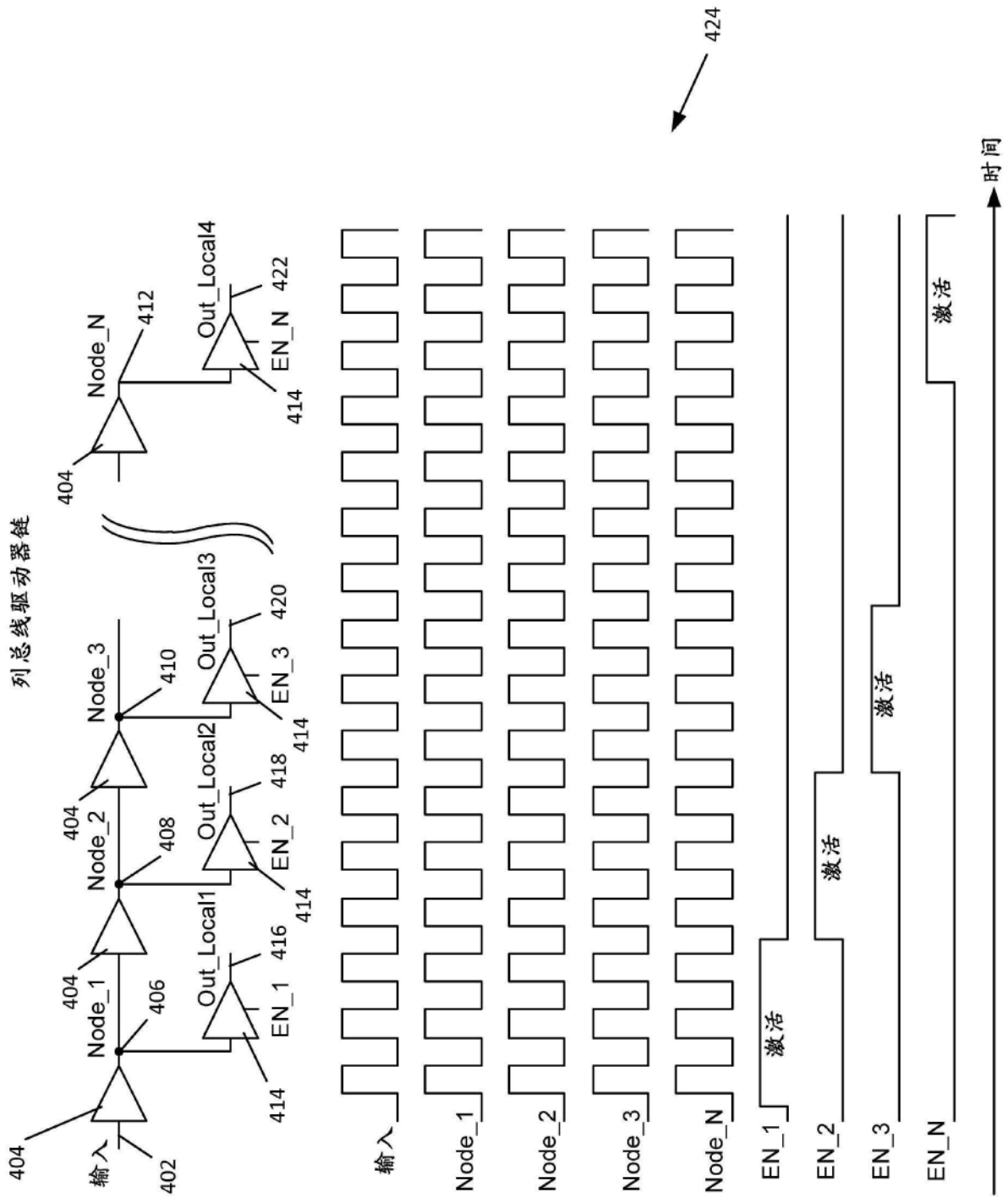


图4

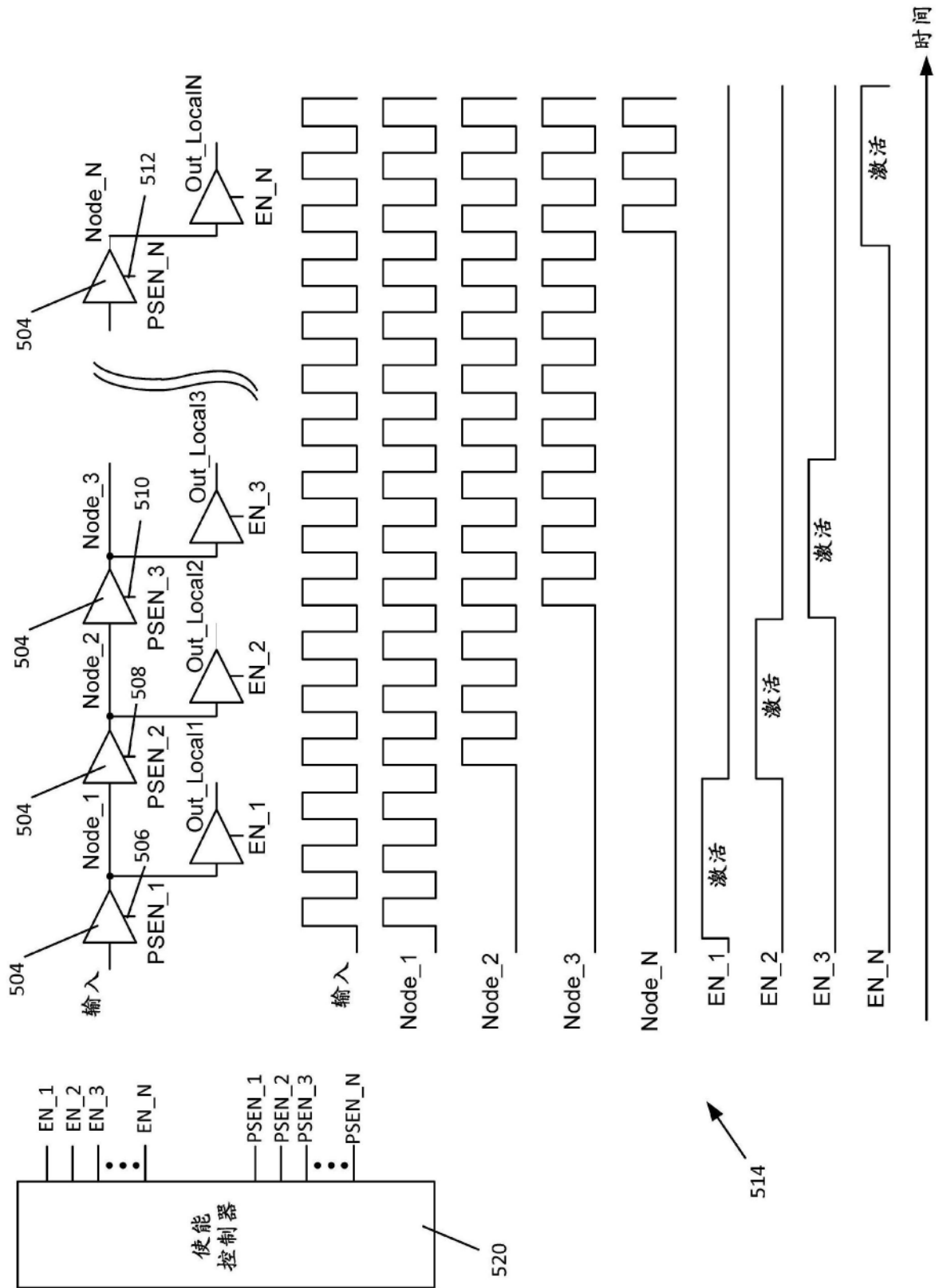


图5