

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 29.05.09.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 03.12.10 Bulletin 10/48.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : ST ERICSSON(GRENOBLE)SAS
Société par actions simplifiée — FR.

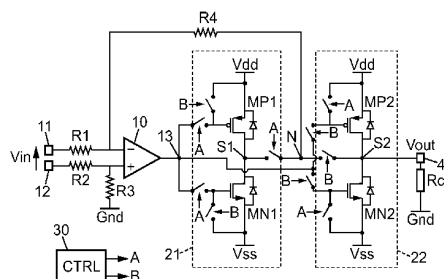
72 Inventeur(s) : CELLIER REMY et AMIARD FRAN-
COIS.

73 Titulaire(s) : ST ERICSSON(GRENOBLE)SAS
Société par actions simplifiée.

74 Mandataire(s) : CABINET PLASSERAUD.

54 ANNULATION DE GLITCHES POUR AMPLIFICATEUR AUDIO.

57 Un circuit d'amplification audio comprend un ampli-
ficateur (10) ayant une entrée (11) et une sortie (13), ainsi
qu'une sortie audio (40) à laquelle peut être connectée une
charge (Rc). Il comprend en outre un premier étage d'atta-
que (21) ayant une entrée et une sortie (S1) qui n'est pas
couplée à la sortie audio et un second étage d'attaque (22)
ayant une entrée et une sortie (S2) qui est couplée à la sor-
tie audio. La sortie de l'amplificateur est sélectivement cou-
plée à l'entrée du premier étage d'attaque dans une
première phase de fonctionnement consécutive à la mise
sous tension du circuit, ou à l'entrée du second étage d'atta-
que dans une seconde phase de fonctionnement consé-
cutive à la première phase de fonctionnement.



ANNULATION DE GLITCHE POUR AMPLIFICATEUR AUDIO

Domaine Technique

La présente invention se rapporte de manière générale à l'amplification des signaux audio, et plus particulièrement à l'annulation de glitche pour un amplificateur audio.

5 L'invention trouve des applications, en particulier, dans les circuits intégrés équipant des appareils ayant une fonction de restitution d'un signal audio, tels que les téléphones portables, les baladeurs MP3 ou MP4, etc. Dans une telle application, l'amplificateur audio est destiné à charger le haut-parleur ou la prise casque («head set» en anglais) de l'appareil.

10 Arrière-plan Technologique

A la mise sous tension de l'amplificateur audio, il se produit un bruit parasite, qu'on appelle un «pop» dans le jargon de l'Homme du métier. Ce pop est considéré comme un défaut audible par l'utilisateur de l'appareil. Il est désagréable à entendre, en particulier lors d'une écoute sous casque ou
15 oreillettes.

La Figure 1 montre l'évolution en fonction du temps de la tension $V_{out}(t)$ en sortie de l'amplificateur audio, lors de cette mise sous tension et en l'absence de signal en entrée de l'amplificateur. Le pop provient de la génération, d'un pic de tension 1 qu'on appelle un glitche (ou «Glitch», du
20 terme anglais correspondant), et de la présence d'un niveau de tension 2 non nul correspondant à la tension d'offset de l'amplificateur.

Le glitche est une perturbation momentanée de l'amplitude du signal de sortie, comme dans le cas d'une rupture d'adaptation. Il est dû principalement au régime transitoire qui suit l'activation du circuit. Il a son
25 origine dans le retard à l'établissement de la polarisation des différents composants du circuit.

En pratique, il n'est pas rare de constater des tensions de glitche d'environ +500 mV sur 2 μ s environ, selon la charge attaquée par l'amplificateur. Un tel glitche est audible par un utilisateur.

Art Antérieur

Il existe des techniques qui permettent de diminuer, dans le signal audio restitué à l'utilisateur, le bruit parasite provoqué par le glitch qui se produit à la mise sous tension. Une telle technique est présentée dans le
5 document US 7,313,244.

Toutefois, la solution conforme à ce document ne convient pas pour les applications envisagées, car elle n'est pas compatible avec les contraintes liées à l'intégration sur silicium d'un amplificateur audio analogique.

Résumé de l'Invention

10 Il existe donc un besoin d'une solution pour supprimer, ou du moins atténuer, le glitch d'un amplificateur audio.

A cet effet, il est proposé un circuit d'amplification audio comprenant :

- un amplificateur ayant une entrée et une sortie ; et
- une sortie audio à laquelle peut être connectée une charge.

15 Le circuit comprend en outre un premier étage d'attaque ayant une entrée et une sortie qui n'est pas couplée à la sortie audio et un second étage d'attaque ayant une entrée et une sortie qui est couplée à la sortie audio. La sortie de l'amplificateur est sélectivement couplée à l'entrée du premier étage d'attaque dans une première phase de fonctionnement consécutive à la mise
20 sous tension du circuit, ou à l'entrée du second étage d'attaque dans une seconde phase de fonctionnement consécutive à la première phase de fonctionnement.

Avantageusement, le premier étage d'attaque est donc un étage de sortie "fictif", qui sert lors de la phase d'établissement de la polarisation de
25 l'amplificateur uniquement, mais qui n'est pas couplé à la sortie audio du circuit. Ainsi, le glitch qui se produit à la mise sous tension ne produit pas d'effets dans le signal de sortie du circuit. Ensuite, c'est le second étage d'attaque qui prend le relais, en tant qu'étage de sortie de puissance classique.

Dans un mode de réalisation, le circuit comprend une impédance
30 agencée pour coupler la sortie du premier étage d'attaque à l'entrée de l'amplificateur dans la première phase de fonctionnement, ou la sortie du

second étage d'attaque à l'entrée de l'amplificateur dans la seconde phase de fonctionnement, respectivement.

Ainsi, c'est avantageusement la même impédance qui sert à la stabilisation du circuit dans les deux phases de fonctionnement.

5 Par exemple, le second étage d'attaque est un étage de sortie de puissance, dimensionné pour délivrer un courant d'attaque ayant une valeur déterminée, alors que le premier étage d'attaque est un étage de même structure que le premier étage d'attaque mais dimensionné pour délivrer un courant sensiblement plus faible que ledit courant d'attaque.

10 Comme le premier étage d'attaque ne sert pas pour fournir une puissance utile, il n'a en effet pas besoin d'occuper autant de place sur silicium que le second étage d'attaque.

 Le circuit peut comprendre une unité de commande configurée pour commander la première phase de fonctionnement en réponse à la mise sous
15 tension du circuit, et pour commander ensuite la seconde phase de fonctionnement au bout d'une temporisation déterminée. Cette forme de réalisation est la plus simple, mais n'est évidemment pas limitative.

 On peut prévoir que l'unité de commande est en outre configurée pour commander la première phase de fonctionnement en réponse à un signal
20 d'activation d'un mode "mute" de l'appareil incorporant le circuit d'amplification.

 Ceci permet de traiter ce mode de fonctionnement avec élégance, et sans ajouter de moyens supplémentaires.

 L'invention concerne également un procédé d'amplification audio utilisant un circuit d'amplification comprenant un amplificateur ayant une entrée pour
25 recevoir un signal d'entrée et une sortie, et comprenant en outre une sortie audio à laquelle peut être connectée une charge, ledit procédé comprenant les étapes consistant à:

 - dans une première phase de fonctionnement consécutive à la mise sous tension du circuit, coupler la sortie de l'amplificateur à une entrée d'un
30 premier étage d'attaque ayant une sortie qui n'est pas couplée à la sortie audio; puis, sélectivement,

- dans une seconde phase de fonctionnement consécutive à la première phase de fonctionnement, coupler la sortie de l'amplificateur à une entrée d'un second étage d'attaque ayant une sortie qui est couplée à la sortie audio.

- 5 L'invention concerne encore un appareil comprenant une source de signal audio et un circuit d'amplification tel que défini plus haut, pour l'amplification du signal audio.

Brève Description des Dessins

10 D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels :

- la Figure 1, déjà analysée, est une courbe en fonction du temps, de la tension en sortie d'un amplificateur audio sans correction de glitche, à la mise sous tension de l'amplificateur;
- 15 - la Figure 2 est un schéma détaillé d'un mode de réalisation du circuit d'amplification audio incorporant le principe de l'annulation de glitche selon des modes de réalisation de l'invention;
- la Figure 3 représente le circuit dans la première phase de fonctionnement;
- 20 - la Figure 4 représente le circuit dans la seconde phase de fonctionnement;
- la Figure 5 est une courbe en fonction du temps, à la mise sous tension, de la tension de sortie d'un amplificateur audio avec correction de glitche selon des modes de réalisation de l'invention;
- 25 - la Figure 6 est un diagramme d'étapes d'un procédé mettant en œuvre le circuit d'amplification; et,
- la Figure 7 est un schéma simplifié d'un appareil incorporant le circuit d'amplification.

Description détaillée de modes de réalisation

A la Figure 2, on a représenté de façon schématique un exemple de circuit d'amplification audio incorporant l'annulation de glitche selon le principe utilisé par des modes de réalisation de la présente invention.

5 Le circuit d'amplification comprend un amplificateur 10, typiquement un amplificateur en classe AB. Il s'agit typiquement d'un amplificateur différentiel, tel qu'un amplificateur opérationnel. Un tel amplificateur comprend un étage d'entrée avec une paire différentielle de transistors. Les transistors sont des transistors MOS, le circuit d'amplification étant par exemple réalisé en
10 technologie CMOS («Complementary Metal Oxide Semiconductor»).

Le circuit d'amplification audio comprend une entrée 11 pour recevoir un signal d'entrée audio V_{in} à amplifier. Il comprend également une sortie 13 délivrant un signal de sortie audio, correspondant au signal V_{in} amplifié.

Le signal d'entrée est par exemple une tension différentielle, définie par
15 la différence entre deux composantes V_{+} et V_{-} , respectivement reçues sur l'entrée 11 et sur une autre entrée 12 du circuit. L'entrée 11 du circuit est par exemple couplée à l'entrée inverseuse de l'amplificateur 10 (repérée par le signe «-» à la figure), via une impédance R_1 , par exemple une résistance. De même, l'entrée 12 du circuit est par exemple couplée à l'entrée non inverseuse
20 de l'amplificateur 10 (repérée par le signe «+» à la figure), via une impédance R_2 , par exemple une résistance de même valeur que R_1 . L'entrée non inverseuse de l'amplificateur 10 est par ailleurs couplée à une borne d'alimentation portée à un potentiel de masse Gnd , via une impédance R_3 , par exemple une résistance de même valeur que R_1 et R_2 .

25 Le circuit comprend aussi une sortie 40, qui délivre le signal de sortie V_{out} du circuit. Ce signal correspond au signal d'entrée V_{in} tel qu'amplifié dans le rapport R_4/R_1 , où R_4 est l'impédance de rétroaction entre la sortie du circuit et l'entrée de l'amplificateur 10, et auquel on fournit la puissance suffisante pour attaquer une charge R_c , connectée entre la sortie 40 et la masse Gnd . Le
30 signal V_{out} est une tension convenant pour attaquer un dispositif de restitution sonore telle qu'un haut parleur ou un casque audio. Typiquement, la charge R_c couplée à la sortie 40 est un haut parleur de l'appareil dans lequel le circuit

d'amplification audio est utilisé, un casque, des oreillettes, ou encore un haut-parleur externe qui peuvent être raccordés à une prise casque de cet appareil.

Afin de fournir la puissance requise, il y a, entre la sortie de l'amplificateur 10 et la sortie 40 du circuit, au moins un étage de sortie de puissance 22, dont la sortie est couplée à la sortie 40 du circuit. Cet étage est adapté pour donner au signal V_{out} la puissance nécessaire pour attaquer la charge R_c . Il s'agit d'un étage d'attaque, ou circuit d'attaque («driver» en anglais), qui comprend un transistor MOS de type P et un transistor MOS de type N connectées l'un au dessus de l'autre entre une borne d'alimentation positive V_{dd} et une borne d'alimentation négative V_{ss} . Ces transistors sont respectivement dénotés MP2 et MN2, dans la suite et aux figures. Plus particulièrement, la source de MP2 est couplée à la borne V_{dd} , et la source de MN2 est couplée à la borne V_{ss} . Leurs drains sont reliés ensemble, et constituent la sortie S2 de l'étage d'attaque 22. En fonctionnement, leurs grilles de commande sont également reliées l'une à l'autre, et constituent l'entrée de l'étage d'attaque 22.

Typiquement, l'amplificateur 10 est polarisé au milieu de la plage des tensions disponibles. On obtient ainsi la dynamique maximum pour l'amplification du signal d'entrée V_{in} . Par exemple, l'amplificateur possède un étage d'entrée ayant une structure différentielle, qui amplifie la différence entre les composantes V_+ et V_- du signal d'entrée V_{in} . La polarisation de l'amplificateur 10 est obtenue en imposant un courant statique dans chacune des deux branches de la paire différentielle qui constitue son étage d'entrée. Cette polarisation s'établit à partir de la mise sous tension du circuit d'amplification. Comme elle n'est pas instantanée, il se produit des phénomènes transitoires qui sont à l'origine d'un glitche dans le signal de sortie V_{out} .

Afin d'éviter que ce glitche n'apparaisse sous forme audible par l'utilisateur dans le signal de sortie V_{out} , la sortie 13 de l'amplificateur 10 n'est pas couplée à l'entrée de l'étage d'attaque 22 pendant une première phase de fonctionnement qui suit la mise sous tension du circuit d'amplification. Dit autrement, l'étage de sortie de puissance 22 (et donc la charge qui est connectée à la sortie audio 40) est découplé de l'amplificateur 10 pendant cette

première phase de fonctionnement, et il lui est couplé dans une seconde phase de fonctionnement, consécutive à la première phase de fonctionnement.

Toutefois, il est souhaitable que la polarisation de l'amplificateur 10 s'établisse dans des conditions proches de ce qu'elles seraient si l'étage d'attaque 22 lui était normalement couplé. C'est pourquoi il est prévu qu'un autre étage d'attaque 21 du circuit d'amplification soit couplé à la sortie de l'amplificateur 10 pendant la première phase de fonctionnement. Cet autre étage 21, inversement, est découplé de l'amplificateur 10 pendant la seconde phase de fonctionnement. Plus particulièrement, l'entrée de l'étage 21 est couplée à la sortie 13 de l'amplificateur 10 dans la première phase de fonctionnement, alors qu'elle ne lui est pas couplée pendant la seconde phase de fonctionnement.

L'étage 21 est de préférence de même structure que l'étage 22, en ce sens qu'il comporte le même nombre de composants, agencés de la même façon (par contre, la taille des transistors n'est pas forcément la même, ainsi qu'il sera précisé plus loin). A savoir, l'étage 21 est aussi un étage d'attaque, qui comprend un transistor MOS de type P et un transistor MOS de type N connectées l'un au dessus de l'autre entre la borne d'alimentation positive Vdd et la borne d'alimentation négative Vss. Ces transistors sont respectivement dénotés MP1 et MN1, dans la suite et aux figures. La source de MP1 est couplée à la borne Vdd, et la source de MN1 est couplée à la borne Vss. Leurs drains sont reliés ensemble, et constituent la sortie S1 de l'étage d'attaque 21. En fonctionnement, leurs grilles de commande sont également reliées l'une à l'autre, et constituent l'entrée de l'étage d'attaque 21.

On notera à nouveau que la sortie S1 de l'étage 21 n'est pas couplée à la sortie audio 40 du circuit d'amplification. Dit autrement, l'étage 21 n'est jamais couplé à la sortie du circuit d'amplification, i.e., ni dans la première ni dans la seconde phase de fonctionnement. En ce sens, l'étage 21 peut être regardé comme un étage de sortie «fictif» («dummy», en anglais) du circuit d'amplification, par opposition à l'étage 22 qui est l'étage de sortie de puissance «réel» du circuit d'amplification. La sortie de l'amplificateur 10 est chargée par l'étage d'attaque fictif pendant la première phase de fonctionnement alors qu'elle est chargée par l'étage d'attaque réelle (étage de

sortie de puissance qui attaque effectivement la charge R_c) pendant la seconde phase de fonctionnement.

Afin d'assurer le couplage ou le découplage de l'étage d'attaque 21 et de l'étage d'attaque 22 pendant la première phase de fonctionnement et la
5 seconde phase de fonctionnement, le circuit comprend un certain nombre d'interrupteurs commandés, qui vont maintenant être explicités. Il y a des interrupteurs dont l'ouverture et la fermeture sont commandées par un signal A et des interrupteurs dont l'ouverture et la fermeture sont commandées par un signal B.

10 Le circuit d'amplification comprend une unité de commande 30 générant ces signaux A et B. Le signal A est actif, par exemple à l'état logique haut ($A=1$), pendant la première phase de fonctionnement et il est inactif, à l'état logique bas ($A=0$), pendant la seconde phase de fonctionnement. Inversement, le signal B est inactif ($B=0$) pendant la première phase de
15 fonctionnement et actif ($B=1$) pendant la seconde phase de fonctionnement. Les signaux A et B sont non recouvrants, en ce sens qu'ils ne sont pas tous les deux à l'état actif en même temps.

A la mise sous tension du circuit d'amplification, l'unité 30 commande le passage à l'état actif du signal A ($A=1$), tout en maintenant le signal B à l'état
20 inactif ($B=0$). Cet état peut être maintenu pendant une temporisation déterminée, par exemple de 5 μs . Au terme de cette temporisation, le signal A est rendu inactif ($A=0$) puis le signal B est rendu actif ($B=1$), en évitant tout recouvrement entre les états actifs de ces deux signaux.

La sortie 13 de l'amplificateur 10 est ainsi couplée à la grille de
25 commande de MP1 à travers un interrupteur commandé par le signal A, et à la grille de commande de MN1 à travers un autre interrupteur également commandé par le signal A. La grille de commande de MP1 est couplée à la borne Vdd à travers un interrupteur commandé par le signal B, et celle de MN1 est couplée à la borne Vss à travers un autre interrupteur commandé par le
30 signal B.

Réciproquement, la sortie 13 de l'amplificateur 10 est couplé sur la grille de commande de MP2 à travers un interrupteur commandé par le signal B, et à la grille de commande de MN2 à travers un autre interrupteur également

commandé par le signal B. La grille de commande de MP1 est couplée à la borne Vdd à travers un interrupteur commandé par le signal A, et celle de MN1 est couplée à la borne Vss à travers un autre interrupteur commandé par le signal A.

5 La sortie S1 de l'étage d'attaque 21 est couplée à la sortie 40 du circuit d'amplification à travers un interrupteur commandé par le signal A suivi d'un autre interrupteur qui est commandé par le signal B. Ces deux interrupteurs sont donc disposés en série entre la sortie S1 de l'étage 21 et la sortie 40 du circuit d'amplification.

10 Le nœud N situé entre ces deux interrupteurs est couplé à l'entrée inverseuse de l'amplificateur 10 à travers une impédance R4, par exemple une résistance de même valeur que les résistances R1, R2 et R3.

Le fonctionnement du circuit d'amplification, à la mise sous tension, est le suivant. Initialement, c'est-à-dire juste avant la mise sous tension, tous les
15 interrupteurs sont ouverts, les signaux A et B étant à l'état logique bas ($A=B=0$).

Dès la mise sous tension, l'unité de commande 30 fait passer le signal A à l'état logique haut ($A=1$), ce qui ferme les interrupteurs qui sont commandés par ce signal. Les autres interrupteurs, à savoir ceux commandés
20 par le signal B, restent ouverts ($B=0$).

Le circuit se trouve alors dans la configuration illustrée par la Figure 3, qui correspond à la première phase de fonctionnement. Dans cette configuration, la sortie 13 de l'amplificateur 10 est chargée par l'étage d'attaque 21. Plus particulièrement, elle est couplée à l'entrée de cet étage 21, dont la
25 sortie S1 est bouclée sur l'entrée 11 de l'amplificateur 10 à travers l'impédance R4. Ainsi qu'on l'aura compris, ce bouclage apporte une rétroaction de stabilisation de l'amplificateur. On notera que la sortie S1 de l'étage 21 n'est pas couplée à la sortie 40 du circuit d'amplification.

L'étage d'attaque 22, quant à lui, n'est pas couplé à l'amplificateur 10.
30 Plus précisément, les grilles de commande de MP2 et de MN2 ne sont pas couplées à la sortie 13 de l'amplificateur 10, et sont découplées l'une de l'autre (elles ne sont pas reliées ensemble). Au contraire, et afin de ne pas générer un chemin direct entre les bornes d'alimentation Vdd et Vss, les transistors MP2 et

MN2 sont bloqués du fait du couplage de leur grille de commande à la borne Vdd et à la borne Vss, respectivement. La sortie S2 de l'étage d'attaque 22 se trouve alors dans l'état haute impédance (état "HZ"). Cette sortie S2 étant couplée à la sortie 40 du circuit d'amplification, ladite sortie 40 se trouve dans l'état haute impédance. Du point de vue de cette sortie 40, tout se passe donc
5 comme si le circuit d'amplification n'était pas alimenté.

Pendant cette première phase de fonctionnement, qui suit immédiatement la mise sous tension, la polarisation de l'amplificateur 10 s'établit donc sans que les perturbations induites sur sa sortie 13 qui sont à
10 l'origine de pics de tension correspondant au glitch, n'aient d'effet dans le signal Vout au niveau de la sortie 40 du circuit d'amplification.

A l'expiration d'une temporisation déterminée, par exemple de 5µs, l'unité de commande 30 ramène le signal A à l'état logique bas ($A=0$) puis positionne le signal B à l'état logique haut ($B=1$). On veille à ce que, à
15 l'occasion de cette transition, les signaux A et B ne soient pas actifs tous les deux en même temps, bien que le temps entre le passage à l'état bas di signal A et le passage à l'état haut du signal B doive évidemment être le plus court possible, ainsi qu'on l'aura compris.

Le circuit se trouve alors dans la configuration illustrée par la Figure 4, qui correspond à la seconde phase de fonctionnement. Dans cette
20 configuration, l'étage d'attaque 21 est découplé de l'amplificateur 10. Il se trouve exactement dans la même configuration que l'étage d'attaque 22 lors de la première phase de fonctionnement, tel que décrit plus haut. Sa sortie S1 se trouve dans l'état haute impédance ($S1=HZ$). Il n'apparaît pas utile de répéter
25 ici la description correspondante.

Par contre, la sortie 13 de l'amplificateur 10 est couplée à l'entrée de l'étage d'attaque 22, c'est-à-dire aux grilles de commande des transistors et MP2 et MN2 qui sont alors reliées ensemble. La sortie S2 de l'étage 22 est toujours couplée à la sortie 40 du circuit d'amplification. MP2 et MN2 sont libres
30 de conduire du courant selon le signe et l'amplitude du signal qui est reçu sur leurs grilles de commande communes.

En outre, la sortie S2 de l'étage 22, qui correspond à la sortie 40 du circuit d'amplification, est bouclée sur l'entrée 11 de l'amplificateur 10 par la

même impédance Z_4 que l'était la sortie S1 de l'étage 21 dans la première phase de fonctionnement. Dans cette configuration également, l'impédance R_4 assure la stabilité du circuit d'amplification. Le fait qu'il s'agisse de la même impédance R_4 dans la première phase et dans la seconde phase de fonctionnement est avantageux. D'une part cela évite de dupliquer cette impédance sur le circuit (gain de place sur le silicium). D'autre part cela limite les phénomènes transitoires lors du passage de la première phase à la seconde phase de fonctionnement. En effet, les connexions correspondant à la rétroaction à travers l'impédance R_4 , qui présentent de façon inhérente une composante capacitive, sont déjà en partie chargées à l'issue de la première phase.

Le circuit d'amplification reste dans la seconde phase de fonctionnement jusqu'à la coupure de l'alimentation du circuit. Du point de vue de la sortie 40 du circuit d'amplification, tout se passe comme si l'étage d'attaque fictif 21 n'existait pas.

Ainsi qu'on peut le voir sur le diagramme de la Figure 5, le glitche 1' qui se produit à la mise sous tension du circuit d'alimentation, n'est certes pas tout à fait inexistant, mais il est très fortement réduit par rapport au glitche 1 illustré à la Figure 1 (qui correspond à un circuit sans annulation de glitche telle qu'elle vient d'être décrite). En pratique, il a été observé qu'il ne se produit qu'un glitche résiduel de 5 mV environ sur 100 ns environ, à comparer à un glitche de 500 mV sur 2 μ s tel qu'évoqué en introduction. Un tel glitche résiduel n'est pas perceptible par l'utilisateur dans des conditions usuelles de bruit environnant. Il est dû essentiellement aux phénomènes transitoires qui se produisent dans l'étage de sortie de puissance 22 lors de la transition entre la première phase et la seconde phase de fonctionnement, ainsi qu'aux effets de cette transition produits au niveau de la sortie 13 de l'amplificateur 10.

Avantageusement, l'étage d'attaque 21 n'ayant pas pour fonction de réellement attaquer la charge R_c , ses transistors MP1 et MN1 n'ont pas besoin d'être aussi gros que les transistors MP2 et MN2 de l'étage d'attaque 22. En pratique, MP1 et MN1 sont dimensionnés de manière à délivrer sur la sortie S1 un courant sensiblement inférieur à celui généré par MP2 et MN2 sur la sortie S2 de l'étage 22. Ceci est obtenu en fixant la taille (largeur de grille) des

transistors MP1 et MN1 à une valeur très inférieure à celle de MP2 et MN2, respectivement. Par exemple, on peut prévoir un rapport 100 entre les deux. Cela permet d'épargner de la place sur silicium.

De préférence, en outre, les transistors MP1 et MN1 peuvent être
5 imbriqués (on dit aussi entrelacés) dans MP2 et MN2, respectivement. Cela signifie que les zones à la surface du silicium qui correspondent à leur grille, leur drain et leur source sont des fractions, qui peuvent être commandées indépendamment, des zones correspondantes de MP2 et MN2. Ainsi, l'ajout de MP1 et MN1 par rapport à un circuit d'amplification qui n'incorporerait pas
10 l'annulation de glitche décrite ici, ne coûte aucune surface supplémentaire sur silicium.

Les interrupteurs commandés par le signal A et les interrupteurs commandés par le signal B sont par exemple réalisés à l'aide de transistors MOS de type N. La mise en œuvre de l'annulation de glitche ne coûte donc, du
15 point de vue de la place sur silicium, que l'ajout de dix transistors MOS auxquels il convient d'ajouter les composants réalisant l'unité de commande 30. Tout ceci est négligeable par rapport aux avantages procurés.

Dans une variante, le passage de la première phase de fonctionnement à la seconde phase de fonctionnement n'est pas commandé
20 par l'expiration d'une temporisation déterminée, mais peut être commandé par un signal de remise à zéro à la mise sous tension ("Power-on Reset", en anglais, ou POR).

Avantageusement, l'unité de commande 30 peut faire partie d'une unité gérant la fonction "mute" de l'appareil. Dans ce cas, le circuit d'amplification
25 peut être placé dans l'état correspondant à la seconde phase de fonctionnement à chaque fois que l'utilisateur commande un passage dans le mode "mute", ou que l'activation de ce mode est provoquée de toute autre façon (par exemple à réception d'un appel entrant, dans un téléphone portable). Dit autrement, on utilise aussi l'étage d'attaque fictif 21 quand
30 l'appareil est placé dans le mode "mute". Cela procure les mêmes avantages de réduction de glitche que ceux évoqués plus haut, à chaque fois que l'on entre et que l'on sort de ce mode de fonctionnement de l'appareil.

La Figure 6 donne le diagramme schématique des étapes d'un procédé de mise en œuvre d'un circuit d'amplification tel que décrit ci-dessus.

Dans une première étape 61, le circuit est mis sous alimentation ("Power-on" en anglais). La polarisation de l'amplificateur 10, notamment,
5 commence.

C'est pourquoi, immédiatement après cette mise sous tension, dans une étape 62, l'unité de commande 30 passe le signal A à l'état actif ($A=1$), en maintenant le signal B à l'état inactif ($B=0$). Le circuit d'amplification passe alors dans un mode de fonctionnement correspondant à la première phase de
10 fonctionnement qui a été décrite.

Au bout d'un temps déterminé ΔT , correspondant par exemple à une temporisation prédéfinie, par exemple 5 μs , l'unité de commande ramène le signal A à l'état inactif ($A=0$), et passe le signal B à l'état actif ($B=1$). Ceci correspond à l'étape 64. Le circuit d'amplification passe alors dans un mode de
15 fonctionnement correspondant à la seconde phase de fonctionnement qui a été décrite.

Afin d'illustrer l'absence de recouvrement entre les deux phases de fonctionnement, on a représenté une étape intermédiaire 63 pendant laquelle les deux signaux A et B sont à l'état bas ($A=0$; $B=0$), entre les étapes 62 et 64.
20 Cette étape 63 est néanmoins la plus courte possible.

La flèche en traits pointillés entre les blocs correspondant aux étapes 64 et 62, illustre le fait que le circuit d'amplification peut être ramené dans le mode de fonctionnement correspondant à la première phase de fonctionnement, par exemple en réponse à l'activation du mode "mute" de
25 l'appareil.

Le schéma-bloc de la Figure 7 montre les éléments d'un appareil incorporant un amplificateur audio tel que présenté ci-dessus. Un tel appareil peut être un téléphone portable ou tout autre appareil communicant ou non, qui possède une fonction de restitution audio.

30 L'appareil 100 comprend une unité de commande 101 telle qu'un calculateur (CPU), une unité de communication 102, pour émettre et recevoir des informations de l'extérieur, notamment par modulation d'une porteuse radiofréquence. Il comprend aussi une mémoire 103 pouvant stocker des

informations sous forme numérique, par exemple un morceau de musique. Le
calculateur 101 communique avec l'unité 102 et la mémoire 103 via un bus de
communication 104. Chacun de ces éléments est alimenté par la tension
d'alimentation Vdd qui est délivrée par une batterie 106 à travers un
5 interrupteur de commande 107. A la mise sous tension, cet interrupteur 107 est
fermé.

Le calculateur 101 génère un signal audio Vin à amplifier, soit à partir
des données reçues via l'unité 102, soit à partir de données lues dans la
mémoire 103. Pour l'amplification de ce signal Vin, l'appareil 100 comprend un
10 circuit d'amplification audio 105 dont des modes de réalisation ont été décrits
plus haut. Ce circuit 105 est également alimenté par la tension Vdd qui lui est
appliquée à travers l'interrupteur 107 dès la mise sous tension.

Le signal de sortie Vout généré par le circuit d'amplification 105
attaque un haut parleur 109, qui peut être interne au circuit 100, ou externe. En
15 variante ou en complément, il peut aussi attaquer une prise casque 108 de
l'appareil 100, pour permettre l'écoute audio par l'utilisateur à l'aide d'un
casque ou d'oreillettes.

L'invention a été décrite ci-dessus par référence à des modes de
réalisation. Il est bien entendu, toutefois, que toute variante techniquement
20 envisageable rentre dans le cadre de la présente demande.

REVENDEICATIONS

1. Circuit d'amplification audio comprenant
 - un amplificateur (10) ayant une entrée (11) et une sortie (13) ;
 - 5 - une sortie audio (40) à laquelle peut être connectée une charge (R_c) ;caractérisé en ce que il comprend en outre un premier étage d'attaque (21) ayant une entrée et une sortie (S1) qui n'est pas couplée à la sortie audio et un second étage d'attaque (22) ayant une entrée et une sortie (S2) qui est couplée à la sortie audio, et en ce que la sortie de l'amplificateur est
10 sélectivement couplée à l'entrée du premier étage d'attaque dans une première phase de fonctionnement consécutive à la mise sous tension du circuit, ou à l'entrée du second étage d'attaque dans une seconde phase de fonctionnement consécutive à la première phase de fonctionnement.
- 15 2. Circuit d'amplification selon la revendication 1, comprenant en outre une impédance (R_4) agencée pour coupler la sortie du premier étage d'attaque à l'entrée de l'amplificateur dans la première phase de fonctionnement, ou la sortie du second étage d'attaque à l'entrée de l'amplificateur dans la seconde phase de fonctionnement, respectivement.
20
3. Circuit d'amplification selon la revendication 1 ou la revendication 2, dans lequel le second étage d'attaque est un étage de sortie de puissance, dimensionné pour délivrer un courant d'attaque ayant une valeur déterminée, alors que le premier étage d'attaque est un étage de même structure que le
25 premier étage d'attaque mais dimensionné pour délivrer un courant sensiblement plus faible que ledit courant d'attaque.
4. Circuit d'amplification selon l'une quelconque des revendications précédentes, comprenant en outre une unité de commande (30) configurée
30 pour commander la première phase de fonctionnement en réponse à la mise

sous tension du circuit, et pour commander ensuite la seconde phase de fonctionnement au bout d'une temporisation déterminée.

5. Circuit d'amplification selon la revendication 4, dans lequel l'unité de commande est en outre configurée pour commander la première phase de fonctionnement en réponse à un signal d'activation d'un mode "mute".

6. Procédé d'amplification audio utilisant un circuit d'amplification comprenant un amplificateur (10) ayant une entrée (11) pour recevoir un signal d'entrée et une sortie (13), et comprenant en outre une sortie audio (40) à laquelle peut être connectée une charge (R_c), ledit procédé comprenant les étapes consistant à:

- dans une première phase de fonctionnement consécutive à la mise sous tension du circuit, coupler la sortie de l'amplificateur à une entrée d'un premier étage d'attaque (21) ayant une sortie (S1) qui n'est pas couplée à la sortie audio; puis, sélectivement,

- dans une seconde phase de fonctionnement consécutive à la première phase de fonctionnement, coupler la sortie de l'amplificateur à une entrée d'un second étage d'attaque (22) ayant une sortie (S2) qui est couplée à la sortie audio.

7. Procédé d'amplification selon la revendication 6, comprenant en outre le couplage, par une impédance (R_4), de la sortie du premier étage d'attaque à l'entrée de l'amplificateur dans la première phase de fonctionnement, et de la sortie du second étage d'attaque à l'entrée de l'amplificateur dans la seconde phase de fonctionnement, respectivement.

8. Procédé d'amplification selon la revendication 6 ou la revendication 7, dans lequel le second étage d'attaque est un étage de sortie de puissance dimensionné pour délivrer un courant d'attaque ayant une valeur déterminée, alors que le premier étage d'attaque est un étage de même structure que le

premier étage d'attaque mais dimensionné pour délivrer un courant sensiblement plus faible que ledit courant d'attaque.

9. Procédé d'amplification selon l'une quelconque des revendications 1 à 5 8, dans lequel on commande la première phase de fonctionnement en réponse à la mise sous tension du circuit, et on commande ensuite la seconde phase de fonctionnement au bout d'une temporisation déterminée.
10. Procédé d'amplification selon la revendication 9, dans lequel on 10 commande en outre la première phase de fonctionnement en réponse à un signal d'activation d'un mode "mute".
11. Appareil électronique comprenant une source de signal audio, et un amplificateur selon l'une quelconque des revendications 1 à 5 pour amplifier le 15 signal audio.

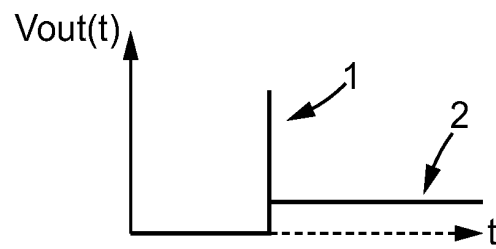


FIG. 1

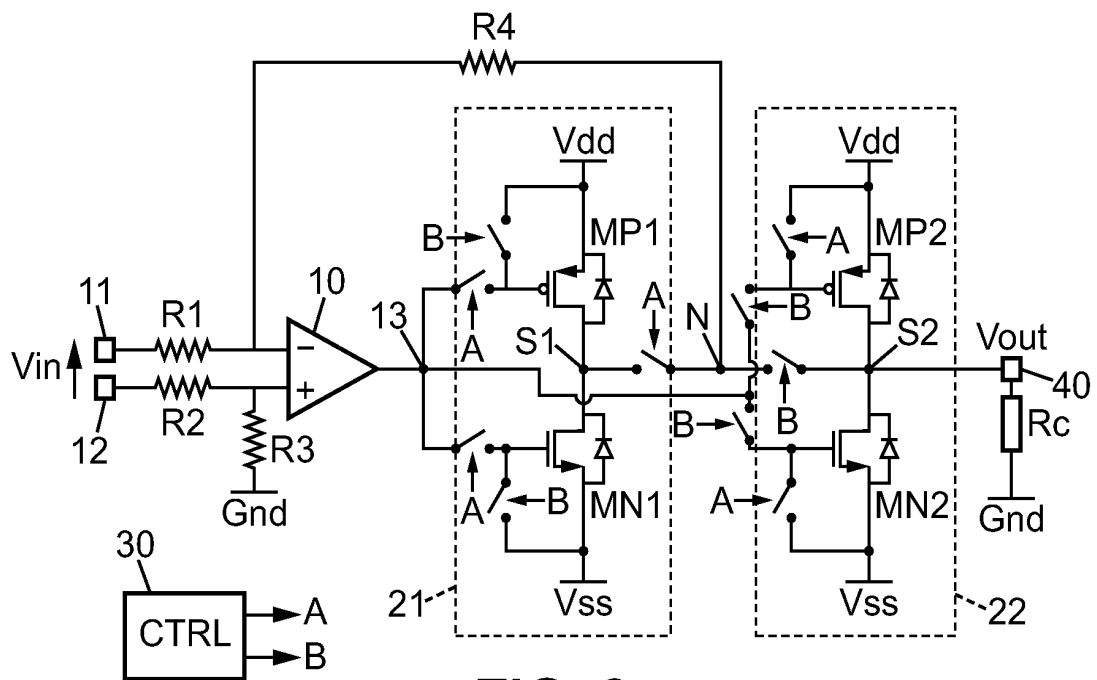


FIG. 2

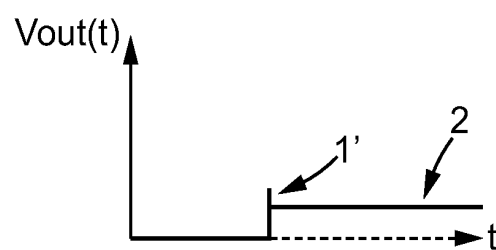


FIG. 5

2/3

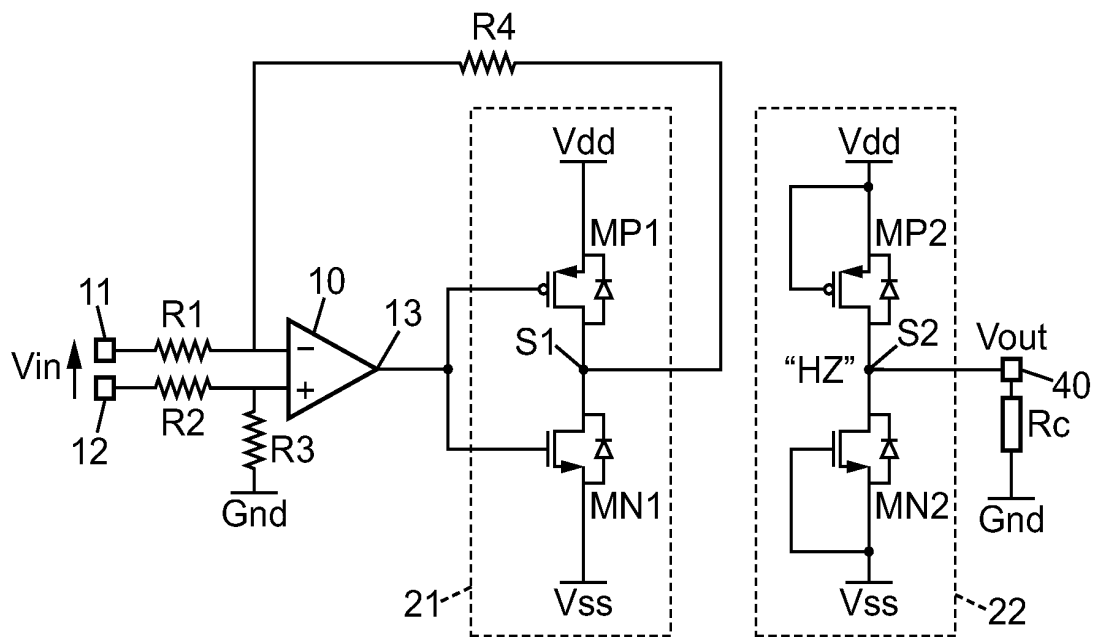
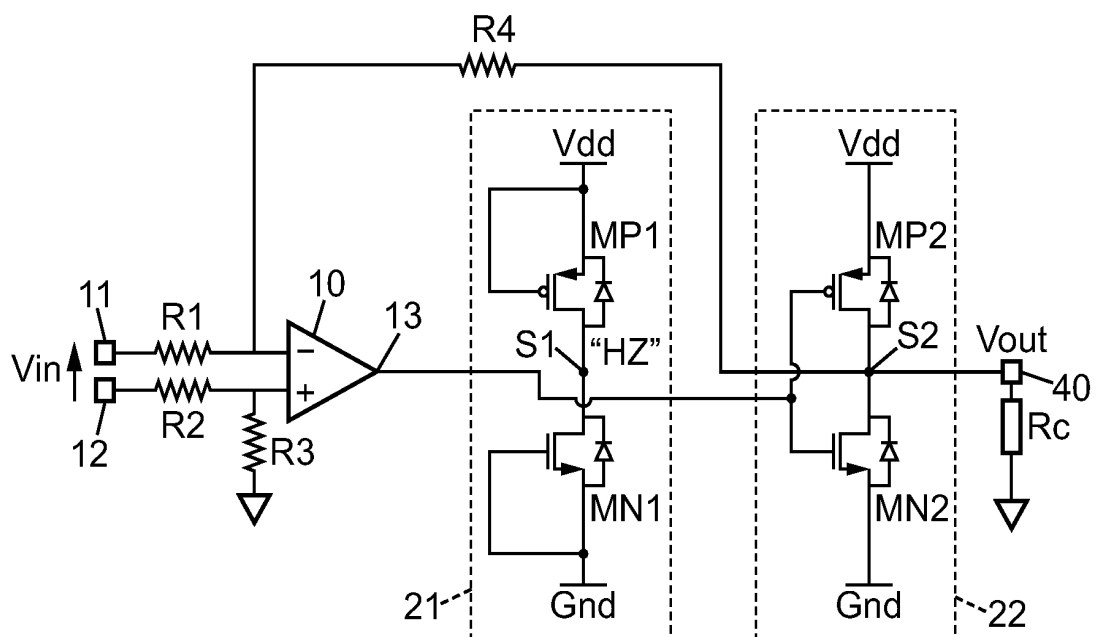
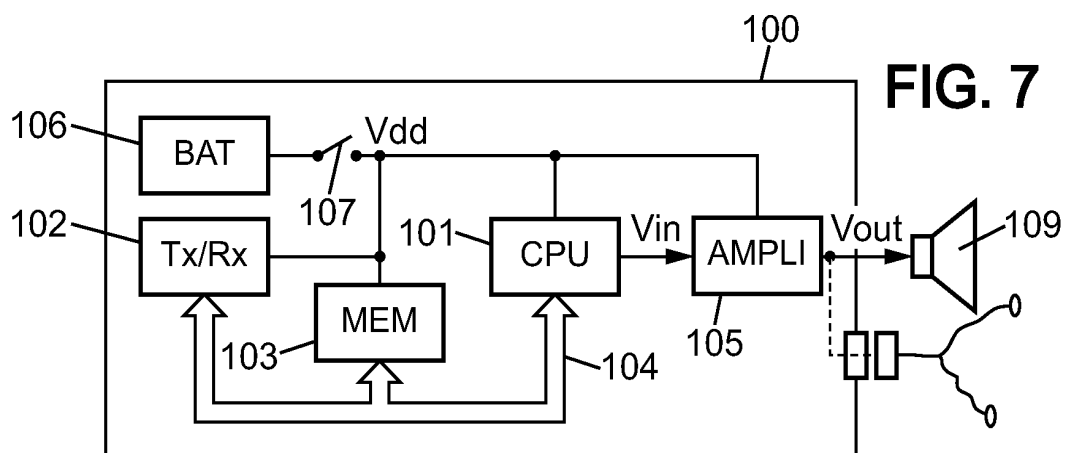
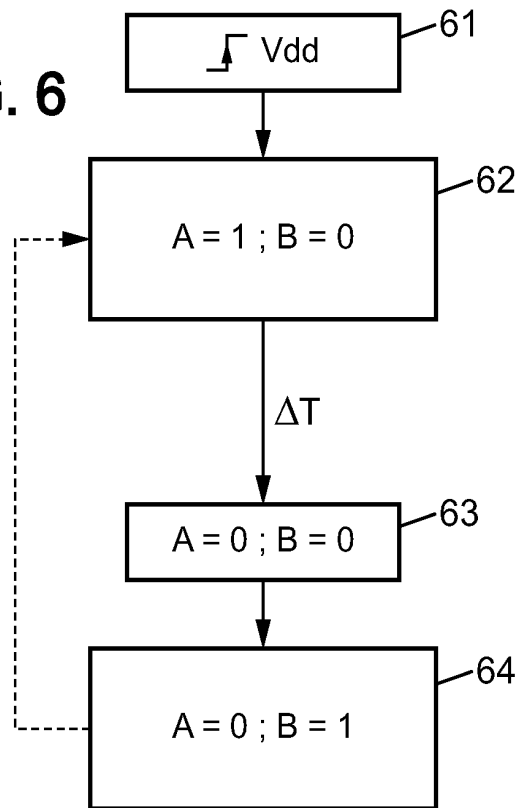
**FIG. 3****FIG. 4**

FIG. 6

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**établi sur la base des dernières revendications
déposées avant le commencement de la rechercheN° d'enregistrement
nationalFA 724208
FR 0953599

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	EP 1 689 075 A1 (TEXAS INSTRUMENTS INC [US]; TEXAS INSTRUMENTS FRANCE [FR]) 9 août 2006 (2006-08-09) * alinéa [0019] - alinéa [0023]; figure 4 *	1-11	H03F1/30 H03G3/24
A	EP 1 229 639 A2 (SONY UK LTD [GB]) 7 août 2002 (2002-08-07) * alinéa [0031]; figure 2 * -----	1-11	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H03F
Date d'achèvement de la recherche		Examineur	
20 novembre 2009		Van den Doel, Jules	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0953599 FA 724208

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **20-11-2009**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1689075	A1	09-08-2006	US 2006182265 A1	17-08-2006

EP 1229639	A2	07-08-2002	DE 60218367 T2	01-10-2009
			JP 4187975 B2	26-11-2008
			JP 2002271144 A	20-09-2002
			US 2002101282 A1	01-08-2002
