

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月27日(27.02.2020)



(10) 国際公開番号

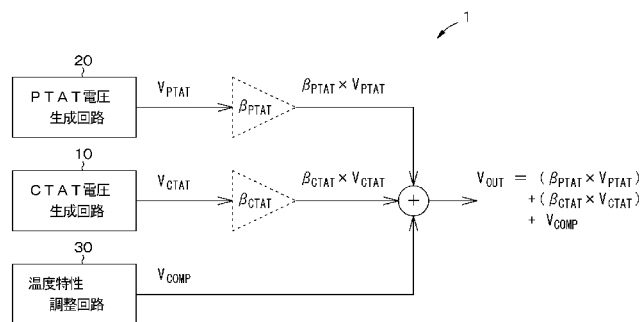
WO 2020/039978 A1

- (51) 国際特許分類:
G05F 3/26 (2006.01)
- (21) 国際出願番号: PCT/JP2019/031619
- (22) 国際出願日: 2019年8月9日(09.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-157158 2018年8月24日(24.08.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 渡辺 裕之 (WATANABE Hiroyuki); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: REFERENCE VOLTAGE CIRCUIT AND ELECTRONIC APPARATUS

(54) 発明の名称: 基準電圧回路、及び、電子機器

[図1]



10 CTAT voltage generation circuit
20 PTAT voltage generation circuit
30 Temperature characteristic adjustment circuit

(57) Abstract: A reference voltage circuit (1) comprises: a PTAT voltage generation circuit (20) that generates a voltage having a positive temperature coefficient; a CTAT voltage generation circuit (10) that generates a voltage having a negative temperature coefficient; and a temperature characteristic adjustment circuit (30) that generates a voltage for adjusting temperature characteristics. The reference voltage circuit outputs a reference voltage (VOUT) that is formed by calculation based on an output of the PTAT voltage generation circuit, an output of the CTAT voltage generation circuit, and an output of the temperature characteristic adjustment circuit.

(57) 要約: 基準電圧回路(1)は、温度係数が正の電圧を生成するPTAT電圧生成回路(20)と、温度係数が負の電圧を生成するCTAT電圧生成回路(10)と、温度特性を調整するための電圧を生成する温度特性調整回路(30)とを含んでいる。基準電圧回路は、PTAT電圧生成回路の出力と、CTAT電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧(VOUT)を出力する。

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：基準電圧回路、及び、電子機器

技術分野

[0001] 本開示は、基準電圧回路、及び、電子機器に関する。より詳しくは、例えば超低消費電力の回路システムに用いて好適な基準電圧回路、及び、係る基準電圧回路を備えた電子機器に関する。

背景技術

[0002] コイン電池によって長時間駆動される機器を構成する要素回路や、熱や振動などの散逸されるエネルギーを利用する環境発電（エナジーハーベスティング）によって電力供給されるような超低消費電力の機器を構成する要素回路にあっては、ナノワット級の低消費電力であることが求められている。

[0003] あらゆる機器に含まれる要素回路のひとつとして基準電圧回路（VREF回路）が存在する。図9に一般的な基準電圧回路の原理を示す。基準電圧回路9は、温度係数が正のPTAT（Proportional To Absolute Temperature）電圧と、温度係数が負のCTAT（Complementary to Absolute Temperature）電圧とが、必要に応じて所定の係数倍された上で、それぞれの温度特性を打ち消すように加算されることで、温度特性のない基準電圧を生成する。一般的には、係数 β_{PTAT} と係数 β_{CTAT} の少なくとも一方は「1」とされ、PTAT電圧（ V_{PTAT} ）とCTAT電圧（ V_{CTAT} ）の少なくとも一方はそのまま加算されるといった場合が多い。

[0004] 基準電圧回路にはいくつかの形式がある。近年、MOSFETをサブスレッショルド領域で動作させることによって低消費電力を実現する基準電圧回路が提案されている（例えば、非特許文献1を参照）。図10は、このような構成の基準電圧回路9Aの模式的な回路図である。この基準電圧回路9Aは、PNPトランジスタQのベース及びコレクタが接地された回路から成るCTAT電圧生成回路10と、ペアとなる2つのMOSFETのゲート電圧差を取り出す構造が多段接続された構成のPTAT電圧生成回路20を有す

る。符号 M_p は電流源となるトランジスタ、符号 M_n は負荷抵抗として作用するトランジスタである。この基準電圧回路9Aは、MOSFETのサブスレッショルド特性を出力電圧の温度係数補償に利用することができ、他の形式に比べ、省面積かつ低消費電流化を両立することができる。

[0005] 電圧 V_{BE} はバイポーラトランジスタQのベース－エミッタ間電圧であって、後述するように温度係数が負のCTAT電圧に該当する。温度係数が正のPTAT電圧はMOSFETのゲート電圧差を多段接続することによって生成されており、出力電圧 V_{REF1} は以下の式(1)によって表される。ここで、符号 η はMOSFETのスロープファクタと呼ばれデバイス特性を表す係数、符号 k_B はボルツマン定数、符号 q は電気素量、符号 W_{2j} と符号 L_{2j} とは、トランジスタ M_{2j} のゲート幅とゲート長を示す。符号 W_{2j-1} と符号 L_{2j-1} についても同様である。図10に示す例では、 $1 \leq j \leq 5$ である。式(1)の第1項は、温度係数が負のCTAT電圧に対応し、第2項は、温度係数が正のPTAT電圧に対応する。

[0006]

$$V_{REF1} = V_{BE} + \sum_{j=1}^5 \eta \frac{k_B}{q} T \ln \left(\frac{W_{2j-1}/L_{2j-1}}{W_{2j}/L_{2j}} \right) \quad (1)$$

先行技術文献

非特許文献

[0007] 非特許文献1: Tetsuya Hirose et al., "A CMOS Bandgap and Sub-Bandgap Voltage Reference Circuits for Nanowatt Power LSIs", IEEE Asian Solid-state Circuits Conference, pp. 77-80, November 2010.

発明の概要

発明が解決しようとする課題

[0008] 上述した式(1)の第2項に注目すると、MOSFETのゲート電圧差は、スロープファクタ η に依存する。スロープファクタ η は、MOSFETのサブスレッショルド領域におけるゲート電圧とドレイン電流との関係の特徴

づける値であり、ゲート酸化膜静電容量を符号 C_{ox} と表し、空乏層容量を符号 C_{dep} で表すとき、 $\eta = (C_{ox} + C_{dep}) / C_{ox}$ といった式で表される。したがって、基本的には、スロープファクタ η は、半導体製造プロセスに依存した値となる。

[0009] シミュレーションモデルと実デバイスとに差があると、シミュレーションによって決定した設計上の温度特性と、実デバイスを用いて構成した回路との温度特性とに差が生ずる。試作や評価を繰り返すことによって特性の合わせ込みをするといった対処もできるが、例えば、他の製造設備で製造を行う場合には、その都度、特性の合わせ込みが必要となるなど、プロセスポータビリティに難がある。そこで、回路自体に温度特性を調整することができる機能を付加するといったことが考えられる。

[0010] 温度特性を調整するために、例えば図9における係数 β_{PTAT} と係数 β_{CTAT} を調整するといった方法が考えられる。しかしながら、上述したように、式(1)にあっては、正の温度特性を持つPTAT電圧に対応する第2項についてシミュレーションモデルとの差が生じやすい。従って、基本的には、PTAT電圧を生成するMOSFET回路を調整することが好ましい。しかしながら、PTAT電圧を生成するペアとなるMOSFETの W/L 比は、対数関数の引数として作用する。従って、PTAT電圧において必要とされる調整範囲をカバーするとすれば、 W/L 比の調整範囲は広くなりすぎてしまい現実的ではない。また、PTAT電圧を生成するペアとなるMOSFETの段数を調整するとしても、離散的な調整となるので細かな調整はできない。

[0011] 従って、本開示の目的は、温度特性を良好に調整することができる基準電圧回路、及び、係る基準電圧回路を備えた電子機器を提供することにある。

課題を解決するための手段

[0012] 上記の目的を達成するための本開示の基準電圧回路は、
温度係数が正の電圧を生成するPTAT電圧生成回路と、
温度係数が負の電圧を生成するCTAT電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、

を備えており、

P T A T 電圧生成回路の出力と、C T A T 電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧を出力する、基準電圧回路である。

[0013] 上記の目的を達成するための本開示の電子機器は、
温度係数が正の電圧を生成する P T A T 電圧生成回路と、
温度係数が負の電圧を生成する C T A T 電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、
を含んでおり、

P T A T 電圧生成回路の出力と、C T A T 電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧を出力する、基準電圧回路を備えた電子機器である。

図面の簡単な説明

[0014] [図1]図 1 は、第 1 の実施形態に係る基準電圧回路の模式的な原理図である。
[図2]図 2 は、第 1 の実施形態に係る基準電圧回路の回路図である。
[図3]図 3 は、温度特性調整回路の模式的な原理図である。
[図4]図 4 は、温度特性調整回路の第 1 例の模式的な原理図である。
[図5]図 5 は、温度特性調整回路の第 1 例の第 1 構成例である。
[図6]図 6 は、温度特性調整回路の第 1 例の第 2 構成例である。
[図7]図 7 は、温度特性調整回路の第 2 例の模式的な原理図である。
[図8]図 8 は、温度特性調整回路の第 2 例の構成例である。
[図9]図 9 は、基準電圧回路の模式的な原理図である。
[図10]図 10 は、M O S F E T をサブスレッショルド領域で動作させる構成の基準電圧回路の回路図である。

発明を実施するための形態

[0015] 以下、図面を参照して、実施形態に基づき本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素には

同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係る、基準電圧回路、及び、電子機器、全般に関する説明
2. 第1の実施形態
3. その他

[0016] [本開示に係る、基準電圧回路、及び、電子機器、全般に関する説明]

本開示に係る基準電圧回路、あるいは又、本開示に係る電子機器に用いられる基準電圧回路（以下、これらを単に「本開示の基準電圧回路」と呼ぶ場合がある）において、温度特性調整回路は、入力側と出力側との電圧差が一对のMOSFETのゲート電圧差となるように構成されており、入力側に配置される一方のMOSFETと、出力側に配置される他方のMOSFETにおけるドレイン電流の電流密度比が調整可能に構成されている態様とすることができる。

[0017] この場合において、一方のMOSFETとして選択可能な複数のMOSFET、及び／又は、他方のMOSFETとして選択可能な複数のMOSFETが配置されている構成とすることができる。尚、調整の自由度を増やすといった観点からは、一方のMOSFETと他方のMOSFETの双方とも、選択可能な複数のMOSFETが配置されている構成とすることが好ましい。

[0018] この場合において、複数のMOSFETは並列に配置されている構成とすることができる。そして、W/L比が同じMOSFETが複数配置されている構成とすることもできる。この場合には例えば選択するMOSFETの個数を調整するといったことを行なえばよい。MOSFETの選択は、例えば基準電圧回路が形成された半導体素子にトリミングを施すなどといったことによって行なうことができる。

[0019] あるいは又、W/L比が異なるMOSFETが複数配置されているとすることもできる。この場合には、所望のW/L比のMOSFETを単独で選択する、あるいは又、複数のMOSFETを選択してMOSFET群としての

W/L比が所望の値となるように選択するなどといったことを行えばよい。

[0020] あるいは又、複数のMOSFETは直列に配置されている構成とすることもできる。この場合においても、W/L比が同じMOSFETが複数配置されている構成とすることができるし、あるいは又、W/L比が異なるMOSFETが複数配置されている構成とすることもできる。

[0021] 上述した各種の好ましい構成を含む本開示の基準電圧回路において、温度特性調整回路のMOSFETはサブスレッショルド領域で動作する構成とすることができる。

[0022] 上述した各種の好ましい構成を含む本開示の基準電圧回路にあっては、一对のMOSFETのそれぞれにドレイン電流を流すためのカレントミラー回路を含んでおり、カレントミラー回路はミラー比が調整可能に構成されている態様とすることができる。この場合において、カレントミラー回路には、ミラー電流を流すMOSFETとして選択可能な複数のMOSFETが配置されているといった構成とすることができる。

[0023] 上述した各種の好ましい構成を含む本開示の基準電圧回路にあっては、PTAT電圧生成回路は、ペアとなる2つのMOSFETのゲート電圧差を取り出す構造が多段接続されて構成されている態様とすることができる。この場合において、PTAT電圧生成回路のMOSFETはサブスレッショルド領域で動作する構成とすることができる。

[0024] 上述した各種の好ましい構成を含む本開示の基準電圧回路にあっては、CTAT電圧生成回路は、バイポーラトランジスタのベース－エミッタ間電圧を出力するように構成されている態様とすることができる。

[0025] 本開示の基準電圧回路は携帯用電子機器などに用いて好適である。本開示の基準電圧回路を用いて好適なICとして、1. リセットIC、2. 省電力リアルタイムクロックIC、3. 電源IC、を例示することができる。

[0026] 本明細書に示す各種の条件は、厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきの存在は許容される。

[0027] [第1の実施形態]

第1の実施形態は、本開示に係る基準電圧回路に関する。

[0028] 図1は、第1の実施形態に係る基準電圧回路の模式的な原理図である。

[0029] 第1の実施形態に係る基準電圧回路1は、

温度係数が正の電圧を生成するPTAT電圧生成回路20と、

温度係数が負の電圧を生成するCTAT電圧生成回路10と、

温度特性を調整するための電圧を生成する温度特性調整回路30と、

を含んでいる。

[0030] そして、PTAT電圧生成回路20の出力と、CTAT電圧生成回路10の出力と、温度特性調整回路30の出力とから算出されて成る基準電圧を出力する。より具体的には、PTAT電圧生成回路20が生成する電圧と、CTAT電圧生成回路10が生成する電圧と、温度特性調整回路30が生成する電圧とが加算されて成る基準電圧を出力する。基準電圧回路1は、基本的には、図9に示す基準電圧回路1の出力電圧に、温度特性調整用に生成された電圧を加算するといった構成である。尚、PTAT電圧生成回路20が生成する電圧とCTAT電圧生成回路10が生成する電圧とは、必要に応じて所定の係数倍された上で加算されてもよい。

[0031] 図2は、第1の実施形態に係る基準電圧回路の回路図である。

[0032] 基準電圧回路1の具体的な構成例について説明する。CTAT電圧生成回路10は、PNPトランジスタQのベース及びコレクタが接地された回路から構成されている。トランジスタQにはトランジスタM_pからミラー電流が流れるように構成されており、ベース-エミッタ間電圧V_{BE}は温度係数が負のCTAT電圧(V_{CTAT})となる。

[0033] PTAT電圧生成回路20は、図10で示した基準電圧回路9におけるPTAT電圧生成回路20と同様の構成であって、ペアとなる2つのMOSFETのゲート電圧差を取り出す構造が多段接続されて構成されている。PTAT電圧生成回路20のMOSFETはサブスレッショルド領域で動作する。PTAT電圧生成回路20が生成するPTAT電圧(V_{PTAT})は、上述した

式（１）の第２項で表される。

[0034] 引き続き、温度特性調整回路３０について説明する。

[0035] 図３は、温度特性調整回路の模式的な原理図である。

[0036] 温度特性調整回路３０は、入力側と出力側との電圧差が一对のＭＯＳＦＥＴのゲート電圧差となるように構成されている。温度特性調整回路のＭＯＳＦＥＴはサブスレッショルド領域で動作するように構成されている。そして、入力側に配置される一方のＭＯＳＦＥＴと、出力側に配置される他方のＭＯＳＦＥＴとにおけるドレイン電流の電流密度比が調整可能に構成されている。

[0037] ２つのＭＯＳＦＥＴのうち、入力側のＭＯＳＦＥＴ（符号 T_1 で表す）の W/L 比を W_1/L_1 と表し、流れるドレイン電流を符号 I_1 で表す。また、出力側のＭＯＳＦＥＴ（符号 T_2 で表す）の W/L 比を W_2/L_2 とし、流れるドレイン電流を符号 I_2 で表す。

[0038] ２つのＭＯＳＦＥＴ（ T_1 , T_2 ）のソース側は相互に接続されており、２つのＭＯＳＦＥＴ（ T_1 , T_2 ）のソース電流の和は $I_1 + I_2$ となる。このとき、２つのＭＯＳＦＥＴ（ T_1 , T_2 ）ゲート電圧差 ΔV_{GS} は、以下の式（２）で表される。

[0039]

$$\Delta V_{GS} = \eta \frac{k_B}{q} T \ln \left(\frac{I_2 W_1/L_1}{I_1 W_2/L_2} \right) \quad (2)$$

[0040] ここで、２つのＭＯＳＦＥＴ（ T_1 , T_2 ）の電流密度が等しい場合、換言すれば、以下の式（３）が成り立つ場合には、ゲート電圧差 ΔV_{GS} はゼロ・ボルトである。

[0041]

$$\frac{I_1}{W_1/L_1} = \frac{I_2}{W_2/L_2} \quad (3)$$

[0042] 上述した式（３）の条件付近では、上述した式（２）に示す対数関数の引数は略１である。従って、電流密度比の変化に対するゲート電圧差の変化率は、以下の式（４）のように表される。

[0043]

$$\left. \frac{d\Delta V_{GS}}{d\left(\frac{I_2 W_1/L_1}{I_1 W_2/L_2}\right)} \right|_{\left(\frac{I_2 W_1/L_1}{I_1 W_2/L_2}\right)=1} = \frac{\eta \frac{k_B T}{q}}{\left(\frac{I_2 W_1/L_1}{I_1 W_2/L_2}\right)} \bigg|_{\left(\frac{I_2 W_1/L_1}{I_1 W_2/L_2}\right)=1} \approx \eta \frac{k_B}{q} T \quad (4)$$

[0044] ここで、例えば、スロープファクタ $\eta = 1.5$ 、温度 $T = 300\text{K}$ であるとすれば、式 (4) の右辺は、以下の式 (5) のように表される。

[0045]

$$\eta \frac{k_B}{q} T \approx 38\text{mV} \quad (5)$$

[0046] このように、温度特性調整回路 30 にあっては、温度に対して十分な感度で変化する電圧 (図 1 に示す V_{COMP}) を生成することができる。また、その程度は、2つの MOSFET (T_1 , T_2) の W/L 比や、流れるドレイン電流の比を調整することで調整することが可能である。

[0047] 図 4 は、温度特性調整回路の第 1 例の模式的な原理図である。

[0048] 温度特性調整回路 30A は、ペアとなる 2つの MOSFET (T_1 , T_2) のドレイン電流を同じ電流として、MOSFET (T_1 , T_2) の W/L 比 ($M:N$) を調整するといった構成である。温度特性調整回路 30A は、一対の MOSFET のそれぞれにドレイン電流を流すためのカレントミラー回路を含んでいる。カレントミラー回路を構成するトランジスタ T_3 とトランジスタ T_4 とは同じ W/L 比である。

[0049] 以下、図面を参照して、各種の構成例について詳しく説明する。図 5 は、温度特性調整回路の第 1 例の第 1 構成例である。

[0050] 温度特性調整回路 30A₁ にあっては、一方の MOSFET として選択可能な複数の MOSFET、及び、他方の MOSFET として選択可能な複数の MOSFET が配置されている。より具体的には、複数の MOSFET は並列に配置されている。トランジスタ T_{1_1} ないしトランジスタ T_{1_J} は、入力側の一方の MOSFET として選択可能に設けられている。また、トランジスタ T_{2_1} ないしトランジスタ T_{2_K} は、出力側の他方の MOSFET として選択可能に設けられている。

[0051] この構成にあっては、トランジスタ T_{1_1} ないしトランジスタ T_{1_J} 、及び、ト

ランジスタ T_{2_1} ないしトランジスタ T_{2_K} として、 W/L 比が同じ MOSFET が配置されている構成とすることができる。この場合には例えば選択する MOSFET の個数を調整するといったことを行なえばよい。MOSFET の選択は、例えば基準電圧回路 1 が形成された半導体素子にトリミングを施すなどといったことによって行なうことができる。

[0052] あるいは又、この構成にあつては、トランジスタ T_{1_1} ないしトランジスタ T_{1_J} やトランジスタ T_{2_1} ないしトランジスタ T_{2_K} として、 W/L 比が異なる MOSFET が配置されている構成とすることもできる。この場合には、所望の W/L 比の MOSFET を単独で選択する、あるいは又、複数の MOSFET を選択して MOSFET 群としての W/L 比が所望の値となるように選択するなどといったことを行なえばよい。

[0053] 尚、温度特性調整回路 30A₁ にあつては、一方の MOSFET として選択可能な複数の MOSFET、及び、他方の MOSFET として選択可能な複数の MOSFET が配置されているとしたが、いずれか一方にのみ複数の MOSFET が配置されているといった構成とすることもできる。この場合、調整の自由度は低下するが、素子数を減らすことができるので回路の占有面積の縮小を図ることができる。

[0054] 図 6 は、温度特性調整回路の第 1 例の第 2 構成例である。

[0055] 温度特性調整回路 30A₂ においても、一方の MOSFET として選択可能な複数の MOSFET、及び、他方の MOSFET として選択可能な複数の MOSFET が配置されている。尚、複数の MOSFET は直列に配置されている。トランジスタ T_{1_1} ないしトランジスタ T_{1_J} は、入力側の一方の MOSFET として選択可能に設けられている。また、トランジスタ T_{2_1} ないしトランジスタ T_{2_K} は、出力側の他方の MOSFET として選択可能に設けられている。

[0056] この構成にあつては、トランジスタ T_{1_2} ないしトランジスタ T_{1_J} 、あるいは又、トランジスタ T_{2_2} ないしトランジスタ T_{2_K} の各ソース／ドレイン領域間を短絡するか否かによって調整を行うことができる。この場合においても、 W

／ L 比が同じ $MOSFET$ が複数配置されている構成であってもよいし、 W ／ L 比が異なる $MOSFET$ が複数配置されているであってもよい。

[0057] 以上、温度特性調整回路の第1例について説明した。引き続き、温度特性調整回路の第2例について説明する。

[0058] 図7は、温度特性調整回路の第2例の模式的な原理図である。

[0059] 第2例の温度特性調整回路30Bにあっては、ペアとなる2つの $MOSFET$ (T_1 , T_2) の W ／ L 比を同じ (1 : 1) とし、流れるドレイン電流の比を調整するといった構成である。ドレイン電流比の調整は、トランジスタ T_3 , T_4 によって構成されたカレントミラー回路のミラー比 (M : N) を変化させることで調整する。

[0060] 図8は、温度特性調整回路の第2例の構成例である。

[0061] 温度特性調整回路30B₁において、カレントミラー回路には、ミラー電流を流す $MOSFET$ として選択可能な複数の $MOSFET$ (符号 T_{3_1} ないし T_{3_J} 、及び、符号 T_{4_1} ないし T_{4_K}) が配置されている。 $MOSFET$ を適宜選択することによって、トランジスタ T_1 とトランジスタ T_2 に流れるドレイン電流比を調整することができる。この場合においても、 W ／ L 比が同じ $MOSFET$ が複数配置されている構成であってもよいし、 W ／ L 比が異なる $MOSFET$ が複数配置されているであってもよい。 $MOSFET$ の選択は、例えば基準電圧回路1が形成された半導体素子にトリミングを施すなどといったことによって行なうことができる。

[0062] 以上、本開示の実施形態について具体的に説明したが、本開示の上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

[0063] 以上説明した本開示の基準電圧回路は、温度係数が正の電圧を生成する $PTAT$ 電圧生成回路と、温度係数が負の電圧を生成する $CTAT$ 電圧生成回路と、温度特性を調整するための電圧を生成する温度特性調整回路とを備えており、 $PTAT$ 電圧生成回路の出力と、 $CTAT$ 電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧を出力する。温度特

性調整回路によって調整範囲を広く設定しかつ細かい調整を行なうことができる。

[0064] なお、本開示の技術は以下のような構成も取ることができる。

[0065] [A 1]

温度係数が正の電圧を生成する P T A T 電圧生成回路と、
温度係数が負の電圧を生成する C T A T 電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、
を含んでおり、

P T A T 電圧生成回路の出力と、C T A T 電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧を出力する、
基準電圧回路。

[A 2]

温度特性調整回路は、入力側と出力側との電圧差が一对の M O S F E T の
ゲート電圧差となるように構成されており、

入力側に配置される一方の M O S F E T と、出力側に配置される他方の M
O S F E T とにおけるドレイン電流の電流密度比が調整可能に構成されてい
る、

上記 [A 1] に記載の基準電圧回路。

[A 3]

一方の M O S F E T として選択可能な複数の M O S F E T 、及び／又は、
他方の M O S F E T として選択可能な複数の M O S F E T が配置されている
、

上記 [A 2] に記載の基準電圧回路。

[A 4]

複数の M O S F E T は並列に配置されている、
上記 [A 3] に記載の基準電圧回路。

[A 5]

W / L 比が同じ M O S F E T が複数配置されている、

上記 [A 4] に記載の基準電圧回路。

[A 6]

W/L 比が異なる MOSFET が複数配置されている、
上記 [A 5] に記載の基準電圧回路。

[A 7]

複数の MOSFET は直列に配置されている、
上記 [A 4] に記載の基準電圧回路。

[A 8]

W/L 比が同じ MOSFET が複数配置されている、
上記 [A 7] に記載の基準電圧回路。

[A 9]

W/L 比が異なる MOSFET が複数配置されている、
上記 [A 7] に記載の基準電圧回路。

[A 10]

温度特性調整回路の MOSFET はサブスレッショルド領域で動作する、
上記 [A 2] ないし [A 9] に記載の基準電圧回路。

[A 11]

温度特性調整回路は、一対の MOSFET のそれぞれにド레인電流を流すためのカレントミラー回路を含んでおり、

カレントミラー回路はミラー比が調整可能に構成されている、
上記 [A 2] に記載の基準電圧回路。

[A 12]

カレントミラー回路には、ミラー電流を流す MOSFET として選択可能な複数の MOSFET が配置されている、
上記 [A 11] に記載の基準電圧回路。

[A 13]

P-TAT 電圧生成回路は、ペアとなる 2 つの MOSFET のゲート電圧差を取り出す構造が多段接続されて構成されている、

上記 [A 1] ないし [A 1 2] のいずれかに記載の基準電圧回路。

[A 1 4]

P T A T 電圧生成回路の M O S F E T はサブスレッショルド領域で動作する、

上記 [A 1 3] に記載の基準電圧回路。

[A 1 5]

C T A T 電圧生成回路は、バイポーラトランジスタのベース－エミッタ間電圧を出力するように構成されている、

上記 [A 1] ないし [A 1 4] のいずれかに記載の基準電圧回路。

[0066] [B 1]

温度係数が正の電圧を生成する P T A T 電圧生成回路と、
温度係数が負の電圧を生成する C T A T 電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、
を含んでおり、

P T A T 電圧生成回路の出力と、C T A T 電圧生成回路の出力と、温度特性調整回路の出力とから算出されて成る基準電圧を出力する、
基準電圧回路を備えた電子機器。

[B 2]

温度特性調整回路は、入力側と出力側との電圧差が一对の M O S F E T のゲート電圧差となるように構成されており、

入力側に配置される一方の M O S F E T と、出力側に配置される他方の M O S F E T とにおけるドレイン電流の電流密度比が調整可能に構成されている、

上記 [B 1] に記載の電子機器。

[B 3]

一方の M O S F E T として選択可能な複数の M O S F E T 、及び／又は、
他方の M O S F E T として選択可能な複数の M O S F E T が配置されている、

上記〔B 2〕に記載の電子機器。

〔B 4〕

複数のMOSFETは並列に配置されている、

上記〔B 3〕に記載の電子機器。

〔B 5〕

W/L比が同じMOSFETが複数配置されている、

上記〔B 4〕に記載の電子機器。

〔B 6〕

W/L比が異なるMOSFETが複数配置されている、

上記〔B 5〕に記載の電子機器。

〔B 7〕

複数のMOSFETは直列に配置されている、

上記〔B 4〕に記載の電子機器。

〔B 8〕

W/L比が同じMOSFETが複数配置されている、

上記〔B 7〕に記載の電子機器。

〔B 9〕

W/L比が異なるMOSFETが複数配置されている、

上記〔B 7〕に記載の電子機器。

〔B 10〕

温度特性調整回路のMOSFETはサブスレッショルド領域で動作する、

上記〔B 2〕ないし〔B 9〕に記載の電子機器。

〔B 11〕

温度特性調整回路は、一対のMOSFETのそれぞれにド레인電流を流すためのカレントミラー回路を含んでおり、

カレントミラー回路はミラー比が調整可能に構成されている、

上記〔B 2〕に記載の電子機器。

〔B 12〕

カレントミラー回路には、ミラー電流を流すMOSFETとして選択可能な複数のMOSFETが配置されている、
上記[B 1 1]に記載の電子機器。

[B 1 3]

PTAT電圧生成回路は、ペアとなる2つのMOSFETのゲート電圧差を取り出す構造が多段接続されて構成されている、
上記[B 1] ないし[B 1 2]のいずれかに記載の電子機器。

[B 1 4]

PTAT電圧生成回路のMOSFETはサブスレッショルド領域で動作する、
上記[B 1 3]に記載の電子機器。

[B 1 5]

CTAT電圧生成回路は、バイポーラトランジスタのベース－エミッタ間電圧を出力するように構成されている、
上記[B 1] ないし[B 1 4]のいずれかに記載の電子機器。

符号の説明

[0067] 1, 1A, 9, 9A・・・基準電圧回路、10・・・CTAT電圧生成回路、20・・・PTAT電圧生成回路、30, 30A, 30A₁, 30A₂, 30B, 30B₁・・・温度特性調整回路、Q・・・PNPバイポーラトランジスタ、M₁ないしM₁₀, M₁ないしM_{2J}・・・PTAT電圧生成回路を構成するMOSFET群、M_p・・・ミラー電流を流すMOSFET、M_N・・・負荷抵抗として作用するMOSFET、T₁, T_{1J}ないしT_{1J}・・・温度特性調整回路の入力側に配置される一方のMOSFET、T₂, T_{2J}ないしT_{2K}・・・温度特性調整回路の出力側に配置される他方のMOSFET、T₃, T_{3J}ないしT_{3J}、T₄, T_{4J}ないしT_{4K}・・・温度特性調整回路のカレントミラー回路を構成するMOSFET

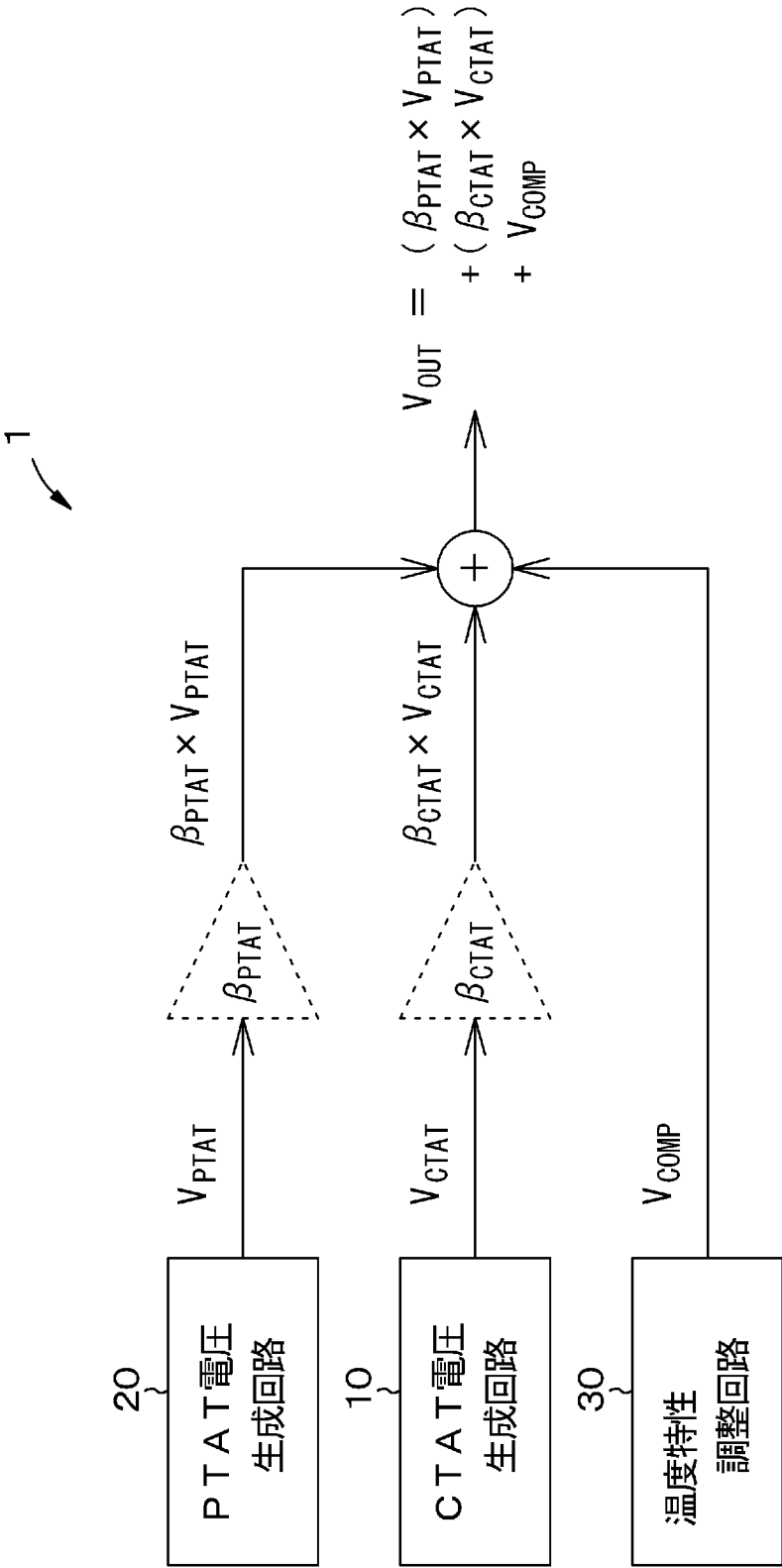
請求の範囲

- [請求項1] 温度係数が正の電圧を生成する P T A T 電圧生成回路と、
温度係数が負の電圧を生成する C T A T 電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、
を含んでおり、
P T A T 電圧生成回路の出力と、C T A T 電圧生成回路の出力と、
温度特性調整回路の出力とから算出されて成る基準電圧を出力する、
基準電圧回路。
- [請求項2] 温度特性調整回路は、入力側と出力側との電圧差が一对の M O S F E T のゲート電圧差となるように構成されており、
入力側に配置される一方の M O S F E T と、出力側に配置される他方の M O S F E T とにおけるドレイン電流の電流密度比が調整可能に構成されている、
請求項 1 に記載の基準電圧回路。
- [請求項3] 一方の M O S F E T として選択可能な複数の M O S F E T 、及び／又は、他方の M O S F E T として選択可能な複数の M O S F E T が配置されている、
請求項 2 に記載の基準電圧回路。
- [請求項4] 複数の M O S F E T は並列に配置されている、
請求項 3 に記載の基準電圧回路。
- [請求項5] W／L 比が同じ M O S F E T が複数配置されている、
請求項 4 に記載の基準電圧回路。
- [請求項6] W／L 比が異なる M O S F E T が複数配置されている、
請求項 4 に記載の基準電圧回路。
- [請求項7] 複数の M O S F E T は直列に配置されている、
請求項 3 に記載の基準電圧回路。
- [請求項8] W／L 比が同じ M O S F E T が複数配置されている、
請求項 7 に記載の基準電圧回路。

- [請求項9] W/L比が異なるMOSFETが複数配置されている、
請求項7に記載の基準電圧回路。
- [請求項10] 温度特性調整回路のMOSFETはサブスレッショルド領域で動作
する、
請求項3に記載の基準電圧回路。
- [請求項11] 温度特性調整回路は、一对のMOSFETのそれぞれにドレイン電
流を流すためのカレントミラー回路を含んでおり、
カレントミラー回路はミラー比が調整可能に構成されている、
請求項2に記載の基準電圧回路。
- [請求項12] カレントミラー回路には、ミラー電流を流すMOSFETとして選
択可能な複数のMOSFETが配置されている、
請求項11に記載の基準電圧回路。
- [請求項13] PTAT電圧生成回路は、ペアとなる2つのMOSFETのゲート
電圧差を取り出す構造が多段接続されて構成されている、
請求項1に記載の基準電圧回路。
- [請求項14] PTAT電圧生成回路のMOSFETはサブスレッショルド領域で
動作する、
請求項13に記載の基準電圧回路。
- [請求項15] CTAT電圧生成回路は、バイポーラトランジスタのベース－エミ
ッタ間電圧を出力するように構成されている、
請求項1に記載の基準電圧回路。
- [請求項16] 温度係数が正の電圧を生成するPTAT電圧生成回路と、
温度係数が負の電圧を生成するCTAT電圧生成回路と、
温度特性を調整するための電圧を生成する温度特性調整回路と、
を含んでおり、
PTAT電圧生成回路の出力と、CTAT電圧生成回路の出力と、
温度特性調整回路の出力とから算出されて成る基準電圧を出力する、
基準電圧回路を備えた電子機器。

[図1]

図 1



[図2]

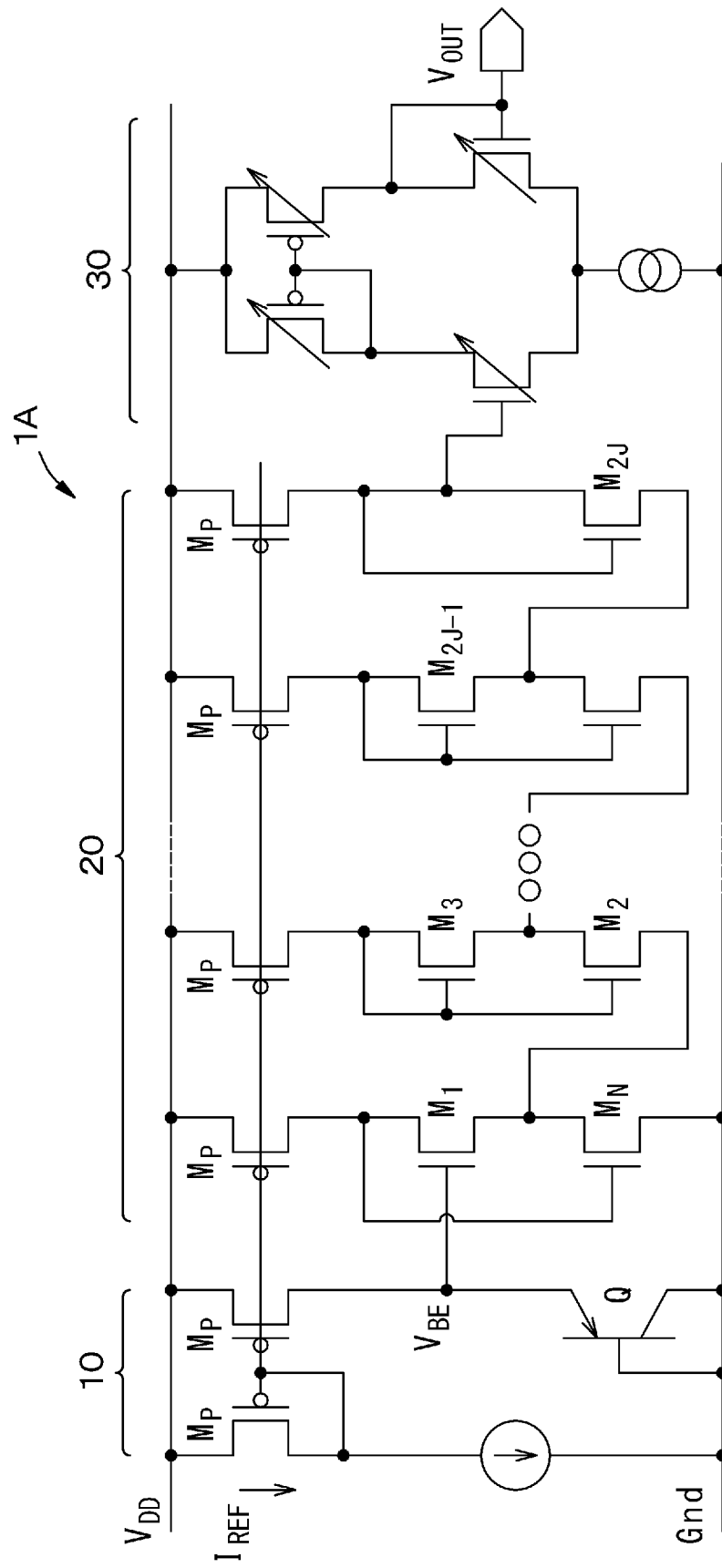


図 2

[図3]

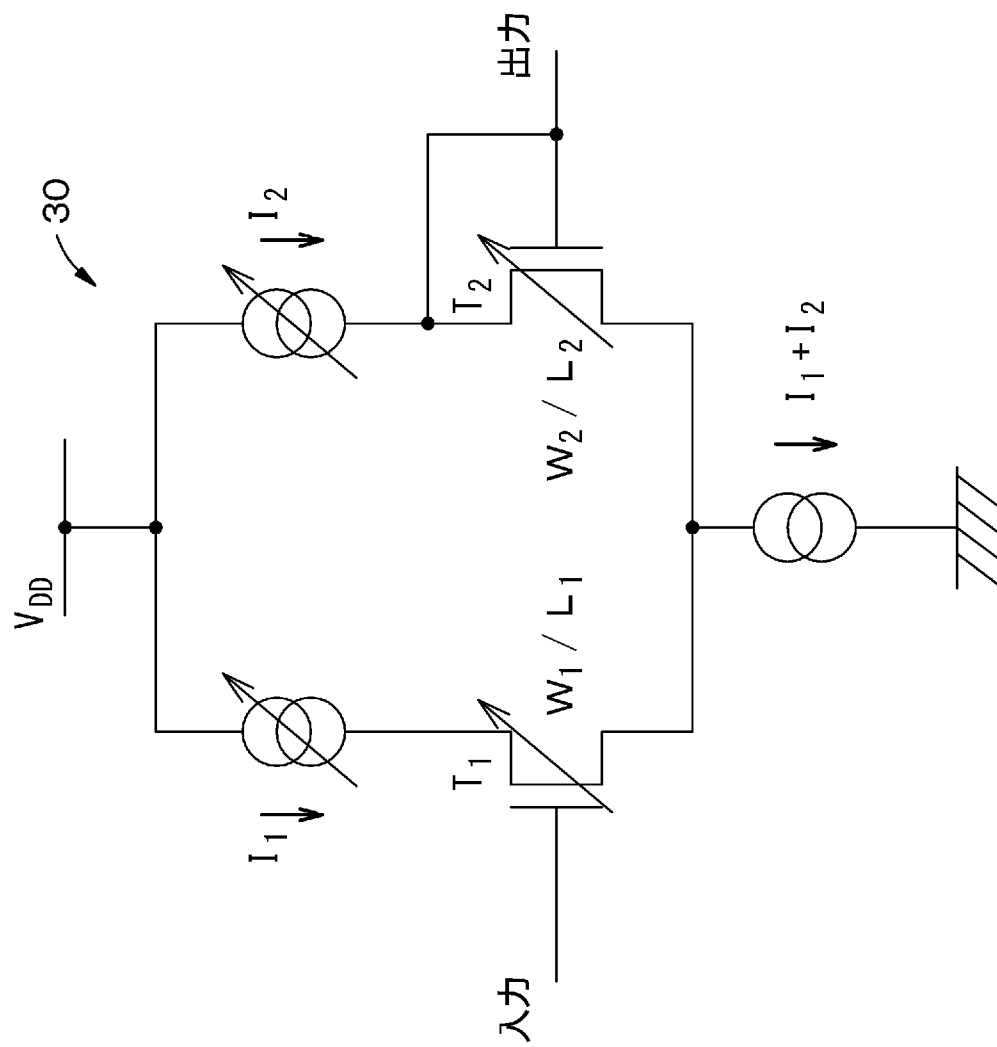


図 3

[図4]

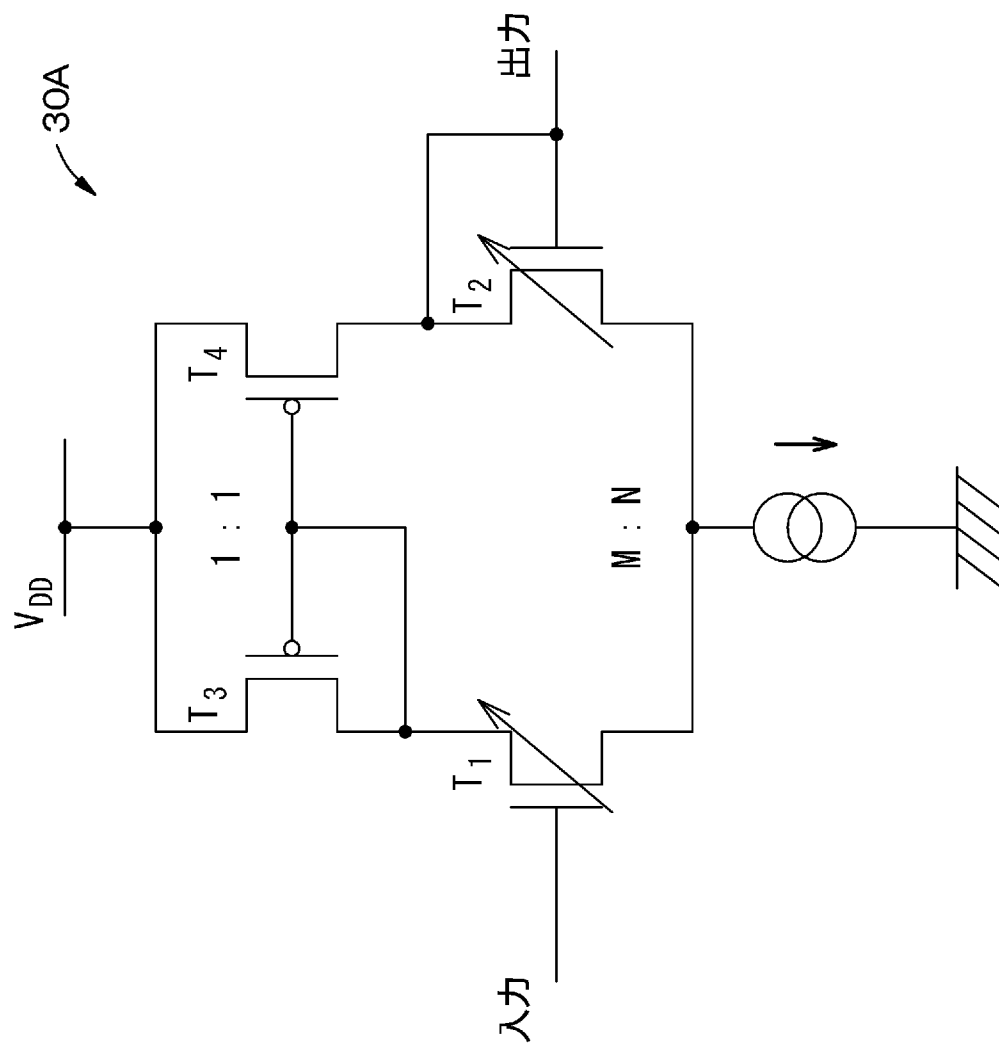
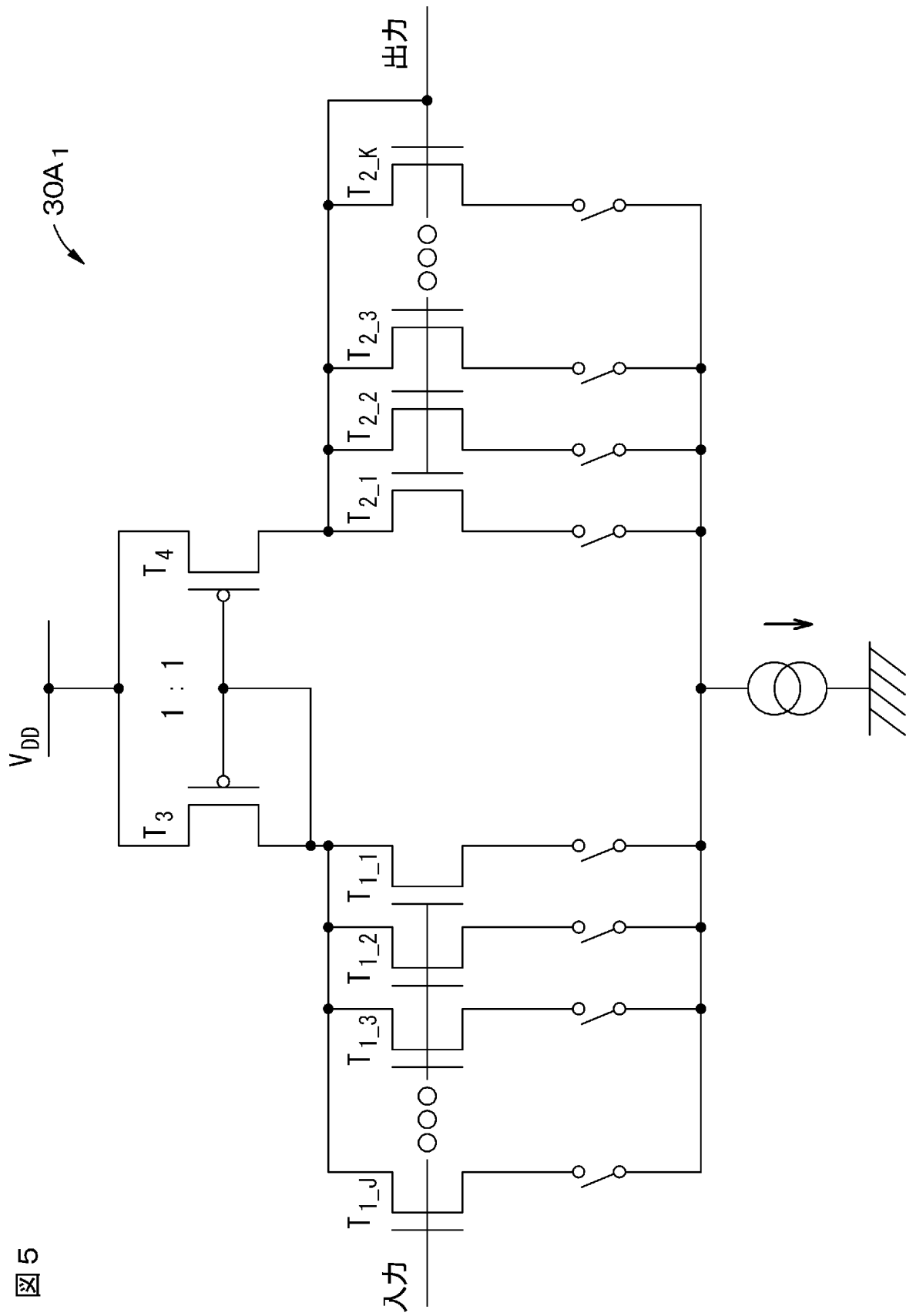


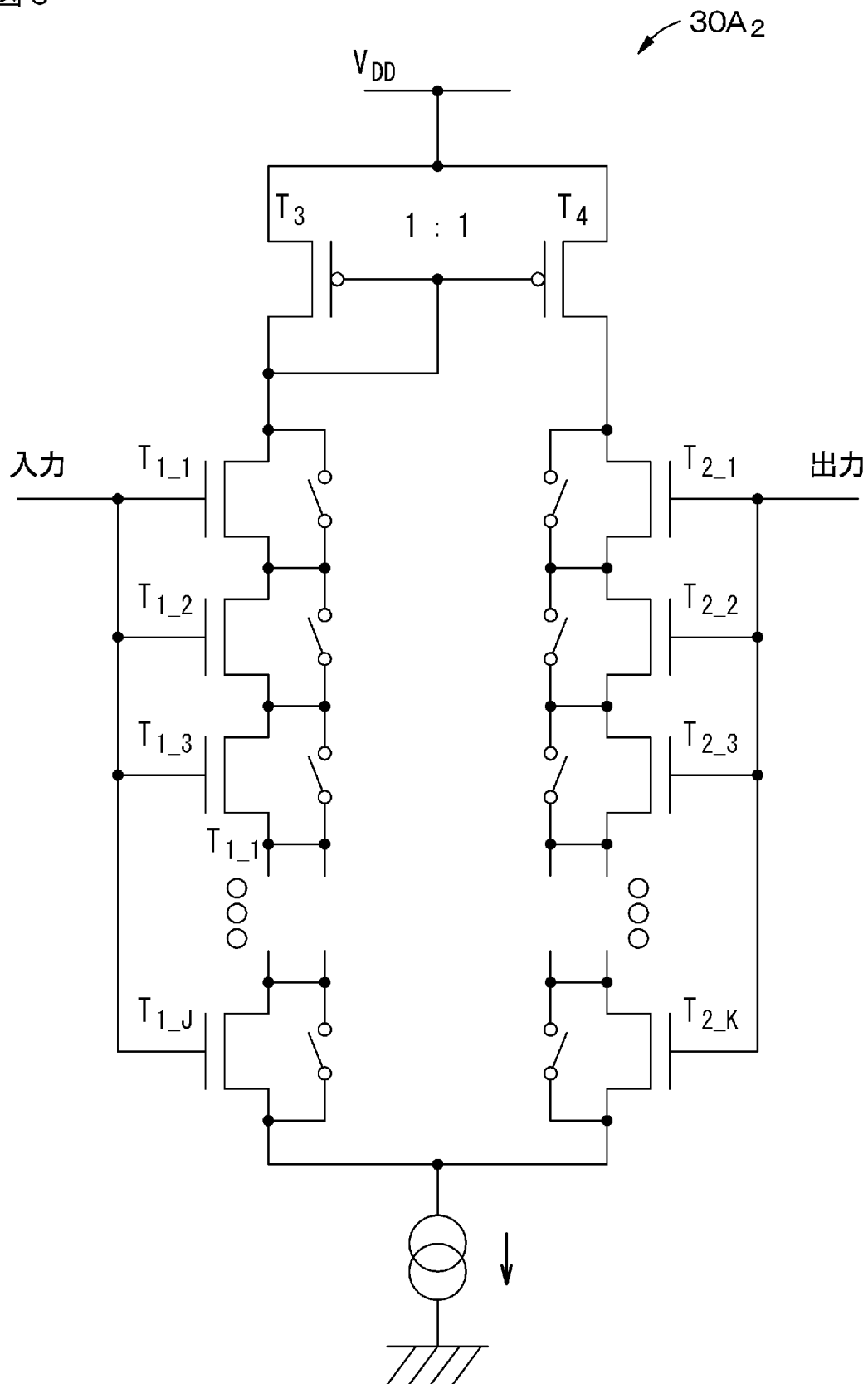
図 4

[図5]



[図6]

図 6



[図8]

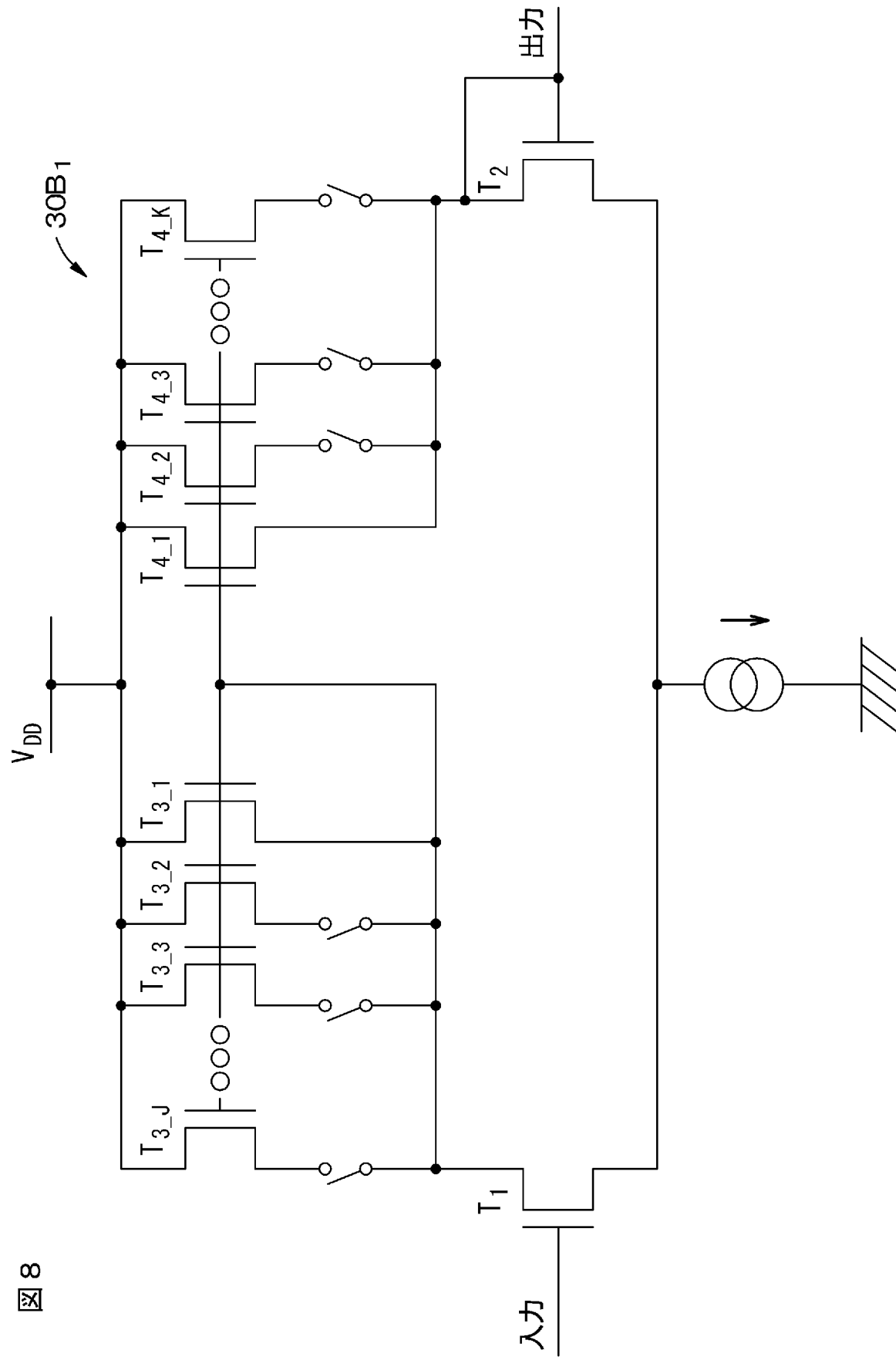
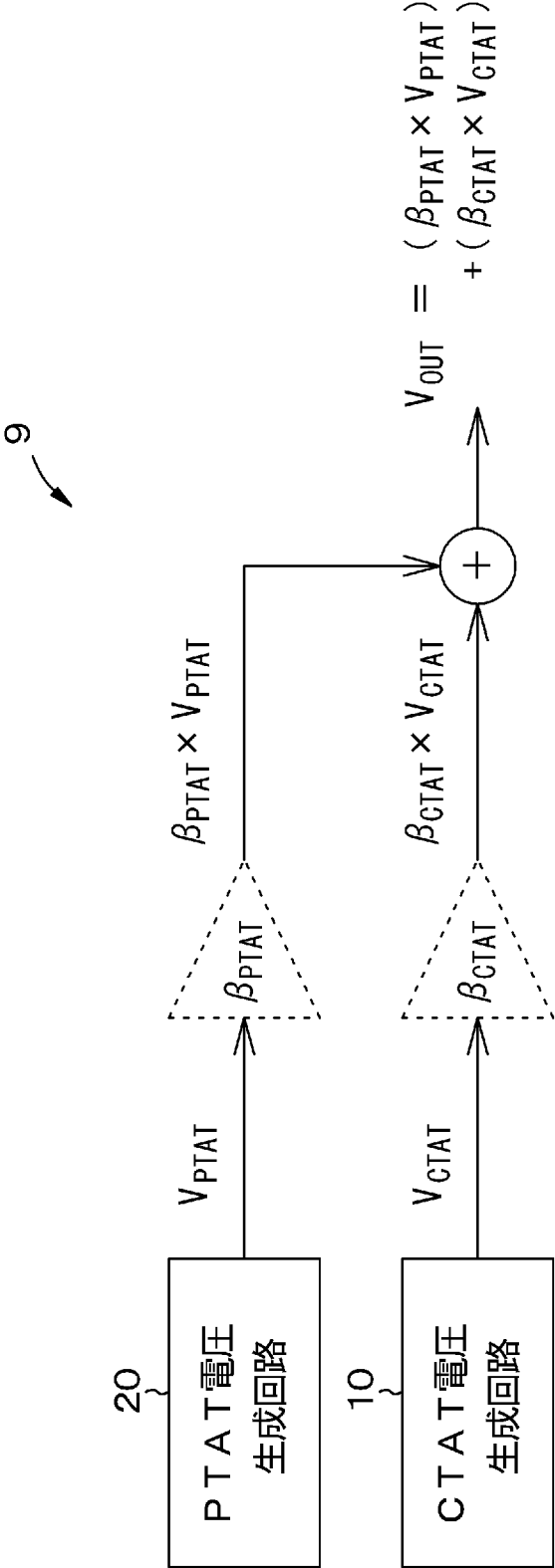


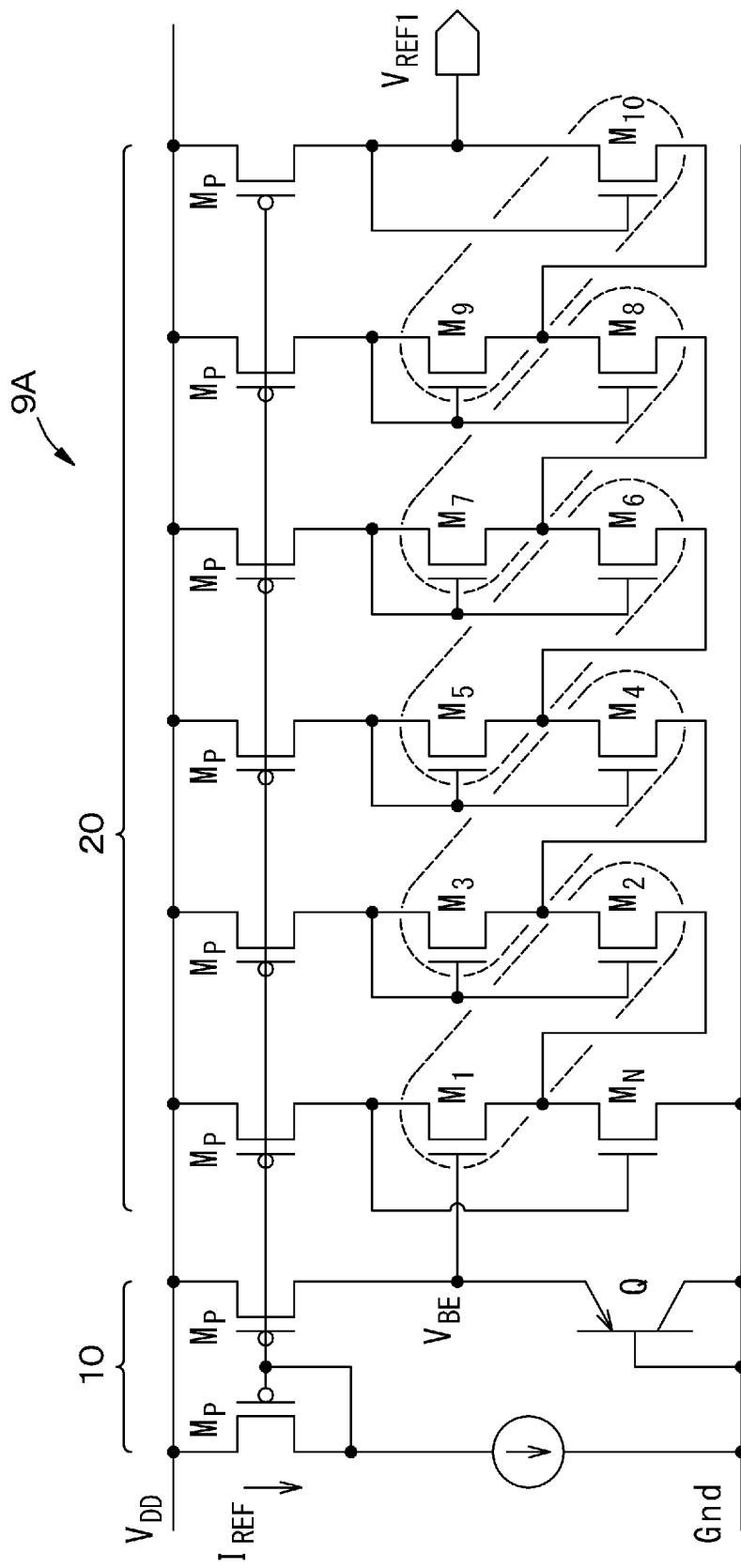
図 8

[図9]



[図10]

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031619

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G05F3/26(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G05F3/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	HIROSE, Tetsuya, "A CMOS Bandgap and Sub-Bandgap Voltage Reference Circuits for Nanowatt Power LSIs", IEEE Asian Solid-State Circuits Conference, November 2010, pp. 77-80	1, 13-16 2-12
Y A	JP 2003-283258 A (RICOH CO., LTD.) 03 October 2003, paragraphs [0060], [0061], all drawings, fig. 8-10, 19 & US 2003/0197552 A1, paragraphs [0109], [0110], fig. 8-11	1, 13-16 2-12
A	JP 2017-126280 A (ROHM CO., LTD.) 20 July 2017 (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26.08.2019Date of mailing of the international search report
10.09.2019Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2019/031619
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-522661 A (CYPRESS SEMICONDUCTOR CORP.) 11 June 2009, & US 2007/0152740 A1 & WO 2007/081634 A2 & CN 101351757 A	1-16
A	JP 7-193442 A (HITACHI, LTD.) 28 July 1995, fig. 9 (Family: none)	2-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F3/26(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F3/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	HIROSE, Tetsuya, "A CMOS Bandgap and Sub-Bandgap Voltage Reference Circuits for Nanowatt Power LSIs", IEEE Asian Solid-State Circuits Conference, 2010.11, pp. 77-80	1, 13-16 2-12
Y A	JP 2003-283258 A (株式会社リコー) 2003.10.03, 【0060】-【0061】, 図8-10, 19 & US 2003/0197552 A1, [0109]-[0110], figures 8-11	1, 13-16 2-12
A	JP 2017-126280 A (ローム株式会社) 2017.07.20, (ファミリーなし)	1-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

26.08.2019

国際調査報告の発送日

10.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

5G

3987

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-522661 A (サイプレス セミコンダクター コーポレーション) 2009.06.11, & US 2007/0152740 A1 & WO 2007/081634 A2 & CN 101351757 A	1-16
A	JP 7-193442 A (株式会社日立製作所) 1995.07.28, 図9 (ファミリーなし)	2-12