

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610090320.6

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

H01L 27/00 (2006.01)

[45] 授权公告日 2009 年 10 月 28 日

[11] 授权公告号 CN 100555398C

[22] 申请日 2006.6.29

[21] 申请号 200610090320.6

[30] 优先权

[32] 2005.6.30

[33] JP [31] 2005-192479

[32] 2005.9.1

[33] JP [31] 2005-253389

[32] 2006.2.10

[33] JP [31] 2006-034499

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 齐木隆行 伊藤悟 森口昌彦

熊谷敬 石山久展 藤濑隆史

唐泽纯一 小平觉 前川和广

[56] 参考文献

JP200517725A 2005.1.20

JP200167868A 2001.3.16

JP2003330433A 2003.11.19

JP2002358777A 2002.12.13

CN1574358A 2005.2.2

US5185534A 1993.2.9

审查员 张伟

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚

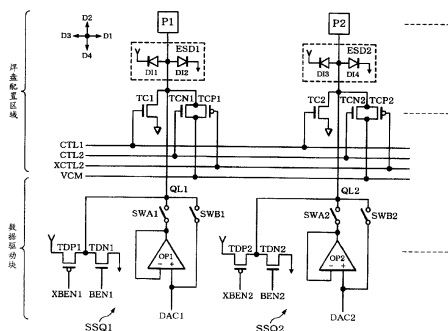
权利要求书 6 页 说明书 49 页 附图 26 页

[54] 发明名称

集成电路装置及电子设备

[57] 摘要

本发明提供一种能够实现电路面积缩小的集成电路装置和电子设备。集成电路装置包括：用于驱动数据线的数据驱动块；多个控制晶体管 TC1、TC2，各控制晶体管与数据驱动块的各个输出线对应地设置，各控制晶体管由公共控制信号控制；以及焊盘配置区域，配置有用于电气连接数据线和数据驱动块的输出线 QL1、QL2 的数据驱动器用焊盘 P1、P2 的。而且，控制晶体管 TC1、TC2 被配置在焊盘配置区域。



1. 一种集成电路装置，其特征在于，包括：

至少一个数据驱动块，用于驱动数据线；以及

多个控制晶体管，与所述数据驱动块的各输出线对应地设置各控制晶体管，所述多个控制晶体管包括多个控制晶体管 TCN_n、多个控制晶体管 TCP_n 和多个控制晶体管 TC_n，或者，所述多个控制晶体管包括多个控制晶体管 TC_n，其中，由第一公用控制信号控制所述多个控制晶体管 TCN_n 中的各控制晶体管，由第二公用控制信号控制所述多个控制晶体管 TCP_n 中的各控制晶体管，由第三公用控制信号控制所述多个控制晶体管 TC_n 中的各控制晶体管，其中， $n=1、2、3\dots$ ，

当所述多个控制晶体管包括所述多个控制晶体管 TCN_n、所述多个控制晶体管 TCP_n 和所述多个控制晶体管 TC_n 时，所述控制晶体管 TCN_n、TCP_n 和 TC_n 被配置于焊盘配置区域，

当所述多个控制晶体管包括所述多个控制晶体管 TC_n 时，所述控制晶体管 TC_n 被配置于焊盘配置区域，

其中，所述焊盘配置区域配置有用于电连接所述数据线和所述数据驱动块的输出线的数据驱动器用焊盘。

2. 根据权利要求 1 所述的集成电路装置，其特征在于：在所述控制晶体管 TCN_n 的栅极输入所述第一公用控制信号，在所述控制晶体管 TCP_n 的栅极输入所述第二公用控制信号，所述数据驱动块的输出线连接于所述控制晶体管 TCN_n、TCP_n 的漏极。

3. 根据权利要求2所述的集成电路装置,其特征在于:向所述控制晶体管 TCNn、TCPn 的源极提供公用电位,当所述第一公用控制信号、第二公用控制信号为激活时,所述数据驱动块的输出线被设定在所述公用电位。

4. 根据权利要求1至3中任一项所述的集成电路装置,其特征在于:所述控制晶体管 TCn 是一种放电晶体管,当作为所述第三公用控制信号的放电信号为激活时,所述控制晶体管 TCn 将所述数据驱动块的输出线设定在接地电位。

5. 根据权利要求1至3中任一项所述的集成电路装置,其特征在于:

当所述多个控制晶体管包括所述多个控制晶体管 TCNn、所述多个控制晶体管 TCPn 和所述多个控制晶体管 TCn 时,所述控制晶体管 TCNn、TCPn 和 TCn 以其至少一部分与所述数据驱动器用焊盘重叠的方式被配置在所述数据驱动器用焊盘的下层,

当所述多个控制晶体管包括所述多个控制晶体管 TCn 时,所述控制晶体管 TCn 以其至少一部分与所述数据驱动器用焊盘重叠的方式被配置在所述数据驱动器用焊盘的下层。

6. 根据权利要求1至3中任一项所述的集成电路装置,其特征在于:

包括运算放大器,用于进行输出到所述数据线的数据信号的阻抗变换,

其中,构成所述运算放大器的差动部分和驱动部分的晶体管被配置在所述数据驱动块中。

7. 根据权利要求1至3中任一项所述的集成电路装置,其特征在于:

包括静电保护元件,其与所述数据驱动块的输出线连接,被配置在所述焊盘配置区域,

以所述数据线从第一条至第n条排列的方向为第一方向、以与所述第一方向垂直的方向为第二方向,

当所述多个控制晶体管包括所述多个控制晶体管 TCNn、所述多个控制晶体管 TCPn 和所述多个控制晶体管 TCn 时,所述控制晶体管 TCNn、TCPn 和 TCn 被配置在所述数据驱动块的所述第二方向侧,所述静电保护元件被配置在所述控制晶体管 TCNn、TCPn 和 TCn 的所述第二方向侧,

当所述多个控制晶体管包括所述多个控制晶体管 TCn 时,所述控制晶体管 TCn 被配置在所述数据驱动块的所述第二方向侧,所述静电保护元件被配置在所述控制晶体管 TCn 的所述第二方向侧。

8. 根据权利要求7所述的集成电路装置,其特征在于:

所述焊盘配置区域包括沿所述第一方向排列的多个配置范围,

在所述多个配置范围的各配置范围,配置有沿所述第二方向排列的K个所述数据驱动器用焊盘、以及分别与所述K个所述数据驱动器用焊盘对应连接的K个所述静电保护元件,其中,K是大于等于2的整数。

9. 根据权利要求8所述的集成电路装置,其特征在于:沿所述第二方向排列的K个所述数据驱动器用焊盘的中心位置在所述第一方向上被错开地配置。

10. 根据权利要求 8 所述的集成电路装置，其特征在于：

K 个所述静电保护元件中的第一静电保护元件包括：

第一二极管，设置于高电位侧电源和所述数据驱动块的第一输出线之间；以及

第二二极管，设置于低电位侧电源和所述数据驱动块的第一输出线之间，

K 个所述静电保护元件中的第二静电保护元件包括：

第三二极管，设置于高电位侧电源和所述数据驱动块的第二输出线之间；以及

第四二极管，设置于低电位侧电源和所述数据驱动块的第二输出线之间，

其中，所述第一、第二、第三、第四二极管在所述各配置范围中沿所述第二方向配置。

11. 根据权利要求 10 所述的集成电路装置，其特征在于：

所述第一、第三二极管形成于第一阱，

所述第二、第四二极管形成于第二阱，

所述第一、第二阱在所述第二方向上分离。

12. 根据权利要求 7 所述的集成电路装置，其特征在于：所述静电保护元件包括长边沿所述第一方向、短边沿所述第二方向的扩散区。

13. 根据权利要求 7 所述的集成电路装置，其特征在于：

包括设置于高电位侧电源和低电位侧电源之间的电源间保护电路，

所述电源间保护电路被配置在所述静电保护元件的所述第二方向侧。

14. 根据权利要求 1 至 3 中任一项所述的集成电路装置,其特征在于,包括:

存储块,用于存储所述数据驱动块使用的图像数据;以及

焊盘块,当所述多个控制晶体管包括所述多个控制晶体管 TCNn、所述多个控制晶体管 TCPn 和所述多个控制晶体管 TCn 时,所述焊盘块配置有所述数据驱动器用焊盘和所述控制晶体管 TCNn、TCPn 和 TCn,当所述多个控制晶体管包括所述多个控制晶体管 TCn 时,所述焊盘块配置有所述数据驱动器用焊盘和所述控制晶体管 TCn,

其中,所述数据驱动块、所述存储块和所述焊盘块均作为驱动宏单元而被宏单元化,

其中,所述数据驱动块和所述存储块沿第一方向配置,

在将垂直于所述第一方向的方向作为第二方向时,所述焊盘块被配置在所述数据驱动块和所述存储块的所述第二方向侧。

15. 根据权利要求 1 至 3 中任一项所述的集成电路装置,其特征在于:

所述数据驱动块包括用于分别输出与一个子像素的图像数据对应的数据信号的多个子像素驱动器单元,

在所述数据驱动块中,沿第一方向配置多个所述子像素驱动器单元的同时,沿垂直于所述第一方向的第二方向配置多个所述子像素驱动器单元。

16. 一种集成电路装置，其特征在于，包括：

第一～第 N 电路块，以从集成电路装置的短边即第一边朝向对面的第三边的方向为第一方向、以从集成电路装置的长边即第二边朝向对面的第四边的方向为第二方向时，其沿所述第一方向配置，其中，N 是大于等于 2 的整数；

第一接口区，在所述第一～第 N 电路块的所述第二方向侧，沿所述第四边设置，成为焊盘配置区域；以及

第二接口区，如果以所述第二方向的反方向为第四方向，则在所述第一～第 N 电路块的所述第四方向侧，沿所述第二边设置，成为焊盘配置区域，

其中，所述第一～第 N 电路块包括用于驱动数据线的至少一个数据驱动块，

在所述第一接口区配置有用于电连接所述数据线和所述数据驱动块的输出线的数据驱动器用焊盘、以及与所述数据驱动块的各输出线对应地设置、并由公用控制信号控制的多个控制晶体管。

17. 一种电子设备，其特征在于，包括根据权利要求 1 至 16 中任一项所述的集成电路装置、以及由所述集成电路装置驱动的显示面板。

集成电路装置及电子设备

技术领域

本发明涉及一种集成电路装置及电子设备。

背景技术

作为驱动液晶面板等显示面板的集成电路装置，包括显示驱动器（LCD 驱动器）。对于这种显示驱动器，为了低成本化而要求缩小芯片的尺寸。

然而，组装在如便携式电话机等设备中的显示面板的大小几乎是确定的。所以，如果要想通过采用微细加工技术来单纯缩小显示驱动器的集成电路装置而缩小芯片尺寸，就会带来安装的难题。

专利文献 1 日本特开 2001-222249 号公报

发明内容

鉴于上述技术缺陷，本发明的目的在于提供一种能够实现电路面积小型化的集成电路装置以及包括该装置的电子设备。

本发明涉及的集成电路装置，包括：至少一个数据驱动块，用于驱动数据线；多个控制晶体管，与数据驱动块的各输出线对应地设置各控制晶体管，其中，多个控制晶体管包括由第一公用控制信号控制的多个控制晶体管 TCNn、由第二公用控制信号控制的多个控制晶体管 TCPn 和由第三公用控制信号控制的多个控制晶体管 TCn，或者多个控制晶体管包括由第三公用控制信号控制的多个控

制晶体管 TCn，其中， $n=1、2、3\dots$ ，当多个控制晶体管包括多个控制晶体管 TCNn、多个控制晶体管 TCPn 和多个控制晶体管 TCn 时，控制晶体管 TCNn、TCPn 和 TCn 被配置于焊盘配置区域，当多个控制晶体管包括多个控制晶体管 TCn 时，控制晶体管 TCn 被配置于焊盘配置区域，其中，焊盘配置区域配置有用于电连接数据线和数据驱动块的输出线的数据驱动器用焊盘。

本发明中，对应于数据驱动块的各输出线设有各控制晶体管，这些晶体管通过公用控制信号控制。而且，该控制晶体管被配置在焊盘配置区域内。这样一来，因为通过公用控制信号控制控制晶体管，所以，即使将控制晶体管配置在焊盘配置区域内，其配线区域也不会增加太多。所以，能够有效地利用焊盘配置区域来配置控制晶体管，实现集成电路装置的小面积化。

而且，在本发明中，也可以是，上述公用控制信号输入至所述控制晶体管的栅极，上述数据驱动块的输出线连接于上述控制晶体管的漏极。

如果使用这样的控制晶体管，可以通过公用控制信号控制数据驱动块输出线的电位等。而且，即使在把这样的控制晶体管配置于焊盘配置区域的情况下，也能把配线区域面积的增加控制在最小限度。

另外，在本发明中，向上述控制晶体管的源极供给公用电位，在上述公用控制信号为激活的情况下，也可以将上述数据驱动块的输出线设定在上述公用电位。

如果使用这样的控制晶体管，能够通过公用控制信号将数据驱动块的输出线设定在公用电位。而且，即使在把这样的控制晶体管配置于焊盘配置区域的情况下，也能把配线区域面积的增加控制到最小限度。

另外,就本发明而言,在作为上述公用控制信号的放电信号为激活时,上述控制晶体管也可以是把上述数据驱动块的输出线设定为接地电位的放电晶体管。

如果把作为控制晶体管的这样的放电晶体管配置在焊盘配置区域内,则在实现集成电路装置的小面积化的同时,还能够防止由数据线的残留电荷造成的不良现象的发生。

另外,就本发明而言,当多个控制晶体管包括多个控制晶体管 TCNn、多个控制晶体管 TCPn 和多个控制晶体管 TCn 时,控制晶体管 TCNn、TCPn 和 TCn 以其至少一部分与数据驱动器用焊盘重叠的方式被配置在数据驱动器用焊盘的下层,当多个控制晶体管包括多个控制晶体管 TCn 时,控制晶体管 TCn 以其至少一部分与数据驱动器用焊盘重叠的方式被配置在数据驱动器用焊盘的下层。

如上所述,可以通过有效地利用焊盘的下层的区域来配置控制晶体管,实现集成电路装置的小面积化。

另外,就本发明而言,包括用于对输出到上述数据线的数据信号进行阻抗变换的运算放大器,也可以把构成上述运算放大器的差动部分及驱动部分的晶体管配置在上述数据驱动块内。

这样一来,可以防止发生增加不必要的配线区域的情况。

另外,就本发明而言,也可以是,包括连接于上述数据驱动块的输出线并配置在上述焊盘配置区域的静电保护元件,以上述数据线排列的方向为第一方向、以垂直于第一方向的方向为第二方向的情况下,当多个控制晶体管包括多个控制晶体管 TCNn、多个控制晶体管 TCPn 和多个控制晶体管 TCn 时,控制晶体管 TCNn、TCPn 和 TCn 被配置在数据驱动块的第二方向侧,静电保护元件被配置在控制晶体管 TCNn、TCPn 和 TCn 的第二方向侧,当多个控制晶体管包括多个控制晶体管 TCn 时,控制晶体管 TCn 被配置在数据驱动块的第二方向侧,静电保护元件被配置在控制晶体管 TCn 的第二方向侧。

这样一来，在防止控制晶体管的静电击穿的同时，实现集成电路装置的小面积化。

另外，就本发明而言，也可以是，上述焊盘配置区域具有沿上述第一方向排列的多个配置范围，在上述多个配置范围的各配置范围，配置沿上述第二方向排列的 K 个（ K 是大于等于2的整数）上述数据驱动器用焊盘、以及分别与 K 个上述数据驱动器用焊盘连接的 K 个上述静电保护元件。

这样一来，可以按照焊盘间距在各个配置范围有效配置数据驱动器用焊盘和静电保护元件。

另外，就本发明而言，也可以是，沿上述第二方向排列的 K 个上述数据驱动器用焊盘在上述第一方向上错开配置其中心位置。

这样一来，能够沿第一方向配置多个数据驱动器用焊盘。

另外，就本发明而言， K 个上述静电保护元件中第一个静电保护元件包括：第一二极管，设在高电位侧电源与上述数据驱动块的第一输出线之间；以及第二二极管，设在低电位侧电源与上述数据驱动块的第一输出线之间。在 K 个上述静电保护元件中的第二静电保护元件包括：第三二极管，设置在高电位侧电源和上述数据驱动块的第二输出线之间；以及第四二极管，设置在低电位侧电源和上述数据驱动块的第二输出线之间。其中，上述第一、第二、第三、第四二极管在上述各配置范围沿第二方向配置即可。

如果这样配置第一～第四二极管，则能缩小配置范围的第一方向的宽度，可以对应狭小的焊盘间距。

另外，就本发明而言，也可以是，上述第一、第三二极管形成于第一阱，上述第二、第四二极管形成于第二阱，上述第一、第二阱在上述第二方向上分离。

这样一来，就能缩小配置范围的第一方向的宽度，可以与狭小的焊盘间距相对应。

另外，就本发明而言，也可以是，上述静电保护元件具有其长边沿上述第一方向、短边沿上述第二方向的扩散区。

这样一来，可以使焊盘的连接线的线宽变粗，从而可以降低配线的阻抗。

另外，就本发明而言，也可以是，包括设置在高电位侧电源和低电位侧电源之间的电源间保护电路，上述电源间保护电路配置在上述静电保护元件的上述第二方向侧。

这样一来，即使在电源间保护电路的电路规模较大的情况下，仍可以有效地布置。

另外，就本发明而言，也可以是，包括：用于存储上述数据驱动块用图像数据的存储块；以及焊盘块，当多个控制晶体管包括多个控制晶体管 TCNn、多个控制晶体管 TCPn 和多个控制晶体管 TCn 时，焊盘块配置有数据驱动器用焊盘和控制晶体管 TCNn、TCPn 和 TCn，当多个控制晶体管包括多个控制晶体管 TCn 时，焊盘块配置有数据驱动器用焊盘和控制晶体管 TCn，上述数据驱动块、上述存储块和上述焊盘块均作为驱动宏单元而被宏单元化，上述数据驱动块和上述存储块沿第一方向配置，在把垂直于上述第一方向的方向作为第二方向时，上述焊盘块被配置在上述数据驱动块以及上述存储块的上述第二方向一侧。

这样，如果将数据驱动块、焊盘块等进行宏单元化，可以将使用例如采用手工配线的方法在焊盘上完成数据驱动块输出线的配线的宏单元用作驱动器宏单元。因此，可缩小输出线的配线区域，实现集成电路装置的小面积化。

另外，就本发明而言，也可以是，上述数据驱动块包括多个子像素驱动单元，其用于分别输出对应于一个子像素的图像数据的数据信号，在上述数据驱动块中，在沿第一方向配置多个上述子像素驱动单元的同时，在沿垂直于第一方向的第二方向上配置上述子像素驱动单元。

这样，如果将子像素驱动单元进行矩阵式配置，则能根据数据驱动器的技术规格实施灵活的布局设计。

而且，关于本发明涉及的集成电路装置，以从集成电路装置的短边即第一边朝向对面的第三边的方向为第一方向、以从集成电路装置的长边即第二边朝向对面的第四边的方向为第二方向时，包括：第一～第N电路块（N是大于等于2的整数），沿上述第一方向配置；第一接口区，在上述第一～第N电路块的上述第二方向侧沿第四边设置，成为焊盘配置区域；以及第二接口区，在把上述第二方向的反方向作为第四方向时，在上述第一～第N电路块的上述第四方向侧沿第二边设置，成为焊盘配置区域。其中，上述第一～第N电路块包括用于驱动数据线的至少一个数据驱动块，在上述第一接口区配置有：数据驱动器用焊盘，用于将上述数据线与上述数据驱动块的输出线电气连接；以及多个控制晶体管，各控制晶体管与上述数据驱动块的各输出线对应设置，并通过公用控制信号控制。

本发明中，由于第一～第N电路块沿第一方向配置，因而能够缩小集成电路装置的第二方向的宽度，可以提供薄而细长集成电路装置。而且，通过本发明，能够通过有效地利用焊盘配置区域来配置控制晶体管，故而可以进一步缩小集成电路装置第二方向的宽度。

而且，本发明涉及包括上述任何一项记载的集成电路装置和通过上述集成电路装置驱动的显示面板的电子设备。

附图说明

图1(A)、图1(B)、图1(C)是本实施例的比较例的说明图；

图2(A)、图2(B)是有关集成电路装置安装的说明图；

图 3 是本实施例的集成电路装置的构成例;

图 4 是各种类型显示驱动器及其内置电路块的例子;

图 5 (A)、图 5 (B) 是本实施例的集成电路装置的平面布局例;

图 6 (A)、图 6 (B) 是集成电路装置的截面图;

图 7 是集成电路装置的电路构成例;

图 8 (A)、图 8 (B)、图 8 (C) 是数据驱动器、扫描驱动器的构成例;

图 9 (A)、图 9 (B) 是电源电路、灰阶电压发生电路的构成例;

图 10 (A)、图 10 (B)、图 10 (C) 是 D/A 转换电路、输出电路的构成例;

图 11 是本实施例控制晶体管配置方法的说明图;

图 12 是数据驱动器输出部分的构成例;

图 13 是数据驱动器输出部分的构成例;

图 14 是数据驱动器输出部分的构成例;

图 15 是焊盘配置区域的布局例;

图 16 (A)、图 16 (B) 是静电保护元件和焊盘连接的说明图;

图 17 (A)、图 17 (B) 是二极管的截面图;

图 18 (A)、图 18 (B) 是本实施例的宏单元化方法的说明图;

图 19 (A)、图 19 (B) 也是本实施例的宏单元化方法的说明图;

图 20 (A)、图 20 (B) 是存储器和数据驱动器的块分割方法的说明图;

图 21 是水平扫描期间多次读取图像数据的方法的说明图;

图 22 是数据驱动器、驱动单元的配置例;

图 23 是子像素驱动单元的配置例;

图 24 是读出放大器、存储单元的配置例;

图 25 子像素驱动单元的构成例; 以及

图 26 (A)、图 26 (B) 是电子设备的构成例。

具体实施方式

以下, 详细说明本发明优选的实施例。而且, 以下说明的本实施例并不限于要求保护范围所记载的本发明的内容, 而且, 也不限定本实施例所说明的构成全部都是本发明的必须的解决方法。

1. 比较例

图 1 (A) 表示作为本实施例的比较例的集成电路装置 **500**。图 1 (A) 的集成电路装置 **500** 包括存储块 MB (显示数据 RAM) 和数据驱动块 DB。而且, 存储块 MB 和数据驱动块 DB 沿 D2 方向配

置。另外，存储块 MB、数据驱动块 DB 的沿 D1 方向的长度与在 D2 方向的宽度相比为较长的超扁平的块。

来自主机侧的图像数据被写入存储块 MB。然后，数据驱动块 DB 把写进存储块 MB 的数字图像数据变换为模拟的数据电压，然后驱动显示面板的数据线。这样，在图 1 (A) 中图像信号流是 D2 方向。因此，在图 1 (A) 比较例中，根据该信号流，存储块 MB 和数据驱动块 DB 沿 D2 方向配置。这样一来，输入和输出之间为短路径，可以优化信号的延迟，可以传输效率好的信号。

然而，对于图 1 (A) 的比较例，存在如下技术缺陷。

第一，就驱动器等集成电路装置而言，为了低成本化，要求缩小芯片的尺寸。可是，如果采用微细加工，并通过单纯缩小集成电路装置 500 以缩小芯片尺寸的话，不仅是短边方向，而且连长边方向也被缩小。所以，导致如图 2 (A) 所示的安装困难的技术缺陷。也就是说，即使优选输出间距例如大于等于 $22\mu\text{m}$ ，可是，由于如图 2 (A) 所示的单纯缩小后的间距例如只有 $17\mu\text{m}$ ，间距太窄，所以安装变得困难。再者，显示面板的玻璃框变宽，玻璃的需要数量减少，造成成本增加。

第二，在显示驱动器中，根据显示面板的种类（非晶形 TFT、低温多晶硅 TFT）、像素数（QCIF、QVGA、VGA）和产品的技术规格等，存储器和数据驱动器的构成有所变化。所以，就图 1 (A) 的比较例而言，即使有的产品如图 1 (B) 所示，其焊盘间距、存储器的单元间距和数据驱动器的单元间距是一致的，只要存储器和数据驱动器的构成发生变化，如图 1 (C) 所示，它们的间距也就不一致了。而且，如图 1 (C) 所示，如果间距不一致，在电路块之间，为了吸收间距的不一致，不得不形成多余的配线区域。特别是，对于在 D1 方向块是扁平的图 1 (A) 的比较例，用于吸收间距

不一致的多余配线区域更大。其结果是，集成电路装置 500 的 D2 方向的宽度 W 增大，芯片面积增加，并导致成本的增加。

另一方面，为了避免这类事态，为使焊盘间距和单元间距取齐而改变存储器和数据驱动器的布局，这又导致开发周期延长，结果，导致成本增加。也就是说，对于图 1 (A) 的比较例，各电路块的电路构成和布局都进行单独设计，再进行调整间距的作业，因而生成为不必要的空区域，并且导致设计低效化等问题。

2. 集成电路装置的构成

图 3 示出能够解决上述技术缺陷的本实施例的集成电路装置 10 的构成。就本实施例而言，以从集成电路装置 10 的短边即第一边 SD1 朝着对面的第三边 SD3 的方向为第一方向 D1，以 D1 的反方向为第三方向 D3。以从集成电路装置 10 的长边即第二边 SD2 朝着对面的第四边 SD4 的方向为第二方向 D2，以 D2 的反方向为第四方向 D4。此外，在图 3 中，虽然集成电路装置 10 的左边为第一边 SD1，右边为第三边 SD3，但是，也可以是左边为第三边 SD3、右边为第一边 SD1。

如图 3 所示，本实施例的集成电路装置 10 包括沿 D1 方向配置的第一～第 N 个电路块 CB1～CBN (N 为大于等于 2 的整数)。亦即，在图 1 (A) 的比较例中，电路块沿 D2 方向排列，而在本实施例中，电路块 CB1～CBN 沿 D1 方向排列。而且，各电路块不像图 1 (A) 的比较例那样呈超扁平的块，而是比较接近方形的块。

另外，集成电路装置 10 包括在第一～第 N 的电路块 CB1～CBN 的 D2 方向侧沿边 SD4 设置的输出侧 I/F 区域 12 (广义为第一接口区)。而在第一～第 N 电路块 CB1～CBN 的 D4 方向侧包括沿边 SD2 设置的输入侧 I/F 区域 14 (广义为第二接口区)。更具体地说，输

出侧 I/F 区域 **12** (第一个 I/O 区域) 配置在电路块 CB1 ~ CBN 的 D2 方向一侧, 而不通过例如其它电路块。而输入侧 I/F 区域 **14** (第二个 I/O 区域) 也不通过例如其它电路块而直接配置在电路块 CB1 ~ CBN 的 D4 方向一侧。亦即, 至少在数据驱动块存在的部分, 在 D2 方向只存在一个电路块 (数据驱动块)。此外, 在把集成电路装置 **10** 作为 IP (知识产权) 核心来使用, 并组装于其他集成电路装置时, 也可以形成不设有 I/F 区域 **12**、**14** 中至少一个的构成。

输出侧 (显示面板侧) I/F 区域 **12** 是与显示面板形成接口的区域, 包括焊盘、连接于焊盘的输出用晶体管和保护元件等各种元件。具体地说, 包括向数据线输出数据信号、向扫描线输出扫描信号的输出用晶体管等。此外, 在显示面板是触摸面板等时, 也可以包括输入用晶体管。

输入侧 (主机侧) I/F 区域 **14** 是与主机 (MPU、图像处理控制器、基带引擎) 形成接口的区域, 可以包括焊盘、连接于焊盘的输入 (输入/输出用) 晶体管、输出用晶体管和保护元件等各种元件。具体地说, 包括用于输入来自主机的信号 (数字信号) 的输入用晶体管、用于向主机输出信号的输出用晶体管等。

此外, 也可以设置沿短边即边 SD1、SD3 的输出侧或者输入侧 I/F 区域。另外, 作为外部连接端子的凸起等也可以设置在 I/F (接口) 区域 **12**、**14**, 也可以设置在其以外的区域 (第一 ~ 第 N 电路块 CB1 ~ CBN)。当设在 I/F 区域 **12**、**14** 以外的区域时, 可以采用金属凸起以外的小型凸起技术 (以树脂为核心的凸起技术) 来实现。

第一 ~ 第 N 电路块 CB1 ~ CBN 可以至少包括两个 (或者三个) 不同的电路块 (具备不同功能的电路块)。以集成电路装置 **10** 是显示驱动器的情况为例, 电路块 CB1 ~ CBN 可以包括如数据驱动器、

存储器、扫描驱动器、逻辑电路、灰阶电压发生电路和电源电路中的至少两个电路块。更具体地讲，电路块 CB1 ~ CBN 至少可以包括数据驱动块和逻辑电路块，而且，可以包括灰阶电压发生电路块。另外，在内置存储器的情况下，还可以包括存储块。

例如，图 4 表示各种类型的显示驱动器和内置显示驱动器的电路块的例子。就内置存储器（RAM）的非晶形 TFT（Thin Film Transistor，薄膜晶体管）面板用显示驱动器而言，电路块 CB1 ~ CBN 包括存储器、数据驱动器（源极驱动器）、扫描驱动器（栅极驱动器）、逻辑电路（门阵列电路）、灰阶电压发生电路（ γ 校正电路）以及电源电路这些电路块。另一方面，就存储器内置的低温多晶硅（LTPS）TFT 面板用显示驱动器而言，因为可以在玻璃基板上形成扫描驱动器，所以可以省略扫描驱动电路块。而对于存储器非内置的非晶形 TFT 面板，可以省略存储块，对于存储器非内置的低温多晶硅 TFT 面板，可以省略存储器和扫描驱动器的电路块。另外，就 CSTN（Color Super Twisted Nematic）面板、TFD（Thin Film Diode，薄膜二极管）面板而言，则可以省略灰阶电压发生电路块。

图 5（A）、图 5（B）表示本实施例的显示驱动器集成电路装置 10 的平面布局的例子。图 5（A）、图 5（B）是存储器内置的非晶形 TFT 面板用的例子，例如图 5（A）以 QCIF、32 阶用显示驱动器为目标，而图 5（B）则以 QVGA、64 阶用显示驱动器为目标。

就图 5（A）、（B）而言，其第一 ~ 第 N 电路块 CB1 ~ CBN 包括第一 ~ 第四存储块 MB1 ~ MB4（广义为第一 ~ 第 I 个存储块，I 是大于等于 2 的整数）。与各第一 ~ 第四存储块 MB1 ~ MB4 对应，包括沿 D1 方向其各自邻接配置的第一 ~ 第四数据驱动块 DB1 ~ DB4（广义为第一 ~ 第 I 的数据驱动块）。具体地说，存储块 MB1 和数据驱动块 DB1 沿 D1 方向相邻配置，存储块 MB2 则和数据驱动块 DB2 沿 D1 方向相邻配置。而且，数据驱动块 DB1 用于驱动

数据线的图像数据（显示数据）由邻接的存储块 MB1 存储，数据驱动块 DB2 用于驱动数据线的图像数据则由邻接的存储块 MB2 存储。

在图 5 (A) 中，在存储块 MB1 ~ MB4 中的 MB1（广义为第 J 存储块， $1 \leq J < I$ ）的 D3 方向一侧邻接配置数据驱动块 DB1 ~ DB4 中的 DB1（广义为第 J 数据驱动块）。另外，在存储块 MB1 的 D1 方向一侧邻接配置存储块 MB2（广义地是第 J+1 的存储块）。然后，在存储块 MB2 的 D1 方向一侧邻接配置数据驱动块 DB2（广义地是第 J+1 的数据驱动块）。存储块 MB3、MB4、数据驱动块 DB3、DB4 的配置也是一样。这样，在图 5 (A) 中，相对于 MB1、MB2 的边界线，MB1、DB1 和 MB2、DB2 对称地配置，而相对于 MB3、MB4 的边界线，MB3、DB3 和 MB4、DB4 对称地配置。此外，在图 5 (A) 中，虽然 DB2 和 DB3 邻接配置，但是，不邻接而在其间配置其它的电路块也可以。

另一方面，图 5 (B) 中，对于在存储块 MB1 ~ MB4 之中的 MB1（广义地为第 J 存储块）的 D3 方向一侧邻接配置数据驱动块 DB1 ~ DB4 中的 DB1（第 J 数据驱动块）。另外，在存储块 MB1 的 D1 方向一侧邻接配置 DB2（第 J+1 的数据驱动块）。在 DB2 的 D1 方向一侧邻接配置 MB2（第 J+1 的存储块）。DB3、MB3、DB4、MB4 也同样配置。此外，虽然在图 5 (B) 中 MB1 和 DB2、MB2 和 DB3、MB3 和 DB4 都分别为邻接配置，但是，不邻接而在其间配置其它的电路块也可以。

根据图 5 (A) 的配置，具有在存储块 MB1 和 MB2 以及 MB3 和 MB4 之间（在第 J、第 J+1 的存储块之间）共用列地址译码器的优点。另一方面，根据图 5 (B) 的配置，能够使从数据驱动块 DB1 ~ DB4 到输出侧 I/F 区域 12 的数据信号输出线的配线间距均匀化，具有可以提高配线效率的优点。

本实施例的集成电路装置 10 的布局并非限定于图 5(A)、(B)。例如, 存储块和数据驱动块的块数量也可以是 2、3 或大于等于 5, 也可以对存储块和数据驱动块不进行块的分割而构成。而且, 也可以实施存储块和数据驱动块不相邻的实施方式。而且, 即使不设存储块、扫描驱动器块、电源电路块或灰阶电压发生电路块等这样的构成也是可以的。在电路块 CB1 ~ CBN 和输出侧 I/F 区域 12、或者输入侧 I/F 区域 14 之间, 也可以设置在 D2 方向上的宽度极窄的电路块(小于等于 WB 的细长电路块)。另外, 电路块 CB1 ~ CBN 还可以包括不同的电路块在 D2 方向多级排列的电路块。例如, 也可以把扫描驱动器电路和电源电路作为一个电路块。

图 6(A) 表示本实施例的集成电路装置 10 沿 D2 方向的截面图的例子。图中 W1、WB、W2 分别为输出侧 I/F 区域 12、电路块 CB1 ~ CBN、输入侧 I/F 区域 14 在 D2 方向的宽度。另外, W 是集成电路装置 10 在 D2 方向的宽度。

对于本实施例, 如图 6(A) 所示, 在 D2 方向上, 可以不在电路块 CB1 ~ CBN (数据驱动块 DB) 和输出侧、输入侧 I/F 区域 12、14 之间夹入其它电路块来构成。所以, 就可以使 $W1 + WB + W2 \leq W < W1 + 2 \times WB + W2$, 能够实现细长的集成电路装置。具体地说, 可以使 D2 方向的宽度 $W < 2\text{mm}$, 更具体的, 可以使 $W < 1.5\text{mm}$ 。而考虑到芯片的检查和装配, 优选 $W > 0.9\text{mm}$ 。此外, 长边方向的长度 LD 则可以做到 $15\text{mm} < LD < 27\text{mm}$ 。芯片的形状比 $SP = LD/W$ 可以做到 $SP > 10$, 更具体地说, $SP > 12$ 。

图 6(A) 的宽度 W1、WB、W2 分别为输出侧 I/F 区域 12、电路块 CB1 ~ CBN、输入侧 I/F 区域 14 的晶体管形成区域(主体区域、激活区域)的宽度。亦即, 在 I/F 区域 12、14 形成输出用晶体管、输入用晶体管、输入/输出用晶体管和静电保护元件的晶体管等。另外, 在电路块 CB1 ~ CBN 区域形成构成电路的晶体管。而

且,以形成这类晶体管的阱和扩散区作为基准决定 $W1$ 、 WB 、 $W2$ 。例如,为了实现更细长的集成电路装置,希望是在电路块 $CB1 \sim CBN$ 的晶体管上也形成凸起(能动面凸起)。具体的,在晶体管上面(激活区域)形成以树脂形成其芯、在树脂的表面形成金属层的树脂芯凸起等。而且,该凸起(外部连接端子)通过金属配线被连接到配置在 I/F 区域 **12**、**14** 的焊盘上。本实施例的 $W1$ 、 WB 、 $W2$ 不是这样的突起的形成区域的宽度,而是在凸起下面形成的晶体管形成区域的宽度。

电路块 $CB1 \sim CBN$ 各自在 $D2$ 方向的宽度例如可以统一为同宽。此时,只要各电路块的宽度实质上相同就可以,例如有数 $\mu m \sim 20\mu m$ (数十 μm) 程度的差异是在容许范围以内的。而且,在电路块 $CB1 \sim CBN$ 中存在宽度不同的电路块时,宽度 WB 可以是电路块 $CB1 \sim CBN$ 的宽度中最大的宽度。此时的最大宽度可以是例如数据驱动块的在 $D2$ 方向的宽度。或者,在存储器内置的集成电路装置的情况下,可以是存储块的在 $D2$ 方向的宽度。此外,在电路块 $CB1 \sim CBN$ 和 I/F 区域 **12**、**14** 之间可以设置例如宽 $20 \sim 30 \mu m$ 程度的空区域。

就本实施例而言,在输出侧 I/F 区域 **12** 上可以配置在 $D2$ 方向的级数为一级或多级的焊盘。所以,如果考虑焊盘宽度(例如 $0.1\mu m$)和焊盘间距,输出侧 I/F 区域 **12** 的在 $D2$ 方向的宽度 $W1$ 可以做到 $0.13mm \leq W1 \leq 0.4mm$ 。另外,因为在输入侧 I/F 区域 **14** 可以配置在 $D2$ 方向的级数为一级或多级的焊盘,所以输入侧 I/F 区域 **14** 的宽度 $W2$ 就可以做到 $0.1mm \leq W2 \leq 0.2mm$ 。为了实现细长的集成电路装置,在电路块 $CB1 \sim CBN$ 上需要通过公用配线形成来自逻辑电路块的逻辑信号、来自灰阶电压发生电路块的灰阶电压信号和电源的配线,这类配线的合计宽度例如在 $0.8 \sim 0.9mm$ 的程度。因而,考虑到这些情况,电路块 $CB1 \sim CBN$ 的宽度 WB 可以做到 $0.65 \leq WB \leq 1.2mm$ 。

而且, 即使 $W1 = 0.4\text{mm}$, $W2 = 0.2\text{mm}$, 可是因为 $0.65 \leq WB \leq 1.2\text{mm}$, 所以 $WB > W1 + W2$ 成立。另外, 在 $W1$ 、 WB 、 $W2$ 都为最小值的情况下, 即 $W1 = 0.13\text{mm}$ 、 $WB = 0.65\text{mm}$ 、 $W2 = 0.1\text{mm}$, 集成电路装置的宽度为 $W = 0.88\text{mm}$ 。所以, $W = 0.88\text{mm} < 2 \times WB = 1.3\text{mm}$ 成立。在 $W1$ 、 WB 、 $W2$ 都为最大值的情况下, $W1 = 0.4\text{mm}$ 、 $WB = 1.2\text{mm}$ 、 $W2 = 0.2\text{mm}$, 则集成电路装置的宽度为 $W = 1.8\text{mm}$ 的程度。所以, $W = 1.8\text{mm} < 2 \times WB = 2.4\text{mm}$ 成立。因此, 关系式 $W < 2 \times WB$ 成立, 能够实现细长的集成电路装置。

对于图 1 (A) 的比较例, 如图 6 (B) 所示, 沿 D2 方向配置两个以上的多个电路块。另外, 在 D2 方向, 在电路块之间、以及在电路块和 I/F 区域之间形成有配线区域。所以, 集成电路装置 500 在 D2 方向 (短边方向) 的宽度 W 就变宽, 不能实现薄而细长芯片。因而, 即使利用微细加工使芯片收缩, 但是, 如图 2 (A) 所示, 由于 D1 方向 (长边方向) 的长度 LD 缩短, 输出间距变成窄间距, 所以, 导致安装困难。

针对这一技术缺陷, 如图 3、图 5 (A)、图 5 (B) 所示, 在本实施例中, 沿 D1 方向配置多个电路块 CB1 ~ CBN。另外, 如图 6 (A) 所示, 可以把晶体管 (电路元件) 配置在焊盘 (凸起) 的下面 (能动面凸起)。通过在电路块内部配线的局部配线的上层 (焊盘的下层) 形成的公用配线, 也可以形成电路块之间或者电路块和 I/F 区域之间等的信号线。所以, 如图 2 (B) 所示, 可以在集成电路装置 10 在 D1 方向的长度 LD 维持不变的情况下使 D2 方向的宽度 W 变窄, 实现超薄而细长芯片。结果是, 能够使输出间距维持在例如大于等于 $22\mu\text{m}$, 可以容易地进行安装。

而且, 在本实施例中, 由于沿 D1 方向配置多个电路块 CB1 ~ CBN, 故可以容易地应对产品规格的变更。亦即, 由于可以用公共的平台设计各种规格的产品, 所以能够提高设计效率。例如在图 5

(A)、(B)中,在显示面板的像素数或灰阶数有增有减的情况下,只需增减存储块和数据驱动块的块数、在一个水平扫描周期中图像数据的读取次数等就可以对应。另外,虽然图5(A)、(B)是存储器内置的非晶形 TFT 面板用例子,但是,在开发存储器内置的低温多晶硅 TFT 面板用产品的情况下,只要从电路块 CB1~CBN 中去掉扫描驱动器块即可。又如,在开发存储器非内置的产品的情况下,只要去掉存储块即可。而且,如上所述,即使根据规格去掉电路块,在本实施例中,因为可以将对其它电路块产生的影响抑制到最小,故而能够提高设计效率。

在本实施例中,可以把各个电路块 CB1~CBN 在 D2 方向的宽度(高度)统一于例如数据驱动块和存储块的宽度(高度)。而且,在各个电路块的晶体管有增减的情况下,由于可以通过增减各个电路块在 D1 方向的长度来进行调整,故能够使设计进一步高效化。例如,在图5(A)、(B)中,在灰阶电压发生电路块和电源电路块的构成变更、晶体管数量增减的情况下,也可以通过增减灰阶电压发生电路块和电源电路块在 D1 方向的长度来对应。

此外,作为第二比较例,还可以考虑如下配置方法:例如,在 D1 方向上,将数据驱动块细长地配置,在数据驱动块的 D4 方向一侧,沿 D1 方向配置存储块等其他多个电路块。但是,对于该第二比较例,由于幅度较宽的数据驱动块夹入存储块等其它电路块与输出侧 I/F 区域之间,所以,集成电路装置在 D2 方向的宽度 W 变宽,难以实现薄而细长芯片。而且,在数据驱动块和存储器驱动器块之间产生了多余的配线区域,就更加扩大了宽度 W。在数据驱动块或存储块的构成发生变化的情况下,出现在图1(B)、(C)中说明的间距不一致的问题,无法提高设计效率。

作为本实施例的第三比较例,还可以考虑只对同一功能的电路块(例如数据驱动块)进行块的分割、并沿 D1 方向排列配置的方案。

法。但是，对于该第三比较例，由于只能使集成电路装置具有同一的功能（例如数据驱动器功能），故不可能实现多种产品的扩展。针对该问题，在本实施例中，电路块 CB1 ~ CBN 包括至少具有两个不同功能的电路块。所以，如图 4、图 5 (A)、图 5 (B) 所示，具有能够提供对应于各种类型显示面板的多机种集成电路装置的优点。

3. 电路构成

图 7 表示集成电路装置 10 的电路构成。而且，集成电路装置 10 的电路构成并不限定于图 7 的示例，可以实施各种变形。存储器 20（显示数据 RAM）用于存储图像数据。存储单元阵列 22 包括多个存储单元，至少存储一帧（一幅画面）的图像数据。此时，一个像素由例如 R、G、B 等三个子像素（三点）构成，各子像素例如存储着六位（k 位）的图像数据。行地址译码器 24（MPU / LCD 行地址译码器）进行有关行地址的译码处理，并进行存储单元阵列 22 的字线的选择处理。列地址译码器 26（MPU 列地址译码器）则进行有关列地址的译码处理，并进行存储单元阵列 22 的位线的选择处理。写 / 读电路 28（MPU 写 / 读电路）进行把图像数据写入存储单元阵列 22 的处理和从存储单元阵列读出图像数据的处理。用例如以起始地址和结束地址为对顶点的矩形来定义存储单元阵列 22 的存取区域。亦即，用起始地址的列地址及行地址和结束地址的列地址及行地址来定义存取区域，并进行存储器的存取。

逻辑电路 40（例如自动配置配线电路）生成用于控制显示时刻的控制信号和用于控制数据处理时序的控制信号等。该逻辑电路 40 可以由例如门阵列（G / A）等自动配置配线形成。控制电路 42 生成各种控制信号，进行装置整体的控制。具体地说，向灰阶电压发生电路 110 输出灰阶特性（ γ 特性）的调整数据（ γ 校正数据），并控制电源电路 90 的电压生成。另外，对使用了行地址译码器 24、

列地址译码器 26、写 / 读电路 28 的存储器进行写 / 读处理的控制。显示时刻控制电路 44 生成用于控制显示时刻的各种控制信号，控制从存储器到显示面板侧的图像数据的读取。主机 (MPU) 接口电路 46 对从主机的每次访问生成内部脉冲，实现对存储器进行访问的主接口。RGB 接口电路 48 通过点时钟实现将动画的 RGB 数据写入存储器的 RGB 接口。而且，也可以是只设置主接口电路 46、RGB 接口电路 48 中的任一者的构成。

在图 7 中，从主接口电路 46、RGB 接口电路 48 以一个像素单位向存储器 20 进行访问。另一方面，根据与主接口电路 46、RGB 接口电路 48 独立的内部显示时刻，每一个行周期以行地址所指定的行单位向数据驱动器 50 输送图像数据。

数据驱动器 50 是用于驱动显示面板的数据线的电路，其构成示于图 8 (A)。数据锁存电路 52 锁存来自存储器 20 的数字图像数据。D/A 转换电路 54 (电压选择电路) 进行锁存于数据锁存电路 52 的数字图像数据的 D/A 转换，并生成模拟的数据电压。具体地说，接受来自灰阶发生电路 110 的多个 (例如 64 阶) 灰阶电压 (基准电压)，从这些多个灰阶电压中选择与数字图像数据对应的电压，并作为数据电压输出。输出电路 56 (驱动电路、缓冲电路) 缓冲来自 D/A 转换电路 54 的数据电压，而后输出至显示面板的数据线，并驱动数据线。而且，也可以是将输出电路 56 的一部分 (例如运算放大器的输出级) 不包括在数据驱动器 50 中、而配置在其他区域的构成。

扫描驱动器 70 是用于驱动显示面板的扫描线的电路，其构成例示于图 8 (B)。移位寄存器 72 包括依次连接的多个触发器，与移位时钟信号 SCK 同步，对许可输入输出信号 EIO 进行依次移位。电平移位器 76 将来自移位寄存器 72 的信号的电压电平转换成用于扫描线选择的高电压电平。输出电路 78 缓冲由电平移位器 76 转换

并输出的扫描电压，然后输出到显示面板的扫描线，对扫描线进行选择驱动。扫描驱动器 70 也可以是如图 8 (C) 所示的构成。图 8 (C) 中，扫描地址生成电路 73 生成扫描地址并输出，地址译码器 74 进行扫描地址的译码处理。而且，对于通过该译码处理而特定的扫描线，通过电平移位器 76、输出电路 78 输出扫描电压。

电源电路 90 是用于生成各种电源电压的电路，其构成示于图 9 (A)。升压电路 92 是使用升压用电容、升压用晶体管以电荷泵的方式使输入电源电压和内部电源电压升压、并生成升压电压的电路，可以包括 1 次 ~ 4 次升压电路等。通过该升压电路 92 能够生成扫描驱动器 70 和灰阶电压发生电路 110 使用的高电压。调整电路 94 进行由升压电路 92 生成的升压电压的电平调整。VCOM 生成电路 96 生成供给显示面板的对向电极的 VCOM 电压并输出。控制电路 98 用于进行电源电路 90 的控制，它包括各种控制寄存器等。

灰阶电压发生电路 (γ 校正电路) 110 是用于生成灰阶电压的电路，其构成示于图 9 (B)。选择用电压生成电路 112 (分压电路) 根据由电源电路 90 生成的高电压的电源电压 VDDH、VSSH 输出选择用电压 VS0 ~ VS255 (广义为 R 个选择用电压)。具体地说，选择用电压生成电路 112 包括具有串联的多个电阻元件的梯形电阻电路。而且，将通过该梯形电阻电路将 VDDH、VSSH 分压后的电压作为选择用电压 VS0 ~ VS255 输出。灰阶电压选择电路 114 根据通过逻辑电路 40 设定于调整寄存器 116 的灰阶特性的调整数据，从选择用电压 VS0 ~ VS255 中，例如在 64 阶的情况下，选择 64 个 (广义地是 S 个， $R > S$) 电压，作为灰阶电压 V0 ~ V63 输出。这样，可以生成适应于显示面板的优选灰阶特性 (γ 校正特性) 的灰阶电压。而且，在极性反转驱动的情况下，也可以把正极性用的梯形电阻电路和负极性用的梯形电阻电路设置在选择用电压生成电路 112 中。另外，梯形电阻电路的各电阻元件的阻值也可以根据在调整寄存器 116 设定的调整数据变更。也可以是在选择用电压生成

电路 112 或灰阶电压选择电路 114 中设置阻抗变换电路（连接电压输出器的运算放大器）的构成。

图 10 (A) 表示包括图 8 (A) 的 D/A 转换电路 54 的各 DAC (Digital Analog Converter, 数模转换器) 的构成例。图 10 (A) 的各 DAC 可以按每个子像素 (或者每个像素) 设置, 并由 ROM 译码器等构成。而且, 根据来自存储器 20 的六位数字图像数据 D0 ~ D5 及其反转数据 XD0 ~ XD5, 选择来自灰阶电压发生电路 110 的灰阶电压 V0 ~ V63 中任一个, 由此, 将图像数据 D0 ~ D5 转换成模拟电压。而且, 把所得的模拟电压信号 DAQ (DAQR、DAQG、DAQB) 输出到输出电路 56。

对于低温多晶硅 TFT 用的显示驱动器等, 将 R 用、G 用、B 用数据信号进行多路转换后输送至显示驱动器的情况下 (图 10 (C) 的情况下), 可以用一个公共的 DAC 对 R 用、G 用、B 用的图象数据进行 D/A 转换。在这种情况下, 图 10 (A) 的各个 DAC 按每个像素来设置。

图 10 (B) 示出图 8 (A) 的输出电路 56 所含的各输出部分 SQ 的构成。图 10 (B) 的各输出部分 SQ 可以按每个像素来设置。各输出部分 SQ 包括 R (红) 用、G (绿) 用、B (蓝) 用阻抗变换电路 OPR、OPG、OPB (连接电压跟随器的运算放大器), 进行来自 DAC 的信号 DAQR、DAQG、DAQB 的阻抗变换, 并将数据信号 DATAR、DATAG、DATAB 输出到 R、G、B 用数据信号输出线。例如在低温多晶硅 TFT 面板的情况下, 也可以设置如图 10 (C) 所示的开关元件 (开关用晶体管) SWR、SWG、SWB, 复用 R 用、G 用、B 用的数据信号后的数据信号 DATA 由阻抗变换电路 OP 输出。另外, 也可以在多个像素中复用数据信号。而且, 还可以是不在输出部分 SQ 设置图 10 (B)、(C) 所示的阻抗变换电路、而只设开关元件等的构成。

4. 焊盘配置区域的元件配置

4.1 控制晶体管的配置

在本实施例中，为了减小集成电路装置在 D2 方向的宽度、并实现细长的芯片，把通常应该配置在电路块内的元件配置在输出侧 I/F 区域、输入侧 I/F 区域等的焊盘配置区域。此时，特别是集成电路装置的数据驱动器的占有面积较大。所以，如果把构成数据驱动器的晶体管配置在焊盘配置区域，就能期望集成电路装置的小面积化。

但是，一般情况下，数据驱动器的输出线的根数非常多。因此，如果将构成数据驱动器所含的运算放大器的晶体管配置在焊盘配置区域，则必须在焊盘配置区域中将多根信号线来回绕行，其配线区域的面积增加，结果是，不能缩小集成电路装置在 D2 方向的宽度。

于是，本实施例采用的方法是，把构成数据驱动器的晶体管中、在数据驱动器之间以共用的控制信号控制的控制晶体管配置在焊盘配置区域。

例如，在图 11 中，集成电路装置包括用于驱动数据线 DL1、DL2、DL3、DL4.....的至少一个数据驱动块 DB。还包括多个控制晶体管（电位设定用晶体管）TC1、TC2、TC3、TC4.....和焊盘配置区域（输出侧 I/F 区域）。

这里，控制晶体管 TC1、TC2、TC3、TC4.....的各控制晶体管与数据驱动块 DB 的各输出线 QL1、QL2、QL3、QL4.....对应地设置，各控制晶体管由共用的控制信号 CTL 控制。而且，控制晶体管可以用 N 型（广义为第一导电型）晶体管，也可以用 P 型（广

义为第二导电型)晶体管。或者也可以是N型晶体管和P型晶体管组合的电路,例如转移栅晶体管。

在焊盘配置区域配置有用于电气连接显示面板的数据线和数据驱动块DB的输出线QL1、QL2、QL3、QL4.....的数据驱动器用焊盘(焊盘金属)。而且,也可以在焊盘配置区域配置除数据驱动器用焊盘以外的焊盘,也可以配置伪焊盘。或者,也可以配置后述的静电保护元件和电源间保护电路。另外,焊盘配置区域例如是电路块的边(边界、缘)和集成电路装置的边(例如第二、第四边)之间的区域,例如是图3的输出侧I/F区域12、输入侧I/F区域14。焊盘只要至少其中心位置(焊盘中心)配置在焊盘配置区域即可。

而且,本实施例如图11所示,把控制晶体管TC1、TC2、TC3.....配置在焊盘配置区域。亦即,并不在焊盘配置区域配置构成数据驱动器的运算放大器的差动部分和驱动部分的晶体管,而在焊盘配置区域配置图11所示的控制晶体管TC1、TC2、TC3.....。

例如构成运算放大器的驱动部分的输出晶体管通过在其栅极输入各数据驱动器(子像素驱动单元)不同的输入信号来控制。所以,如果把这样的输出晶体管配置在焊盘配置区域时,存在着这类输入信号的配线区域使集成电路装置在D2方向的宽度增加的可能性。

这一点,控制晶体管TC1、TC2、TC3.....不是通过各数据驱动器不同的信号、而是通过数据驱动器间共用的控制信号CTL来控制。所以,即使将控制晶体管TC1、TC2、TC3.....配置在焊盘配置区域,配线区域的面积也不会增加多少,故而能够缩小集成电路装置在D2方向的宽度。

图 12 示出数据驱动器（子像素驱动器单元）的输出部 SSQ1、SSQ2 的电路构成例。与焊盘 P1 对应设置的输出部 SSQ1 包括运算放大器 OP1、开关电路 SWA1、SWB1、N 型晶体管 TDN1 和 P 型晶体管 TDP1。而且，因为输出部 SSQ2 的构成和输出部 SSQ1 大致相同，详细的说明予以省略。

运算放大器 OP1 用于对输出到数据线的的数据信号进行阻抗变换。亦即，对来自前级 D/A 转换器 DAC1 的输出信号进行阻抗变换，而后把数据信号输出到数据线，并驱动数据线。

开关电路 SWA1 串联插入于连接输出部 SSQ1 的输出线 QL1 的焊盘 P1 和运算放大器 OP1 之间。开关电路 SWB1 则串联插入于焊盘 P1 和运算放大器 OP1 的输入（DAC1 的输出）之间。这些开关电路 SWA1、SWB1 可以由 N 型晶体管、P 型晶体管组合的转移栅构成。而且，这些开关电路 SWA1、SWB1 根据来自逻辑电路块的许可信号实现通断控制。具体地讲，在一水平扫描期间的最初的第一期间，开关电路 SWA1 变为 ON（导通）状态，开关电路 SWB1 变为 OFF（非导通）状态。由此，在第一期间数据线由运算放大器 OP1 驱动。另一方面，继第一期间之后的第二期间，开关电路 SWA1 变为 OFF 状态，开关电路 SWB1 变为 ON 状态，DAC1 的输出直接作为数据信号输出至数据线。而且，在第二期间，运算放大器 OP1 的工作电流被断开或者受到限制。这样一来，运算放大器 OP1 的工作时间缩短，实现低功耗。

晶体管 TDN1、TDP1 是 8 色显示模式用晶体管。对于 8 色显示模式，晶体管 TDN1、TDP1 的栅极通过控制信号 BEN1、XBEN1 控制。具体地说，是通过根据图像数据的最上位位的数据生成的信号 EN1、XBEN1 控制。另一方面，对于通常的工作模式，控制信号 BEN1、XBEN1 分别为 L 电平和 H 电平，晶体管 TDN1 和 TDP1 的漏极处于高阻抗状态。

控制晶体管 TC1 是放电用晶体管。亦即，在共用控制信号（放电信号）CTL1 成为激活的情况下，将输出部 SSQ1（数据驱动块）的输出线设定为 VSS（接地电位），连接于焊盘 P1 的数据线（显示面板）的电荷向 VSS 侧放电。在该控制晶体管的栅极输入共用控制信号（放电信号）CTL1，输出部 SSQ1（数据驱动块）的输出线 QL1 连接于控制晶体管 TC1 的漏极。

放电用的控制信号 CTL1 可以根据初始化信号（复位信号）和来自包括在数据驱动器内的电压电平下降检测电路的检测信号生成。亦即，在高电位侧的电源电压下降到规定阈值以下时、或者初始化信号成为激活时，控制信号 CTL1 变成激活。由此，连接于焊盘 P1 的数据线的电荷放电。其结果是，能够防止当因为初始化处理时或者取出内置的电池等造成的意外电源电压下降时，由于数据线的残余电荷而使显示面板烧毁的情况发生。

图 12 所示，本实施例如把控制晶体管 TC1、TC2 配置在焊盘配置区域。具体的，在平面视图中，控制晶体管 TC1、TC2 其至少一部分（一部分或全部），为了与焊盘（焊盘金属）P1、P2 重叠而配置在焊盘 P1、P2 的下层（下方）。换言之，焊盘 P1、P2（数据驱动器用焊盘）配置在控制晶体管 TC1、TC2 的一部分或全部的上层，从平面视图看相重叠。

如果把晶体管配置在焊盘的下层，连接接合线或者装配凸起时，由于施加在焊盘上的应力，可能导致晶体管的阈值电压变动。另外，晶体管的层间膜的电容与设计时的电容相比也有变动的可能。因此，有可能发生晶片上的晶体管的特性和装配时的特性不同的问题。所以，就像作为构成运算放大器 OP1、OP2 的差动部分（差动级）和驱动部分（驱动级）的模拟电路的晶体管那样，用来输出模拟电压的晶体管并不配置在焊盘的下层，而是配置在驱动器块内部。

另一方面，像控制晶体管 TC1、TC2 那样，对于作为数字开关而发挥作用并输出数字电压的晶体管，则配置在焊盘的下层。于是，能够避免上述不适当情况的发生，同时能够减少集成电路装置的布局面积，并且，可以进一步缩小集成电路装置在 D2 方向的宽度。例如，由于数据驱动器的输出线根数非常多，因而面积减少的效果就明显。

再则，构成运算放大器 OP1、OP2 的驱动部的晶体管的栅极用 SSQ1、SSQ2 通过另外的控制信号来控制。所以，如果将这些晶体管配置在焊盘配置区域，就需要在焊盘配置区域配置与数据线根数相同的多个栅极控制信号，配线区域的面积增加。

针对这一点，图 12 的控制晶体管 TC1、TC2 用共用控制信号 CTL1 来控制。所以，在把控制晶体管 TC1、TC2 配置在焊盘配置区域的情况下，只要在焊盘配置区域配置公用信号线即可。另外，输出线 QL1、QL2 通过连接线连接于焊盘 P1、P2，因此，只要在连接线的下方配置控制晶体管 TC1、TC2，并把 TC1、TC2 的漏极连接于连接线，配线区域的面积就几乎不增加。所以，由配置控制晶体管 TC1、TC2 而导致的配线区域的面积增加达到最小限。

在图 13 中，对应于焊盘 P1，设有构成转移栅的 N 型控制晶体管 TCN1 和 P 型控制晶体管 TCP1。对应于焊盘 P2，设有构成转移栅的 N 型控制晶体管 TCN2 和 P 型控制晶体管 TCP2。晶体管 TCN1 及 TCP1 的漏极、TCN2 及 TCP2 的漏极分别连接于输出线 QL1、QL2。在 TCN1 及 TCP1 的源极、TCN2 及 TCP2 的源极上分别供给给定的公共电位 VCM。这里的公共电位 VCM 例如是提供给显示面板的对向电极的公用电位。所以，当共用控制信号 CTL2、XCTL2 处于激活状态时，将数据驱动块的输出线 QL1、QL2 设定为公共电位 VCM。

在本实施例中，这样的控制晶体管 TCN1、TCP1、TCN2、TCP2 也配置在焊盘配置区域。具体地说，控制晶体管 TCN1、TCP1、TCN2、TCP2 配置在焊盘 P1、P2（焊盘金属）的下层（下方），使其至少一部分与焊盘 P1、P2 重叠。另外，控制晶体管 TC1、TC2、TCN1、TCP1、TCN2、TCP2 的一部分也可以不配置在焊盘的下面。或者，可以实施如下变形，把构成输出部 SSQ1、SSQ2 的其他晶体管配置在焊盘配置区域。

在图 14 中，对应于焊盘 P1 设有第一静电保护元件 ESD1，对应于焊盘 P2 设有第二静电保护元件 ESD2。这里，第一静电保护元件 ESD1 包括设于高电位侧电源（VDD2）和数据驱动块的输出线 QL1 之间的第一二极管 DI1、以及设于低电位侧电源（VSS）和输出线 QL1 之间的第二二极管 DI2。另外，第二静电保护元件 ESD2 包括设于高电位侧电源和数据驱动块的输出线 QL2 之间的第三二极管 DI3、以及设于低电位侧电源和输出线 QL2 之间的第四二极管 DI4。这些二极管 DI1 ~ DI4 既可以是在扩散区和阱的边界形成的齐纳二极管，也可以是通过将晶体管的源极和栅极连接起来构成的 GCD 晶体管的二极管。

本实施例中，这样的静电保护元件 ESD1、ESD2 配置在焊盘配置区域。具体地说，静电保护元件 ESD1、ESD2 其至少一部分配置在焊盘 P1、P2 的下层，使其与焊盘 P1、P2 重叠。这样做，就可以使集成电路装置在 D2 方向的宽度进一步缩小。

4.2 焊盘配置区域的布局

焊盘配置区域的布局示于图 15。另外，设在电源 VDD2（VDDHS）和 VSS 之间的静电保护元件等的例子示于图 16（A）。图 16（A）中，在连接于焊盘 P1（P2）的输出线 QL1（QL2）和电源 VDD2 之间设有二极管 DI1（DI3）。在输出线 QL1（QL2）和电

源 VSS 之间设有二极管 DI2(DI4)。如果设置这些二极管 DI1、DI2, 即使对焊盘 P1 施加了静电电压的情况下, 也能够使电荷逃逸到 VDD2 侧或者 VSS 侧, 从而能够保护晶体管 TRQ1、TRQ2 (例如运算放大器驱动部的输出晶体管) 不受静电的影响。

图 16 (A) 至, 在高电位侧电源 VDD2 和低电位侧电源 VSS 之间设有电源间保护电路 210。如果在 VDD2、VSS 之间施加高于给定电压的电压的情况下, 该电源间保护电路 210 作为把电压箝制在一定电压值的电压钳位电路而发挥作用。作为该电源间保护电路 210, 可以使用 SCR (可控硅整流器)、双极晶体管或者反向串联的多个二极管等。

图 16 (B) 中表示图 15 的焊盘 P1、P2 与构成静电保护元件 ESD1、ESD2 的二极管 DI1 ~ DI4 以及控制晶体管 TC1、TC2、TCN1、TCP1、TCN2、TCP2 的连接关系。如图 16 (B) 所示, 构成静电保护元件 ESD1 的二极管 DI1、DI2 和控制晶体管 TC1、TCN1、TCP1 连接于焊盘 P1。而构成静电保护元件 ESD2 的二极管 DI3、DI4 和控制晶体管 TC2、TCN2、TCP2 连接于焊盘 P2。另外, 二极管 DI1、DI3 形成于第一阱, 二极管 DI2、DI4 则形成于与第一阱分离形成的第二阱。

在图 15 中, 显示面板的数据线 (输出线) 并列的方向作为 D1 方向, 与 D1 方向垂直的方向为 D2 方向。而且, 如图 15 所示, 图 14 所说明的控制晶体管 TC1、TC2、TCN1、TCP1、TCN2、TCP2 (以下简称 TC1~TCP2) 沿数据驱动块的 D2 方向配置。而且, 静电保护元件 ESD1 (二极管 DI1、DI2)、ESD2 (二极管 DI3、DI4) 则配置在控制晶体管 TC1 ~ TCP2 的 D2 方向侧。亦即, 控制晶体管 TC1 ~ TCP2 配置在数据驱动块和静电保护元件 ESD1、ESD2 之间。另外, 在图 15 中, 这些控制晶体管 TC1 ~ TCP2、静电保护元件

ESD1、ESD2 配置在焊盘 P1、P2 的下层（下面），使其一部分从平面视图看与焊盘 P1、P2 重叠。

根据这种配置，因为控制晶体管 TC1 ~ TCP2 被配置在接近于数据驱动块的地方，故可以使数据驱动块的输出线以短路径连接于控制晶体管 TC1 ~ TCP2，并能够提高布局效率和配线效率。另外，根据这种配置，静电保护元件 ESD1、ESD2 配置在比控制晶体管 TC1 ~ TCP2 更接近焊盘 P1、P2 的区域。所以，当在焊盘 P1、P2 上施加静电电压的情况下，静电通过静电保护元件 ESD1、ESD2 放电之后，要延迟一段时间后施加于控制晶体管 TC1 ~ TCP2。由此，可以防止控制晶体管 TC1 ~ TCP2 被静电击穿。

这种情况下，也有通过增加控制晶体管 TC1 ~ TCP2 的漏极的面积来提高静电耐压的方法，不过，采用这种方法时，焊盘配置区域 D2 方向的宽度增大，集成电装置 D2 方向的宽度也将增加。

这一点，根据图 15 的配置，控制晶体管 TC1 ~ TCP2 的漏极面积即使并不增加太多，也能够提高静电耐压，因而可以进一步减小集成电路装置 D2 方向的宽度。

在图 15 中，焊盘配置区域包括沿 D1 方向排列的多个配置范围 AR1、AR2、AR3…。而且，在配置范围 AR1（各配置范围）中配置有沿 D2 方向排列的两个（广义为 K 个，K 为大于等于 2 的整数）数据驱动器用焊盘 P1、P2（焊盘的中心位置）。另外，还配置分别接于焊盘 P1、P2 的两个（K 个）静电保护元件 ESD1、ESD2。而且，还配置有控制晶体管 TC1 ~ TCP2。

在图 15 中，在各配置范围中，交错配置两个焊盘是。例如，沿 D2 方向排列的焊盘 P1、P2 沿 D1 方向其中心位置错开配置。亦即，以 D1 方向作为 X 轴时，焊盘 P1 和 P2 的 X 坐标不同。

如果这样错位配置焊盘 P1、P2, 就能沿 D1 方向配置多个焊盘, 并且, 可以把来自数据驱动块的多个数据信号经过焊盘输出至数据线。

如果通过这样错位配置焊盘 P1、P2 而使焊盘间距减小时, 配置范围 AR1 在 D1 方向的宽度变窄。在这一点上, 就图 15 而言, 把多个焊盘 P1、P2 作为一组, 并形成配置范围 AR1。所以, 可以确保配置范围 AR1 在 D1 方向宽度为一定程度的大小。由此, 就能在该配置范围 AR1 中配置静电保护元件 ESD1、ESD2、控制晶体管 TC1 ~ TCP2。

而且, 图 15 中, 配置在配置范围 AR1 的两个 (K 个) 静电保护元件中的第一静电保护元件 ESD1 包括第一、第二二极管 DI1、DI2, 第二静电保护元件 ESD2 包括第三、第四二极管 DI3、DI4。而且, 这些二极管 DI1、DI2、DI3、DI4 在配置范围 AR1 中沿 D2 方向配置。如果这样沿 D2 方向堆积配置把二极管 DI1 ~ DI4, 就可以缩小配置范围 AR1 在 D1 方向的宽度。

亦即, 作为比较例的方法, 也可考虑沿 D1 方向堆积配置二极管 DI1、DI2、在其上侧沿 D1 方向堆积配置 DI3、DI4 的方法。但是, 如果使用这种方法, 由于沿 D1 方向配置二极管的同时, 沿 D1 方向排列形成有 P 型阱区域和 N 型阱区域, 所以, 将扩大配置范围 AR1 在 D1 方向的宽度。

这一点, 在图 15 中, 沿 D2 方向堆积配置二极管 DI1 ~ DI4 的同时, 沿 D2 方向还要形成 P 型阱区域和 N 型阱区域。即: 在 D2 方向分离形成形成二极管 DI1、DI3 的第一阱区域 (N 型) 和形成二极管 DI2、DI4 的第二阱区域 (P 型)。所以, 可以缩小配置范围 AR1 在 D1 方向的宽度, 可以与狭窄的焊盘间距相对应。

图 17 (A) 为图 15 的二极管 DI1 的沿 A-B 线的截面的示意图。如同图所示, 二极管 DI1 由连接在焊盘 P1 的 P+ 扩散区域和连接在电源 VDD2 (MV 电源) 的 N+ 扩散区域、或者 N 型阱的结合面形成。

图 17 (B) 为图 15 的二极管 DI2 的沿 C-D 线的截面的示意图。如同图所示, 二极管 DI2 是连接在电源 VSS 的 P+ 扩散区域或者 P 型阱和连接在焊盘 P1 的 N+ 扩散区域的结合面形成。此外, 如图 17 (A)、图 17 (B) 所示, 基板 PSUB 连接于负极性的高电位电源 (VEE)。而且, 在基板 PSUB 上形成低浓度的 N 型阱 (深层阱), 在该低浓度的 N 型阱上形成高浓度 N 型阱或者 P 型阱。

如图 15 所示, 二极管 DI1 ~ DI4 具有其长边沿 D1 方向、其短边沿 D2 方向的扩散区域 (P+、N+)。如果将二极管 DI1 ~ DI4 的扩散区域按其长边沿 D1 方向形成横长的形状, 则可以降低配线阻抗。亦即, 静电保护元件 ESD1、ESD2 和焊盘 P1、P2 通过用粗铝线连接可以降低其配线阻抗。而且, 为了用粗铝线连接静电保护元件 ESD1、ESD2 和焊盘 P1、P2, 使二极管 DI1 ~ DI4 的扩散区域形成横长形状最合适。

图 15 中, 把设置于高电位电源和低电位电源之间的电源间保护电路 210 配置在静电保护元件 ESD1、ESD2 的 D2 方向侧。亦即, 电源间保护电路 210 因为需要在施加高电压时即刻箝制电压、并保护电路内的晶体管, 故其电路规模大的情况为多。另一方面, 电源间保护电路 210 不必像静电保护元件 ESD1、ESD2 那样, 与数据驱动器的各输出焊盘一对一地设置。

所以, 在图 15 中, 在静电保护元件 ESD1、ESD2 的 D2 方向一侧, 沿集成电路装置的外周形成电源间保护电路 210。这样一来, 可以有效地利用焊盘下层的区域, 形成分别按多个焊盘配置的多个

电源间保护电路 210。所以，可以将集成电路装置的面积控制在最小限度，同时可以提高静电耐压。

4.3 驱动器宏单元

本实施例的集成电路装置包括如图 18 (A) 所示的将多个电路块进行宏单元化(宏化、宏模块化)的、至少一个驱动器宏单元(驱动器宏块)。这种驱动器宏单元成为例如其配线及电路单元配置被固定化的硬宏。具体地说，例如，配线和电路单元配置通过手工操作进行布局。此外，也可以使配线、配置的一部分自动化。

图 18 (A) 的驱动器宏单元包括用于驱动数据线(源线)的数据驱动块 DB、以及用于存储图像数据的存储块 MB。另外，还包括配置有多个焊盘的焊盘块 PDB，其中，多个焊盘用于电气连接数据驱动块 DB 的输出线和显示面板的数据线。在该焊盘块 PDB 上包括沿 D2 方向错位配置的两行(广义为多行)焊盘列，在各焊盘列中沿 D1 方向配列着焊盘(焊盘金属)。另外，前述的控制晶体管、静电保护元件和电源间保护电路等可以配置在该焊盘块 PDB 内。

而且，在图 18 (A) 中，数据驱动块 DB 和存储块 MB 沿 D1 方向配置，焊盘块 PDB 配置在数据驱动块 DB 及存储块 MB 的 D2 方向侧。具体地，数据驱动块 DB 和存储块 MB 沿 D1 方向邻接，数据驱动块 DB 及存储块 MB 又和焊盘块 PDB 沿 D2 方向邻接。而且，可以实施数据驱动块 DB 和存储块 MB 之间设置其它附加电路的变形、不使存储块 MB 包括在驱动器宏单元内的变形。

一般情况下，连接数据驱动器输出线的焊盘的数目非常多。所以，当用自动配线工具把数据驱动器的输出线连接于数据驱动器用焊盘时，输出线的配线区域将增大，D2 方向的集成电路装置的宽度变宽，就难以实现薄而细长芯片。

对于这一点，在图 18 (A) 中，数据驱动块 DB 和焊盘块 PDB 作为宏单元被一体化。因此，例如，将通过手工布局高效地在焊盘上对数据驱动器的输出线进行配线并完成的方法作为驱动器宏单元并可以登录使用。所以，与利用自动配线工具进行数据驱动器输出线的配线的方法相比，可以减小输出线的配线区域。其结果是，可以缩小 D2 方向的集成电路装置的宽度，并能够实现薄而细长芯片。

而且，如果如图 18 (A) 那样进行宏单元化，只要沿 D1 方向排列配置驱动器宏单元，就能实现如图 5 (A)、图 5 (B) 所示布局的集成电路装置，因而可以使电路设计和布局作业高效化。例如，即使在显示面板的像素的规格变化的情况下，只要变更所配置的驱动器宏单元的个数就能够与之对应，而数据驱动器的输出线不必重新配线，故可提高工作效率。

而且，在图 18 (A) 中，不仅仅是数据驱动块 DB 的 D2 方向侧的区域，存储块 MB 的沿 D2 方向侧的区域也可以作为焊盘配置区域有效地利用。亦即，也可以把焊盘配置在存储块 MB 的 D2 方向侧的空区域。因此，对于宽度 WPB 的焊盘块 PDB，可以无浪费地配置焊盘，提高布局的效率。

而且，例如图 1 (A) 的比较例，存储块 MB 和数据驱动块 DB 与信号流一致地沿短边方向的 D2 方向配置，故而难以实现薄而细长芯片。另外，通过显示面板的像素数、显示驱动器的规格、存储单元的构成等变化或存储块 MB 和数据驱动块 DB 的 D2 方向的宽度或者 D1 方向的长度改变时，其影响也会波及其它电路块，设计就无效率可言。

针对这一点，在图 18 (A) 中，数据驱动块 DB 和存储块 MB 沿 D1 方向邻接配置，因此，可以缩小 D2 方向的集成电路装置的宽度，同时提高设计效率。

而且，对于图 1 (A) 的比较例，由于字线 WL 沿长边方向即 D1 方向配置，故而字线 WL 的信号延迟变大，图像数据的读取速度变慢。特别是，因为连接于存储单元的字线 WL 是由多晶硅形成的，所以这一信号延迟的问题比较严重。

针对该问题，图 18 (A) 中，可以在存储块 MB 内沿短边方向即 D2 方向配置字线 WL，可以沿长边方向即 D1 方向配置位线 BL。另外，本实施例 D2 方向的集成电路装置的宽度 W 较短。所以，可以使存储块 MB 内的字线 WL 的长度较短，缩小 WL 的信号延迟。另外，在图 1 (A) 的比较例中，当由主机访问存储器的一部分存取区域时，由于选择了 D1 方向长度长、寄生电容大的字线 WL，所以电力消费大。针对这一点，在图 18 (A) 中，当主机存取时，因为可以只选择对应于存取区域的存储块的字线 WL，所以，能够实现低功耗。

4.4 驱动器宏单元的宽度

图 18 (A)、图 18 (B) 中，把数据驱动块 DB、存储块 MB、焊盘块 PDB 的 D1 方向的宽度分别表示为 WDB、WMB、WPB 的情况下，例如也可以使 $WDB + WMB \leq WPB$ 的关系式成立。

亦即，在图 18 (A) 中，焊盘块 PDB 的 D1 方向的宽度 WPB 与数据驱动块 DB 的宽度 WDB 加存储块 MB 的宽度 WMB 之和几乎相等，例如 $WDB + WMB = WPB$ 。另一方面，在图 18 (B) 中，配置作为附加电路的转发器块 RP。该转发器块 RP 是包括缓冲器的电路块，该缓冲器把送往存储块 MB 的至少写入数据（或者地址信

号、存储器控制信号)暂存起来,再输出至存储块 MB。而且,在图 18(B)的情况下, $WDB + WMB < WPB$ 。

如果这样的关系式 $WDB + WMB \leq WPB$ 成立,当多个驱动器宏单元沿 D1 方向排列配置后,在相邻的焊盘之间不产生多余的空区域、且多个焊盘块沿 D1 方向排列。所以,数据驱动器用焊盘也在 D1 方向无浪费地排列,从而可以缩小集成电路装置的 D1 方向的宽度。

另外,如果 $WDB + WMB \leq WPB$ 的关系式成立,则可以配置如图 18(B)所示的附加电路即转发器块 RP,并能提高布局的效率。亦即,由于焊盘间距的限制,在焊盘块 PDB 的宽度 WPB 变大、存储块 MB、数据驱动块 DB 的附近出现空区域的情况下,可以在该空区域里配置附加的电路。而且,在该空区域配置的附加电路并不限于转发器块 RP。例如,也可以配置灰阶电压发生电路的一部分、将数据驱动器输出线设定为规定电压的电路、静电保护电路等附加电路。

图 19(A)表示在焊盘块 PDB 中的焊盘(焊盘金属)的配置示例。在图 19(A)中,沿 D1 方向排列的第一行的焊盘列和沿 D1 方向排列的第二行焊盘列沿 D2 方向堆积且错位配置。亦即,如果把 D1 方向作为 X 轴、D2 方向作为 Y 轴,则交错配置第一行的焊盘的中心位置的 X 坐标和第二行的焊盘的中心位置的 X 坐标。而且,在图 19(A)中,焊盘在 D1 方向的间距 PP 是焊盘的中心位置的 X 坐标的差。例如,焊盘 Pn 和 Pn+1 的中心位置的 X 坐标的差为焊盘间距 PP(比如 $20 \sim 22\mu\text{m}$)。

在图 19(B)中,附加电路块即转发器块 RP 的 D1 方向的宽度为 WAB,焊盘块 PDB 中焊盘的个数为 NP。于是,例如 $(NP - 1) \times PP < WDB + WMB + WAB < (NP + 1)$ 的关系式成立。

如果上述关系式成立,则在多个驱动器宏单元沿 D1 排列配置时,为了不产生多余的空区域,多个焊盘块沿 D1 方向排列,可以沿 D1 方向以均匀的焊盘间距配置焊盘。而且,如果以均匀的焊盘间距排列焊盘,用凸起等在玻璃基板上安装集成电路装置时,对焊盘配置区域施加均匀的应力,从而可以防止接触不良。另外,如果焊盘之间产生空区域,因为该空区域导致 ACF 等各向异性导电材料的连接材料的流动发生变化,就有可能导致连接不良的情况发生,但是,如果以均匀的焊盘间距排列配置焊盘,则能够防止这样的情况发生。而且,也可以使 $WDB + WMB + WAB \leq NP \times PP$ 的关系式成立。这样一来,可以使 D1 方向的焊盘间距更加均匀,以实现应力的更加均匀。

而且,在不配置转发器块 RP 那样的附加电路的情况下,可以使 $WAB = 0$ 。另外,也可以在焊盘块 PDB 中配置数据驱动器用焊盘以外的伪焊盘(凸起、未接连接合线的焊盘等),这种情况下,可以把数据驱动器用焊盘和伪焊盘的数目合起来作为焊盘的个数 NP。

5. 数据驱动块、存储块的详细说明

5.1 块分割

如图 20(A)所示,显示面板是垂直扫描方向(数据线方向)的像素数 $VPN = 320$ 、水平扫描方向(扫描线方向)的像素数 $HPN = 240$ 的 QVGA 面板。另外,一个像素份的图像(显示)数据的位数 PDB 的 R、G、B 各为 6 位,且 $PDB = 18$ 位。在此情况下,显示面板的一帧显示所需要的图像数据的位数 $VPN \times HPN \times PDB = 320 \times 240 \times 18$ 位。所以,集成电路装置的存储器至少需要存储 $320 \times 240 \times 18$ 位的图像数据。而且,数据驱动器向显示面板输出每一

个水平扫描周期（一根扫描线扫描的时间） $HPN = 240$ 根数据信号（对应于 240×18 位的图像数据的数据信号）。

而且，在图 20（B）中，数据驱动器被分割成 $DBN = 4$ 个数据驱动块 $DB1 \sim DB4$ 。而存储器也被分割成 $MBN = DBN = 4$ 个存储块 $MB1 \sim MB4$ 。亦即，例如把数据驱动块、存储块、焊盘块进行宏单元化的四个驱动器宏单元 $DMC1$ 、 $DMC2$ 、 $DMC3$ 、 $DMC4$ 沿 $D1$ 方向配置。所以，各驱动器块 $DB1 \sim DB4$ 在每一个水平扫描周期向显示面板输出 $HPN/DBN = 240 / 4 = 60$ 根数据信号。另外，各存储块 $MB1 \sim MB4$ 存储 $(VPN \times HPN \times PDB) / MBN = (320 \times 240 \times 18) / 4$ 位的图像数据。

5.2 水平扫描期间的多次读取

在图 20（B）中，各数据驱动块 $DB1 \sim DB4$ 在一个水平扫描期间输出 60 根（如果 R 、 G 、 B 个为 3 根，则 $60 \times 3 = 180$ 根）的数据信号。所以，每一个水平扫描期间，必须从对应于 $DB1 \sim DB4$ 的存储块 $MB1 \sim MB4$ 读取 240 根对应于数据信号的图像数据。

然而，如果每一个水平扫描期间读取的图像数据的位数增加，就会发生需要增加 $D2$ 方向上排列的存储单元（读出放大器）个数。其结果是，集成电路装置 $D2$ 方向的宽度 W 增大，妨碍使芯片瘦长。另外，带来字线 WL 变长、 WL 的信号延迟的问题。

于是，在本实施例中，采用如下方法：在一个水平扫描期间，从各存储块 $MB1 \sim MB4$ 多次（ RN 次）将存储在各存储块 $MB1 \sim MB4$ 中的图像数据读取到数据驱动块 $DB1 \sim DB4$ 。

例如，在图 21 中，如 $A1$ 、 $A2$ 所示，在一个水平扫描期间，只在 $RN = 2$ ，存储器存取信号 $MACS$ （字选择信号）为激活（高电平）。由此，在一个水平扫描期间， $RN = 2$ 次从各存储块向各数据

驱动块读取图像数据。这样,设置于数据驱动块内的图 22 的第一、第二数据驱动器 DRa、DRb 所含的数据锁存电路根据 A3、A4 所示的锁存信号 LATa、LATb 锁存读取的图像数据。而且,第一、第二数据驱动器 DRa、DRb 所含的 D/A 转换电路则进行被锁存的图像数据的 D/A 转换,DRa、DRb 所含的输出电路把通过 D/A 转换所得的数据信号 DATAa、DATAb 如 A5、A6 所示输出至数据信号输出线。之后,如 A7 所示,输入到显示面板的各像素的 TFT 的栅极的扫描信号 SCSEL 为激活,数据信号被输入至各像素,并予以保持。

而且,在图 21 中,在第一个水平扫描期间,两次读取图像数据,在同一个第一水平扫描期间,把数据信号 DATAa、DATAb 输出至数据信号输出线。但是,也可以是,在第一水平期间两次读取数据信号 DATAa、DATAb 并进行锁存,在接下来的第二水平期间,把对应被锁存的图像数据的数据信号 DATAa、DATAb 输出至数据信号输出线。另外,图 21 中表示读取次数 $RN=2$ 的情况,但是,也可以是 $RN \geq 3$ 。

根据图 21 的方法,如图 22 所示,从各存储块读取对应于 30 根的数据信号的图像数据,各数据驱动器 DRa、DRb 则输出 30 根的数据信号。由此,从各数据驱动块输出 60 根的数据信号。如此,在图 21 中,如果通过一次读取而从各存储器读取对应于 30 根的数据信号的图像数据即可。所以,相比在一个水平扫描期间只读取一次的方法,可以减少图 22 的 D2 方向的存储单元、读出放大器的个数。其结果是,可以减小集成电路装置 D2 方向的宽度,可以实现超薄而细长芯片。特别是,一个水平扫描期间的长度在 QVGA 的情况下是 $52\mu\text{sec}$ 的水平。另一方面,存储器的读出时间例如是 40nsec 的水平,与 $52\mu\text{sec}$ 相比非常短。所以,即使在一个水平扫描期间的读取次数从 1 次增加到多次,对于显示特性并无多大的影响。

而且,图 20 (A) 是 QVGA (320 × 240) 的显示面板,如果使一个水平扫描期间的读取次数 $RN = 4$,也可以适应于 VGA (640 × 480) 显示面板,从而可以增加设计的自由度。

而且,也可以用第一方法实现一个水平扫描期间多次读取,即:通过行地址译码器(字线选择电路)在一个水平扫描期间对各存储块内的不同的多根字线进行选择;也可以用第二方法实现一个水平扫描期间多次读取,即:通过行地址译码器在一个水平扫描期间对各存储块内的相同的字线进行多次选择;或者,也可以通过第一、第二方法的组合来实现。

5.3 数据驱动器、驱动单元的配置

数据驱动器和数据驱动器所含驱动单元的配置举例示于图 22。如图 22 所示,数据驱动块包括在 D1 方向堆积的多个数据驱动器 DRa、DRb (第一~第 m 个数据驱动器)。另外,各个数据驱动器 DRa、DRb 又包括多个 30 (广义地为 Q 个) 个驱动单元 DRC1 ~ DRC30。

在存储块字线 WL1a 被选出、且如图 21 的 A1 所示从存储块读取第一次图像数据时,第一数据驱动器 DRa 根据 A3 所示的锁存信号 LATa,锁存读出的图像数据。而且,进行被锁存图像数据的 D/A 转换,并把对应于第一次读取的图像数据的数据信号 DATAa 如 A5 所示的那样输出至数据信号输出线。

另一方面,在存储块字线 WL1b 被选出、且如图 21 的 A2 所示从存储块读取第二次的图像数据时,第二数据驱动器 DRb 根据 A4 所示的锁存信号 LATa,锁存读出的图像数据。而且,进行被锁存图像数据的 D/A 转换,并把对应于第二次读取的图像数据的数据信号 DATAb 如 A6 所示的那样输出至数据信号输出线。

如上所述，各数据驱动器 DRa、DRb 输出对应 30 个像素的 30 根的数据信号，总共输出对应于 60 个像素的 60 根的数据信号。

如图 22 那样，如果沿 D1 方向配置（堆积）多个数据驱动器 DRa、DRb，则可以防止由于数据驱动器规模的大小而导致使集成电路装置 D2 方向的宽度 W 扩大的情况。另外，数据驱动器根据显示面板的类型采用各种构成。在这样的情况下，只要根据把多个数据驱动器沿 D1 方向配置的方法，就可以高效率地布置各种构成的数据驱动器。而且，在图 22 中，示出 D1 方向的数据驱动器的配置数是两个的情况，但是，配置数可以大于等于 3。

而且，图 22 中各个数据驱动器 DRa、DRb 包括沿 D2 方向排列配置的 30 个（Q 个）驱动单元 DRC1 ~ DRC30。这里，驱动单元 DRC1 ~ DRC30 分别接收一个像素的图像数据。而且，进行一个像素的图像数据的 D/A 转换，输出对应一个像素图像数据的数据信号。这种驱动单元 DRC1 ~ DRC30 的各单元可以包括数据的锁存电路、图 10（A）的 DAC（1 像素的 DAC）、图 10（B）和图 10（C）的输出部分 SQ。

而且，在图 22 中，显示面板水平扫描方向的像素数（在由多个集成电路装置分担并驱动显示面板的数据线的情况下，各集成电路装置所承担的水平扫描方向的像素数）为 HPN，数据驱动块的块数（块分割数）为 DBN，在一个水平扫描期间对驱动单元输入图像数据的输入次数为 IN。而且，IN 等于图 21 所说明的一个水平扫描期间的图像数据读取次数 RN。在这情况下，沿 D2 方向排列的驱动单元 DRC1 ~ DRC30 的个数可以表示为 $Q = \text{HPN} / (\text{DBN} \times \text{IN})$ 。图 22 的情况下，因为 $\text{HPN} = 240$ 、 $\text{DBN} = 4$ 、 $\text{IN} = 2$ ，所以 $Q = 240 / (4 \times 2) = 30$ 个。

而且, 在驱动单元 DRC1 ~ DRC30 的 D2 方向的宽度 (间距) 为 WD、数据驱动块所含外围电路部分 (缓冲电路、配线区域等) 的 D2 方向的宽度为 WPCB 的情况下, 第一 ~ 第 N 电路块 CB1 ~ CBN 的 D2 方向的宽度 WB (最大宽度) 可以表示为 $Q \times WD \leq WB < (Q + 1) \times WD + WPCB$ 。另外, 在存储块所含外围电路部分 (行地址译码器 RD、配线区域) 的 D2 方向的宽度为 WPC 的情况下, 可以表示为 $Q \times WD \leq WB < (Q + 1) \times WD + WPC$ 。

而且, 显示面板水平扫描方向的像素数为 HPN、1 像素的图像数据的位数为 PDB、存储块的块数为 MBN (= DBN)、在一个水平扫描期间从存储块读取图像数据的读取次数为 RN。此时, 在读出放大器块 SAB 中沿 D2 方向排列的读出放大器 (输出一位图像数据的读出放大器) 的个数 P 可以表示为 $P = (HPN \times PDP) / (MBN \times RN)$ 。在图 22 的情况下, 由于 $HPN = 240$ 、 $PDP = 18$ 、 $MBN = 4$ 、 $RN = 2$, 所以, $P = (240 \times 18) / (4 \times 2) = 54$ 个。而且, 个数 P 是与有效存储单元数对应的有效读出放大器数, 不包括伪存储单元用读出放大器等非有效读出放大器的个数。

而且, 读出放大器块 SAB 所含的各读出放大器的 D2 方向的宽度 (间距) 为 WS 时, 读出放大器块 SAB (存储块) 的 D2 方向的宽度 WSAB 可以表示为 $WSAB = P \times WS$ 。而且, 在存储块所含外围电路部分的 D2 方向的宽度为 WPC 时, 电路块 CB1 ~ CBN 的 D2 方向的宽度 WB (最大宽度) 可以表示为 $P \times WS \leq WB < (P + PDB) \times WS + WPC$ 。

5.4 数据驱动块的布局

数据驱动块更为详细的布局举例示于图 23。在图 23 中, 数据驱动块包括其各自输出对应一个子像素的图像数据的数据信号的多个子像素驱动单元 SDC1~SDC180。而且, 就该数据驱动块而言,

沿 D1 方向（沿子像素驱动单元长边的方向）配置多个子像素驱动单元的同时，沿垂直于 D1 的 D2 方向也配置多个子像素驱动单元。亦即，子像素驱动单元 SDC1 ~ SDC180 呈矩阵式配置。而且，用来实现数据驱动块输出线与显示面板的数据线电连接的焊盘则配置在数据驱动块的 D2 方向侧。

例如，图 22 的数据驱动器 DRa 的驱动单元 DRC1 由图 23 的子像素驱动单元 SDC1、SDC2、SDC3 构成。这里，SDC1、SDC2、SDC3 分别是 R（红）用、G（绿）用、B（兰）用的子像素驱动单元，从存储块输入对应第一根数据信号的 R、G、B 图像数据（R1、G1、B1）。而且，子像素驱动单元 SDC1、SDC2、SDC3 对这些图像数据（R1、G1、B1）进行 D/A 转换，把第一根 R、G、B 数据信号（数据电压）输出至对应第一根数据线的 R、G、B 用焊盘。

同样，驱动单元 DRC2 由 R 用、G 用、B 用的子像素驱动单元 SDC4、SDC5、SDC6 构成。从存储块输入对应第二根数据信号的 R、G、B 图像数据（R2、G2、B2）。而且，子像素驱动单元 SDC4、SDC5、SDC6 对这些图像数据（R2、G2、B2）进行 D/A 转换，把第二根 R、G、B 数据信号（数据电压）输出至对应第二根数据线的 R、G、B 用焊盘。其它子像素驱动单元也是一样。

而且，子像素的数目并不限定于三个，也可以大于等于四个。另外，子像素驱动单元的配置也不限于图 23，也可以是例如把 R 用、G 用、B 用子像素驱动单元沿 D2 方向堆积配置。

5.5 存储块的布局

存储块的布局举例示于图 24。图 24 详细表示存储块中对应于 1 个像素（R、G、B 各为 6 位，合计 18 位）的部分。

对应于读出放大器块中 1 个像素的部分包括 R 用读出放大器 SAR0 ~ SAR5、G 用读出放大器 SAG0 ~ SAG5、B 用读出放大器 SAB0 ~ SAB5。另外，在图 24 中沿 D1 方向堆积配置两个（广义为多个）读出放大器（及缓冲器）。而且，在堆积配置的读出放大器 SAR0、SAR1 的 D1 方向侧沿 D1 方向排列的 2 行存储单元列中上侧行的存储单元列的位线例如连接于 SAR0，下侧行的存储单元列的位线例如连接于 SAR1。而且，SAR0、SAR1 对从存储单元读取的图像数据的信号进行放大，由此，从 SAR0、SAR1 输出 2 位图像数据。其它读出放大器和存储单元的关系也是一样。

在图 24 的构成的情况下，如图 21 所示的一个水平扫描期间图像数据的多次读取可以如下述来实现。亦即，在第一水平扫描期间（第一扫描线选择期间）先选择字线 WL1a，进行图像数据的第一次读取，如图 21 的 A5 所示，输出第一次数据信号 DATAa。在此情况下，来自读出放大器 SAR0 ~ SAR5、SAG0 ~ SAG5、SAB0 ~ SAB5 的 R、G、B 图像数据被分别输入至子像素驱动单元 SDC1、SDC2、SDC3。接着，在同一个第一水平扫描期间选择字线 WL1b，进行图像数据的第二次读取，如图 21 的 A6 所示，输出第二次数据信号 DATAb。在此情况下，来自读出放大器 SAR0 ~ SAR5、SAG0 ~ SAG5、SAB0 ~ SAB5 的 R、G、B 图像数据被分别输入至图 23 的子像素驱动单元 SDC91、SDC92、SDC93。另外，在接下来的第二水平扫描期间（第二个扫描线选择期间），先选择字线 WL2a，进行图像数据的第一次读取，并输出第一次的数据信号 DATAa。接着，在同一个第二水平扫描期间，选择字线 WL2b，进行图像数据的第二次读取，并输出第二次的数据信号 DATAb。

而且，也可以实施不在 D1 方向堆积配置读出放大器的变形。而且，也可以用列选择信号切换连接于各读出放大器的存储单元列。在这情况下，通过在存储块内、在一个水平扫描期间多次选择相同字线，可以实现一个水平扫描期间的多次读取。

5.6 子像素驱动单元的布局

子像素驱动单元的详细布局举例示于图 25。如图 25 所示，各个子像素驱动单元 SDC1 ~ SDC180 包括锁存电路 LAT、电平移位器 L/S、D/A 转换器 DAC、以及输出部 SSQ。此外，也可以在锁存电路 LAT 和电平移位器 L/S 之间设置用于灰阶控制的 FRC (Frame Rate Control, 帧速控制) 电路等其它逻辑电路。

各个子像素驱动单元所含锁存电路 LAT 用于锁存来自存储块 MB1 的作为一个字像素的 6 位图像数据。电平移位器 L/S 对来自锁存电路 LAT 的 6 位图像数据信号进行电压电平的变换。D/A 转换器 DAC 用灰阶电压进行 6 位图像数据的 D/A 转换。输出部 SSQ 包括用于进行 D/A 转换器 DAC 的输出信号的阻抗变换的运算放大器 OP(连接电压跟随器)，驱动对应于 1 个子像素的 1 个数据线。而且，输出部 SSQ 除了运算放大器 OP 外还可以包括放电用、8 色显示用 DAC 驱动用的晶体管(开关元件)。

而且，如图 25 所示，各个子像素驱动单元包括：LV 区域(广义地，第一电路区域)，配置有以 LV (Low Voltage, 低电压) 的电压电平(广义为第一电压电平) 的电源进行工作的电路；以及 MV 区域(广义为第二电路区域)，配置有以高于 LV 的 MV (Middle Voltage, 中等电压) 电压电平(广义为第二电压电平) 的电源进行工作的电路。这里，LV 是逻辑电路块 LB、存储块 MB 等的工作电压。MV 是 D/A 转换器、运算放大器、电源电路等的工作电压。而且，扫描驱动器的输出晶体管由 HV (High Voltage, 高电压) 电压电平(广义为第三电压电平) 的电源供电，并驱动扫描线。

例如，在子像素驱动单元的 LV 区域(第一电路区域) 中配置锁存电路 LAT (或者其他的逻辑电路)。另外，在 MV 区域配置包

括 D/A 转换器 DAC、运算放大器 OP 的输出部 SSQ。电平移位器 L/S 将 LV 电压电平的信号变换成 MV 电压电平的信号。

而且，在图 25 中，在子像素驱动单元 SDC1 ~ SDC180 的 D4 方向侧设有缓冲电路 BF1。该缓冲器电路 BF1 用来暂存来自逻辑电路 LB 的驱动器控制信号，并输出至子像素驱动单元 SDC1 ~ SDC180。换言之，是作为驱动器控制信号的转发器块而发挥作用。

具体地说，缓冲器电路 BF1 包括配置在 LV 区域的 LV 缓冲器和配置在 MV 区域的 MV 缓冲器。而且，LV 缓冲器接受来自逻辑电路 LB 的 LV 电压电平的驱动器控制信号（锁存信号等）并暂存，再输出至配置在其 D2 方向侧的子像素驱动单元的 LV 区域的电路（LAT）。另外，MV 缓冲器接受来自逻辑电路 LB 的 LV 电压电平的驱动器控制信号（DAC 控制、输出控制信号等），并且通过电平移位器变换成 MV 的电压电平并暂存，再输出至配置在其 D2 方向一侧的子像素驱动单元的 MV 区域的电路（DAC、SSQ）。

而且，例如图 25 所示，在本实施中，以各个子像素驱动单元的 MV 区域（或者同为 LV 区域的）沿 D1 方向彼此邻接的方式，配置子像素驱动单元 SDC1 ~ SDC180。亦即，邻接的子像素驱动单元隔着沿 D2 方向的邻接边界镜像配置。例如，以 MV 区域彼此邻接的方式，配置子像素驱动单元 SDC1 和 SDC2。而子像素驱动单元 SDC3 和 SDC91 也配置成 MV 区域彼此邻接。而且，子像素驱动单元 SDC2 和 SDC3 配置成 LV 区域彼此邻接。

如果如图 25 所示以 MV 区域邻接的方式配置，则不需在子像素驱动单元之间设置护圈。所以，相比于使 MV 区域和 LV 区域邻接的方法，可以缩小数据驱动块的 D1 方向的宽度，实现集成电装置的小面积化。

另外, 根据图 25 的配置方法, 可以将彼此邻接的子像素驱动单元 (驱动单元) 的 MV 区域作为子像素驱动单元 (驱动单元) 的输出信号的引出线的配线区域而有效利用, 从而可以提高布局的效率。

而且, 根据图 25 的配置方法, 可以将存储块相对于子像素驱动单元的 LV 区域邻接而配置。例如在图 25 中, 将存储块 MB1 邻接于子像素驱动单元 SDC1、SDC88 的 LV 区域而配置。另外, 存储块 MB2 邻接于子像素驱动单元 SDC93、SDC180 的 LV 区域而配置。而且, 存储块 MB1、MB2 通过 LV 电压电平的电源进行工作。所以, 如上所述, 邻接存储块而配置子像素驱动单元的 LV 区域, 就能有效缩小由数据驱动块及存储块构成的驱动器宏单元在 D1 方向的宽度, 实现集成电路装置的小面积化。

另外, 即使在集成电路装置不包括存储块的情况下, 也可以根据图 25 的方法把转发器块配置在相邻的子像素驱动单元的 LV 区域之间的区域内。由此, 可以是, 来自逻辑电路块 LB 的 LV 电压电平的信号 (图像数据信号) 由转发器块暂存, 再输入子像素驱动单元。

6. 电子设备

包括本实施例的集成电路装置 10 的电子设备 (电气光学装置) 的例子示于图 26 (A) (B)。而且, 电子设备还可以包括图 26 (A) (B) 所示以外的构成部件 (比如照相机、操作部或电源等)。而且, 本实施例的电子设备并不限定在便携式电话机, 数码相机、PDA、电子备忘录、电子词典、投影仪、背投电视机或者便携式信息终端等等均可。

在图 26(A)、图 26(B)中,主机设备 **410** 比如是 MPU (Micro Processor Unit, 微处理单元)、基带引擎 (基带处理器) 等。该主机设备 **410** 进行显示驱动器即集成电路装置 **10** 的控制。或者,也可以进行作为应用引擎和基带引擎的处理、以及压缩、伸长、校准等的作为图像引擎的处理。另外,图 26(B)的图像处理控制器 **420** 则代替主机设备 **410**,进行压缩、伸长、校准等作为图像引擎的处理。

显示面板 **400** 包括多根数据线 (源极线)、多根扫描线 (栅极线)、以及由数据线及扫描线确定的多个像素。而且,通过改变各个像素区域的电气光学元件 (狭义的是液晶元件) 的光学特性来实现显示动作。该显示面板 **400** 可以由采用 TFT、TFD 等开关元件的有源矩阵方式的面板构成。而且,显示面板 **400** 也可以是有源矩阵方式以外的面板,也可以是液晶面板以外的面板。

在图 26(A)的情况下,作为集成电路装置 **10**,可以用存储器内置型的。亦即,在此情况下,集成电路装置 **10** 把来自主机 **410** 的图像数据暂时写入内置存储器,并且从内置存储器读出被写入的图像数据,用于驱动显示面板。另一方面,在图 26(B)的情况下,作为集成电路装置 **10** 可以用存储器非内置的存储器。亦即,在此情况下,来自主机 **410** 的图像数据被写入图像处理控制器 **420** 的内置存储器中。而且,集成电路装置 **10** 在图像处理控制器 **420** 的控制下驱动显示面板 **400**。

如上所述,有关本实施例作了详细地说明。可以实施实质上不脱离本发明的新内容及效果的多种变形,对于本领域技术人员来说,想必容易理解这一点。因此,这类变形应全部包括在本发明的范围内。例如,在说明书或者附图中,至少一次与更为广义或者同义的不同用语 (第一接口区域、第二接口区域、K 个等) 一起记载的用语 (输出侧 I/F 区域、输入侧 I/F 区域、两个等) 在说明书

和附图的任何地方都可以置换为不同的用语。另外，在焊盘配置区域配置控制晶体管的本实施例的方法也可以适用于与图3不同的配置、构成的集成电路装置。

符号说明

CB1~CBN 第一~第 N 电路块

TC1、TC2、TCN1、TCP1、TCN2、TCP2 控制晶体管

DI1~DI4 二极管

P1、P2 焊盘

OP1、OP2 运算放大器

DB 数据驱动块

MB 存储块

PDB 焊盘块

DMC1~DMC4 驱动器宏单元

DRC1~DRC30 驱动单元

SDC1~SDC180 子像素驱动单元

10 集成电路装置

12 输出侧 I/F 区域

14 输入侧 I/F 区域

20 存储器

22 存储单元阵列

24 行地址译码器

26 列地址译码器

28 写/读电路;

40 逻辑电路

42 控制电路

44 显示时刻控制电路

46 主接口电路

48 RGB 接口电路

50 数据驱动器

52 数据锁存电路

54 D/A 转换电路

56 输出电路

70 扫描驱动器

72 移位寄存器

73 扫描地址生成电路

74 地址译码器

76 电平移位器

78 输出电路

90 电源电路

92 升压电路

94 调节器电路

96 VCOM 生成电路

98 控制电路

110 灰阶电压发生电路

112 选择用电压生成电路

114 灰阶电压选择电路

116 调整寄存器

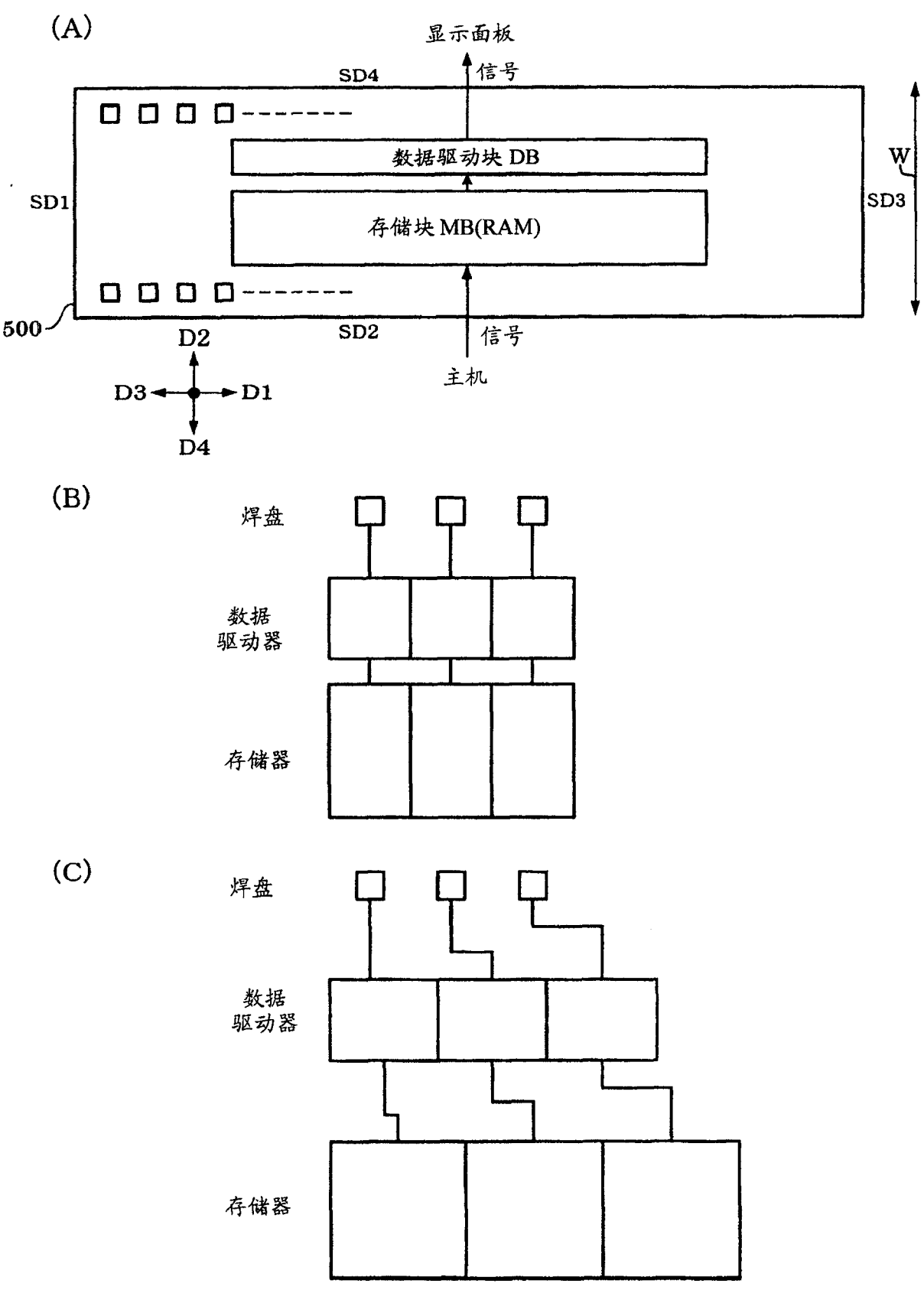
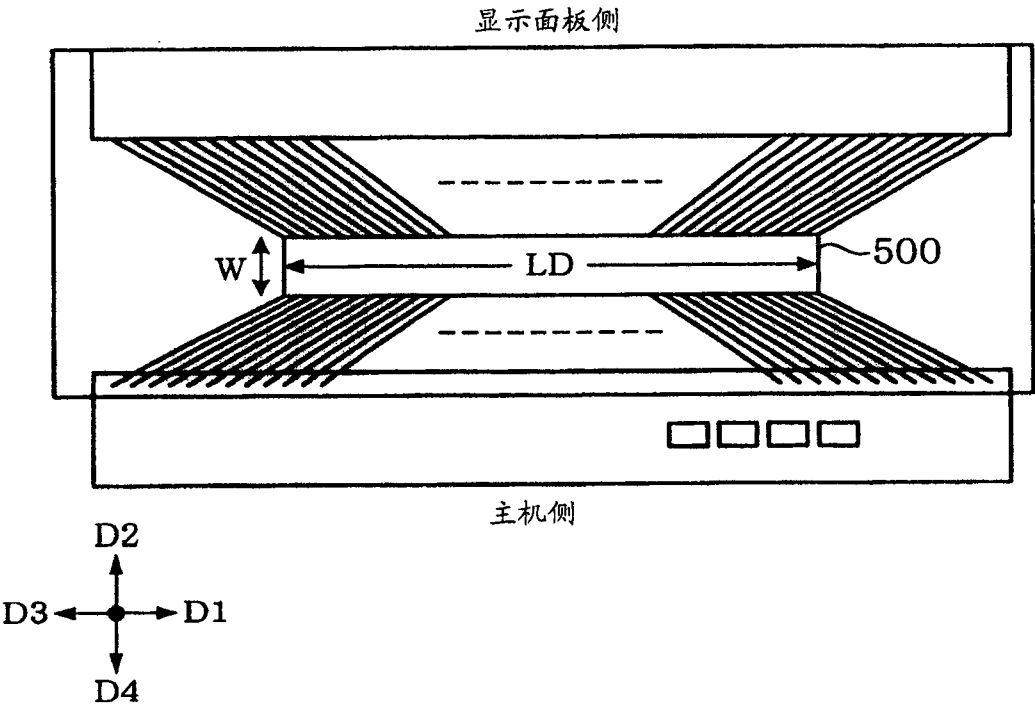


图 1

(A)



(B)

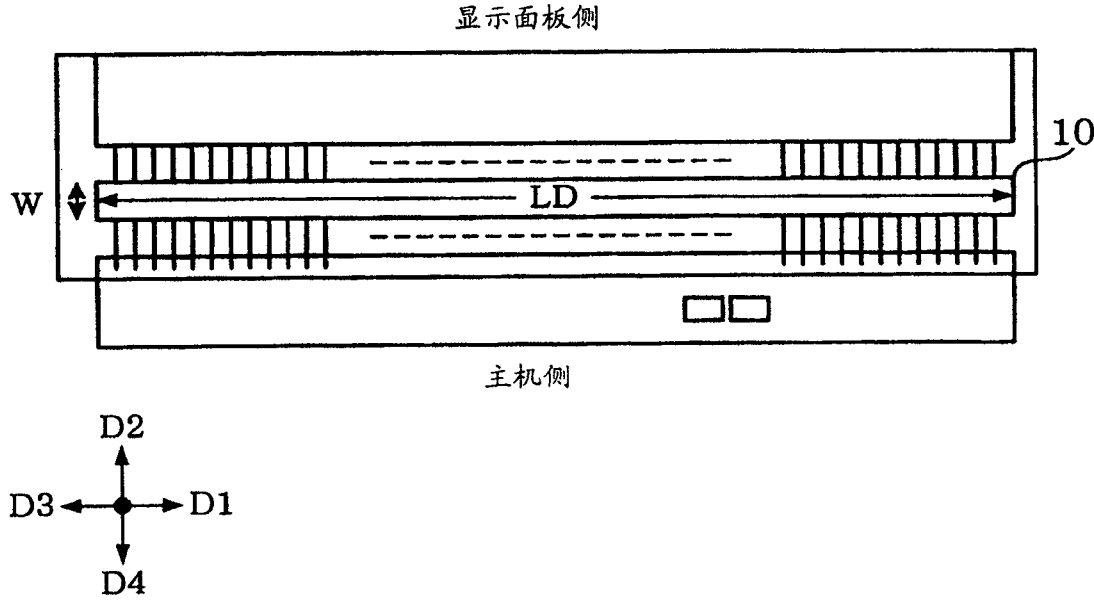


图 2

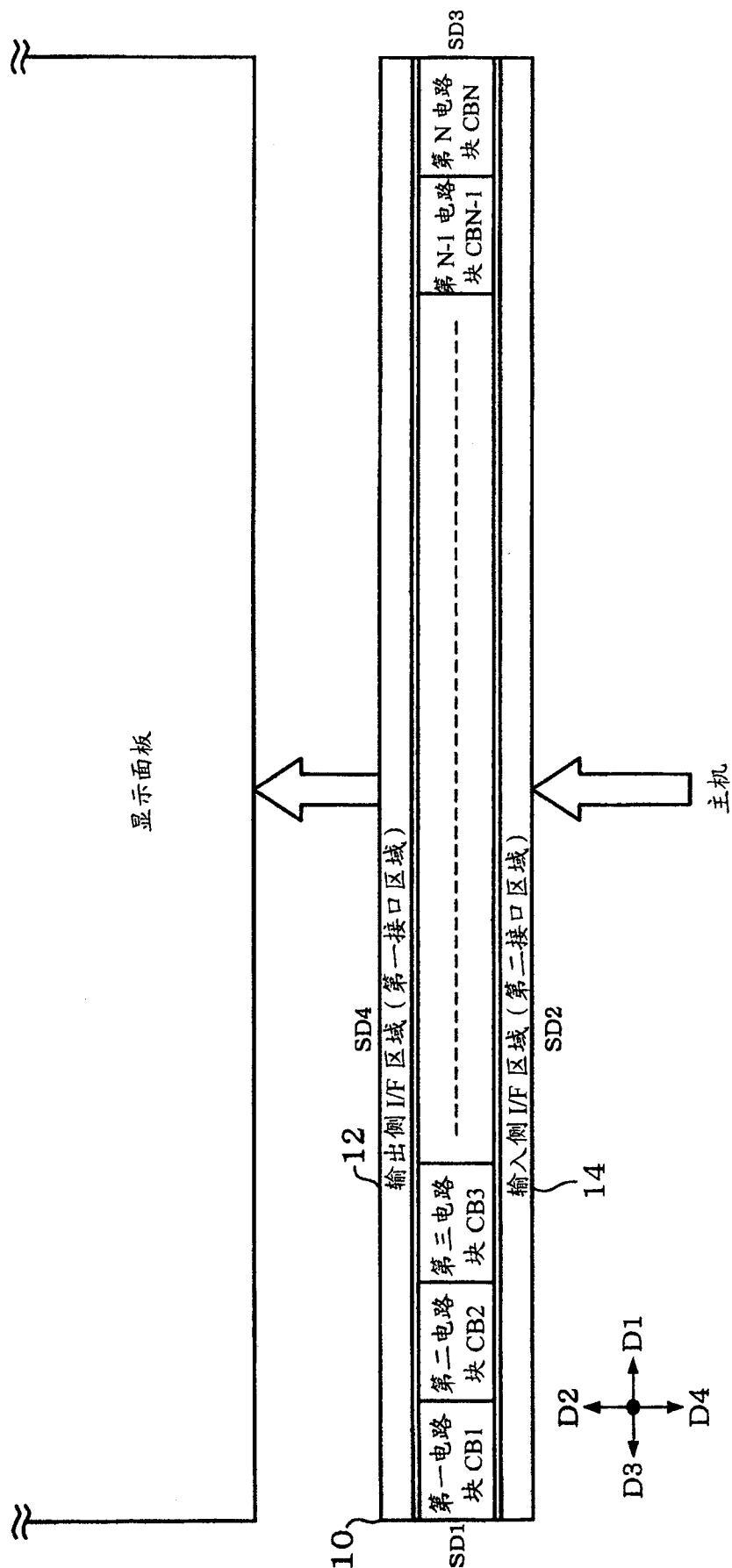


图 3

	内存储器(RAM)		非内存储器		CSTN	TFD
	非晶形 TFT	低温多晶硅 TFT	非晶形 TFT	低温多晶硅 TFT		
存储器(RAM)	○	○	×	×	○	○
数据驱动器	○	○	○	○	○	○
扫描驱动器	○	×	○	×	○	○
逻辑电路(G/A)	○	○	○	○	○	○
灰阶电压生成电路(V)	○	○	○	○	×	×
电源电路	○	○	○	○	○	○

图 4

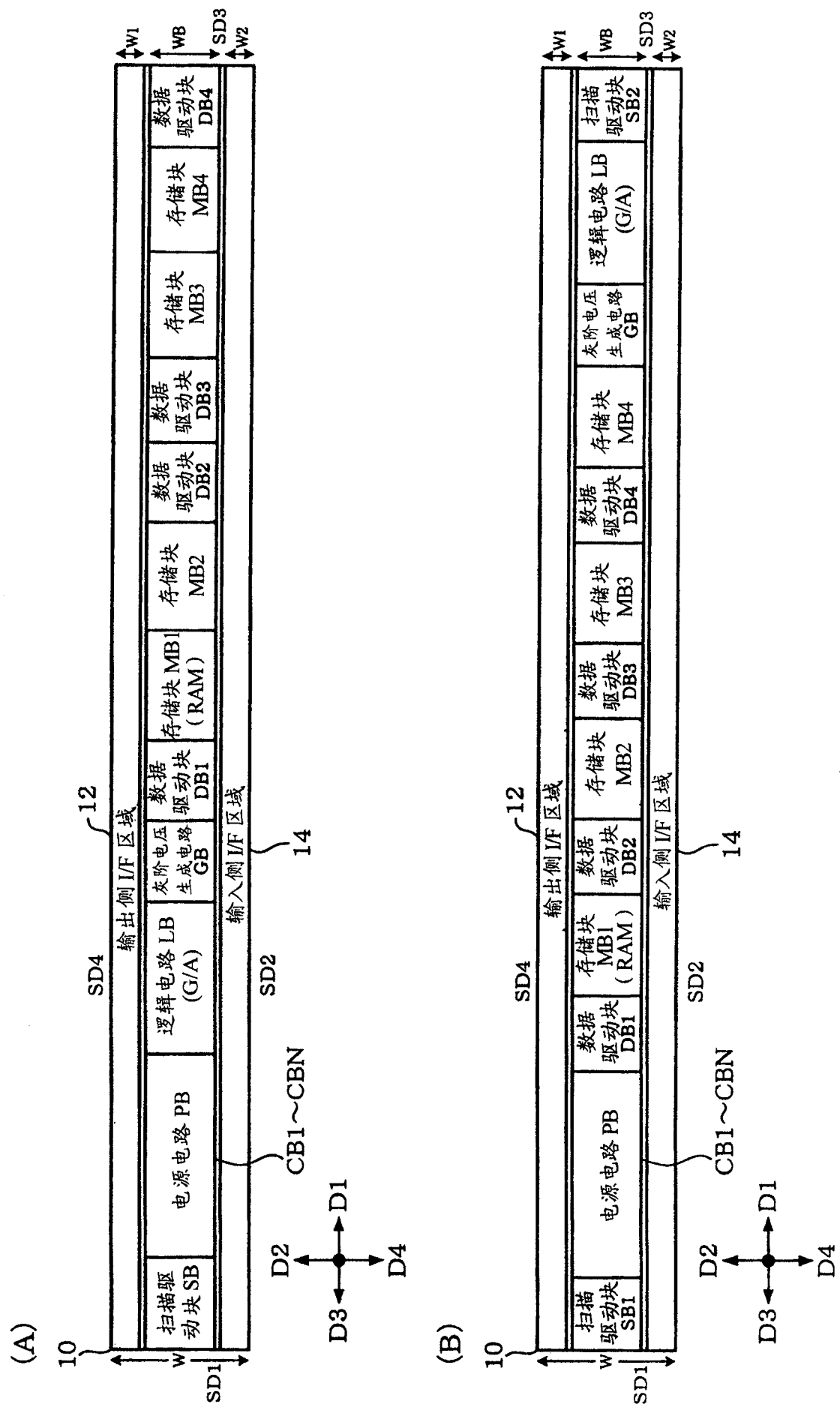


图 5

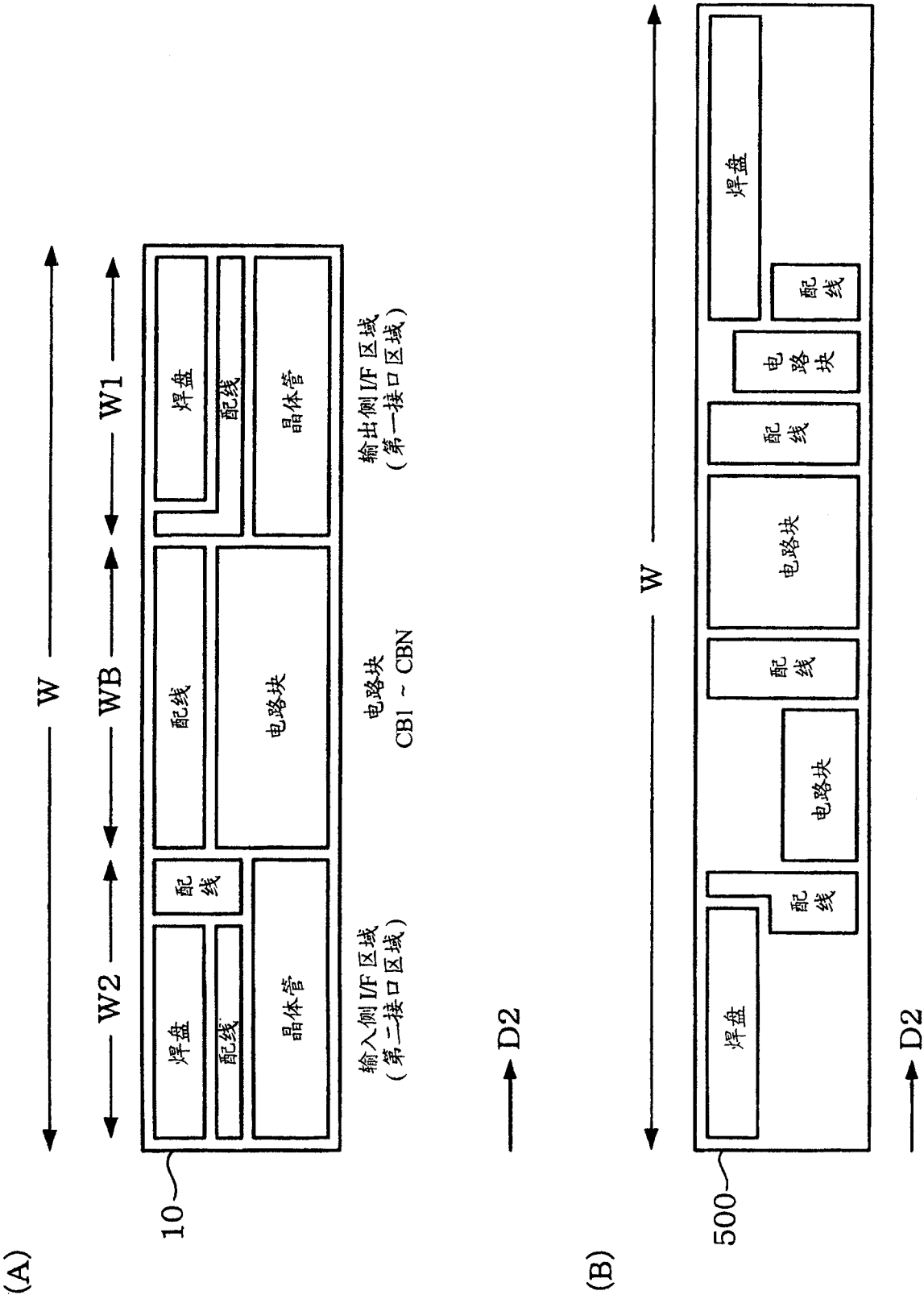


图 6

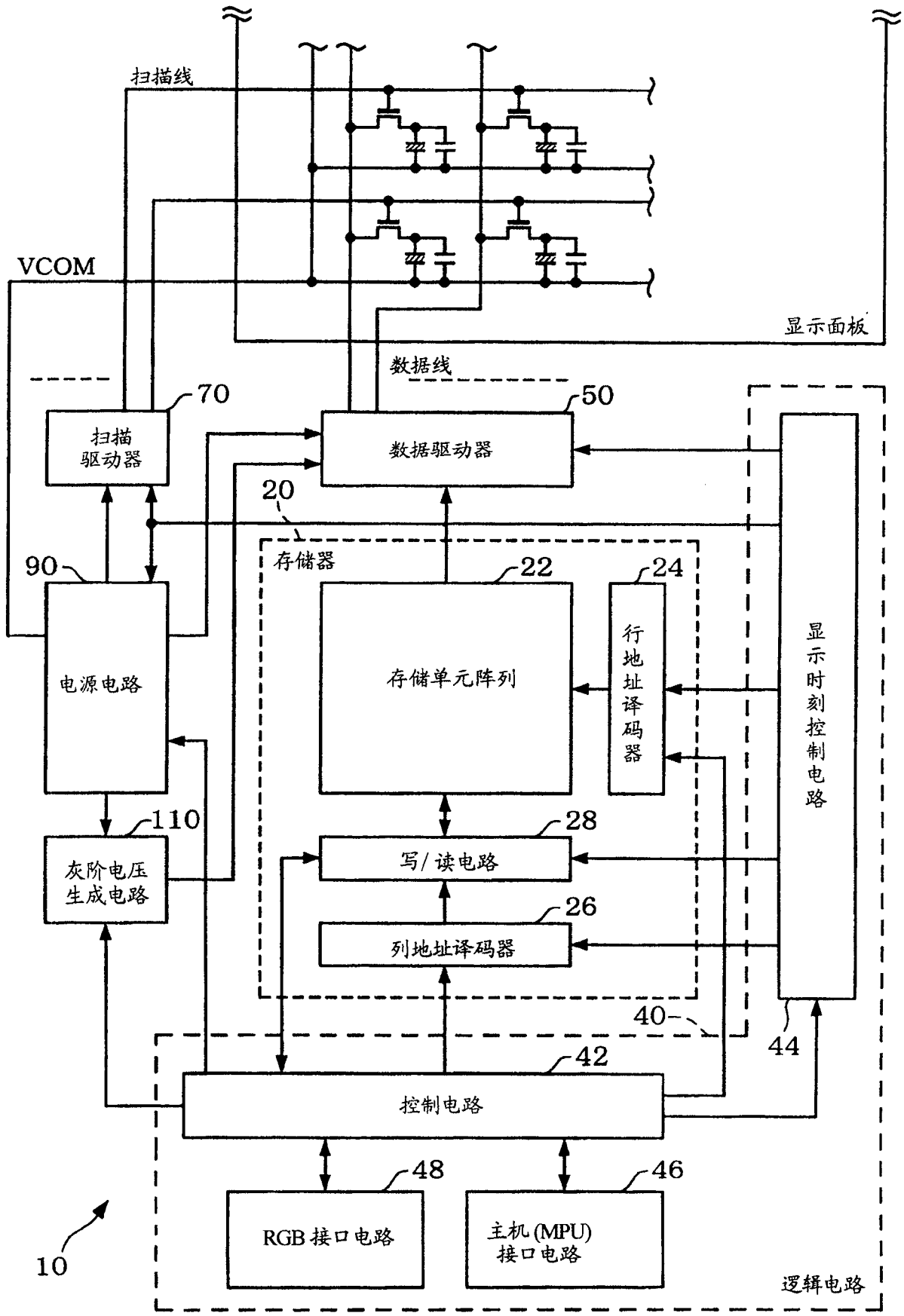
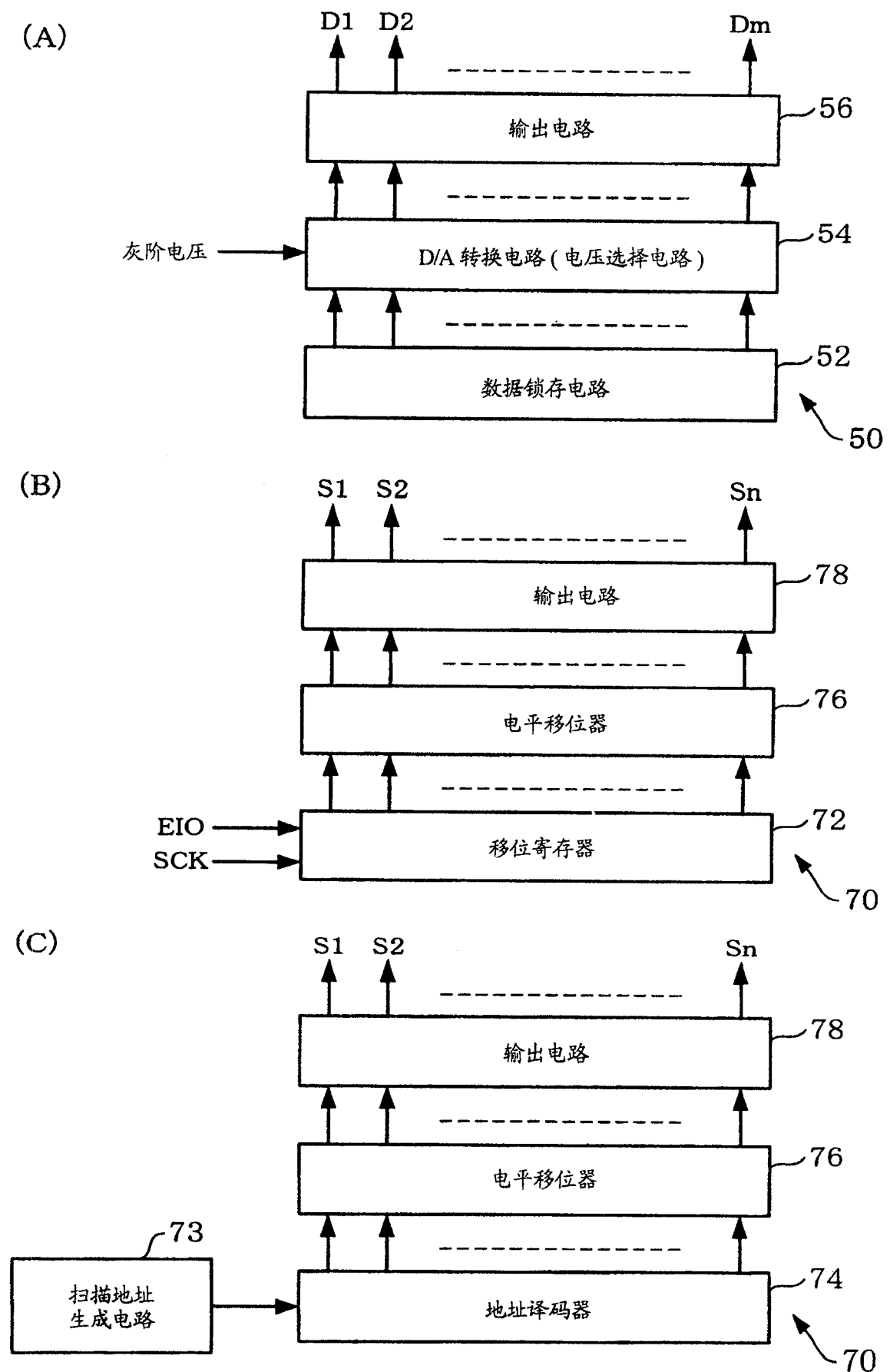


图 7



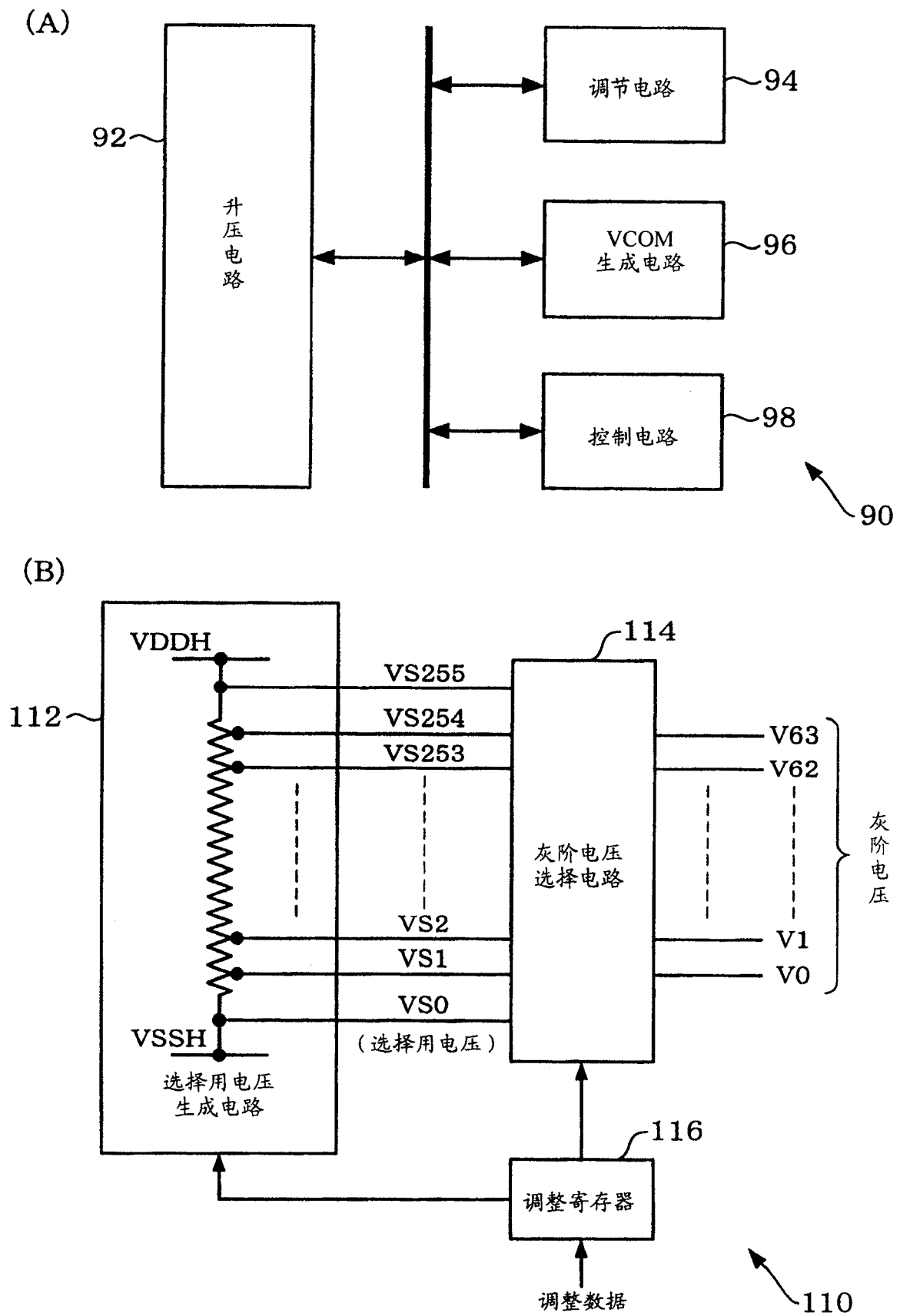


图 9

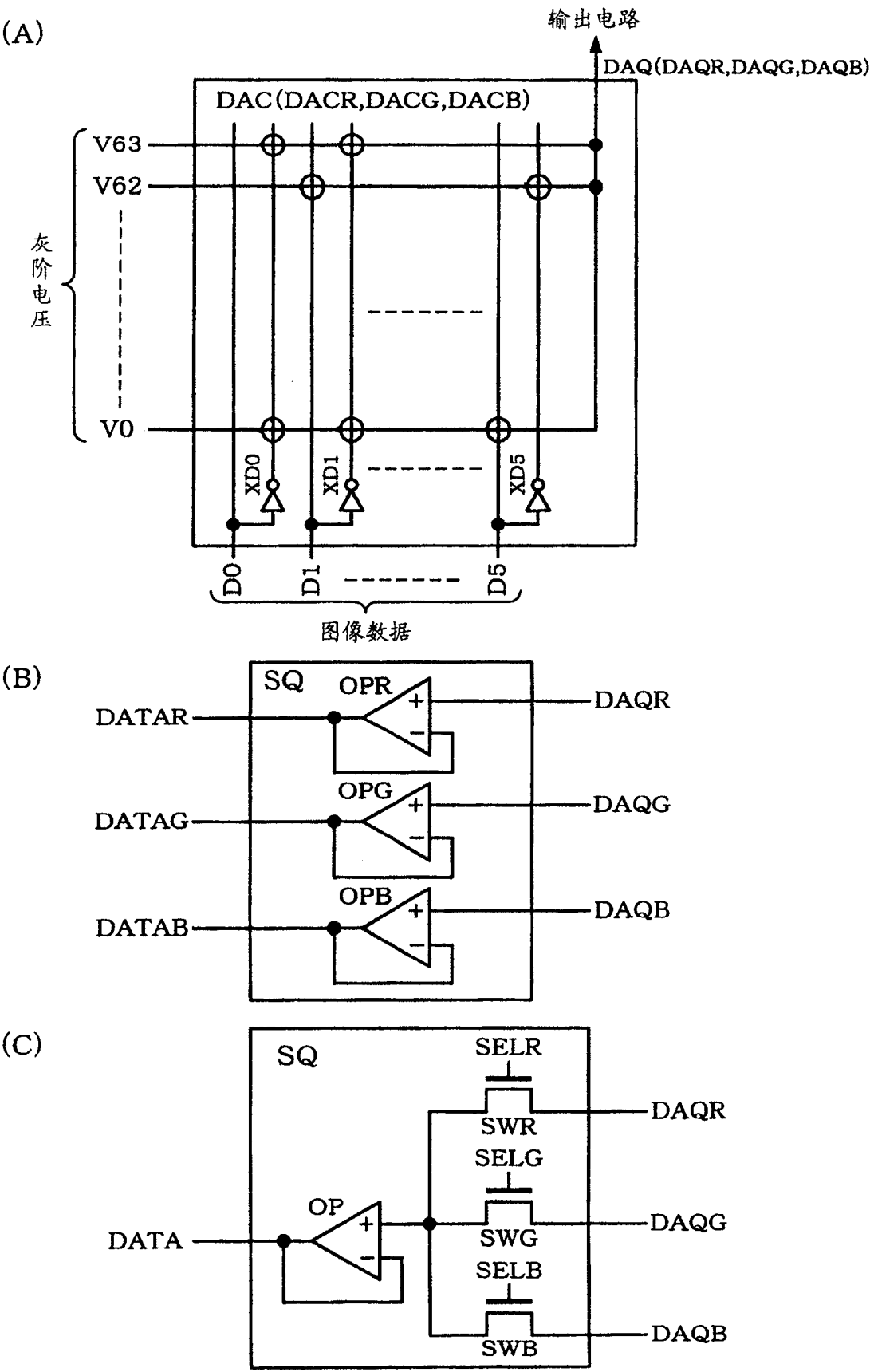


图 10

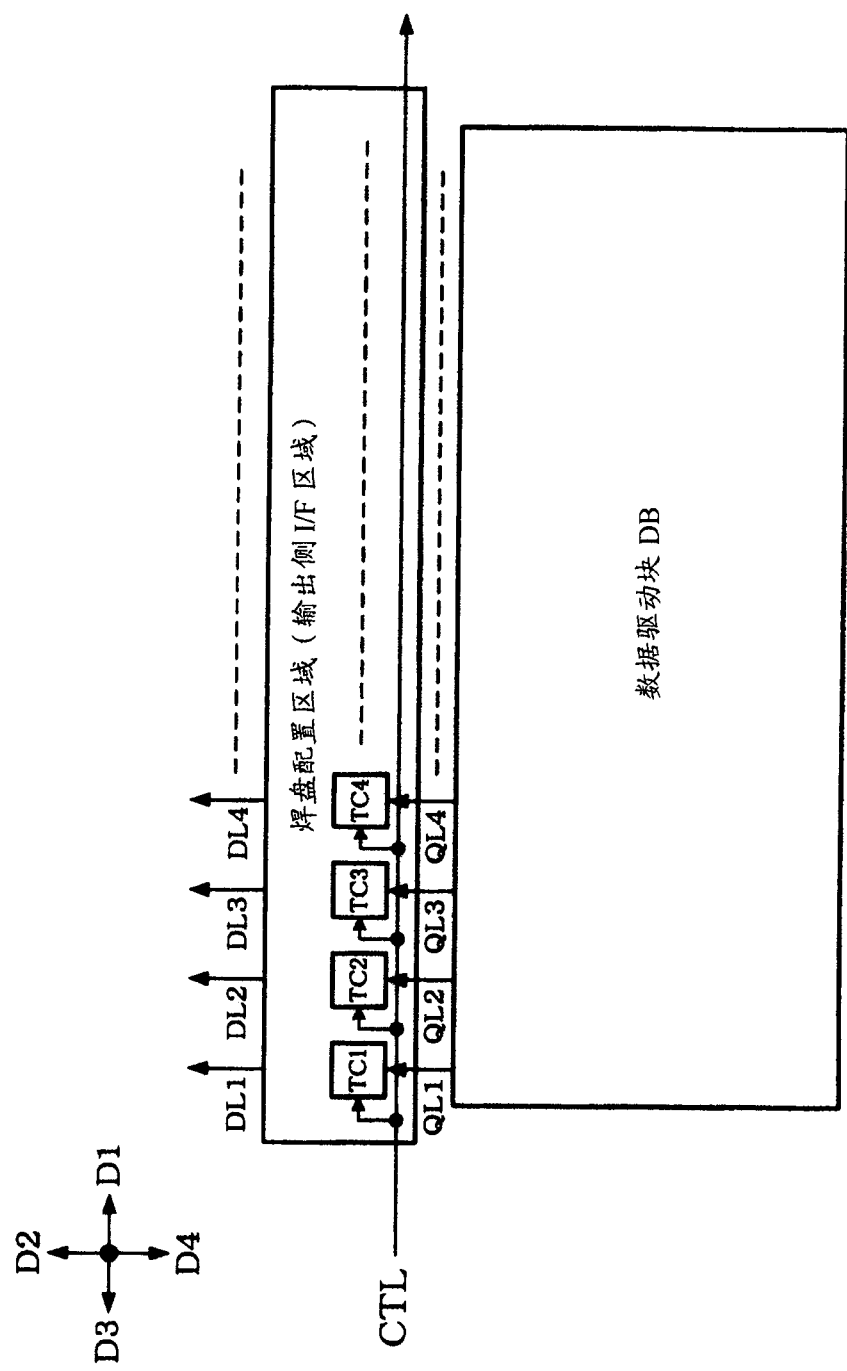


图 11

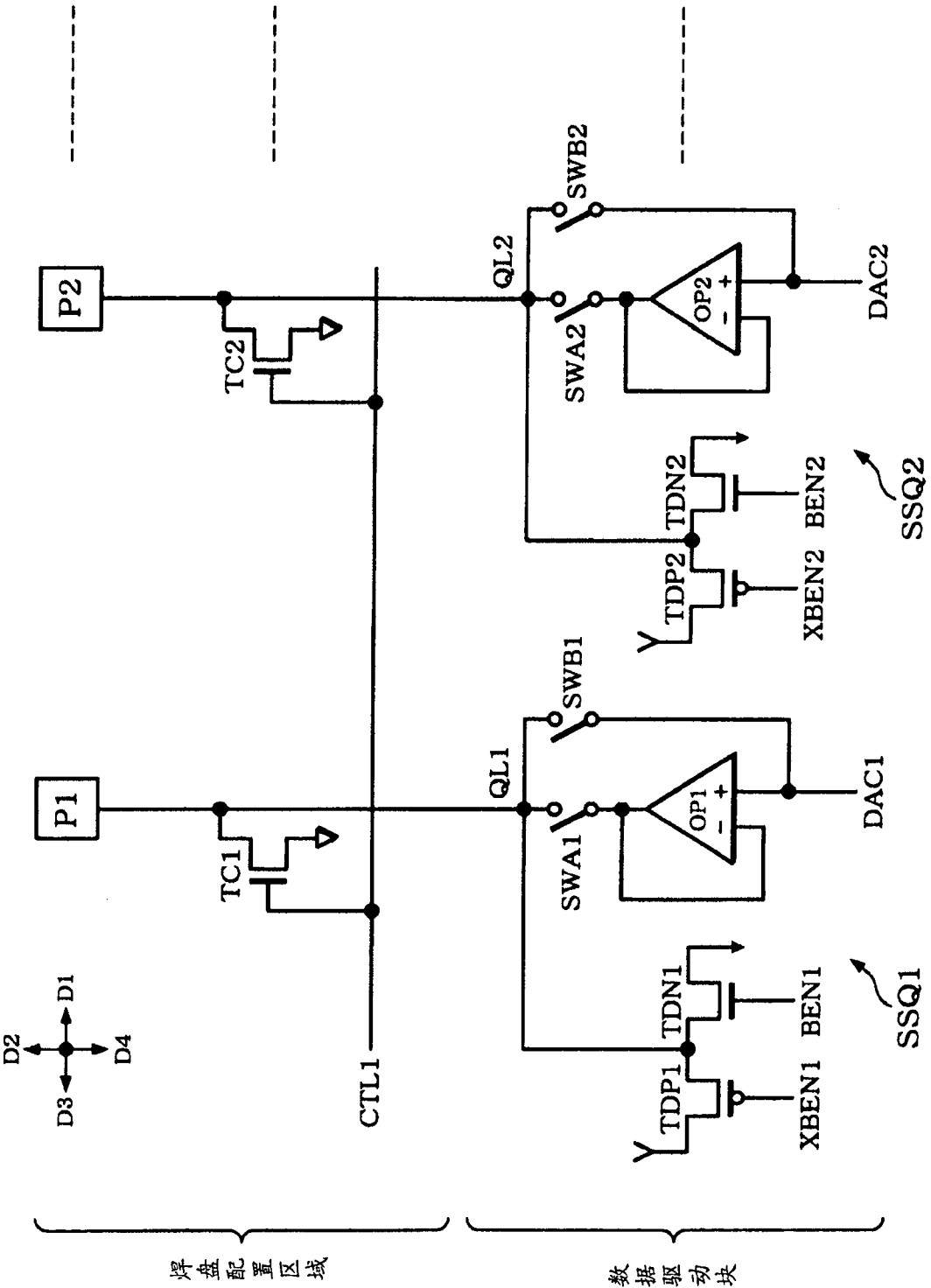


图 12

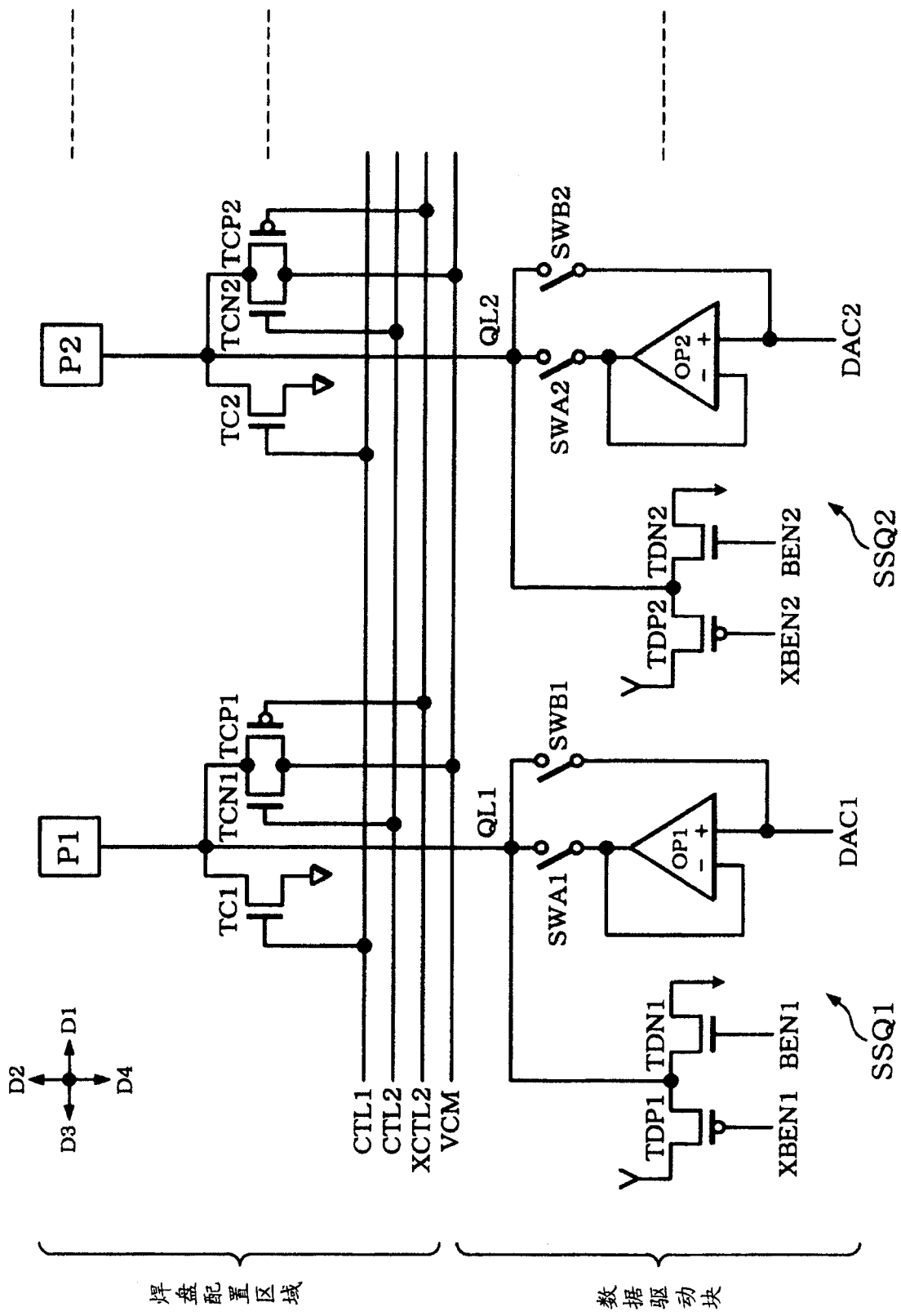


图 13

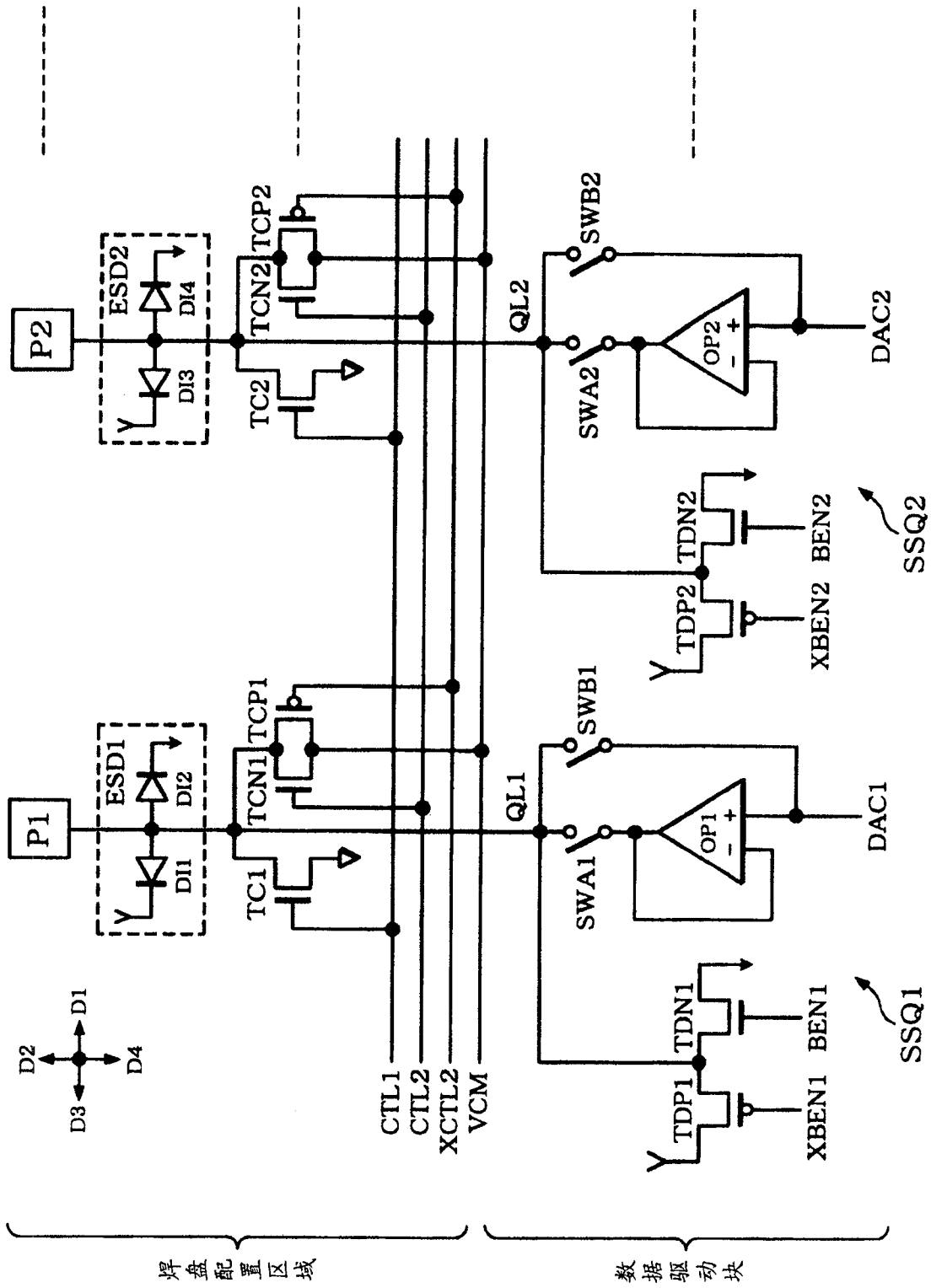


图 14

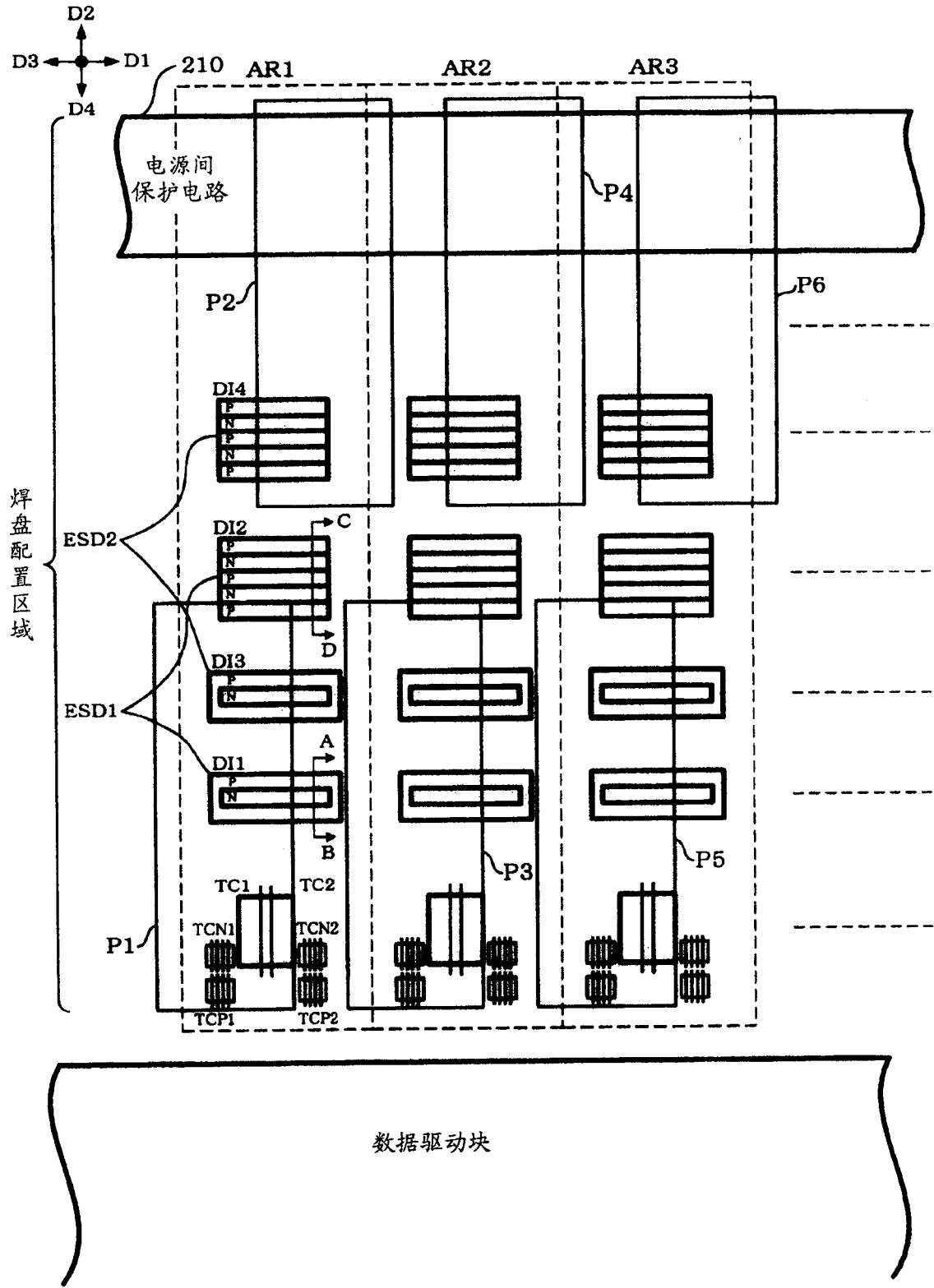


图 15

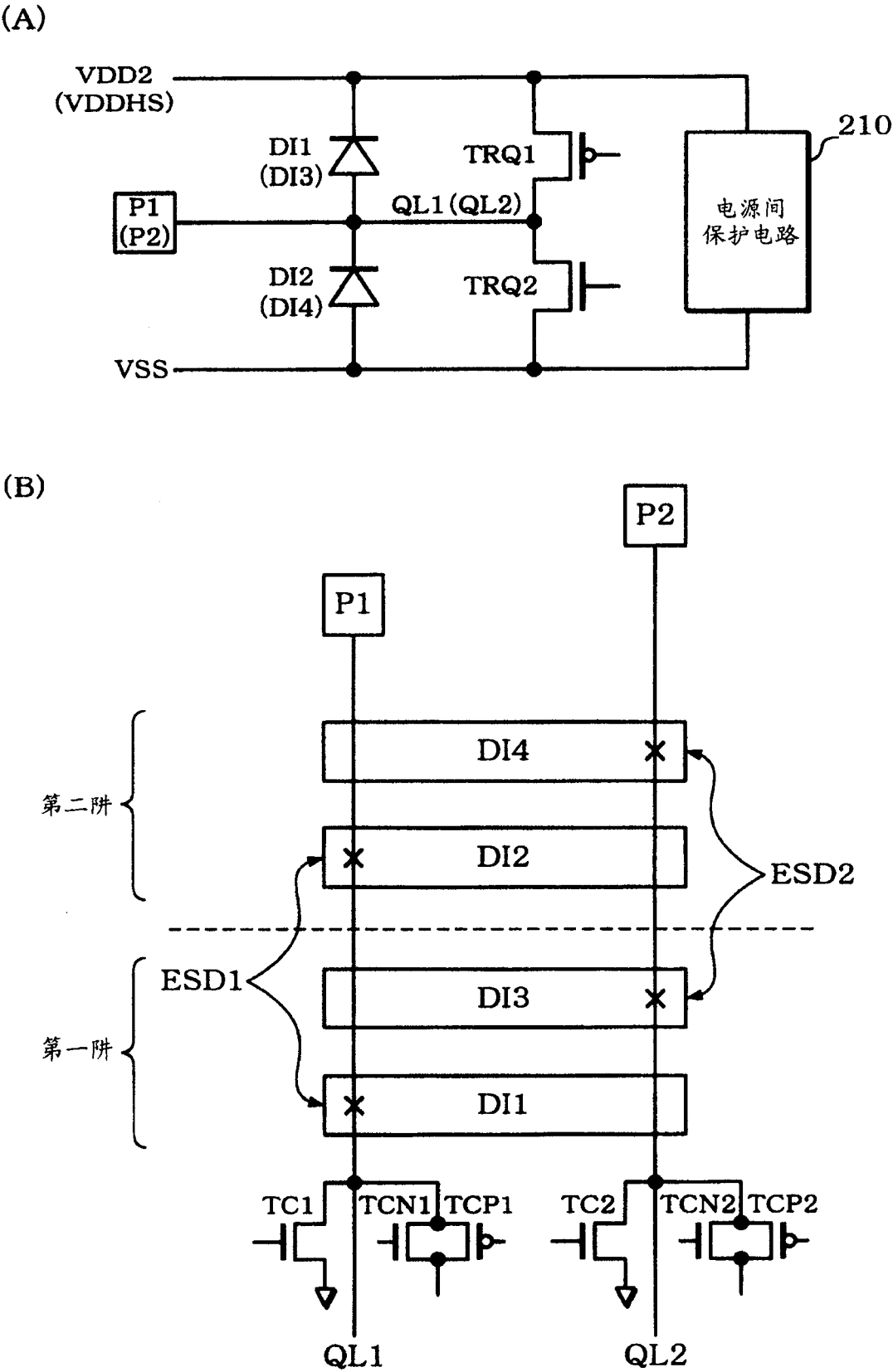


图 16

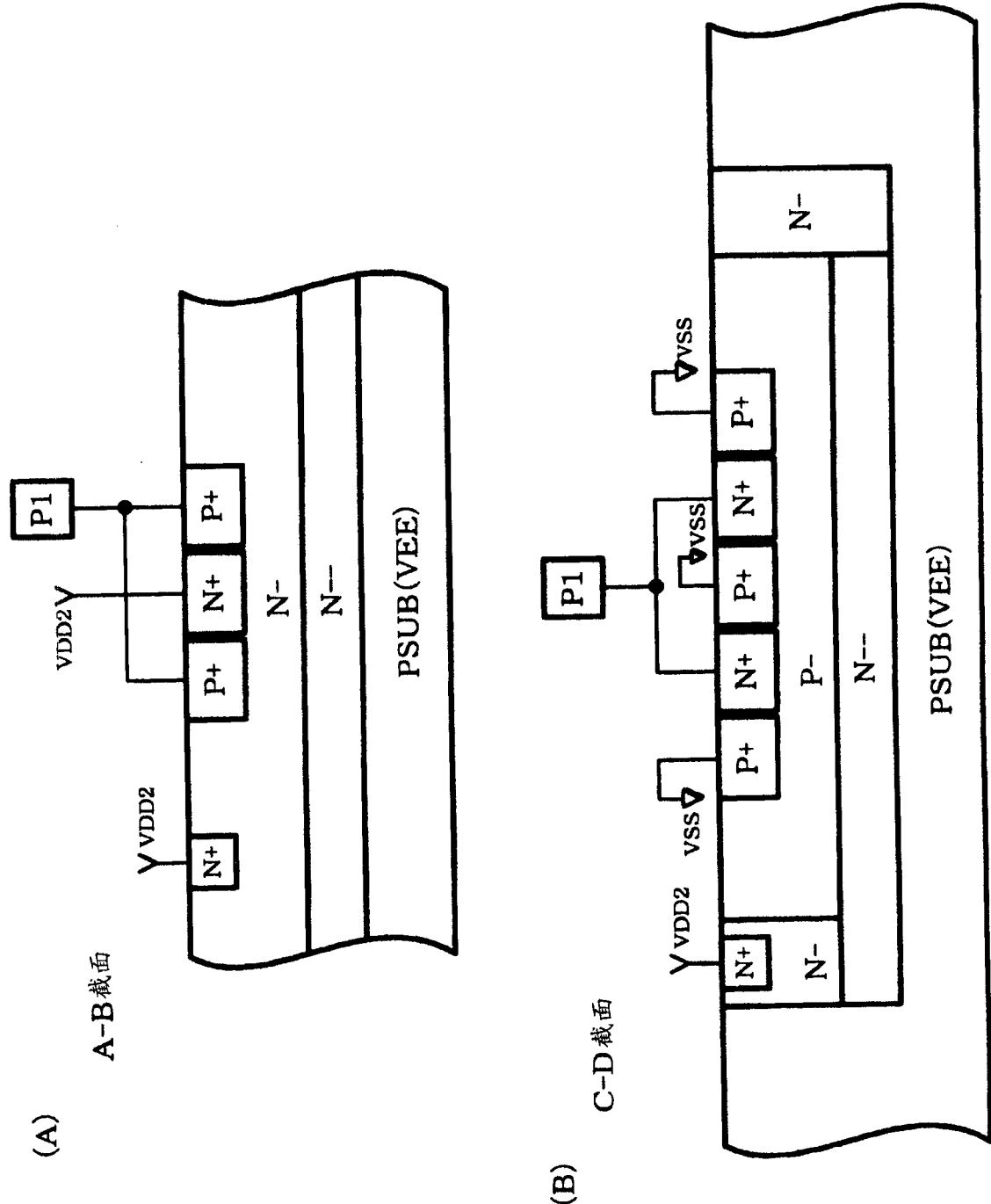


图 17

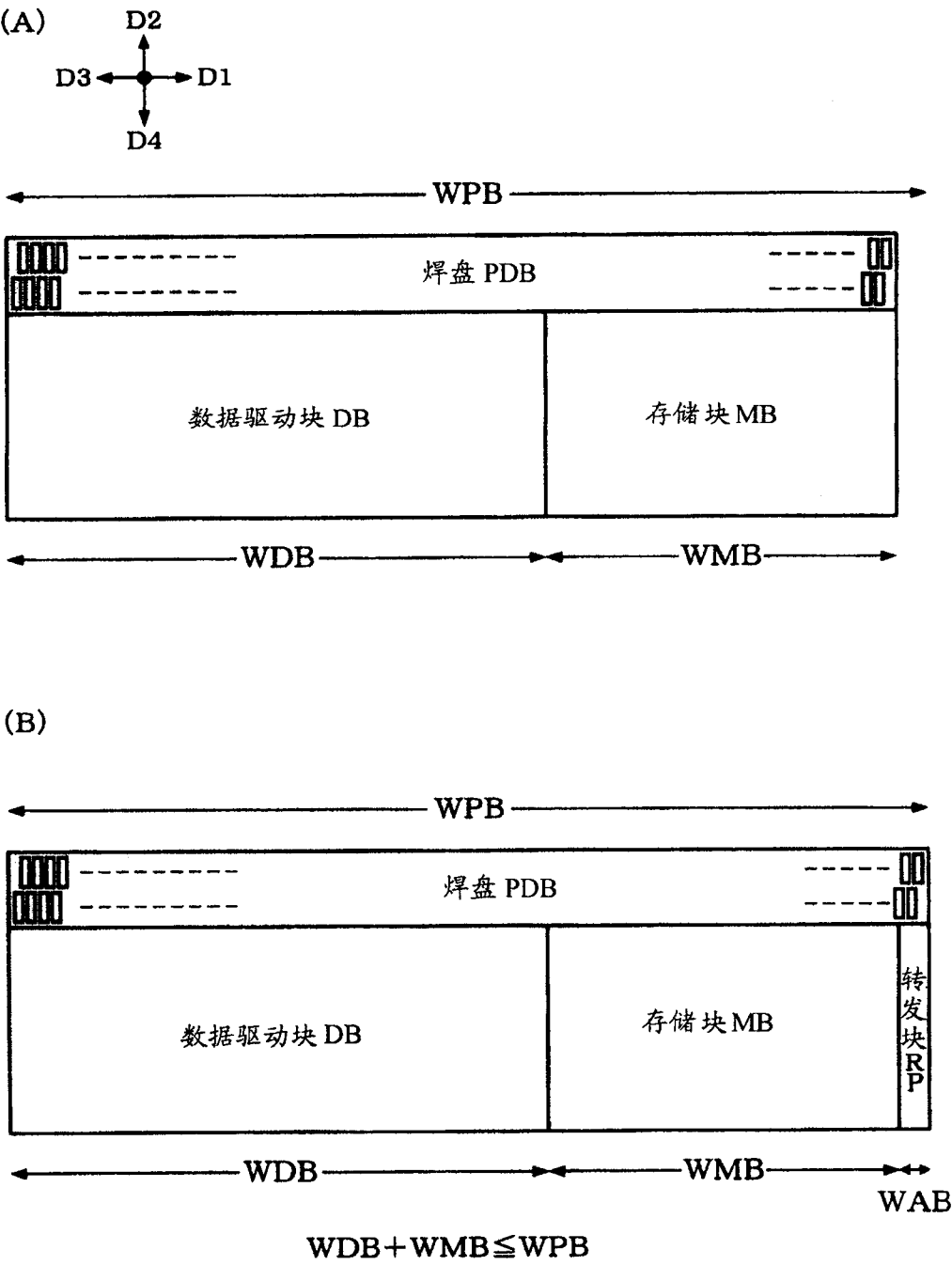


图 18

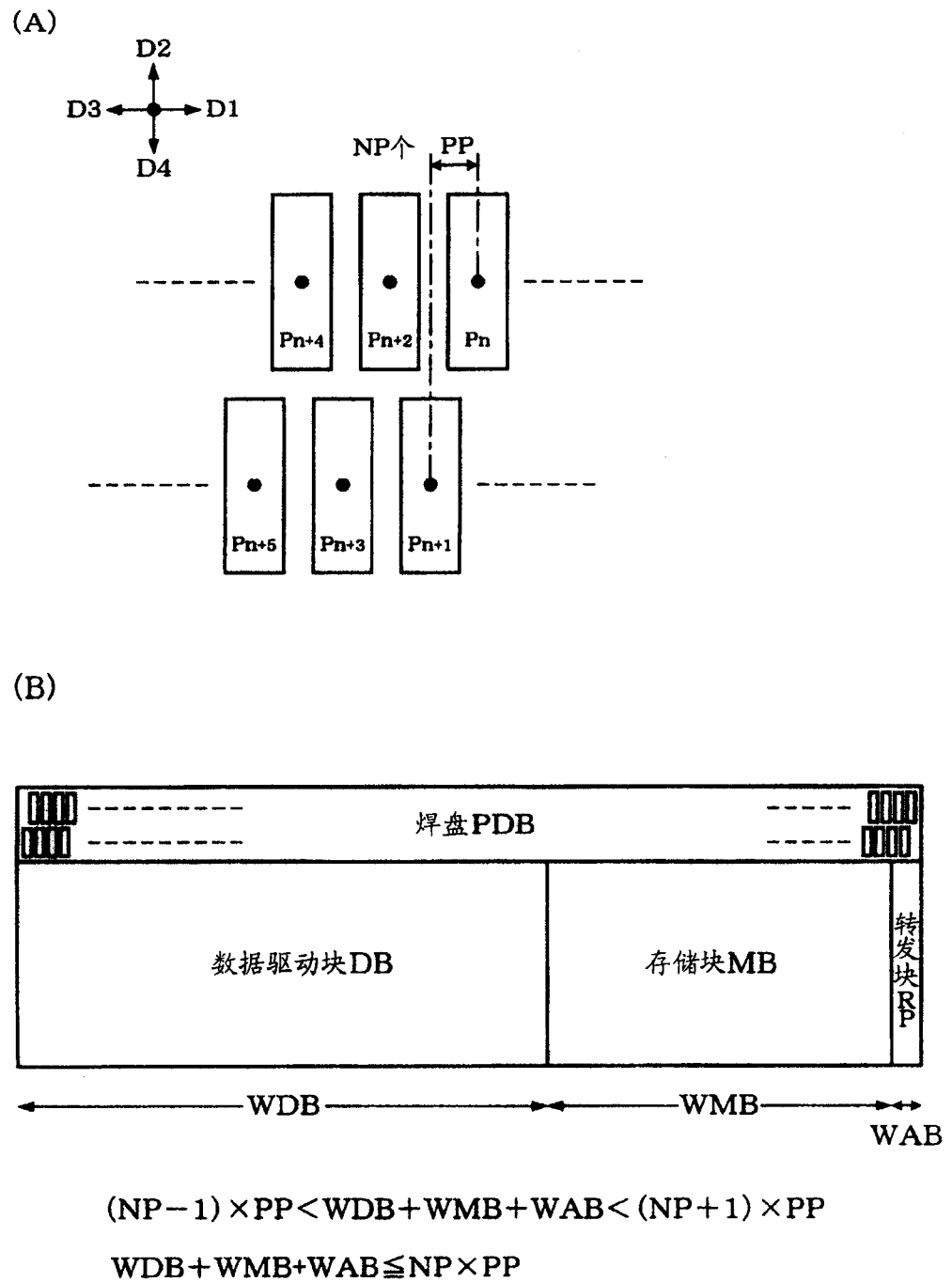


图 19

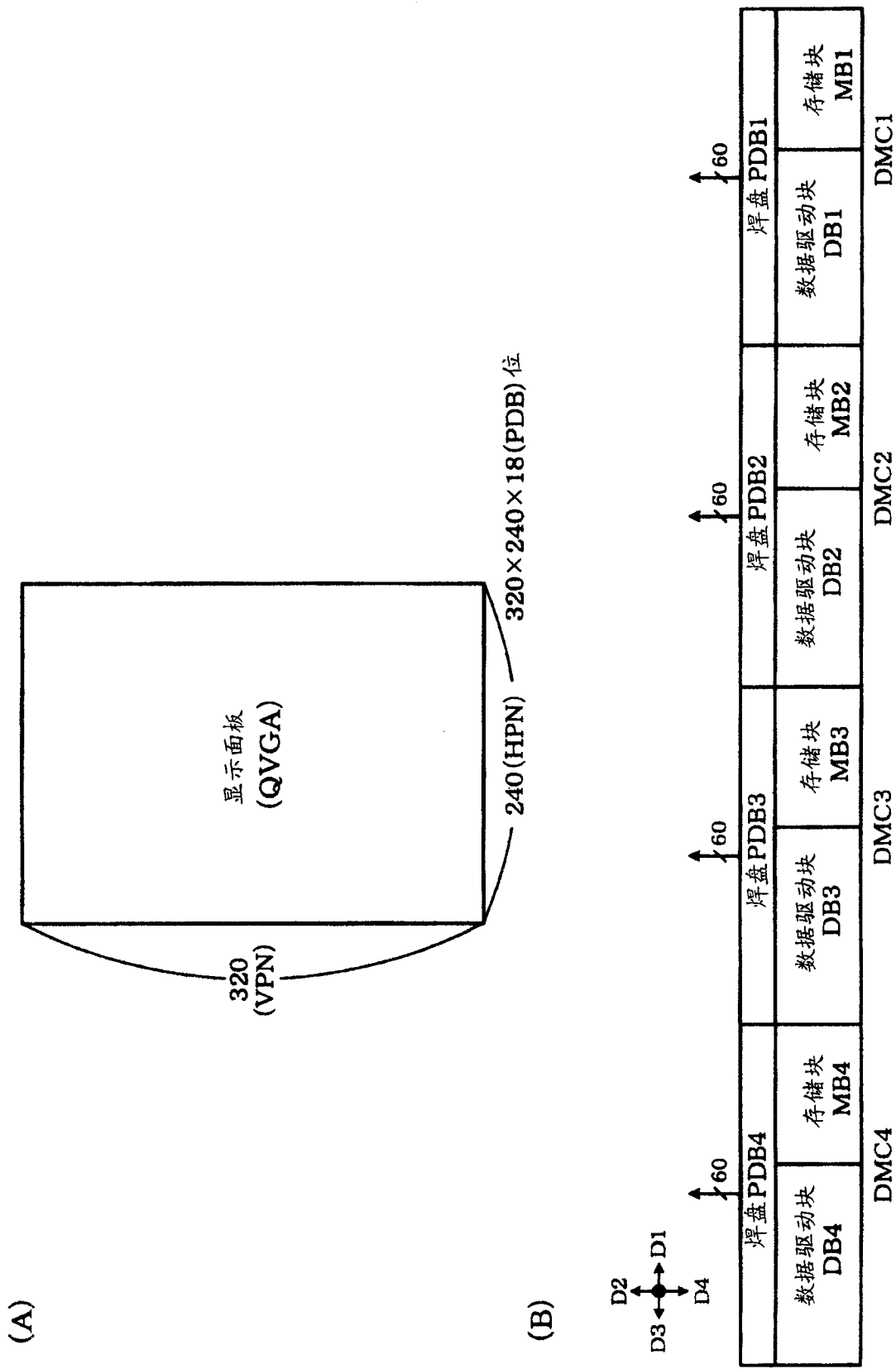


图 20

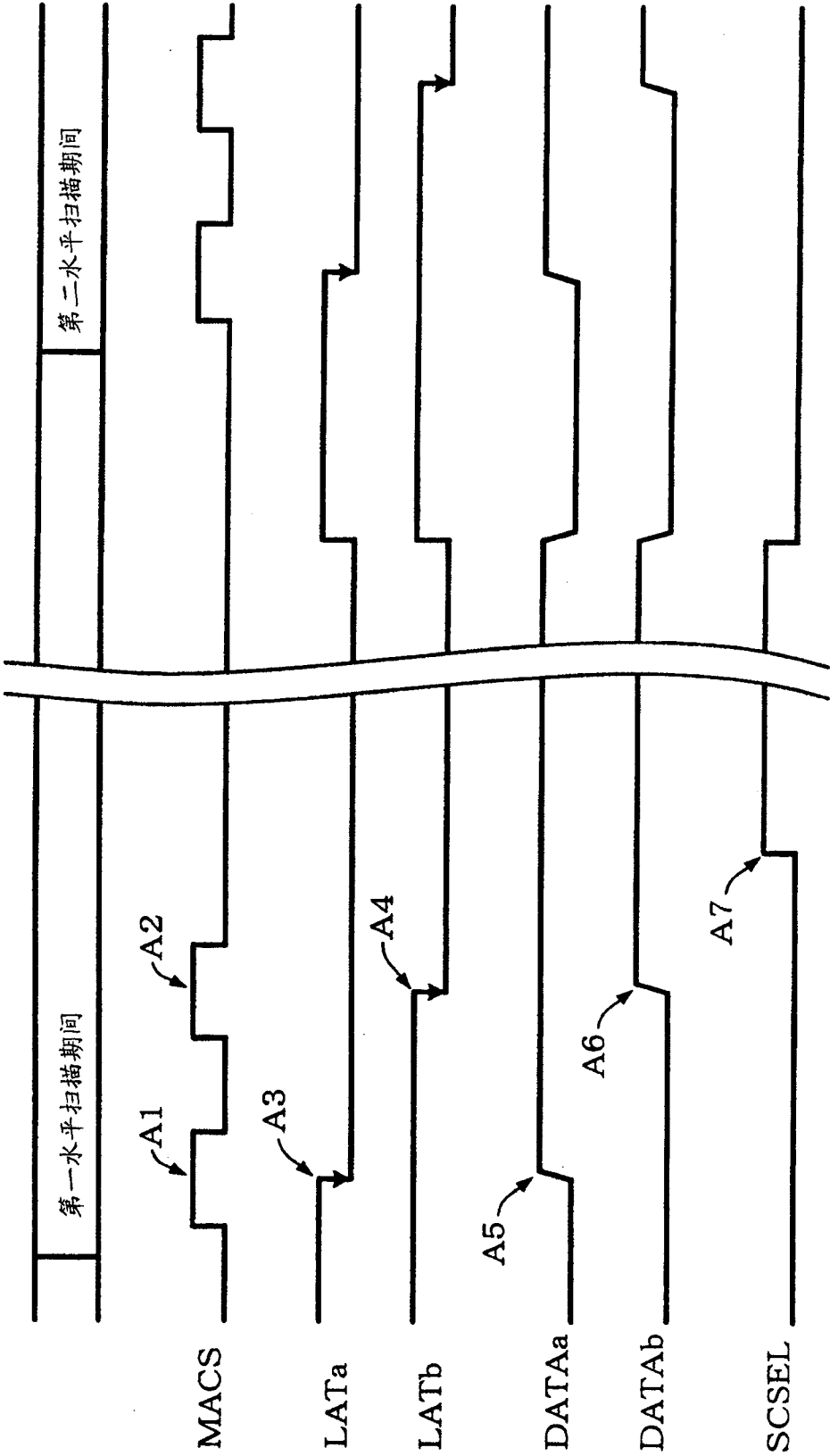


图 21

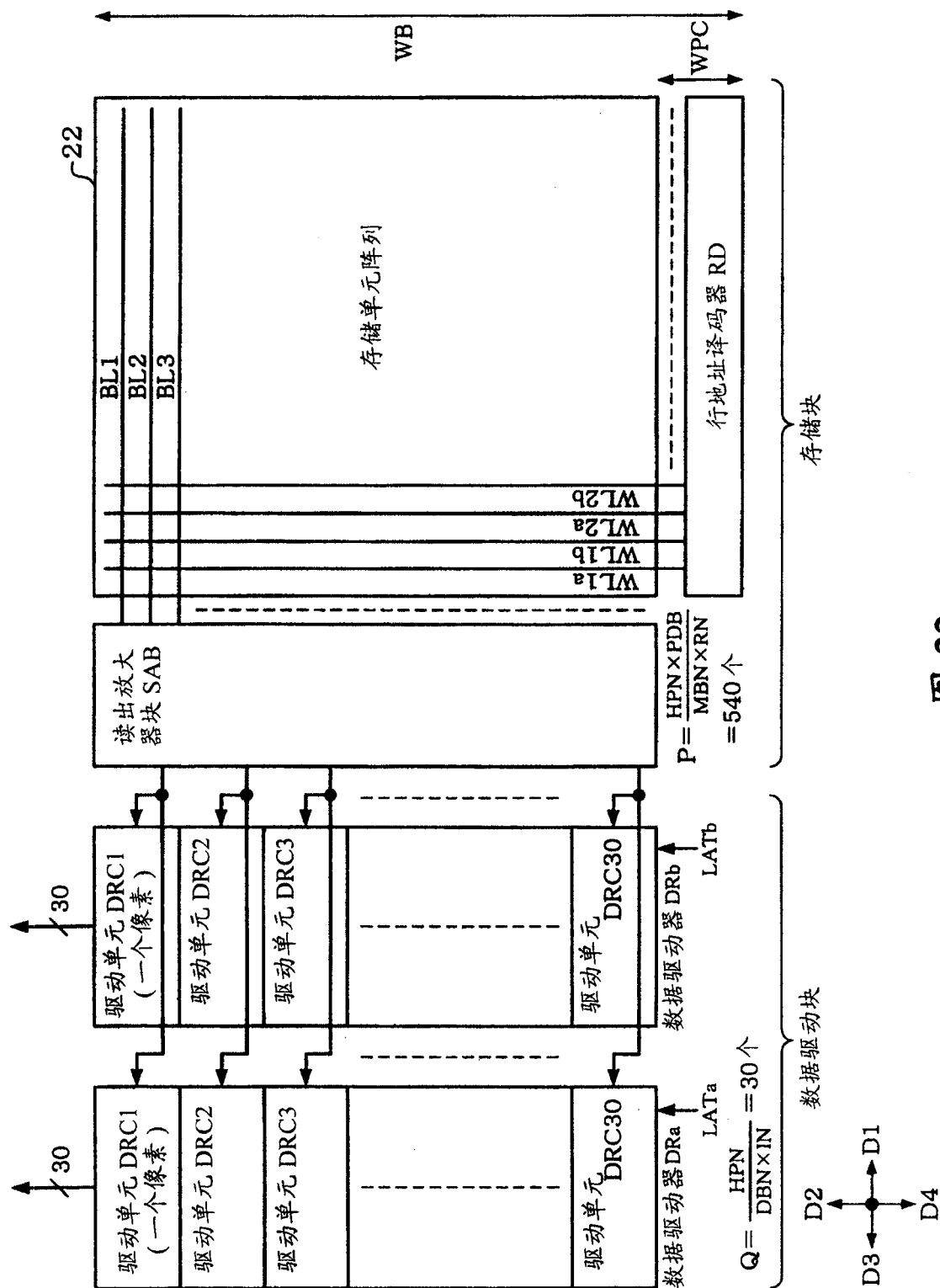
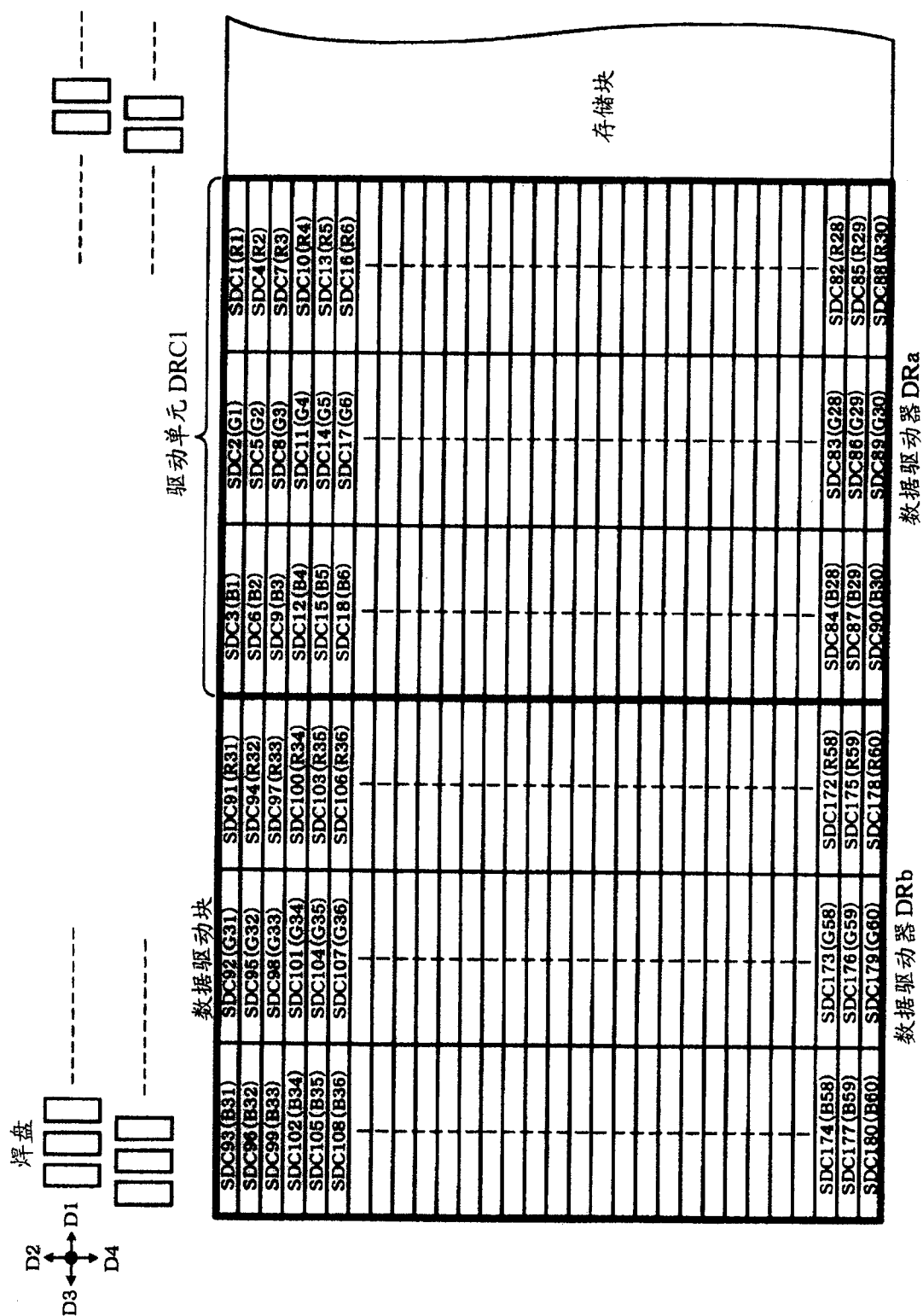


图 22



23

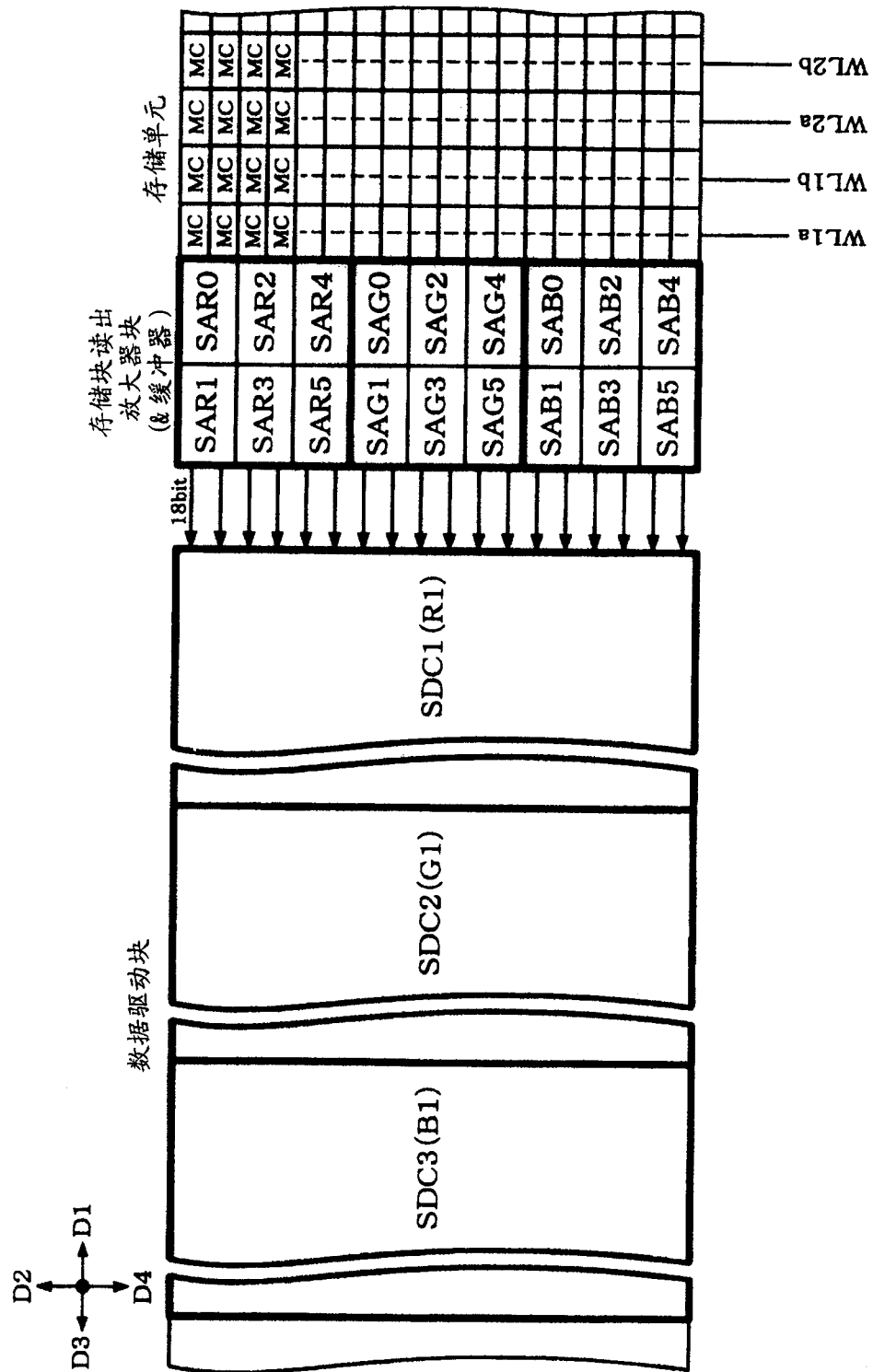
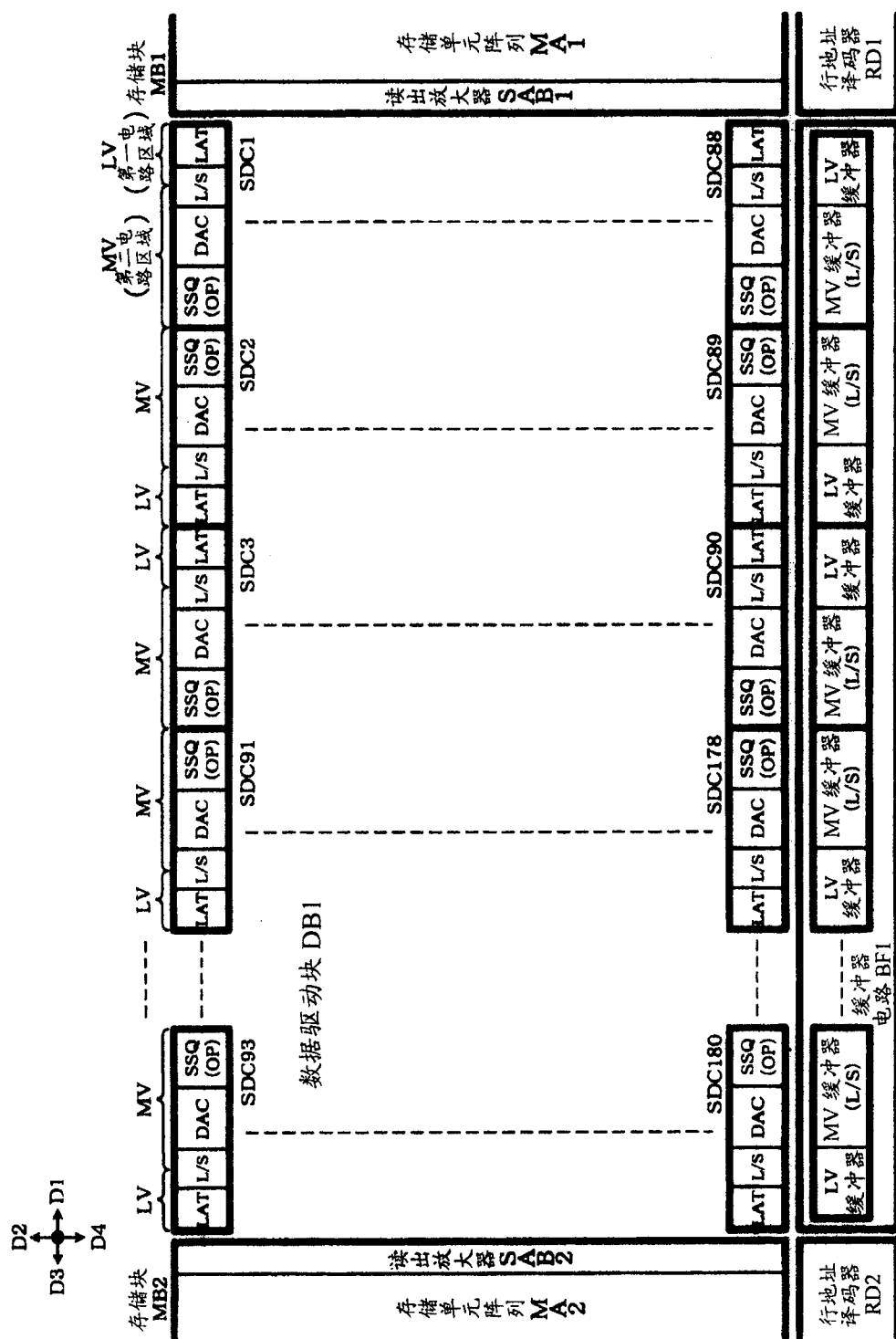


图 24



25 圖

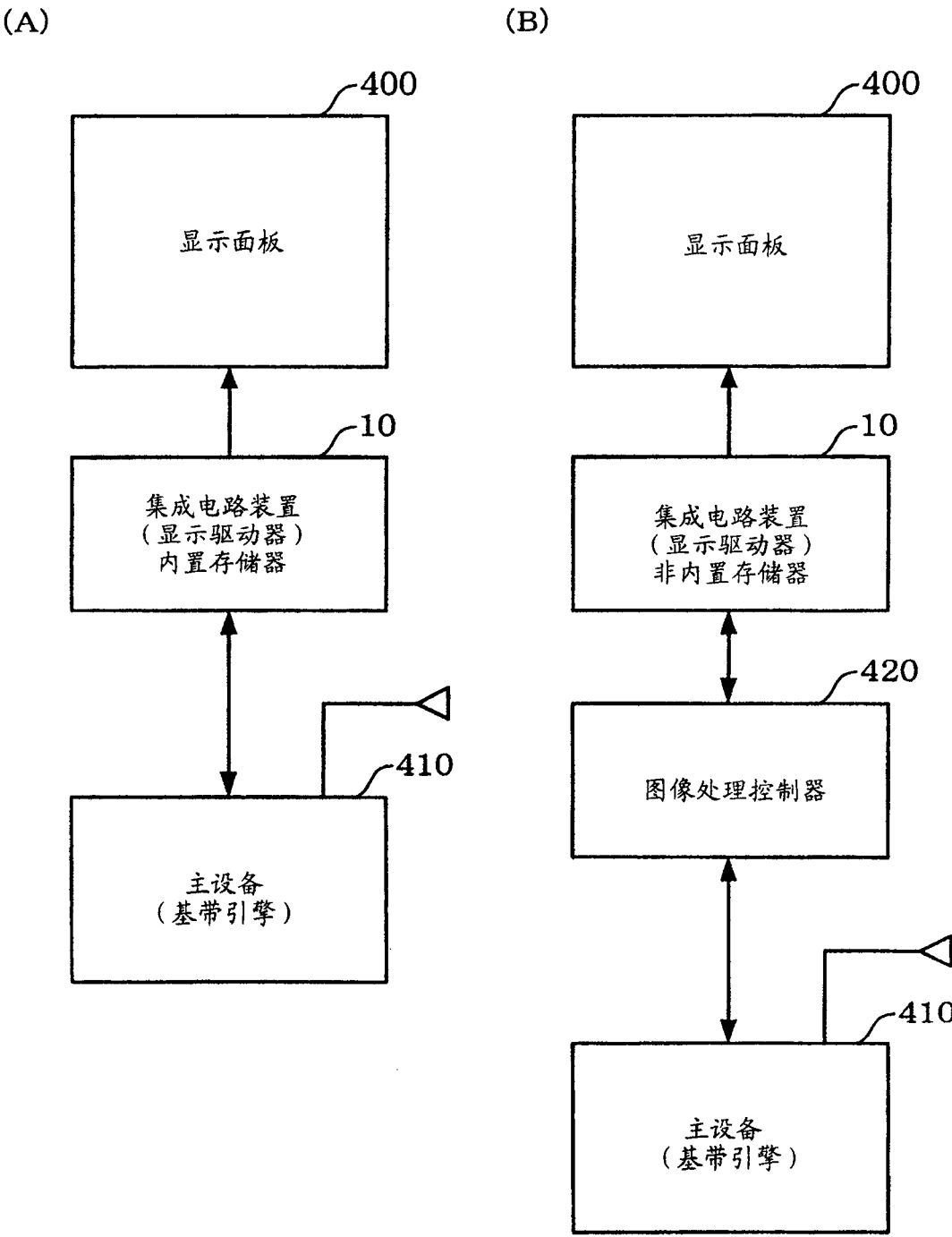


图 26