

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/304

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0196313

(24) 등록일자 1999년02월 19일

(21) 출원번호	10-1991-0010931	(65) 공개번호	특 1992-0001647
(22) 출원일자	1991년06월 28일	(43) 공개일자	1992년01월 30일
(30) 우선권주장	546,331 1990년06월 29일 미국(US)		
(73) 특허권자	텍사스 인스트루먼트 인코포레이티드	윌리엄 비. 캠퍼러	
	미국 텍사스주 달라스 노스 센트럴 익스프레스웨이 13500		
(72) 발명자	래리제이. 혼백		
	미합중국 75095 텍사스주 반 알스틴 박스 162 루트 1		
(74) 대리인	김성택, 주성민		

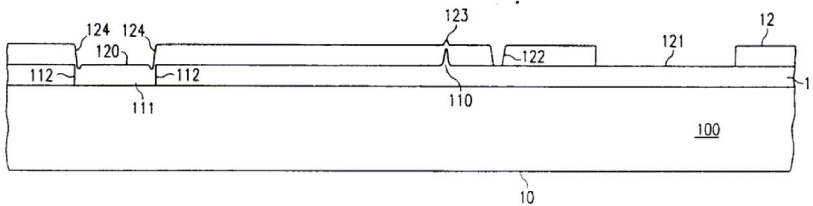
심사관 : 반성원

(54) 제어 회로 기판과 일체화하기 위한 DMD 구조 및 방법

요약

HDTV용 DMD 투광 밸브는 하부 CMOS 어드레스 회로(126) 상부의 DMD 초격자 구조(213)의 고 수율 집적화를 포함하여, 여러가지 제조시의 필요조건을 갖는다. CMOS 칩 표면은 DMD 초격자 구조의 수율을 감소시킬 수 있는 몇개의 공정 아티팩트(110 및 124)를 포함한다. CMOS 아티팩트에 의해 야기된 수율 손실을 최소화시키는 한편 하부 CMOS 어드레스 회로와의 고전압 리셋 펄스의 기생성 결합을 감소시킬 수 있는 수정된 DMD 구조 및 제조 방법이 개시된다.

대표도



명세서

[발명의 명칭]

제어 회로 기판과 일체화하기 위한 DMD 구조 및 방법

[도면의 간단한 설명]

제1도는 CMOS 아티팩트(artifact)를 보인 반도체 기판의 측면도.

제2도는 CMOS 아티팩트 효과를 제거하기 위해 스페이서(spacer)가 추가된 기판 및 상부 전극(over laying electrode)을 도시한 도면.

제3도는 스페이서가 제거되기 이전의 완성된 구조를 도시한 도면.

제4도는 스페이서가 제거된 완성된 구조를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

20, 30 : 스페이서	21 : 금속 전극
110 : 힐락	122 : 핀홀
211 : 접촉 개구부	215 : 전극 지지 포스트홀
309 : 지지 포스트	310 : 한지
311 : 비임	

[발명의 상세한 설명]

본 발명은 변형 가능한 미러 디바이스에 관한 것으로 더욱 상세히 말하면 이러한 디바이스를 제어 회로 기판과 함께 형성하기 위한 방법에 관한 것이다.

다음의 특허 출원 모두는 서로 상호 참조(cross-reference)되어 있으며, 텍사스 인스트루먼트 인코포레이티드사에 모두 양도되었다. 이 특허 출원들은 동시에 출원되었으며 본 특허 출원에 참고로 인용되어 있다.

[출원인 사건 번호]

TI-14568 다중-레벨 변형가능한 미러 디바이스
 TI-14643 개량된 쌍안정 DMD(bistable DMD)어드레싱 회로 및 방법
 TI-14649 제어 회로 기판과 DMD 를 통합하기 위한 개량된 구조 및 공정

TI-14715 필드 갱신용(field updated)변형가능한 미러 디바이스

또한 본 명세서에 참고로 인용된 특허 출원 및 특허는 다음과 같다

TI-13173A 공간 광 변조기(spatial light modulator) 및 방법

1989년 5월 15일 미합중국 특허 출원 제355,049호 ;

TI-14481 공간 광 변조기 및 방법, 1989년 9월 14일 미합중국

특허출원 제408,355호 ;

미합중국 특허 제4,662,746호 공간 광 변조기 및 방법, 1989년 5월 5일자
 하여

미합중국 특허 제4,566,935호 공간 광 변조기 및 방법, 1986년 1월 28일자

하여 ; 및

미합중국 특허 제4,615,595호 프레임 어드레싱형(frame addressed) 공간 광 변조기, 1986년 10월 7일자 하여.

쌍안정의 변형가능한 미러 디바이스(DMD)는 공간 광 변조기 및 방법 이란 명칭으로 1989. 5. 15. 출원되고 현재 계류중인 미합중국 특허 출원 제355,049호에 기재되어 있다. 예를 들어 이와 같은 디바이스는 고화질 텔레비전(High-Definition Television : HDTV)용 투광 밸브(projection light valve)로서 사용될 수 있다. 이러한 시스템의 경우 1.8 메가픽셀(megapixel)만큼 큰 DMD화소 어레이가 필요하고, 하부에 놓인 CMOS 어드레스 회로에 의해 어드레싱(addressing)된다.

개발비를 최소화시키고 칩 수율을 최대화시키기 위해 양호하게 정립되고 생산성이 시험된 CMOS 기술을 선택하는 것이 중요하다. 대량의 CMOS 웨이퍼 가공업체는 그들의 CMOS 제조방법으로 특정 사용자의 신청을 받아 주문대로 제조하기를 꺼려한다. 이러한 이유때문에 CMOS 공정에서 아무런 특별한 조건을 요하지 않는 DMD 초격자 구조(superstructure)가 필요하다.

불행하게도, DMD 초격자 구조의 수율 손실을 야기시킬 수 있는 CMOS 다층 금속화 공정에서 소정의 아티팩트 처리가 존재한다. 이러한 아티팩트에는 알루미늄 힐록(hillock), 보호 산화물(protective oxide) 내의 핀홀(pinhole), 평탄하지 않은 칩 표면 및 급경사 측벽 각도(angle)로 접촉하는 보호 산화물들이 포함된다.

DMD 디바이스의 일 예는 상기한 미합중국 특허출원 제355,049호에 기재되어 있다. 이 출원에 기재된 바와 같이, DMD 디바이스는 비임에 의해 인가되거나 제어전극에 선택적으로 인가된 전압의 제어에 따라, 랜딩 패드(landing pad) 또는 전극과 접촉하도록 변형되거나 선회(pivoting)되어 있는 비임 반사면을 갖는다.

알루미늄 힐록은 DMD 시스템 어레이에 필요한 고전압 리셋 펄스(reset pulse)가 상부의 랜딩 전극에 인가되는 경우에 절연 파괴(breakdown)를 초래하게 되는 취약점(weak point)을 상부 보호 산화물 내에 야기시킨다.

부가적인 문제점으로는, 힐록이 전극 금속에 의해 모사되고 힐록이 DMD 어드레스 제어 전극 아래에 있는 경우, DMD 토션 비임(torsion beam)이 힐록상에 닿게 되어 어드레스 전극이 비임에 쇼트(short)되게 만든다는 점이다. 힐록이 랜딩 전극 아래에 있는 경우, 비임이 전체 편향각으로 회전하지 못하게 됨으로써 변형 비임의 명-암(light-to-dark)효과를 감소시킨다.

부수적으로, 보호 산화물내의 핀홀은 전극 금속과 최종 CMOS 금속층 사이를 쇼트시키므로, 양호한 디바이스의 수율을 더욱 떨어뜨리고 이들의 평균 수명도 감소시킨다.

전기 회로를 내장하는 최종 CMOS 금속층이 평탄하게 되지 않으며, 이는 전극 금속을 비등방성 플라즈마 에칭으로 에칭할 경우 필라멘트(filament)의 잔류물을 남길 수 있는 보호 산화물 내의 계단 형태(step)가 발생된다. 그러므로, 필라멘트는 인접한 전극 사이를 쇼트시킨다.

마지막으로, 표준 CMOS 공정에서, 보호 산화물 접촉부는 경사진 측벽으로 에칭되지 않고 거의 수직으로 에칭되기 쉽다. 이것은 접촉부에서 아래쪽으로 전극 금속의 불량한 스텝 커버리지(step coverage)를 초래할 수 있다.

그러므로 이 기술 분야에서 전형적인 CMOS 아티팩트에 의한 영향을 받지 않고 CMOS 기판과 일체로 구성되는 DMD 디바이스에 대한 필요성이 존재한다.

CMOS 아티팩트의 효과를 제거하는 변형된 DMD 초격자 구조는 전극 금속 피착 이전에 CMOS 어드레스 회로

상에 스펠된 평탄화 유기물(planarizing organic)의 제1 스페이서(전형적으로 0.5 μ m 두께)를 구성되도록 설계된다. 접촉 개구부(opening)와 전극 지지 포스트 홀(post hole)은 상기 제1의 스페이서 내에서 패턴화되는데, 이러한 스페이서는 다시 다음층 스페이서의 경화 온도(hardening temperature)인 180℃보다 10℃ 내지 20℃나 더 뜨거운 온도에서 경화된 딥 UV 형(deep UV)이다. 제1 스페이서는 약간 경사진 측벽이 양호한 금속 스텝 커버리지용 접촉부 및 지지 포스트가 되도록 경화된다.

종래의 DMD 처리방법은 다음과 같은 단계로 구성된다. 먼저 전극 금속이 피착되어 패턴닝(patterning)된 후 제2 스페이서가 피착되어 지지 포스트홀이 패턴닝된다. 그 다음, 힌지(hinge) 및 비임 금속 패턴이 제2 스페이서의 표면에 금속층을 피착하여 패턴닝함으로써 형성된다. 마지막으로, 편향가능한 비임소자 아래의 공기 갭(air gap)이 플라즈마 하부 절단 방법(plasma undercut)에 의해 형성된다. 비임의 플라즈마 하부 절단중에 제1 스페이서 및 제2 비임 또는 지지 스페이서는 제거된다. 전극과 하부 CMOS 어드레스 회로 사이에는 공기 갭이 플라즈마 하부 절단 방법에 의해 형성된다. 전극은 접촉부 및 전극 지지 포스트에 의해 지지된다.

CMOS 공정 아티팩트에 대한 스페이서의 효과는 최종 CMOS 금속층의 리드(lead)들 사이의 갭이 평탄해진다는 것이다. 힐락은 평탄해지고 공기 갭의 분리부(isolation)는 열악한 상부 보호 산화물상에 제공된다. 또한, 공기 갭 분리부는 보호 산화물내의 핀홀상에도 제공된다. 최종적으로, 보호 산화물 접촉부의 급경사 산화물 측벽은 스페이서의 경사진 접촉부로 대체된다.

변형된 DMD 초격자 구조는 또 다른 장점이 있다. 랜딩 전극이 어드레스 회로와 공기로 분리되기 때문에, 하부 어드레스 회로에 대한 고속 상승 시간, 고전압 리셋 펄스 트레인(pluse train)의 기생성 결합이 감소된다. 이 결합은 만일 제어되지 않는다면, 어드레스 트랜지스터의 게이트 상에 전압 스파이크(spike)를 발생시켜, 부적절한 시간에 트랜지스터를 순간적으로 턴 온시킬 수 있다.

마지막으로, 어드레스 전극이 공기로 분리되기 때문에, 이 어드레스 전극의 캐패시턴스(capacitance)가 감소하게 된다. 그러므로, 이러한 변형된 DMD 초격자 구조를 사용하여 비임이 아닌 어드레스 전극이 차지(charge)-어드레스되는 프레임 어드레스식 DMD를 구성할 수 있다.

상술된 방식으로 스페이서층을 추가하는 한가지 기술적 장점은 새로운 구조가 CMOS 공정 아티팩트에 의해 야기된 수율(yield) 손실을 최소화하고, DMD와 CMOS 사이의 기생성 결합을 감소시켜, 차지-어드레스식 DMD용의 대안적 구조를 제공한다는 것이다.

이하, 첨부 도면을 참조하여 본 발명의 장점 및 실시예에 대하여 상세하게 설명하겠다.

제1 도에는 전형적인 CMOS 공정에서의 아티팩트가 어떻게 DMD 초격자 구조 수율을 감소시키는지를 나타내고 있다. 이러한 아티팩트들은 알루미늄 힐락(110), 보호산화물내의 핀홀(122), 비평면 침 표면 및 급경사 측벽(112)를 갖는 보호 산화물 접촉부를 포함한다.

이러한 아티팩트 형상을 제거하는 수정된 DMD 초격자 구조가 제2 도에 도시되어 있다. 이것은 전극 금속 피착이전에 CMOS 어드레스 구조(100, 11 및 12)상에 스펠된 평탄화 유기물 스페이서(20) (전형적으로 0.5 μ m 두께)으로 구성된다.

이 스페이서는 전극과 비임 사이에 형성된 종래의 DMD 스페이서와는 현저히 다른 것이다. 접촉 개구부(211) 및 전극 지지 포스트 홀(215)은 스페이서(20) 내에 패턴닝되고 이 스페이서는 DMD 스페이서의 경화 온도인 180℃보다 10℃ 내지 20℃나 더 높은 온도에서 경화되는 딥 UV형이다. 경화 프로그램은 제1 스페이서가 약간 경사진 측벽(210, 214)을 양호한 금속 스텝 커버리지용 접촉부(211) 및 지지 포스트(215)가 되도록 선택된다.

최종 CMOS 금속층의 리드들 사이의 갭(112)은 평탄해진다. 힐락(110)은 평탄해지고 공기 갭의 분리부가 약화된 상부 보호 산화물상에 제공된다. 또한 공기 갭 분리부는 보호 산화물내의 핀홀(122)상에도 제공된다. 마지막으로 보호 산화물 접촉부(211)의 급경사 산화물 측벽(126)은 스페이서(20)의 경사진 접촉부(210)으로 대체된다. 스페이서(20)의 피착 후에 전극 금속(21)이 피착되어 패턴닝된다.

변형된 DMD 초격자 구조에는 또 다른 장점이 있다. 랜딩 전극이 어드레스 회로와 공기로 분리되기 때문에 하부 어드레스 회로에 대한 고속 상승 시간, 고전압 리셋 펄스 트레인의 기생성 결합이 감소된다. 이 결합은, 만일 제어되지 않는다면 어드레스 트랜지스터의 게이트상에 전압 스파이크를 발생시켜 부적절한 시간에 트랜지스터를 순간적으로 턴 온시킬 수 있다.

마지막으로, 어드레스 전극이 공기로 분리되기 때문에 이 어드레스 전극의 캐패시턴스가 감소하게 된다. 그러므로, 이러한 변형된 DMD 초격자 구조를 사용하여 비임이 아닌 어드레스 전극이 차지-어드레스되는 프레임-어드레스식 DMD(미합중국 특허 제4,615,595호)를 구성할 수 있다.

요약하면, 이러한 새로운 구조는 CMOS 공정 아티팩트에 의해 야기된 침 수율 손실을 최소화하고, DMD와 CMOS 사이의 기생성 결합을 감소시켜, 충전-어드레스식 DMD 용의 대안적 구조를 제공한다.

그 다음 제3 도에 도시된 바와 같이, 스페이서(30)이 전극상에 스펠-피착되고, 비임 지지 포스트(309)를 형성할 수 있는 홀을 갖도록 패턴닝된다. 스페이서(30)은 토션 비임각의 편향을 결정하고 두께는 전형적으로 2.3 미크론이며 포지티브 광저항성(positive photoresistance)을 갖는다. 이것은 후속 처리 단계동안 흘러내리거나 기포가 생기는 것을 방지하기 위해 180℃의 온도에서 경화되는 딥 UV형이다. 스페이서(20)이 더 고온(200℃)으로 경화되었기 때문에 스페이서(30)을 구워 굳히는 동안에는 스페이서(20)의 열화가 전혀 발생되지 않는다. 마지막으로 박막 힌지(310)와 후막 비임(311)은 상술된 미합중국 특허 제4,662,746호에 기재된 피착 및 패턴닝 처리 방법에 의해 스페이서(30)상에 형성된다.

이것은 웨이퍼 수준에서 처리를 종료한다. 웨이퍼는 PMMA로 피복된 다음, 개별 칩으로 잘라진 다음 클로로벤젠으로 펄스 스펠-세척된다. 마지막으로, 칩은 제4 도에 도시된 바와 같이 힌지와 비임 아래에 공기 갭을 형성하기 위해 스페이서 층(20과 30)이 완전히 제거되는 플라즈마 에칭 챔버내에 배치된다.

본 발명을 양호한 실시예에 대하여 상세하게 설명하였지만 특허 청구 범위와 상기 설명은 본 발명을 제한하고자 하는 것은 아니며, 본 분야에 숙련된 기술자들이라면 본 발명의 원리 및 범위를 벗어나지 않고서 개시된 실시예뿐만 아니라, 본 발명의 대안적인 실시예들을 여러가지로 변경시킬 수 있다. 그러므로 본 발명의 진정한 범위에 속하는 상기와 같은 변형들은 첨부된 특허 청구 범위에 속하게 된다.

(57) 청구의 범위

청구항 1

기판상에 전자 기계적 디바이스를 구성하기 위해 집적된 반도체 기판을 평탄하게 하는 방법에 있어서, 상기 기판을 덮는 평탄화 액체 유기 물질로 구성되는 제1 스페이서에 스핀을 가하는 단계, 상기 전자 기계적 디바이스의 제1 지지 포스트 전극을 형성하기 위해 상기 제1 스페이서를 패터닝하여 경화(curing)하는 단계, 상기 전극을 상기 제1 스페이서상에 형성하는 단계, 상기 전극을 덮는 평탄화 액체 유기 물질로 구성되는 제2 스페이서에 스핀을 가하는 단계, 상기 전자 기계적 디바이스의 기계적 부분용의 제2 지지 포스트를 형성하기 위해 상기 제2 스페이서를 패터닝하여 경화하는 단계, 상기 제2 스페이서 상에 상기 제2 지지 포스트에 의해 지지된 다수의 기계적 소자들을 설치하는 단계, 및 상기 제2 스페이서 및 제2 스페이서를 제거하는 단계를 포함하는 것을 특징으로 하는 집적된 반도체 기판 평탄화 방법

청구항 2

제1 항에 있어서, 상기 제거 단계는 상기 집적된 반도체 기판의 소정 부분과 상기 형성된 전극 사이 및 상기 형성된 전극의 소정 부분과 상기 설치된 기계적 소자 사이에 기계적 갭(mechanical gap)이 존재하도록 허용하는 것을 특징으로 하는 집적된 반도체 기판 평탄화 방법

청구항 3

제2 항에 있어서, 상기 기판은 상기 평탄화 액체가 스핀-온되는 종래의 산화물 또는 질화물 보호 상층부를 갖는 CMOS 기판인 것을 특징으로 하는 집적된 반도체 기판 평탄화 방법

청구항 4

집적 회로를 내장하고 있고 종래의 보호 산화물 또는 질화물 상층부를 갖도록 형성되며 기판 상층부가 힐락(hillock), 핀 홀(pin hole), 급경사 측벽 접촉 영역 및 비평탄 표면과 같은 아티팩트(artifact)를 갖는 기존의 CMOS 기판을 평탄하게 하는 방법에 있어서, 상기 상부 덮개를 덮는 평탄화 물질을 스핀-온(spin-on)하는 단계, 상기 상부 덮개와 물리적으로 접촉하는 지지포스트를 형성할 수 있도록 상기 평탄화 물질을 패터닝하는 단계, 제1의 소정의 온도에 잘 견디도록 상기 평탄화 물질을 경화하는 단계, 상기 경화된 평탄화 물질의 상부에 상기 상층부와 물리적으로 접촉하는 지지 포스트를 갖는 제1 기계적 구조(mechanical structure)를 형성하는 단계, 및 상기 기계적 구조의 상기 지지 포스트가 상기 상부 덮개와 접촉하는 곳을 제외하고는 상기 상층부와 상기 형성된 제1 기계적 구조 사이에 기계적 갭을 남기도록 상기 경화된 평탄화 물질을 제거하는 단계를 포함하는 것을 특징으로 하는 기판 평탄화 방법.

청구항 5

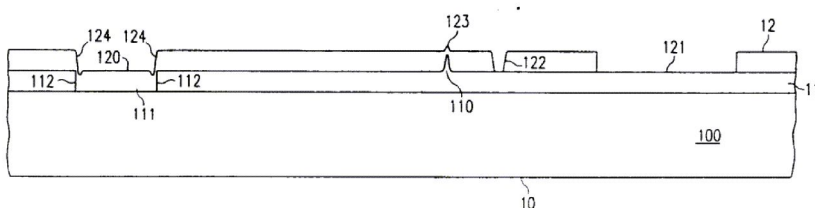
평탄해진 집적된 반도체 기판상에 구성된 선택적으로 이동가능한 기계적 부분을 갖고 있는 전자기계적 디바이스(electromechanical device)에 있어서, 상기 기판을 덮는 평탄화 액체 유기 물질로 구성되고, 상기 전자 기계적 디바이스의 전극을 지지하기 위한 제1 지지 포스트를 포함하는 제1 스핀-온된 스페이서, 및 상기 전극을 덮는 평탄화 액체 유기 물질로 구성되고, 상기 전자 기계적 디바이스의 기계적 부분을 지지하기 위한 제2 지지 포스트를 포함하는 제2 스핀-온된 스페이서를 포함하고, 상기 제2 스페이서 상에 상기 제2 지지 포스트에 의해 지지된 다수의 기계적 소자들이 설치되고, 상기 제1 스페이서 및 제2 스페이서를 제거함으로써, 상기 기계적 부분이 상기 기판에 대해 이동할 수 있도록 허용되는 것을 특징으로 하는 전자기계적 디바이스

청구항 6

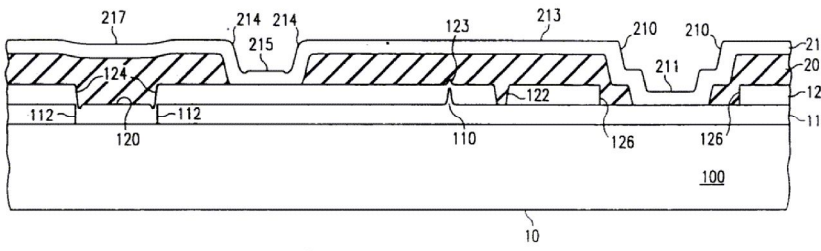
제5 항에 있어서, 상기 기판은 그 위에서 상기 스페이서가 스핀-온되는 종래의 산화물 또는 질화물 보호 상부 덮개를 갖는 CMOS 기판인 것을 특징으로 하는 전자기계적 디바이스

도면

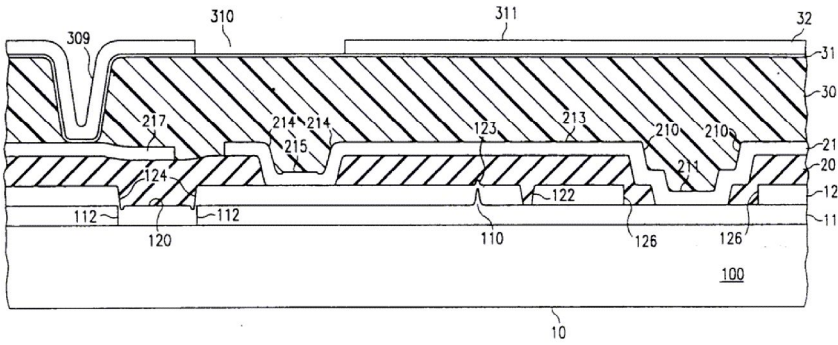
도면1



도면2



도면3



도면4

