

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4553620号
(P4553620)

(45) 発行日 平成22年9月29日 (2010.9.29)

(24) 登録日 平成22年7月23日 (2010.7.23)

(51) Int.Cl.

F I

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 4 0

請求項の数 4 (全 47 頁)

(21) 出願番号	特願2004-112079 (P2004-112079)	(73) 特許権者	302062931
(22) 出願日	平成16年4月6日 (2004.4.6)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2005-302074 (P2005-302074A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成17年10月27日 (2005.10.27)	(74) 代理人	100064746
審査請求日	平成19年3月2日 (2007.3.2)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 薄膜磁性体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のデータ書込電流を選択的に流すための複数の第 1 の書込電流線と、
前記第 1 のデータ書込電流によって生じる磁界の印加によりデータが書き込まれる複数の
の磁気メモリセルと、

各前記第 1 の書込電流線の一端に対応して設けられた第 1 のスイッチ素子と、

各前記第 1 の書込電流線他端に対応して設けられた第 2 のスイッチ素子とを備え、

前記第 1 のスイッチ素子は、第 1 の電圧に充電された状態である対応の前記第 1 の書込電流線を、前記第 1 の電圧とは異なる第 2 の電圧と接続することによって前記第 1 のデータ書込電流を生じさせ、

前記第 2 のスイッチ素子は、前記第 1 のスイッチ素子の非導通期間の少なくとも一部において導通して前記対応の第 1 の書込電流線および前記第 1 の電圧を電氣的に接続し、かつ、前記第 1 のスイッチ素子の導通期間において非導通とされて前記対応の第 1 の書込電流線を前記第 1 の電圧から電氣的に切り離す、薄膜磁性体記憶装置。

【請求項 2】

前記第 2 のスイッチ素子の導通期間において、対応の前記第 1 の書込電流線とおよび前記第 1 の電圧の間に電氣的に接続されるように配置された充電調整抵抗をさらに備える、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】

前記薄膜磁性体記憶装置は、基準クロック信号を受けて、前記基準クロック信号に応答

10

20

してクロックサイクル毎に動作を実行するように構成され、

前記第 1 および前記第 2 のスイッチ素子の導通および非導通は、前記クロックサイクル毎に制御される、請求項 1 または 2 記載の薄膜磁性体記憶装置。

【請求項 4】

書込データに応じた方向に第 2 のデータ書込電流を選択的に流すための複数の第 2 の書込電流線と、

書込データに応じて、複数のデータ電圧のうちの 1 つに設定される書込ノードと、

各前記第 2 の書込電流線の一端に対応して設けられ、前記一端および前記書込ノードの間を電氣的に接続するための第 3 のスイッチ素子と、

各前記第 2 の書込電流線他端を前記複数のデータ電圧とそれぞれ電氣的に接続するための複数の第 4 のスイッチ素子とをさらに備え、

前記第 1 のデータ書込電流は、前記書込データによらず、選択された前記第 1 の書込電流線上を所定方向に流され、

各前記磁気メモリセルは、前記第 1 のデータ書込電流および前記第 2 のデータ書込電流によってそれぞれ生じる磁界の組み合わせによって前記書込データを書き込まれ、

前記第 3 のスイッチ素子は、当該第 3 のスイッチ素子の導通によって対応の前記第 2 の書込電流線が前記書込ノードの電圧に充電された後に非導通とされ、

前記第 2 のデータ書込電流は、前記複数の第 4 のスイッチ素子のうちの、前記書込ノードの電圧とは異なるデータ電圧に対応する 1 つが、前記第 3 のスイッチ素子の非導通後に導通することによって生じ、

前記薄膜磁性体記憶装置は、基準クロック信号を受けて、前記基準クロック信号にตอบสนองしてクロックサイクル毎に動作を実行するように構成され、

前記クロックサイクルは、読出動作を実行するためのリードサイクルと、書込動作を実行するためのライトサイクルと、前記読出動作または前記書込動作に先立って実行されるスタンバイサイクルとを含み、

前記第 2 のスイッチ素子は、前記スタンバイサイクルにおいて導通するように制御される、請求項 1 記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、薄膜磁性体記憶装置に関し、より特定的には、バッテリー駆動に適した薄膜磁性体記憶装置に関する。

【背景技術】

【0002】

近年、高速かつ高集積度の不揮発性メモリとして、磁気ランダムアクセスメモリデバイス(MRAMデバイス)が注目されている。MRAMデバイスは、半導体集積回路上に形成された複数の薄膜磁性体を、ランダムアクセス可能なメモリセルとして用いた記憶装置である。

【0003】

特に、磁気トンネル接合(MTJ)を利用した薄膜磁性体で構成されたメモリセル(以下、「MTJメモリセル」とも称する)を用いることにより、MRAMデバイスの性能が向上することが発表されている。MTJメモリセルは、データ書込電流によって生じた磁界によって、書込データに応じた方向に磁化されてデータ記憶を実行する。MTJメモリセルからのデータ読出は、当該磁化方向に応じてMTJメモリセルの電気抵抗が変化する特性を利用して行なわれる。また、一旦データが書込まれたMTJメモリセルの磁化方向は、新たな磁界印加によってデータが書き換えられるまで保持されるので、MRAMデバイスは、不揮発的なデータ記憶が可能である(たとえば非特許文献1~3を参照)。

【0004】

また、MRAMデバイスにおいて、データ書込電流を流す金属配線の周囲を薄い強磁性体で覆った構造とすることにより、集積度を高める技術についても報告されている(たと

10

20

30

40

50

えば非特許文献4参照)。

【特許文献1】米国特許第6034887号公報

【非特許文献1】ロイ・ショイアーライン(Roy Scheuerlein)他6名、“各セルにFETスイッチおよび磁気トンネル接合を用いた10ns読出・書込の不揮発メモリアレイ(A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.2(2000 IEEE ISSCC Digest of Technical Papers, TA7.2), p. 128 - 129

【非特許文献2】ダークラム(M. Durlam)他5名、“磁気トンネル接合素子に基づいた不揮発ランダムアクセスメモリ(Nonvolatile RAM based on Magnetic Tunnel Junction Elements)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.3(2000 IEEE ISSCC Digest of Technical Papers, TA7.3), p. 130 - 131

【非特許文献3】ナジ(Peter K. Naji)他4名、“256kb、3.0ボルトおよび1トランジスタ1磁気トンネル接合型の不揮発性磁気抵抗性ランダムアクセスメモリ(A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM)”, (米国), 2001年米国電気電子学会国際固体回路会議・技術論文集TA7.6(2001 IEEE ISSCC Digest of Technical Papers, TA7.6), p. 122 - 123

【非特許文献4】ダークラム他(Mark Durlam)、“1トランジスタ1MTJビットセルに基づいた銅配線を用いて集積化された1MビットMRAM(A 1-Mbit MRAM Based on 1T1MTJ Bit Cell Integrated With Copper Interconnects)”, (米国) 2003年5月米国電気電子学会誌・固体回路会議(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.38, NO.5, MAY 2003), p. 769 - 773

【発明の開示】

【発明が解決しようとする課題】

【0005】

MRAMデバイスは、集積度および書換可能回数に優れるため、携帯電話機等の携帯電子機器やICカード等の携帯用途への適用が期待されている。これらの携帯用途では、外部から電力を常時供給することが困難であるため、バッテリー等により限られた電力供給が行なわれることになる。

【0006】

しかしながら、非特許文献1～3にも開示されるように、MRAMデバイスでは、データ書込用の磁界を発生させるためにパルス状の電流(データ書込電流)が消費される。したがって、電源から見たMRAMデバイスの負荷電流は、高周波のパルス状電流となる。一般的にこのような負荷電流パターンはバッテリーの消耗を大きくするので、MRAMデバイスを携帯用途に適用すれば、バッテリーによる電力供給可能期間が短くなってしまう可能性がある。

【0007】

また、ICカード等への適用時には、電源の電力容量の確保が困難である。したがって、電源から供給可能な負荷電流のピーク値が制約された下で、負荷となるMRAMデバイス内部で十分なデータ書込電流レベルを確保する必要がある。さらに、携帯用途への適用のためには、MRAMデバイスの回路面積はより小さいことが望ましい。

【0008】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、電源(バッテリー)から見た負荷電流ピークが抑制された、携帯用途への適用に好適な薄膜磁性体記憶装置を提供することである。

【課題を解決するための手段】

【0010】

この発明に従う薄膜磁性体記憶装置は、第1のデータ書込電流を選択的に流すための複数の第1の書込電流線と、第1のデータ書込電流によって生じる磁界の印加によりデータが書き込まれる複数の磁気メモリセルと、各第1の書込電流線の一端に対応して設けられ

10

20

30

40

50

た第1のスイッチ素子とを備える。第1のスイッチ素子は、第1の電圧に充電された状態である対応の第1の電流書込線を、第1の電圧とは異なる第2の電圧と接続することによって第1のデータ書込電流を生じさせる。

【0011】

好ましくは、薄膜磁性体記憶装置は、各第1の書込電流線他端に対応して設けられた第2のスイッチ素子をさらに備え、第2のスイッチ素子は、第1のスイッチ素子の非導通期間の少なくとも一部において導通して対応の第1の書込電流線および第1の電圧を電氣的に接続し、かつ、第1のスイッチ素子のオン期間において非導通とされて対応の第1の書込電流線を第1の電圧から電氣的に切り離す。

【0012】

この発明の他の構成に従う薄膜磁性体記憶装置は、書込データに応じた方向に流れるデータ書込電流を流すための複数の書込電流線と、データ書込電流によって生じるデータ書込磁界の印加によりデータが書き込まれる複数の磁気メモリセルと、書込データのレベルに応じて、複数のデータ電圧のうちの1つに設定されるデータバスと、各書込電流線一端に対応して設けられ、一端およびデータバス間を電氣的に接続するための第1の書込スイッチ素子と、各書込電流線他端を複数のデータ電圧とそれぞれ電氣的に接続するための複数の第2の書込スイッチ素子とをさらに備える。複数の第2の書込スイッチ素子のうちの、データバスの電圧とは異なるデータ電圧に対応する1つは、第2のデータ書込電流を発生させるために導通される。

この発明のさらに他の構成に従う薄膜磁性体記憶装置は、書込データに応じた方向に流れるデータ書込電流を流すための複数の書込電流線と、データ書込電流によって生じるデータ書込磁界の印加によりデータが書き込まれる複数の磁気メモリセルと、複数の書込電流線のうちの複数本によって共有される第1のライトドライバと、複数の書込電流線の各々に対応して配置される第2のライトドライバとを備える。第1のライトドライバ回路は、当該第1のライトドライバを共有する複数本の書込電流線がデータ書込対象を含む場合に、当該複数本の書込電流線一端側を書込データのレベルに応じて複数のデータ電圧のうちの1つと接続する。第2のライトドライバは、対応の書込電流線がデータ書込対象である場合には当該対応の書込電流線他端側を複数のデータ電圧のうちの他の1つと接続する一方で、対応の書込電流線がデータ書込対象でない場合には当該対応の書込電流線他端側を複数のデータ電圧のいずれとも切り離す。

【発明の効果】

【0013】

したがって、この発明に従う薄膜磁性体記憶装置では、第1のデータ書込電流の供給期間前に第1の書込電流線を充電電荷を用いて、当該第1のデータ書込電流を流すことができる。したがって、バッテリー等の電源から薄膜磁性体記憶装置へ供給される負荷電流がデータ書込電流期間に集中して、バッテリー消耗の激しい短時間・大電流の波形となるのを回避して、電源から見た負荷電流を緩やかな波形に改善できる。この結果、電源（バッテリー）からの電力供給可能期間を拡大して、薄膜磁性体記憶装置（MRAMデバイス）の搭載機器の駆動可能時間を長期化できる。

【0014】

特に、第2のスイッチ素子を設けることにより、第1の書込電流線を充電期間と、第1のデータ書込電流供給期間とを異なる期間に実行することができる。したがって、電源から見た負荷電流をさらに緩やかな波形に改善できる。

【0015】

また、書込電流線の充放電電流と、電流源からの定電流との和でデータ書込電流を供給する構成とすることによって、書込電流線の充電容量確保のための付加容量配置の回避、ならびに電流源サイズ大型化を回避できるので、薄膜磁性体記憶装置の回路面積削減を図ることができる。

【0016】

さらに、書込電流線の片側を、書込データに応じた電圧に設定される書込ノードと接続

10

20

30

40

50

するとともに、もう片側を選択的にオンされる複数の書込スイッチ素子によって、書込ノードの設定電圧とは異なる電圧と接続することで、書込電流線上に書込データに応じた方向のデータ書込電流を流すことができる。したがって、書込電流線の両側に複数の書込スイッチを設けた構成と比較してスイッチ素子の配置個数を減少可能であるとともに、書込電流線の両側に相補のデータバスをそれぞれ配置する構成と比較してデータ書込電流経路を短縮して当該経路の寄生抵抗を抑制できる。これにより、薄膜磁性体記憶装置において、回路面積削減とデータ書込電流レベル確保の容易化とを均衡させて実現できる。

【 0 0 1 7 】

また、書込電流線の一端側のライトドライバを複数本の書込電流線で共有し、かつ他端側のライトドライバを各電流書込線ごとに配置する構成としても、書込電流線上に書込データに応じた方向のデータ書込電流を流すことができる。したがって、データ書込電流経路の長大化を招くことなく、ライトドライバの配置個数を減少することができる。これにより、薄膜磁性体記憶装置において、回路面積削減とデータ書込電流レベル確保の容易化とを両立できる。

10

【発明を実施するための最良の形態】

【 0 0 1 8 】

以下においては、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の説明において、同一または相当部分には同一符号を付して、その説明は原則として繰返さないものとする。

【 0 0 1 9 】

20

[実施の形態 1]

図 1 は、本発明の実施の形態 1 に従う M R A M デバイス 1 a の全体構成を示す概略ブロック図である。

【 0 0 2 0 】

図 1 を参照して、M R A M デバイスは、外部からの制御信号（図示せず）およびアドレス信号 A d d に応じてランダムアクセスを実行し、書込データ D i n の入力および読出データ D o u t の出力を実行する。データ読出動作およびデータ書込動作に代表される M R A M デバイス 1 の内部動作は、上記制御信号に応答して、図示しない制御回路によって発行される。当該内部動作は、たとえば外部からのクロック信号（図示せず）に同期したタイミングで実行される。あるいは、外部からクロック信号を受けることなく、M R A M 内部で動作タイミングを定めてもよい。

30

【 0 0 2 1 】

M R A M デバイス 1 a は、メモリセルアレイ 1 0 と、行デコーダ 2 0 と、列デコーダ 3 0 と、書込バッファ 7 0 と、データ読出アンプ 8 0 と、データバス D B および参照データバス D B r とを備える。

【 0 0 2 2 】

メモリセルアレイ 1 0 には、行列状に配列された複数の M T J メモリセル M C （以下、単に「メモリセル」とも称する）と、ダミー行を形成するように配置されたデータ読出参照用の複数のダミーメモリセル D M C とが配置されている。

【 0 0 2 3 】

40

メモリセルの行（メモリセル行）に対応して、データ読出用のリードワード線 R W L およびデータ書込用のディジット線 D L が配置される。一方、ダミーメモリセルの行（ダミーセル行）に対応して、データ読出用のダミーリードワード線 D R W L が配置される。メモリセル M C およびダミーメモリセル D M C はメモリセル列を共有するように配置され、メモリセル列にそれぞれ対応してビット線 B L が配置される。

【 0 0 2 4 】

各メモリセル M C および各ダミーメモリセル D M C は、ソース線 S L によって所定電圧 V s s と接続される。所定電圧 V s s としては接地電圧が一般的に用いられるので、以下においては所定電圧 V s s を接地電圧 V s s とも称する。

【 0 0 2 5 】

50

各メモリセルMCは、対応のビット線BLおよびソース線SLの間に直列に接続されたアクセストランジスタATRおよびトンネル磁気抵抗素子TMRを有する。

【0026】

ここで、MTJメモリセルの構成およびデータ記憶原理を説明する。

【0027】

図2は、MTJメモリセルの構成およびデータ記憶原理を説明する概念図である。

【0028】

図2を参照して、トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）FLと、外部からの印加磁界に応じた方向に磁化可能な強磁性体層（以下、単に「自由磁化層」とも称する）VLとを有する。固定磁化層FLおよび自由磁化層VLの間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）TBが設けられる。自由磁化層VLは、書込データに応じて、固定磁化層FLと同一方向または固定磁化層FLと反対方向に磁化される。これらの固定磁化層FL、トンネルバリアTBおよび自由磁化層VLによって磁気トンネル接合（MTJ）が形成される。

10

【0029】

トンネル磁気抵抗素子TMRの抵抗は、固定磁化層FLおよび自由磁化層VLのそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子TMRの抵抗は、固定磁化層FLの磁化方向と自由磁化層VLの磁化方向とが同じ（平行）である場合に最小値 R_{min} となり、両者の磁化方向が反対（反平行）方向である場合に最大値 R_{max} となる。

20

【0030】

データ書込時においては、リードワード線RWLが非活性化されて、アクセストランジスタATRはターンオフされる。この状態で、自由磁化層VLを磁化するためのデータ書込磁界 $H(BL)$ および $H(DL)$ が、ビット線BLおよびディジット線DLを流れるデータ書込電流によってそれぞれ発生される。特に、ビット線BL上のデータ書込電流は、書込データのレベルに応じて、互いに反対方向の $I_w(0)$ および $I_w(1)$ の一方に設定されるので、自由磁化層VLに印加されるデータ書込磁界 $H(BL)$ の方向は、書込データのレベルに応じて異なる。

【0031】

30

図3は、MTJメモリセルのデータ書込電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

【0032】

図3を参照して、横軸 $H(EA)$ は、トンネル磁気抵抗素子TMR内の自由磁化層VLにおいて磁化容易軸（EA：Easy Axis）方向に印加される磁界を示す。一方、縦軸 $H(HA)$ は、自由磁化層VLにおいて磁化困難軸（HA：Hard Axis）方向に作用する磁界を示す。磁界 $H(EA)$ および $H(HA)$ は、図2に示したデータ書込磁界 $H(BL)$ および $H(DL)$ にそれぞれ対応する。

【0033】

MTJメモリセルにおいては、固定磁化層FLの固定された磁化方向は、自由磁化層VLの磁化容易軸に沿っており、自由磁化層VLは、書込データに応じて、磁化容易軸方向に沿って、固定磁化層FLと平行あるいは反平行（反対）方向に磁化される。MTJメモリセルは、自由磁化層VLの2通りの磁化方向と対応させて、1ビットのデータを記憶することができる。

40

【0034】

自由磁化層VLの磁化方向は、印加される磁界 $H(EA)$ および $H(HA)$ の和が、アステロイド特性線の外側の領域に達する場合にのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層VLの磁化方向は変化しない。

【0035】

50

アステロイド特性線に示されるように、自由磁化層 V_L に対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げるができる。図 3 に示すように、データ書込時の動作点は、ディジット線 D_L およびビット線 B_L の両方に所定のデータ書込電流を流したときに、 $M_T J$ メモリセルの記憶データ、すなわちトンネル磁気抵抗素子 TMR の磁化方向を書換えられるように設計される。

【 0 0 3 6 】

図 3 に例示された動作点 $5a \sim 5d$ では、データ書込対象である $M_T J$ メモリセルにおいて、磁化容易軸方向のデータ書込磁界 $H(EA)$ の強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線 B_L またはディジット線 D_L を流れるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分 ΔH との和で示される。すなわち、 $H_{WR} = H_{SW} + \Delta H$ で示される。

【 0 0 3 7 】

また、磁化困難軸方向のデータ書込磁界 $H(HA)$ の方向は、 $M_T J$ メモリセルの書込データへ影響を与えない。すなわち、動作点 $5a$, $5c$ のいずれによっても、同じ値のデータを $M_T J$ メモリセルに書込み可能であり、同様に、動作点 $5b$, $5d$ のいずれを用いても、同じ値のデータを $M_T J$ メモリセルに書込むことができる。

【 0 0 3 8 】

トンネル磁気抵抗素子 TMR に一旦書込まれた磁化方向、すなわち $M_T J$ メモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。各メモリセルの抵抗は、厳密には、トンネル磁気抵抗素子 TMR 、アクセストランジスタ ATR のオン抵抗、およびその他の寄生抵抗の和であるが、トンネル磁気抵抗素子 TMR 以外の抵抗分は記憶データによらず一定であるので、以下においては、 $M_T J$ メモリセルの記憶データに応じた 2 種類の抵抗についても R_{max} および R_{min} で示し、両者の差を ΔR (すなわち、 $\Delta R = R_{max} - R_{min}$) と示すものとする。

【 0 0 3 9 】

データ読出時には、アクセストランジスタ ATR をターンオンさせることによって生じるトンネル磁気抵抗素子 TMR の通過電流を、ビット線 B_L を介して検知することにより、選択メモリセルの抵抗レベル、すなわち記憶データを読出可能である。

【 0 0 4 0 】

再び図 1 を参照して、ダミーメモリセル DMC は、上述したメモリセル MC の 2 種類の抵抗 R_{max} および R_{min} の中間抵抗 R_{ref} (たとえば、 $R_{ref} = R_{min} + \Delta R / 2$) を有するように構成される。各ダミーメモリセル DMC は、ダミーリードワード線 $DRWL$ の活性化にตอบสนองして、参照データバス DBr およびソース線 SL (接地電圧 V_{ss}) の間に、中間抵抗 R_{ref} を電氣的に接続可能なように構成される。

【 0 0 4 1 】

なお、ダミーメモリセル DMC の構成は特に限定されないため、抵抗 R_{ref} を製造時に固定することで、製造後におけるダミーメモリセル DMC への磁氣的なデータ書込を不要とする構成を採用することもできる。このような構成では、データ書込用のダミーディジット線 DDL の配置は必要ない。しかしながら、製造時にメモリセルアレイ 10 の端部で形状が不連続となることによって寸法精度に支障をきたすことを防止するために、不使用の場合でもあえてダミーディジット線 DDL を設ける構成としてもよい。

【 0 0 4 2 】

各ディジット線 D_L の一端は、たとえば $nMOS$ トランジスタが適用されたトランジスタスイッチ 25 を介して接地電圧 V_{ss} と接続される。一方、各ディジット線 D_L の他端側は、たとえば $pMOS$ トランジスタが適用されたトランジスタスイッチ 15 を介して電源電圧 V_{cc} と接続される。各トランジスタスイッチ 15 は、ディジット線プリチャージ信号 $/DLPR$ の活性化にตอบสนองしてターンオンする。一方、各トランジスタスイッチ 25 は、行デコーダ 20 による行アドレス信号 $Add(RA)$ のデコード結果に基づいて、デ

10

20

30

40

50

ータ書込時に選択行でターンオンされる。

【 0 0 4 3 】

ダミーディジット線 D D L は、トランジスタスイッチ 1 5 および 2 5 と同様に設けられたトランジスタスイッチ 1 5 および 2 5 によって、電源電圧 V c c および接地電圧 V s s と接続可能である。上述のように、ダミーメモリセル D M C への磁気的なデータ書込が不要な構成においても、形状連続性確保のためにトランジスタスイッチ 1 5 および 2 5 をダミーとして設けてもよい。

【 0 0 4 4 】

各ビット線 B L の一端側は、コラム選択スイッチ 5 5 を介してデータバス D B と接続される。一方、各ビット線 B L の他端側には、ライトドライバ 5 0 が配置される。各ダミーメモリセル D M C は、コラム選択スイッチ 5 5 r を介して参照データバス D B r と接続される。

10

【 0 0 4 5 】

コラム選択スイッチ 5 5 , 5 5 r は、各メモリセル列に対応して設けられ、対応のコラム選択線 C S L に応答してオン・オフされる。列デコーダ 3 0 は、コラムアドレス信号 A d d (C A) のデコード結果に基づいて、コラム選択スイッチ 5 5 , 5 5 r が選択列でオンし、非選択列でオフするように、各コラム選択線 C S L の活性化を制御する。コラム選択スイッチ 5 5 , 5 5 r の各々には、たとえば n M O S トランジスタが適用される。

【 0 0 4 6 】

図 1 においては、第 1 行および第 2 行ならびに第 j 列および第 (j - 1) 列 (j : 自然数) に対応する、リードワード線 R W L 1 , R W L 2 、ディジット線 D L 1 , D L 2 、ビット線 B L j - 1 , B L j 、コラム選択線 C S L j - 1 , C S L j およびソース線 S L j - 1 , S L j が代表的に図示されている。

20

【 0 0 4 7 】

なお、本実施の形態においては、リードワード線、ディジット線、ビット線、コラム選択線およびソース線を総括的に表現する場合には符号 R W L 、 D L 、 B L 、 C S L および S L をそれぞれ用いて表記することとする。また、データ、信号および信号線の高電圧状態 (電源電圧 V c c) および低電圧状態 (接地電圧 V s s) のそれぞれを、「 H レベル」および「 L レベル」ともそれぞれ称することとする。

【 0 0 4 8 】

書込バッファ 7 0 は、データ端子 7 1 に入力された書込データ D i n に応答したデータ電圧をデータバス D B に駆動する。本実施の形態においては、書込データ D i n = H レベルのときにはデータバス D B が電源電圧 (V c c) に設定され、 D i n = L レベルのときには、データバス D B は接地電圧 (V s s) に設定されるものとする。すなわちデータ書込時において、電源電圧 V c c および接地電圧 V s s のそれぞれが「データ電圧」に相当する。

30

【 0 0 4 9 】

ライトドライバ 5 0 は、上記データ電圧に相当する電源電圧 V c c および接地電圧 V s s と、対応のビット線 B L との間にそれぞれ電氣的に接続されたトランジスタスイッチ 5 1 および 5 2 を有する。たとえば、トランジスタスイッチ 5 1 は p M O S トランジスタで構成され、トランジスタスイッチ 5 2 は、 n M O S トランジスタで構成される。

40

【 0 0 5 0 】

トランジスタスイッチ 5 1 のゲートには制御信号 W D P が入力され、トランジスタスイッチ 5 2 のゲートには制御信号 W D N が入力される。制御信号 W D P , W D N は、各メモリセル列ごとに独立に生成される。図 1 には、第 j 列および第 (j - 1) 列に対応する制御信号 W D P j - 1 , W D P j , W D N j - 1 , W D N j が例示される。

【 0 0 5 1 】

データ読出アンプ 8 0 は、カレントミラーアンプを構成する n M O S トランジスタ 8 1 , 8 2 および p M O S トランジスタ 8 3 , 8 4 と、当該カレントミラーアンプへ動作電流を供給するための p M O S トランジスタ 8 5 とを有する。

50

【0052】

nMOSトランジスタ81は、データバスDBおよびノードND1の間に電氣的に接続され、nMOSトランジスタ82は参照データバスDBrおよびノードND2の間に電氣的に接続される。pMOSトランジスタ83, 84は、ノードND1およびND2とノードND3との間にそれぞれ電氣的に接続される。pMOSトランジスタ85は、ノードND3および電源電圧Vccの間に電氣的に接続され、ゲートにはセンスイネーブル信号/SEを受ける。

【0053】

nMOSトランジスタ81および82のゲートには共通に所定電圧Vrefが与えられ、pMOSトランジスタ83および84のゲートは共通にノードND1と接続される。ノードND1には読出データDoutが生成され、ノードND2には読出データDoutの反転データ/Doutが出力される。

10

【0054】

次に、図1に示したMRAMデバイス1aのデータ書込動作およびデータ読出動作の概略について説明する。

【0055】

データ書込動作時に、行デコーダ20によるトランジスタスイッチ25のオン・オフ制御により、選択行のディジット線DLには、書込データDinによらない所定方向のデータ書込電流Ipが流される一方で、非選択行のディジット線DLにはデータ書込電流Ipは流れない。データ書込電流Ipによって、図3に示した磁化困難軸方向に沿ったデータ書込磁界H(HA)が発生される。すなわち、データ書込電流Ipは本発明における「第1のデータ書込電流」に相当し、各ディジット線DLは本発明における「第1の書込電流線」に相当する。

20

【0056】

さらに、ライトドライバ50を構成するトランジスタスイッチ51, 52およびコラム選択スイッチ55のオン・オフ制御によって、選択列のビット線BLには、書込データDinに応じてデータ書込電流Iw(0)またはIw(1)のいずれかが流される。データ書込電流Iw(0)およびIw(1)は、図3で説明した磁化容易軸に沿ったデータ書込磁界H(EA)に相当する。一方、非選択列のビット線BLは、基本的にフローティング状態とされる。すなわち、トランジスタスイッチ51, 52およびコラム選択スイッチ55はターンオフされる。

30

【0057】

これにより、選択メモリセルに対しては、データ書込電流Ipと、データ書込電流Iw(0)またはIw(1)との両方によるデータ書込磁界が印加されて、図3に示した動作点5a~5dのいずれかの状態が実現される。これにより、選択メモリセルのトンネル磁気抵抗素子TMRは、書込データDinに沿った方向に磁化される。すなわち、データ書込電流Iw(0), Iw(1)は本発明における「第2のデータ書込電流」に相当し、各ビット線BLは本発明における「第2の書込電流線」に相当する。

【0058】

なお、後ほど詳細に説明するように、本発明に従うMRAMデバイスにおいては、電源電圧Vcc(代表的にはバッテリーを想定)から見た、データ書込時におけるMRAMデバイスの消費電流、すなわち負荷電流波形が急峻とならないように制御される。

40

【0059】

データ読出時には、各ディジット線DL上に電流が流れないようにトランジスタスイッチ15, 25を制御した上で、選択行のリードワード線RWLならびにダミーリードワード線DRWLが活性化される。これにより、選択メモリセルにおいてアクセストランジスタATRがオンし、選択列のビット線BLおよび接地電圧Vss(ソース線SL)の間にトンネル磁気抵抗素子TMRが接続される。さらに、選択列におけるコラム選択スイッチ55, 55rのオンにより、データバスDBおよび接地電圧Vss(ソース線SL)の間には、選択メモリセルの記憶データに応じて抵抗RmaxおよびRminのいずれかが接

50

続され、かつ、参照データバスDBrおよび接地電圧Vss（ソース線SL）の間には、ダミーメモリセルDMCの中間抵抗Rrefが接続される。

【0060】

この状態で、Lレベルに活性化されたセンスイネーブル信号/SEに応答してpMOSトランジスタ85がターンオンすると、nMOSトランジスタ81、82およびpMOSトランジスタ83、84によって構成されるカレントミラーアンプに動作電流が供給される。これにより、nMOSトランジスタ81を介してノードND1と接続されるデータバスDBと、nMOSトランジスタ82を介してノードND2と接続される参照データバスDBrとの間には、選択メモリセルの記憶データに応じた極性の電流差が生じる。当該電流差は、上記カレントミラーアンプによってノードND1およびND2の間の電圧差に増幅される。これにより、選択メモリセルの記憶データに応じた読出データDoutがノードND1に生成される。

10

【0061】

次に、実施の形態に従うMRAMデバイス1aにおけるデータ書込電流の供給について詳細に説明する。

【0062】

図4は、この発明の実施の形態1に従うデータ書込電流供給構成を説明する概念図である。

【0063】

図4においては、選択行に対応するディジット線DLi（以下、「選択ディジット線」とも称する）および選択列に対応するビット線BLj（以下、「選択ビット線」とも称する）が代表的に示されている。

20

【0064】

既に説明したように、選択ディジット線DLiの一端側は、「第1のスイッチ素子」に相当するスイッチ素子S1を介して接地電圧Vssと接続可能であり、かつ、その他端側は「第2のスイッチ素子」であるスイッチ素子S2を介して電源電圧Vccと接続されている。なお、スイッチ素子S1は図1に示したトランジスタスイッチ25に相当し、スイッチ素子S2は図1に示されたトランジスタスイッチ15に相当する。

【0065】

符号60は、ディジット線DLの充電容量を示す。ディジット線容量60は、ディジット線DLの寄生容量62aのみで構成されてもよいし、ディジット線DLと接続された容量素子（付加容量）62bと寄生容量62aとの和で構成されてもよい。

30

【0066】

選択ビット線BLjの一端側は、「第3のスイッチ素子」であるスイッチ素子S3を介して、書込データDinに応じたデータ電圧に設定される書込ノード75と接続される。スイッチ素子S3は、図1に示したコラム選択スイッチ55に相当し、書込ノード75は、図1におけるデータ端子71またはデータバスDBに相当する。すなわち、書込ノード75に設定されるデータ電圧は、電源電圧Vcc（Din=Hレベル）および接地電圧Vss（Din=Lレベル）のいずれかである。

【0067】

40

ビット線BLjの他端は、「第4のスイッチ素子」に相当するスイッチ素子S4a、S4bを介して、「データ電圧」に相当する電源電圧Vccおよび接地電圧Vssとそれぞれ電氣的に接続可能である。スイッチ素子S4aは図1に示したトランジスタスイッチ51に相当し、スイッチ素子S4bは、図1に示したトランジスタスイッチ52に相当する。

【0068】

符号65は、ビット線BLの充電容量を示す。ビット線容量65は、ビット線BLの寄生容量67aのみで構成されてもよいし、ビット線BLと接続された容量素子（付加容量）67bと寄生容量67aとの和で構成されてもよい。

【0069】

50

図 5 には、付加容量 6 2 b , 6 7 b の好ましい配置が示される。

【 0 0 7 0 】

図 5 を参照して、メモリセルアレイ 1 0 には、 m 行 $\times$ n 列 (m, n : 自然数) にメモリセル MC が配置され、メモリセル行に対応してディジット線 DL 1 ~ DL m が配置され、メモリセル列に対応してビット線 BL 1 ~ BL n が配置される。

【 0 0 7 1 】

充電経路の上流側のメモリセル MC では、当該充電経路の下流側のメモリセル MC と比較してデータ書込電流供給のための電荷蓄積に利用できる寄生容量 6 2 a , 6 2 b が小さい。なお、各ディジット線 DL 上においては、スイッチ素子 S 2 側が充電経路の上流側に相当し、スイッチ素子 S 1 側が充電経路の下流側に相当する。同様に、各ビット線 BL 上においては、スイッチ素子 S 3 側が充電経路の上流側に相当し、ライトドライバ 5 0 側が充電経路の下流側に相当する。

10

【 0 0 7 2 】

したがって、寄生容量 6 2 a , 6 7 a による充電容量の不足を補助するための付加容量 6 2 b , 6 7 b は、各ディジット線 DL および各ビット線 BL の充電経路において、メモリセル MC よりも上流側に設ける必要がある。すなわち、付加容量 6 2 b は、メモリセルアレイ 1 0 外部のスイッチ素子 S 2 側の領域で各ディジット線 DL と接続されるように設けられる。同様に、付加容量 6 7 b は、メモリセルアレイ 1 0 外部のスイッチ素子 S 3 側の領域で各ビット線 BL と接続されるように設けられる。

【 0 0 7 3 】

図 6 は、実施の形態 1 に従う MRAM デバイスの動作を説明する図である。

20

【 0 0 7 4 】

図 6 を参照して、実施の形態 1 に従う MRAM デバイス 1 a の動作は、クロック信号に応答してクロックサイクルごとに実行されるものとする。

【 0 0 7 5 】

クロックサイクル 1 ではスタンバイ動作 (S t b y) が実行され、データ読出およびデータ書込のいずれも実行されない。スタンバイ動作では、スイッチ素子 S 2 および S 4 b がオンされ、スイッチ素子 S 1 , S 3 , S 4 a はオフされる。これにより各ディジット線 DL が電源電圧 V c c によって充電されるが、スイッチ素子 S 1 がオフされているためデータ書込電流は生じない。同様に、各ビット線 BL は接地電圧 V s s にプリチャージされる。

30

【 0 0 7 6 】

クロックサイクル 2 ではデータ読出動作 (R e a d) が実行される。各ディジット線 DL はデータ読出動作には無関係であるため、スイッチ S 1 および S 2 がスタンバイ動作時と同様に制御され、各ディジット線 DL の充電状態が保持される。

【 0 0 7 7 】

図 1 で説明したように、データ読出は、選択ビット線に選択メモリセルが接続されて実行される。スイッチ素子 S 3 は、データ書込動作に関連してはオフされるべきであるが、図 1 に示した構成例ではビット線 BL をデータ読出およびデータ書込で共用しているため、選択列においてオンする必要がある。したがって、図 6 では、スイッチ素子 S 3 の状態を括弧付きの “ オン ” で示している。一方、ライトドライバ内のスイッチ素子 S 4 a , S 4 b はデータ読出動作に支障を来さないようにオフされる。

40

【 0 0 7 8 】

クロックサイクル 3 においては、次のサイクルからデータ書込を実行するために、再びスタンバイ動作が実行される。

【 0 0 7 9 】

クロックサイクル 4 ~ 8 は単一のデータ書込動作を構成する。単一のデータ書込動作では、データ “ 0 ” (D i n = L レベル) を書込む “ W r i t e 0 ” およびデータ “ 1 ” (D i n = H レベル) を書込む “ W r i t e 1 ” のいずれかが実行される。図 6 に示す例では、クロックサイクル 4 ~ 8 により “ W r i t e 0 ” が実行されるものとする。

50

【0080】

先頭のクロックサイクル4において、書込ノード75は、書込データに応じたデータ電圧(“Write0”では接地電圧 V_{ss})に設定される。

【0081】

クロックサイクル4では、スイッチ素子 S_3 がターンオンされる一方で、スイッチ素子 S_1 , S_2 , S_{4a} , S_{4b} はオフされる。

【0082】

スイッチ素子 S_3 がターンオンし、かつ、スイッチ素子 S_{4a} , S_{4b} がオフされるので、選択ビット線 BL_j はデータ“0”($D_{in} = L$ レベル)に対応したデータ電圧レベル(接地電圧 V_{ss})に充電される。

10

【0083】

また、選択ディジット線 DL_i は、電源電圧 V_{cc} への充電状態が維持され、データ書込電流 I_p はこの段階では流されない。このように、クロックサイクル4において、ディジット線容量60は電源電圧 V_{cc} で充電され、ビット線容量65は、書込データ D_{in} に応じて接地電圧 V_{ss} に充電される。

【0084】

次のクロックサイクル5では、スイッチ素子 S_3 がターンオフされる一方で、スイッチ素子 S_1 および S_{4a} はターンオンする。一方、スイッチ素子 S_2 および S_{4b} はオフ状態を維持する。

【0085】

20

これにより、電源電圧 V_{cc} に充電された状態の選択ディジット線 DL_i が接地電圧 V_{ss} に接続されることによって、選択ディジット線 DL_i 上を所定方向(ここでは、スイッチ素子 S_2 から S_1 へ方向)にデータ書込電流 I_p が流れる。データ書込電流 I_p は、クロックサイクル4迄に充電されたディジット線容量60の放電電流に相当し、放電が完了すると消滅する。

【0086】

さらに、スイッチ素子 S_{4a} のターンオンによって、書込データ D_{in} に対応するデータ電圧(ここでは接地電圧 V_{ss})に充電された状態の選択ビット線 BL_j は、異なるデータ電圧である電源電圧 V_{cc} と接続される。これにより、書込データ D_{in} に応じた方向のデータ書込電流 $I_w(0)$ が選択ビット線 BL_j 上を流れる。データ書込電流 $I_w(0)$ は、ビット線容量65の電源電圧 V_{cc} への充電電流に相当し、充電が完了すると消滅する。この結果、選択メモリセルへデータ“0”が書込まれる。

30

【0087】

続くクロックサイクル6では、書込ノード75は、再び、書込データに応じたデータ電圧(“Write0”では接地電圧 V_{ss})に設定される。

【0088】

さらに、クロックサイクル4と同様に、スイッチ素子 S_3 がターンオンされて、スイッチ素子 S_1 , S_2 , S_{4a} , S_{4b} がターンオフされる。これにより、選択ビット線 BL_j は、クロックサイクル4と同様に、書込データに応じたデータ電圧(接地電圧 V_{ss})に再び充電される。一方、スイッチ素子 S_1 , S_2 がオフされるため、選択ディジット線 DL_i の状態は、クロックサイクル5の終了時と同様に維持される。

40

【0089】

続くクロックサイクル7では、スイッチ素子 S_2 がターンオンされる。これにより、クロックサイクル4と同様に、ディジット線容量60が電源電圧 V_{cc} に充電されるが、スイッチ素子 S_1 がオフされているので、データ書込電流 I_p は流れない。また、スイッチ素子 S_3 , S_{4a} , S_{4b} がオフされるため、選択ビット線 BL_j の状態は、クロックサイクル6の終了時と同様に維持される。

【0090】

クロックサイクル8においては、スイッチ素子 S_1 および S_{4b} がターンオンされる一方で、スイッチ素子 S_2 , S_3 , S_{4a} がオフされる。しかし、選択ビット線 BL_j はク

50

ロックサイクル7において接地電圧 V_{ss} に充電されているので、データ書込電流が流れることはない。したがって、このクロックサイクルにおいては、選択ディジット線 DL_j 上をデータ書込電流 I_p が流れるものの、選択ビット線 BL_j 上をデータ書込電流が流れないため、データ書込は実行されない。

【0091】

このようにして、クロックサイクル4～8で構成される単一のデータ書込動作によって、クロックサイクル5でのデータ書込電流供給により、データ“0”($Din = L$ レベル)のデータ書込が実行される。

【0092】

クロックサイクル9においては、クロックサイクル1および3と同様のスタンバイ動作が実行される。すなわち、各ディジット線 DL は電源電圧 V_{cc} に充電され、各ビット線 BL は接地電圧 V_{ss} に充電される。

【0093】

なお、“Write1”のデータ書込動作は、クロックサイクル4および6での書込ノード75の電圧設定を、 $Din = H$ レベルに対応したデータ電圧(電源電圧 V_{cc})に変更した上で、スイッチ素子 $S1 \sim S3$, $S4a$, $S4b$ を“Write0”と同様にスイッチングさせることにより実行される。これにより、“Write1”では、クロックサイクル5では選択ビット線 BL_j にデータ書込電流が発生しない一方で、クロックサイクル8で選択ビット線 BL_j にデータ書込電流 $I_w(1)$ が流れることにより、選択メモリセルへデータ“1”が書込まれる。

【0094】

すなわち、図6に示す書込動作シーケンスでは、5つのクロックサイクルで構成される単一の書込動作において、書込データによらずスイッチ素子 $S1 \sim S3$, $S4a$, $S4b$ のスイッチングパターンを同一とできる。このため、書込データに応じてスイッチ素子 $S4a$ および $S4b$ の動作を制御する必要がないので、そのオン・オフを制御する回路、すなわち図1に示した制御信号 WDP , WDN を生成する制御回路の構成を簡素化できる。

【0095】

このように本発明に従うMRAMデバイスにおけるデータ書込電流は、「書込電流線」として設けられたディジット線およびビット線の容量の充放電動作によって供給される。以下では、これらの充放電電流の特性について、ディジット線 DL_i を例にとって説明する。

【0096】

図7は、データ書込電流供給に関連するディジット線の充放電動作をモデル化した第1の電気回路図である。

【0097】

図7を参照して、ディジット線 DL_i は、スタンバイ動作時等(図6のクロックサイクル1, 3, 7, 9)において、スイッチ素子 $S2$ のターンオンに应答して、電源電圧 V_{cc} と接続される。すなわち、ディジット線容量 C_0 が電源電圧 V_{cc} によって充電される。この充電動作は一般的なRC負荷の充電動作に相当するため、充電経路の充電抵抗を R_0 とすると、充電電流 $i_c(t)$ およびディジット線電圧 $v_c(t)$ は、下記(1)式および(2)式で示される。なお、充電抵抗 R_0 には、充電経路の寄生抵抗およびトランジスタスイッチ15のオン抵抗等が含まれる。

【0098】

10

20

30

40

【数 1】

$$v_c(t) = V_{cc} \left\{ 1 - \exp \left(-\frac{t}{C \cdot R_0} \right) \right\} \quad \dots (1)$$

$$i_c(t) = C \cdot \frac{dv_c(t)}{dt} = \frac{V_{cc}}{R_0} \cdot \exp \left(-\frac{t}{C \cdot R_0} \right) \quad \dots (2)$$

【0099】

次に、スイッチ素子 S 2 がターンオフされた状態でスイッチ素子 S 1 をターンオンすることにより（たとえば図 6 でのクロックサイクル 5, 8）、ディジット線容量 60 の充電電荷が接地電圧 V_{ss} へ放電されることで、データ書込電流 I_p が流される。放電経路の放電抵抗を R_p とすると、放電電流 $i_d(t)$ およびディジット線電圧 $v_c(t)$ は下記（3）、（4）式のように示される。なお、放電抵抗 R_p には、放電経路の寄生抵抗およびトランジスタスイッチ 25 のオン抵抗等が含まれる。

10

【0100】

【数 2】

$$v_d(t) = v_c(0) \cdot \exp \left(-\frac{t}{C \cdot R_p} \right) \quad \dots (3)$$

20

$$i_d(t) = C \frac{dv_d(t)}{dt} = -\frac{V_c(0)}{R_p} \cdot \exp \left(-\frac{t}{C \cdot R_p} \right) \quad \dots (4)$$

ただし、 $v_c(0) = V_{cc}$

【0101】

なお、（1）～（4）式では、接地電圧 $V_{ss} = 0V$ とし、 $V_{cc} - V_{ss} = V_{cc}$ としている。（1）～（4）式を概略的に図示すると、図 8（a）、（b）のようになる。

【0102】

図 8（a）を参照して、充電時には、ディジット線容量 60 の充電電流 $i_c(t)$ は、充電抵抗 R_0 に依存した V_{cc} / R_0 をピーク値とする減衰電流となる。充電電流 $i_c(t)$ の減衰レートはディジット線容量 60 および充電抵抗 R_0 の積の逆数である、“ $1 / (C \cdot R_0)$ ” に依存する。

30

【0103】

一方放電時には、図 8（b）に示されるように、データ書込電流 I_p に相当する放電電流 $i_d(t)$ は、放電抵抗 R_p に依存する V_{cc} / R_p をピーク値とする減衰電流となる。放電電流 $i_d(t)$ の減衰レートは、ディジット線容量 60 および放電抵抗 R_p の RC 積の逆数である、 $1 / (C \cdot R_p)$ に依存する。

【0104】

したがって、データ書込に必要なデータ書込電流レベルを I_{wm} とし、必要な電流印加時間を T_{wm} とすると、放電電流 $i_d(t) > I_{wm}$ である期間 T_w が、 $T_w > T_{wm}$ となるように、放電抵抗 R_p および RC 積 $C \cdot R_p$ を設計する必要がある。

40

【0105】

特に、ディジット線容量 60 の容量値 C については、少なくとも、 $C \cdot (V_{cc} - V_{ss})$ が I_{wm} および T_{wm} の積よりも大きくなるように、すなわち下記（5）式を満たすように設計する必要がある。

【0106】

【数 3】

$$C > \frac{T_{wm} \cdot I_{wm}}{V_{cc} - V_{ss}} \quad \dots (5)$$

【0107】

一般的な数値例では、 $T_{wm} = 0.5 \sim 2 \text{ (ns)}$ 、 $I_{wm} = 3 \sim 10 \text{ (mA)}$ 程度であるので、 $V_{cc} = 1.0 \text{ (V)}$ および $V_{ss} = 0 \text{ (V)}$ とすると、ディジット線容量60としては、 $C = 1.5 \sim 20 \text{ (pF)}$ 程度を確保する必要がある。ディジット線DLの寄生容量はその設計に依存して変化するので、図4に示した寄生容量62aのみで上記(5)式を満足する容量値が得られない場合には、容量素子62bを付加的に設けてディジット線DLに接続する必要がある。すなわち、図4に示されたディジット線容量60は、上記(5)式を満足するように、ディジット線DLの寄生容量62bのみ、もしくは寄生容量62aと付加容量62bとの和によって実現されることになる。

10

【0108】

実施の形態1に従うMRAMデバイスでは、ディジット線容量60の充電動作と、データ書込電流のための放電動作とを異なる期間に実行するため、電源電圧 V_{cc} を供給する電源(バッテリー)からMRAMデバイスへの負荷電流は、図8(a)での充電電流 $i_c(t)$ に相当する。すなわち、電源から見た負荷電流を比較的緩やかな波形とすることができる。

【0109】

20

一方、図7に示した構成において、スイッチ素子S1の配置を省略してスイッチ素子S2のみを設け、スイッチ素子S2を行選択結果に応じてオン・オフさせても、データ書込電流 I_p の供給を実行できる。しかしながら、このような構成では、スイッチ素子S2のオン期間を通じて、定常的なデータ書込電流 $I_p = (V_{cc} - V_{ss}) / (R_0 + R_p)$ が電源から供給され、さらに、当該オン期間の初期においてはディジット線容量60の充電電流がさらに重畳して供給される。したがって、電源から見た負荷電流は、図8(a)に示した充電電流 $i_c(t)$ よりも短時間・大電流の波形となり、そのピーク値も高くなる。このため、バッテリー等の電源の負担が大きくなり、電力供給可能期間が短くなってしまいう可能性がある。

【0110】

30

言い換えれば、この発明の実施の形態1によるMRAMデバイスでは、電源から見た負荷電流を緩やかな波形に改善することによって、電源(バッテリー)の負荷を軽減できる。

【0111】

さらに、図9に示されるように、ディジット線容量60の充電経路に充電調整抵抗 R_c を挿入することにより、充電経路のRC積を大きく確保することも可能である。なぜなら、スイッチ素子S2の配置により、データ書込電流 I_p の供給期間には充電調整抵抗 R_c をデータ書込電流経路から切り離す構成としているからである。なお、図9に示した充電調整抵抗 R_c は、ディジット線DLに対しては、図1に示した電源電圧 V_{cc} (バッテリーに相当)とトランジスタスイッチ15との間に接続されるように配置すればよい。

【0112】

40

図9の構成における充電電流 $i_c(t)$ は、下記(6)式で示される。

【0113】

【数 4】

$$i_{c\#}(t) = \frac{V_{cc}}{R_0 + R_c} \cdot \exp\left(-\frac{t}{C \cdot (R_0 + R_c)}\right) \quad \dots (6)$$

【0114】

(2)式の充電電流 $i_c(t)$ および(6)式の充電電流 $i_{c\#}(t)$ の比較から理解されるように、充電調整抵抗 R_c を追加することにより、電源から見た負荷電流のピーク

50

値を抑制して、さらに緩やかな波形に改善することができる。したがって、充電時間は長期化するものの、高速動作が必要とされない用途に適用すれば電源の（バッテリー）負荷をさらに軽減できる。

【 0 1 1 5 】

あるいは、図 1 0 に示すように、ディジット線容量 6 0 の容量値 C が十分に確保され、充電抵抗 R 0 との R C 積 R 0 ・ C が十分大きい場合には、スイッチ素子 S 2 の配置を省略する構成とすることもできる。この構成においては、充電電流 $i_c(t)$ は図 7 の構成と同様に流れるが、スイッチ素子 S 1 のターンオンに応答して流れる放電電流 $i_d(t)$ すなわちデータ書込電流 I_p は下記 (7) 式のように示される。

【 0 1 1 6 】

【 数 5 】

$$i_{d\#}(t) = \frac{V_{cc} - V_{ss}}{R_0 + R_p} \quad \dots (7)$$

【 0 1 1 7 】

スイッチ素子 S 1 のオン期間においては、(7) 式に示されるデータ書込電流 $i_d(t)$ のうち、ディジット線容量 6 0 の放電電荷によっては賄えない不足分の電流が電源（バッテリー）より供給されることとなる。したがって、図 1 0 に示した構成では、データ書込電流の供給期間（スイッチ素子 S 1 のオン期間）における上記不足分の電流分だけ、電源（バッテリー）の負荷が増加するが、データ書込電流の供給期間前での充電電荷によって、データ書込電流の一部を供給する構成である点は変わらないため、電源（バッテリー）の負荷を軽減できる。

【 0 1 1 8 】

なお、図 7 から図 1 0 では、ディジット線 D L 上のデータ書込電流供給動作について説明したが、ビット線 B L 上のデータ書込電流供給動作についても、その充電電流および放電電流は同様である。

【 0 1 1 9 】

すなわち、図 1 1 および図 1 2 に示すように、図 7 および図 9 の構成において、スイッチ素子 S 2 をスイッチ素子 S 3（コラム選択スイッチ 5 5）に置換し、スイッチ素子 S 1 をスイッチ素子 S 4 a, S 4 b に置換し、ディジット線容量 6 0 をビット線容量 6 5 に置換すれば、データ書込電流供給に関連するビット線の充放電動作をモデル化した電気回路図が実現される。

【 0 1 2 0 】

なお、ビット線 B L 上におけるデータ書込電流の供給動作時には、電源電圧 V_{cc} に充電されたビット線容量 6 5 を接地電圧 V_{ss} へ放電する動作（データ書込電流 $I_w(1)$ の供給に相当）のみでなく、ビット線容量 6 5 を接地電圧 V_{ss} に設定した後電源電圧 V_{cc} によって充電する動作（データ書込電流 $I_w(0)$ の供給に相当）が存在する。

【 0 1 2 1 】

しかしながら、このような動作においても、図 8 (a), (b) における電圧 $v_c(t)$ の波形は極性が反転するものの、充電電流 $i_c(t)$, $i_c(t)$ および放電電流 $i_d(t)$, $i_d(t)$ については、上述したディジット線電流におけるデータ電流供給動作の場合と同様の波形となる。したがって、ビット線上のデータ書込電流供給についても、ディジット線上のデータ書込電流供給と同様に、電源（バッテリー）の負荷を軽減できる。

【 0 1 2 2 】

なお、ビット線 B L 上のデータ電流供給動作に関する充電調整抵抗 R_c は、スイッチ素子 S 3 と図 1 に示したデータ端子 7 1 との間に、スイッチ素子 S 3 のオン期間にビット線 B L と直列に接続される形態で配置することができる。

【 0 1 2 3 】

10

20

30

40

50

また、充電抵抗 R_0 は、書込バッファ 70 からビット線 B_L を含む充電経路の寄生抵抗およびスイッチ素子 S_3 のオン抵抗の和に対応し、放電抵抗 R_p は、ビット線 B_L の寄生抵抗およびスイッチ素子 S_{4a} または S_{4b} のオン抵抗の和に相当する。

【0124】

以上説明したように、この発明の実施の形態 1 に従う MRAM デバイスにおいては、データ書込電流 I_p および、 $I_w(0)$ 、 $I_w(1)$ を供給するための「書込配線」に相当するディジット線 D_L およびビット線 B_L の容量充電動作と、データ書込電流の供給動作とを時分割で行ない、当該容量へ充電された電荷の放電によってデータ書込電流を供給する。これにより、電源電圧 V_{cc} を供給する電源（バッテリー）から MRAM デバイスへ供給される負荷電流の波形をなだらかなものとするため、バッテリーの負担を軽減できる。これにより、電源（バッテリー）からの電力供給可能期間を拡大して、MRAM デバイスの搭載機器の駆動可能時間を長期化できる。

10

【0125】

特に、スイッチ素子 S_2 を設けることによって、充電調整抵抗 R_c をデータ書込電流のレベルに悪影響を与えることなく挿入可能となるので、充電時間の長期化によって要求される動作時間に支障を来さない用途においては、電源（バッテリー）による電力供給可能期間をさらに拡大することができる。

【0126】

[実施の形態 1 の変形例 1]

実施の形態 1 の変形例 1 においては、実施の形態 1 による MRAM デバイスにおける、データ書込動作シーケンスの他の構成例を説明する。

20

【0127】

図 13 は、実施の形態 1 の変形例 1 に従う MRAM デバイスの動作を説明する図である。

【0128】

図 13 を参照して、実施の形態 1 の変形例に従うデータ書込動作では、単一のデータ書込動作は、2 つのクロックサイクルから構成される。単一のデータ書込動作では、データ“0”を書込む“Write 0”およびデータ“1”を書込む“Write 1”のいずれかが実行される。図 13 においては、クロックサイクル 1 ~ 3 では、図 6 に示した動作シーケンスと同様に、スタンバイ動作（Standby）、読出動作（Read）およびスタンバイ動作（Standby）がそれぞれ実行される。

30

【0129】

クロックサイクル 4 および 5 によって、データ“0”を書込むための単一のデータ書込動作（Write 0）が構成される。

【0130】

先頭のクロックサイクル 4 においては、図 6 に示したクロックサイクル 4 と同様の動作が実行されて、選択ビット線 B_{Lj} は、書込ノード 75 により書込データ D_{in} に応じて接地電圧 V_{ss} に充電される。また、クロックサイクル 4 では、選択ディジット線 D_{Li} は電源電圧 V_{cc} への充電状態を維持される。

【0131】

次のクロックサイクル 5 において、スイッチ素子 S_1 および S_2 は、図 6 に示したクロックサイクル 5 と同様に制御される。

40

【0132】

これにより、選択ディジット線 D_{Li} 上をデータ書込電流 I_p が流れる。また、図 6 に示したクロックサイクル 4 と同様に、スイッチ素子 S_3 もオフされるので、選択ビット線 B_{Lj} は、ハイインピーダンス状態（Z）とされた書込ノード 75 から切離される。

【0133】

実施の形態 1 の変形例に従うデータ書込動作では、ライトドライバ 50（図 1）を構成するスイッチ素子 S_{4a} および S_{4b} のオンおよびオフは、書込データ D_{in} に応じて制御される。クロックサイクル 5 では、 $D_{in} = L$ レベルに対応して、スイッチ素子 S_{4a}

50

がオンされる一方で、スイッチ素子 S_{4b} がオフされる。これにより、書込データ D_{in} に応じて接地電圧 V_{ss} に充電された選択ビット線 BL_j がスイッチ素子 S_{4a} によって電源電圧 V_{cc} と接続されるので、選択ビット線 BL_j 上を、データ書込電流 $I_w(0)$ が流れる。これにより、選択メモリセルへデータ “0” が書込まれる。

【0134】

クロックサイクル6におけるスタンバイ動作については、クロックサイクル1および3と同様である。

【0135】

クロックサイクル7および8によって、データ “1” を書込むための単一のデータ書込動作 ($Write1$) が構成される。

【0136】

クロックサイクル7においては、クロックサイクル4と同様の動作が実行されて、選択ディジット線 DL_i は電源電圧 V_{cc} に充電され、かつ、選択ビット線 BL_j は、書込ノード75により書込データ D_{in} に応じて電源電圧 V_{cc} に充電される。

【0137】

次のクロックサイクル8では、図13のクロックサイクル4と同様に、選択ディジット線 DL_i 上をデータ書込電流 I_p が流れる。また、図6に示したクロックサイクル4と同様に、スイッチ素子 S_3 もオフされるので、選択ビット線 BL_j はハイインピーダンス状態 (Z) とされた書込ノード75から切離される。

【0138】

さらに、 $D_{in} = H$ レベルに対応して、スイッチ素子 S_{4b} がオンされる一方で、スイッチ素子 S_{4a} がオフされる。すなわち、書込データが異なるデータ書込動作間では、スイッチ素子 S_{4a} 、 S_{4b} のオン・オフが入れ替わる。これにより、書込データ D_{in} に応じて電源電圧 V_{cc} に充電された選択ビット線 BL_j がスイッチ素子 S_{4b} によって接地電圧 V_{ss} と接続される。この結果、選択ビット線 BL_j 上を、データ書込電流 $I_w(1)$ が流れて、クロックサイクル8で選択メモリセルへデータ “1” が書込まれる。

【0139】

次のクロックサイクル9におけるスタンバイ動作についても、クロックサイクル1、3および6と同様であるので説明は繰返さない。

【0140】

このように、実施の形態1の変形例に従うデータ書込動作では、実施の形態1によるMRAMデバイスと同様の構成により、データ書込電流供給に関する電源(バッテリー)負荷を軽減するとともに、さらに、データ書込動作に要するクロックサイクルを短縮することができるので、高速動作化を図ることができる。

【0141】

しかしながら、このような高速化は、ライトドライバを構成するスイッチ素子 S_{4a} 、 S_{4b} のオンおよびオフを書込データ D_{in} に応じて制御する構成とすることにより実現される。したがって、実施の形態1の変形例に従う構成では、図1に示した制御信号 WD_P および WD_N が書込データ D_{in} に応じて制御されるようにその制御回路を構成する必要がある。このため、実施の形態1の変形例に従う構成は、上記制御回路の構成が相対的に複雑化するものの、高速動作が要求される用途への適用に適している。

【0142】

[実施の形態1の変形例2]

実施の形態1の変形例2においては、実施の形態1に従うMRAMデバイスの構成において、データ書込電流を制御するためのスイッチ素子をさらに1つ追加することによって、データ書込動作時における各スイッチング素子のオン・オフ制御のパターン化を維持したままで、データ書込動作に必要なクロックサイクルの低減を図ることが可能な構成について説明する。

【0143】

図14は、この発明の実施の形態1の変形例2に従うデータ書込電流供給構成を説明す

10

20

30

40

50

る概念図である。

【 0 1 4 4 】

図 1 4 を参照して、実施の形態 1 の変形例 2 に従う構成においては、スイッチ素子 S_1 が設けられた各ディジット線 DL の一端側に、「サブスイッチ素子」に対応するスイッチ素子 S_1 がさらに設けられる。スイッチ素子 S_1 は、各ディジット線 DL の一端と電源電圧 V_{cc} との間に電氣的に接続される。これにより各ディジット線 DL の一端側は、スイッチ素子 S_1 を介して接地電圧 V_{ss} と接続可能であり、かつスイッチ素子 S_1 を介して電源電圧 V_{cc} とも接続可能な構成となる。

【 0 1 4 5 】

その他の部分の構成については、図 4 に示した実施の形態 1 に従う構成と同様であるので詳細な説明は繰返さない。

10

【 0 1 4 6 】

図 1 5 は、実施の形態 1 の変形例 2 に従う M R A M デバイスの動作を説明する図である。

【 0 1 4 7 】

図 1 5 を参照して、実施の形態 1 の変形例 2 に従う構成におけるデータ書込動作では、3 つのクロックサイクルから単一のデータ書込動作が実行される。

【 0 1 4 8 】

クロックサイクル 1、3 および 8 で実行されるスタンバイ動作 ($S t b y$) では、スイッチ素子 S_1 はスイッチ素子 S_1 と同様にオフされる。クロックサイクル 2 に示されるデータ読出動作 ($R e a d$) においても、スイッチ素子 S_1 は、スイッチ素子 S_1 と同様にオンされる。

20

【 0 1 4 9 】

なお、スタンバイ動作時およびデータ読出動作時におけるスイッチ素子 $S_1 \sim S_3$, S_{4a} , S_{4b} のオン・オフ設定は、図 6 に示した実施の形態 1 に従う M R A M デバイスと同様であるので詳細な説明は繰返さない。

【 0 1 5 0 】

クロックサイクル 4 ~ 7 は単一のデータ書込動作を構成する。単一のデータ書込動作では、データ “ 0 ” ($D i n = L$ レベル) を書込む “ $W r i t e 0$ ” およびデータ “ 1 ” ($D i n = H$ レベル) を書込む “ $W r i t e 1$ ” のいずれかが実行される。図 6 に示す例では、クロックサイクル 4 ~ 7 により “ $W r i t e 0$ ” が実行されるものとする。

30

【 0 1 5 1 】

データ書込動作の最初のクロックサイクル 4 においては、スイッチ素子 S_1 はオフされたままであるので、実施の形態 1 に従うデータ書込動作と同様に、ディジット線 DL が電源電圧 V_{cc} に充電され、選択ビット線 BL_j は書込データ $D i n$ に応じたデータ電圧である接地電圧 V_{ss} に充電される。

【 0 1 5 2 】

次のクロックサイクル 5 において、スイッチ素子 S_1 のターンオンに応答して選択ディジット線 DL_i 上をデータ書込電流 I_p が流れる。さらに、データ書込電流 $I_w(0)$ を流すためにスイッチ素子 S_{4a} がオンされ、予め接地電圧 V_{ss} に充電された選択ビット線 BL_j 上をデータ書込電流 $I_w(0)$ が流れる。これにより、選択メモリセルへデータ “ 0 ” が書込まれる。

40

【 0 1 5 3 】

クロックサイクル 6 では、図 6 におけるクロックサイクル 6 と同様に、選択ビット線 BL_j を書込データに応じたデータ電圧 (接地電圧 V_{ss}) に再充電するための動作が行なわれる。すなわち、書込ノード 75 が再び、書込データに応じたデータ電圧 (“ $W r i t e 0$ ” では接地電圧 V_{ss}) に設定されるとともに、クロックサイクル 4 と同様に、スイッチ素子 S_3 がターンオンされて、スイッチ素子 S_1 , S_1 , S_2 , S_{4a} , S_{4b} がターンオフされる。

【 0 1 5 4 】

50

続くクロックサイクル7では、スイッチ素子S2のオフ状態が維持されたままで、新たに設けられたスイッチ素子S1はターンオンされる。一方、スイッチ素子S3, S4a, S4bは、図6におけるクロックサイクル8と同様に設定されて、データ書込電流Iw(1)を流すための動作を実行する。

【0155】

スイッチ素子S1をターンオンすることにより、クロックサイクル5での放電によって接地電圧Vssに設定されたディジット線DLiは、再び電源電圧Vccと接続されて再充電される。この再充電電流によって、選択ディジット線DLi上を、クロックサイクル4と逆方向にデータ書込電流-Ipが流れる。

【0156】

クロックサイクル7では、スイッチ素子S4bがターンオンされるが、書込ノード75に設定されるデータ電圧が接地電圧Vssであるため、当該クロックサイクルにおいてビット線BL上をデータ書込電流は流れない。したがって、このクロックサイクルにおいては、選択ディジット線DLj上をデータ書込電流-Ipが流れるものの、選択ビット線BLj上をデータ書込電流が流れないため、データ書込は実行されない。

【0157】

クロックサイクル8においては、クロックサイクル1および3と同様のスタンバイ動作(Stby)が実行される。

【0158】

なお、“Write1”のデータ書込動作は、クロックサイクル4および6での書込ノード75の電圧設定を、Din=Hレベルに対応したデータ電圧(電源電圧Vcc)に変更した上で、スイッチ素子S1~S3, S4a, S4bを“Write0”と同様にスイッチングさせることにより実行される。これにより、“Write1”では、クロックサイクル5では選択ビット線BLjにデータ書込電流が発生しない一方で、クロックサイクル7では選択ビット線BLjにデータ書込電流Iw(1)が流れる。

【0159】

この結果、クロックサイクル7では選択メモリセルに対して、データ書込電流-Ipによる書込磁界と、データ書込電流Iw(1)による書込磁界とが印加される。これにより、選択メモリセルへデータ“1”(Din=Hレベル)のデータ書込が実行される。なお、図3でも説明したように、MTJメモリセルへのデータ書込は、磁化容易軸に沿ったデータ書込磁界H(EA)の方向に依存して決定されるので、図5に示した動作点5aおよび5c(あるいは、動作点5bおよび5d)のいずれによっても同じデータを書込むことができる。

【0160】

以上説明したように、実施の形態1の変形例2に従う構成においては、実施の形態1と同様に、ディジット線DLおよびビット線BLの容量充電動作と、データ書込電流の供給動作とを時分割で行なうことにより、電源(バッテリー)からMRAMデバイスへ供給される負荷電流の波形をなだらかなものとしてバッテリーの負担を軽減できる。

【0161】

さらに、実施の形態1の変形例2に従う構成においては、実施の形態1と同様に、データ書込動作時の各スイッチ素子のオン・オフ設定をパターン化して、ライトドライバ50の制御回路の構成を簡素化するとともに、データ書込動作に必要なクロックサイクル数を減じてデータ書込の高速化を図ることができる。

【0162】

[実施の形態2]

実施の形態1で説明したように、この発明によるMRAMデバイスでは、データ書込電流の電流量および電流供給期間を確保するために、ディジット線DLおよびビット線BLの充電容量を十分に確保する必要がある。実施の形態2では、ディジット線DLおよびビット線BLと階層的に設けられた上位の書込配線を用いて、これらの充電容量を確保する構成について説明する。

10

20

30

40

50

【 0 1 6 3 】

図 1 6 は、この発明の実施の形態 2 に従う M R A M デバイス 1 b の全体構成を示す概略ブロック図である。

【 0 1 6 4 】

図 1 6 を図 1 と比較して、実施の形態 2 に従う M R A M デバイス 1 b において、各ディジット線 D L は、トランジスタスイッチ 1 5 を介して、メインディジット線 M D L と接続される。メインディジット線 M D L は、各ディジット線 D L に共通に、かつ階層的に設けられた「上位書込配線」である。メインディジット線 M D L には、電圧信号 $\phi(DL)$ が印加される。

【 0 1 6 5 】

さらに、データ読出およびデータ書込に共用されるデータバス D B に代えて、データ書込専用のライトデータバス W D B が配置される。ライトデータバス W D B は、各ビット線 B L に共通に、かつ階層的に設けられた「上位書込配線」である。

【 0 1 6 6 】

書込バッファ 7 0 は、書込データ D i n に応じたデータ電圧をライトデータバス W D B に駆動する。ライトデータバス W D B は、各メモリセル列において、コラム選択スイッチ 5 5 を介して各ビット線 B L と接続される。

【 0 1 6 7 】

さらに、図示を省略しているが図 1 と同様のデータ読出アンプ 8 0 が設けられ、データ読出アンプと接続されるデータ読出用のリードデータバス（図示せず）がさらに設けられる。当該リードデータバスは、ライトデータバス W D B と接続されるコラム選択スイッチ 5 5 とは独立に設けられたリードコラム選択スイッチ S 3 （図示せず）を介して、各ビット線 B L と接続される。各リードコラム選択スイッチ S 3 は、データ書込動作ではオフされる一方で、データ読出動作ではコラム選択線 C S L に応答して、選択列でオンされる。これにより、図 1 におけるデータバス D B に代えて分離されたリードデータバスを用いて、データ読出が実行できる。

【 0 1 6 8 】

このように、ライトデータバス W D B をデータ読出経路から切り離すことにより、その容量を、データ書込動作に適合させて調整することが可能となる。逆に言えば、図 1 に示すように、データバス D B がデータ読出およびデータ書込で共用される構成においては、データバス D B の容量をデータ書込電流確保のために増加させると、データ読出動作速度が阻害されてしまう。

【 0 1 6 9 】

実施の形態 2 による M R A M デバイス 1 b のその他の部分の構成については、実施の形態 1 に従う M R A M デバイス 1 a（図 1）と同様であるので詳細な説明は繰返さない。

【 0 1 7 0 】

図 1 7 は、この発明の実施の形態 2 に従うデータ書込電流供給構成を説明する概念図である。

【 0 1 7 1 】

図 1 7 を参照して、実施の形態 2 に従うデータ書込電流供給構成では、選択ディジット線 D L i を始めとする各ディジット線は、スイッチ素子 S 2（トランジスタスイッチ 1 5）を介して、メインディジット線 M D L と接続される。符号 6 1 は、メインディジット線 M D L の充電容量を示す。メインディジット線容量 6 1 は、メインディジット線 M D L の寄生容量 6 3 a のみで構成されてもよいし、メインディジット線 M D L と接続された容量素子（付加容量） 6 3 b と寄生容量 6 3 a との和で構成されてもよい。

【 0 1 7 2 】

さらに、選択ビット線 B L j を始めとする各ビット線 B L は、スイッチ素子 S 3（コラム選択スイッチ 5 5）を介して、ライトデータバス W D B と接続される。実施の形態 2 による構成では、ライトデータバス W D B が書込ノード 7 5 に相当する。

【 0 1 7 3 】

符号 66 は、ライトデータバス WDB の充電容量を示す。ライトデータバス容量 66 は、ライトデータバス WDB の寄生容量 68a のみで構成されてもよいし、ライトデータバス WDB に接続された容量素子（付加容量）68b と寄生容量 68a との和で構成されてもよい。

【0174】

実施の形態 2 に従うデータ書込電流供給構成のその他の部分は、図 4 に示した実施の形態 1 に従うデータ書込電流供給構成と同様であるので、詳細な説明は繰り返さない。

【0175】

図 18 は、実施の形態 2 に従う MRAM デバイスの動作を説明する図である。

【0176】

図 18 に示された動作シーケンスは、図 6 に示された実施の形態 1 に従う動作シーケンスに対応し、クロックサイクル 1 ~ 9 における動作は図 6 に示した動作と同様である。

【0177】

すなわち、クロックサイクル 1、3 および 9 では、図 6 と同様のスタンバイ動作（Stby）が実行され、クロックサイクル 2 では、図 6 と同様のデータ読出動作（Read）が実行される。リードコラム選択スイッチ S3 はクロックサイクル 2 に選択ビット線にオンされる一方で、スタンバイ動作およびデータ書込動作では各ビット線 BL において、オフされる。

【0178】

クロックサイクル 4 ~ 8 によって、データ“0”またはデータ“1”を書込むための単一のデータ書込動作（Write0 または Write1）が構成される。

【0179】

実施の形態 2 に従うデータ書込動作では、選択行のスイッチ素子 S2 は、メインディジット線容量 61 を選択ディジット線 DLi の容量 60 と一体的に用いるために、選択ビット線 BLj を再充電するクロックサイクル 6 を除いて、オン状態を維持される。選択列のスイッチ素子 S3 は、ライトデータバス容量 66 を選択ビット線 BLj の容量 65 と一体的に用いるために、オン状態を維持される。一方、その他のスイッチ素子 S1、S4a、S4b の動作は、図 6 に示された実施の形態 1 に従う動作と同様であるので、詳細な説明は繰り返さない。

【0180】

メインディジット線 MDL に与えられる電圧信号 $\phi(DL)$ は、スタンバイ動作（Stby）およびデータ読出動作（Read）が実行されるクロックサイクル 1 ~ 3、9 と、データ書込動作中のディジット線 DL の充電サイクル（クロックサイクル 4、7）において電源電圧 Vcc に設定され、その他のクロックサイクルにおいてはハイインピーダンス状態（Z）とされる。

【0181】

このようなデータ書込シーケンスとすることにより、実施の形態 2 に従う MRAM デバイスにおいても、実施の形態 1 に従う MRAM デバイス 1a と同様のデータ書込動作を実行できる。すなわち、MRAM デバイスの電源（バッテリー）から見た負荷電流パターンを緩やかなものに改善して、電源（バッテリー）からの電力供給可能期間を拡大することができる。

【0182】

さらに実施の形態 2 に従う構成においては、上位書込配線として設けられたメインディジット線 MDL およびライトデータバス WDB の容量を、ディジット線 DL およびビット線 BL の充電容量として活用することができるので、当該充電容量の確保が容易となり、付加的な容量の設置による回路面積の増加を回避できる。

【0183】

[実施の形態 2 の変形例 1]

実施の形態 2 に従う MRAM デバイスにおいて、実施の形態 1 の変形例 1 と同様に、ライトドライバを構成するスイッチ素子 S4a、S4b を書込データ Din に応じて制御し

10

20

30

40

50

て、データ書込動作の高速化を図ることも可能である。

【0184】

図19は、実施の形態2の変形例1に従うMRAMデバイスの動作を説明する図である。

【0185】

図19に示された動作シーケンスは、図13に示された実施の形態1の変形例1に従う動作シーケンスに対応し、クロックサイクル1～9における動作は図13に示した動作と同様である。

【0186】

すなわち、クロックサイクル1、3、6および9では、図13と同様のスタンバイ動作 (S t b y) が実行され、クロックサイクル2では、図13と同様のデータ読出動作 (R e a d) が実行される。また、クロックサイクル4および5によって、データ“0”を書込むための単一のデータ書込動作 (W r i t e 0) が構成され、クロックサイクル7および8によって、データ“1”を書込むための単一のデータ書込動作 (W r i t e 1) が構成される。

【0187】

実施の形態2の変形例1に従うデータ書込動作においては、選択行のスイッチ素子S2は、メインディジット線容量61を選択ディジット線D L iの容量60と一体的に用いるために、オン状態を維持される。同様に、選択列のスイッチ素子S3は、ライトデータバス容量66を選択ビット線B L jの容量65と一体的に用いるために、オン状態を維持される。一方、その他のスイッチ素子S1, S4a, S4bの動作および書込ノード75の設定は、図13に示された実施の形態1の変形例1に従う動作シーケンスと同様であるので、詳細な説明は繰り返さない。

【0188】

メインディジット線M D Lに与えられる電圧信号φ (D L) は、スタンバイ動作 (S t b y) およびデータ読出動作 (R e a d) が実行されるクロックサイクル1～3, 6, 9と、データ書込動作中のディジット線D Lの充電サイクル (クロックサイクル4, 7) において電源電圧V c cに設定され、その他のクロックサイクルにおいてはハイインピーダンス状態 (Z) とされる。

【0189】

このようなデータ書込動作シーケンスとすることにより、実施の形態2に従うMRAMデバイスにおいて、実施の形態1の変形例1に従う構成と同様に、データ書込動作を高速化することができる。

【0190】

[実施の形態2の変形例2]

図20は、この発明の実施の形態2の変形例2に従うデータ書込電流供給構成を説明する概念図である。

【0191】

図20を参照して、実施の形態2の変形例2に従うデータ書込電流供給構成では、図14に示した実施の形態1の変形例2に従うデータ書込構成と比較して、各ディジット線D Lがスイッチ素子S2を介して、メインディジット線M D Lと接続される点と、各ビット線B Lがスイッチ素子S3を介してライトデータバスW D Bと接続される点とが異なる。メインディジット線M D Lには実施の形態2と同様の電圧信号φ (D L) が与えられ、メインディジット線M D LおよびライトデータバスW D Bの容量はそれぞれ符号61および符号66で示される。

【0192】

実施の形態2の変形例2に従うデータ書込電流供給構成のその他の部分は、図14に示した実施の形態1の変形例2に従うデータ書込電流供給構成と同様であるので、詳細な説明は繰り返さない。

【0193】

10

20

30

40

50

図 2 1 は、実施の形態 2 の変形例 2 に従う M R A M デバイスにおけるデータ書込動作を示すシーケンスである。

【 0 1 9 4 】

図 2 1 に示された動作シーケンスは、図 1 5 に示された実施の形態 1 の変形例 2 に従う動作シーケンスに対応し、クロックサイクル 1 ~ 8 における動作は図 1 5 に示した動作と同様である。

【 0 1 9 5 】

すなわち、クロックサイクル 1、3 および 8 では、図 1 5 と同様のスタンバイ動作 (S t b y) が実行され、クロックサイクル 2 では、図 1 5 と同様のデータ読出動作 (R e a d) が実行される。また、クロックサイクル 4 ~ 7 によって、データ “ 0 ” または “ 1 ” を書込むための単一のデータ書込動作 (W r i t e 0 または W r i t e 1) が構成される。

【 0 1 9 6 】

実施の形態 2 の変形例 2 に従うデータ書込動作においても、選択行のスイッチ素子 S 2 は、メインディジット線容量 6 1 を選択ディジット線 D L i の容量 6 0 と一体的に用いるために、オン状態を維持される。同様に、選択列のスイッチ素子 S 3 は、ライトデータバス容量 6 6 を選択ビット線 B L j の容量 6 5 と一体的に用いるために、オン状態を維持される。一方、その他のスイッチ素子 S 1 , S 1 , S 4 a , S 4 b の動作は、図 1 5 に示された実施の形態 1 の変形例 2 に従う動作シーケンスと同様であるので、詳細な説明は繰り返さない。

【 0 1 9 7 】

メインディジット線 M D L に与えられる電圧信号 ϕ (D L) は、スタンバイ動作 (S t b y) およびデータ読出動作 (R e a d) が実行されるクロックサイクル 1 ~ 3 , 8 と、データ書込動作中のディジット線 D L の充電サイクル (クロックサイクル 4) において電源電圧 V c c に設定され、その他のクロックサイクルにおいてはハイインピーダンス状態 (Z) とされる。

【 0 1 9 8 】

このようなデータ書込シーケンスとすることにより、実施の形態 2 の変形例 2 に従う M R A M デバイスにおいて、実施の形態 1 の変形例 2 に従う構成と同様に、データ書込動作時の各スイッチ素子のオン・オフ設定をパターン化して、ライトドライバ 5 0 の制御回路の構成を簡素化するとともに、データ書込動作に必要なクロックサイクル数を減じてデータ書込の高速化を図ることができる。

【 0 1 9 9 】

なお、実施の形態 2 ならびにその変形例 1 および 2 においては、各ディジット線 D L に共通のメインディジット線 M D L が設けられるが、メインディジット線容量 6 1 を調節するために、メインディジット線 M D L を細分化して配置することも可能である。

【 0 2 0 0 】

たとえば、図 2 2 に示すように、メモリセルアレイ 1 0 に配置されたディジット線 D L を、複数 (たとえば 4 つ) のブロック B L K 1 ~ B L K 4 に分割し、ブロック B L K 1 ~ B L K 4 のそれぞれに対応させて、メインディジット線 M D L 1 ~ M D L 4 を分割配置することも可能である。メインディジット線 M D L の分割数は、分割各された各メインディジット線の容量値が求められる値となるように、適宜定めることができる。

【 0 2 0 1 】

この場合には、トランジスタスイッチ 1 5 のオン・オフを制御する制御信号 / D L P R を、ブロック B L K 1 ~ B L K 4 にそれぞれ対応して、/ D L P R (1) ~ / D L P R (4) に独立に設定すれば、メインディジット線 M D L 1 ~ M D L 4 に与えられる電圧信号 ϕ (D L) を共通のものとする事ができる。

【 0 2 0 2 】

[実施の形態 2 の変形例 3]

実施の形態 2 に従う M R A M デバイスにおいては、書込データ D i n によらず一定方向

10

20

30

40

50

のデータ書込電流を供給するディジット線DLの充電容量が確保しやすくなるので、図10で説明したように、各ディジット線DLへの充電動作を制御するためのスイッチ素子S2の省略が可能となる。

【0203】

図23は、この発明の実施の形態2の変形例3に従うデータ書込電流供給構成を説明する概念図である。

【0204】

図23を参照して、実施の形態2の変形例3に従うデータ書込電流供給構成は、スイッチ素子S2の配置が省略されている点以外については、図17に示した実施の形態2に従うデータ書込電流供給構成と同様である。

10

【0205】

図24は、実施の形態2の変形例3に従うMRAMデバイスの動作を説明する図である。

【0206】

図24におけるクロックサイクル1～9は、図18に示した実施の形態2に従うMRAMデバイスの動作シーケンスと同様であり、クロックサイクル1～8のそれぞれにおける、書込ノード75の電圧設定、電圧信号 $\phi(DL)$ の設定ならびにスイッチ素子S1, S3, S4a, S4bのオン・オフ設定は、図18に示した動作シーケンスと同様であるので詳細な説明は繰返さない。

【0207】

20

このように、スイッチ素子S2の配置を省略しても、選択ディジット線DLiを、実施の形態2に従うMRAMデバイスにおけるデータ書込動作と同様に電源電圧Vccに充電できるので、同様の書込動作を実行することができる。

【0208】

特に、実施の形態2の変形例3による構成では、スイッチ素子S2の省略によって、メインディジット線容量61と、各ディジット線容量DLの和との総和が、データ書込電流Ipの供給に関する充電容量として一体的に利用できる。これにより、充電容量の確保がさらに容易となる。

【0209】

なお、図10でも説明したように、スイッチ素子S2の配置を省略した構成では、ディジット線DLの充電期間と、データ書込電流Ipの供給期間と完全に切離すデータ書込動作よりは、電源からの供給電力が若干増加する。しかしながら、スイッチ素子S2の配置が省略可能である点や、ディジット線DLの充電容量を容易に確保可能なことから、付加的な容量素子や充電調整抵抗の配置による回路面積の増加を回避できるので、回路面積の縮小に効果が大きい。

30

【0210】

図25に示すように、実施の形態2の変形例3による構成においても、メインディジット線容量61を調節するために、メインディジット線MDLを細分化して配置することも可能である。

【0211】

40

図25を参照して、メモリセルアレイ10上のディジット線DLは、図22と同様に複数(4つの)ブロックBLK1～BLK4に分割され、ブロックBLK1～BLK4のそれぞれに対応させて、メインディジット線MDL1～MDL4が分割配置される。図22に示した構成と同等に、メインディジット線MDLの分割数は、分割各された各メインディジット線の容量値が求められる値となるように、適宜定めることができる。

【0212】

この場合には、メインディジット線MDL1～MDL4にそれぞれ与えられる電圧信号 $\phi(DL)1 \sim \phi(DL)4$ を独立に設定し、選択行が存在しないブロックにおいては、対応の電圧信号 $\phi(DL)k$ (k:自然数)をハイインピーダンス状態にして、電源(バッテリー)からの電源供給を停止することが、電源の電力供給期間確保の観点からは好まし

50

い。

【0213】

[実施の形態 3]

図26は、この発明の実施の形態3に従うMRAMデバイス1cの全体構成を示す概略ブロック図である。

【0214】

図26を参照して、実施の形態3に従うMRAMデバイス1cは、図16に示した実施の形態2に従うMRAMデバイス1bと比較して、ビット線BLに対するデータ書込電流供給構成が一部異なる。具体的には、各ビット線BLの片端に対応して設けられるライトドライバ50に代えて、データバス/WDBおよびコラム選択スイッチ56が新たに設け

10

【0215】

ライトデータバス/WDBには、書込バッファ70によって、書込データDinの反転データ/Dinに応じたデータ電圧が駆動される。すなわち、書込バッファ70および70は、書込データDinに応じて、ライトデータバスWDBおよび/WDBにそれぞれ相補の電圧を駆動する。具体的には、Din=Hレベルのときには、ライトデータバスWDBが電源電圧Vccへ駆動される一方で、ライトデータバス/WDBは接地電圧Vssへ駆動される。反対に、Din=Lレベルのときには、ライトデータバスWDBが接地電圧Vssへ駆動される一方で、ライトデータバス/WDBは電源電圧Vccへ駆動される。

20

【0216】

ライトデータバス/WDBは、各メモリセル列において、対応のビット線BLとコラム選択スイッチ56を介して接続される。コラム選択スイッチ56のオン・オフは、同一メモリセル列のコラム選択スイッチ55と共通のコラム選択線CSLに応じて制御される。したがって、選択列においては、コラム選択スイッチ55および56の両方がオンされて、選択ビット線BLjはライトデータバスWDBおよび/WDBの間に接続される。一方非選択列においては、コラム選択スイッチ55および56の双方がターンオフされるので、ビット線BLはライトデータバスWDBおよび/WDBと非接続される。

【0217】

また、実施の形態2の変形例3(図23)と同様に、各ディジット線DLにおけるスイッチ素子S2の配置が省略されて、各ディジット線DLは、電圧信号φ(DL)を受けるメインディジット線MDLと直接接続される。

30

【0218】

実施の形態3によるMRAMデバイス1cのその他の部分の構成は、図16に示した実施の形態2によるMRAMデバイス1bと同様であるので詳細な説明は繰返さない。なお、図26においても、図16と同様にデータ読出系回路の記載を省略している。

【0219】

図27は、この発明の実施の形態3に従うデータ書込電流供給構成を説明する概念図である。

【0220】

図27を参照して、実施の形態3に従うデータ書込電流供給構成では、各ビット線BLは、スイッチ素子S3(コラム選択スイッチ55)を介してライトデータバスWDBと接続され、かつ、スイッチ素子S4(コラム選択スイッチ56)を介してライトデータバス/WDBと接続される。

40

【0221】

符号66は、ライトデータバスWDBの充電容量を示す。ライトデータバス容量66は、ライトデータバスWDBの寄生容量69aのみで構成されてもよいし、ライトデータバスWDBに接続された容量素子(付加容量)69bと寄生容量69aとの和で構成されてもよい。

【0222】

50

ディジット線DLに対するデータ書込電流の供給構成は、図23に示した実施の形態2の変形例3と同様であるので詳細な説明は繰返さない。

【0223】

図28は、実施の形態3に従うMRAMデバイスの動作を説明する図である。

【0224】

図28を参照して、クロックサイクル1ではスタンバイ動作(Stby)が実行される。スタンバイ動作においては、各ディジット線DLを充電するために、メインディジット線MDLに与えられる電圧信号 $\phi(DL)$ が電源電圧Vccに設定される。一方、スイッチ素子S1, S3, S4の各々がオフされてディジット線DLおよび各ビット線BLにはデータ書込電流は流れない。

10

【0225】

クロックサイクル2においては、データ読出動作(Read)が実行される。データ読出においても、各ビット線BLおよび各ディジット線DLにデータ書込電流を流す必要はないので、スイッチS1, S3, S4のオフ状態は維持されて、ディジット線DLは電源電圧Vccへの充電状態が維持される。

【0226】

クロックサイクル3におけるスタンバイ動作についてはクロックサイクル1と同様である。

【0227】

クロックサイクル4および5によって、単一のデータ書込(Write)が実行される。まずクロックサイクル4においては、書込ノード75および76にそれぞれ相当するライトデータバスWDBおよび/WDBは、書込データDinおよびその反転データ/Dinにそれぞれ応じた電圧に充電される。たとえばDin=Lレベルとすると、ライトデータバスWDBの容量66は接地電圧Vssに充電され、ライトデータバス/WDBの容量66は電源電圧Vccに充電される。

20

【0228】

クロックサイクル4においても、スイッチ素子S1, S3, S4はオフ状態とされるので、各ディジット線DLおよび各ビット線BLにはデータ書込電流が生じない。すなわちこのクロックサイクルにおいては、選択ディジット線DLiに続いて、ライトデータバスWDBおよび/WDB、すなわち書込ノード75および76が、書込データDinに応じたデータ電圧レベルにそれぞれ充電される。

30

【0229】

次のクロックサイクル5において、書込ノード75および76および電圧信号 $\phi(DL)$ はハイインピーダンス状態(Z)とされ、かつ、スイッチ素子S1, S3, S4の各々がターンオンされる。これにより、選択ディジット線DLi上に、データ書込電流Ipが発生するとともに、選択ビット線BLj上にはデータ書込電流Iw(0)が生じる。

【0230】

なお、書込データDin=Hレベルのときには、クロックサイクル4において、ライトデータバスWDBが電源電圧Vccに充電され、ライトデータバス/WDBが接地電圧Vssに充電されるので、クロックサイクル5において、スイッチ素子S3およびS4のターンオンに応答して、データ書込電流Iw(1)を選択ビット線BLj上に流すことができる。

40

【0231】

クロックサイクル6においては、クロックサイクル1および3と同様のスタンバイ動作が再び実行される。

【0232】

このように実施の形態3に従うMRAMデバイスにおいては、実施の形態1および2と同様に、データ書込電流を供給するためにディジット線DLおよびライトデータバスWDB, /WDB(書込ノード75, 76)を充電する動作と、実際にデータ書込電流IpおよびIw(0), Iw(1)を供給する動作とを独立に時分割して実行することができる

50

。これにより、電源（バッテリー）からMRAMデバイスへ供給される負荷電流を緩やかなものとして、電力供給可能期間を拡大することができる。

【0233】

さらに実施の形態3に従う構成では、2クロックサイクルで単一のデータ書込動作を実行することができるため、データ書込動作の高速化についても効果がある。

【0234】

なお、実施の形態3の説明では、各ディジット線DLの充電構成を実施の形態2の変形例3に従うMRAMデバイスと同様としたが、実施の形態1等と同様に、スイッチ素子S2を介して各ディジット線DLを充電する構成としてもよい。この場合には、スイッチ素子S2を、図25に示した動作シーケンスにおいて、少なくともクロックサイクル4でターンオンさせ、クロックサイクル5でオフさせる必要がある。また、実施の形態2で説明したように、メインディジット線MDLをブロックごとに分割する構成を採用してもよい。

10

【0235】

〔実施の形態4〕

実施の形態4では、実施の形態1等で説明した、ビット線BLの両端にそれぞれライトドライバ50を設けることなくビット線BLへデータ書込電流を供給する構成に焦点をあてて説明する。

【0236】

図29は、実施の形態4に従うMRAMデバイス1dのデータ書込構成を説明する概略ブロック図である。

20

【0237】

図29を参照して、実施の形態4に従うMRAMデバイス1dは、実施の形態2に従うMRAMデバイス1b（図16）と比較して、電圧駆動用の書込パッファ70に代えて、データ書込電流 $I_w(0)$ 、 $I_w(1)$ を供給するためのデータ書込回路100を備える点が異なる。さらに、各ディジット線DLについて電源電圧 V_{cc} への充電構成は特に限定されないので、最も簡素な構成例として、各ディジット線DLがスイッチ素子を介さずに電源電圧 V_{cc} と直接接続される構成を示した。

【0238】

データ書込回路100は、データ書込電流 $I_w(1)$ を供給するための定電流源110と、データ書込電流 $I_w(0)$ を供給するための定電流源120と、スイッチ素子112、122とを含む。スイッチ素子112は、定電流源110およびライトデータバスWDBの間に設けられる。スイッチ素子122は、定電流源120およびライトデータバスWDBの間に設けられる。

30

【0239】

スイッチ素子112は、書込データ D_{in} がHレベルのときにオンし、Lレベルのときにオフする。これに対してスイッチ素子122は、反転された書込データ $\neg D_{in}$ に应答して動作し、書込データ D_{in} がHレベルのときにオフし、Lレベルのときにオンする。

【0240】

ライトドライバ50の構成および動作は、図1で説明したのと同様であるので詳細な説明は繰返さない。

40

【0241】

各ディジット線DLの一端側は、実施の形態2と同様に、行デコーダ20により行選択結果によってオン・オフするトランジスタスイッチ25を介して接地電圧 V_{ss} と接続されている。一方、各ディジット線DLの他端側は、充電期間の制御を考慮することなく、常時電源電圧 V_{cc} と接続される。

【0242】

図30は、この発明の実施の形態4に従うデータ書込電流供給構成を説明する概念図である。

【0243】

図30を参照して、ディジット線DLiの一端側は、スイッチ素子S1を介して接地電

50

圧 V_{ss} と接続されており、スイッチ素子 S_1 のターンオンに応答して、選択ディジット線 DL_i にデータ書込電流 I_p を流すことができる。

【0244】

選択ビット線 BL_j の一端側は、コラム選択スイッチ55に相当するスイッチ素子 S_3 のターンオンに応答して、ライトデータバス WDB （書込ノード75）と接続される。ライトデータバス WDB は、書込データ Din に応じて選択的にターンオンされるスイッチ素子 S_a （図29のスイッチ112に相当）およびスイッチ素子 S_b （図29のスイッチ122に相当）によって、定電流源110および120のいずれか一方と接続される。

【0245】

一方、選択ビット線 BL_j の他端側は、書込データ Din に応じて選択的にオンされるスイッチ素子 S_{4a} （トランジスタスイッチ51に相当）およびスイッチ素子 S_{4b} （トランジスタスイッチ52に相当）によって、ライトデータバス WDB の設定電圧と相補的に、電源電圧 V_{cc} または接地電圧 V_{ss} と選択的に接続される。

10

【0246】

図31は、実施の形態4に従うMRAMデバイスでの書込動作を説明する図である。

【0247】

実施の形態4に従うMRAMデバイスにおいては、データ書込電流供給の準備のための充電期間と、データ電流供給期間とを特に区別することなく、両者は同時に実行可能である。

【0248】

20

書込データ $Din = L$ レベル（Write 0）のときには、選択ディジット線 DL_i 上にデータ書込電流 I_p を流すためにスイッチ素子 S_1 がターンオンされるとともに、スイッチ素子 S_3 、 S_{4a} 、 S_b がオンされる一方で、スイッチ素子 S_{4b} 、 S_a がオフされる。

【0249】

これにより、ライトデータバス WDB （書込ノード75）は、接地電圧 V_{ss} によって駆動される定電流源120と接続される。すなわち、ライトデータバス WDB は、接地電圧 V_{ss} に設定され、かつ、スイッチ素子 S_3 を介して選択ビット線 BL_j の一端と接続される。さらに、ビット線 BL_j の他端はスイッチ素子 S_{4a} によって電源電圧 V_{cc} と接続される。これにより、選択ビット線 BL_j 上には、定電流源120によって供給されるデータ書込電流 $I_w(0)$ が流される。

30

【0250】

これに対して、書込データ $Din = H$ レベル（Write 1）のときには、選択ディジット線 DL_i 上にデータ書込電流 I_p を流すためにスイッチ素子 S_1 がターンオンされるとともに、スイッチ素子 S_3 、 S_{4b} 、 S_a がオンされる一方で、スイッチ素子 S_{4a} 、 S_b がオフされる。

【0251】

これにより、ライトデータバス WDB （書込ノード75）は、電源電圧 V_{cc} によって駆動される定電流源110と接続される。すなわち、ライトデータバス WDB は、電源電圧 V_{cc} に設定され、かつ、スイッチ素子 S_3 を介して選択ビット線 BL_j の一端と接続される。さらに、ビット線 BL_j の他端はスイッチ素子 S_{4b} によって接地電圧 V_{ss} と接続される。これにより、選択ビット線 BL_j 上には、定電流源110によって供給されるデータ書込電流 $I_w(1)$ が流される。

40

【0252】

このような構成とすることにより、各ビット線 BL の両端にライトドライバ50を配置する構成と比較して、ライトドライバ50の配置個数を削減できるので回路面積を縮小できる。

【0253】

また、実施の形態3のように、各ビット線 BL の両端に相補のライトデータバス WDB および $\overline{WDB}$ の両方を設ける構成では、ライトドライバ50の配置が省略可能な一方で

50

、データ書込電流経路が長くなるので、寄生抵抗の増大により、データ書込電流の確保が困難になる可能性おそれがある。

【0254】

したがって、実施の形態4によるMRAMデバイスのように、ビット線BLの両側に、複数のスイッチ素子を含むライトドライバおよび、書込データに応じたデータ電圧に設定されるライトデータバスWDBをそれぞれ配置する構成とすることにより、回路面積の縮小と、データ書込電流経路の長大化防止によるデータ書込電流確保との両立を図ることが可能となる。

【0255】

[実施の形態4の変形例]

図32は、実施の形態4の変形例に従うMRAMデバイス1eのデータ書込構成を説明する概略ブロック図である。

【0256】

図32を参照して、実施の形態4の変形例に従うMRAMデバイス1eは、実施の形態2に従うMRAMデバイス1b(図16)と比較して、電圧駆動用の書込バッファ70に代えて、複数本のビット線によって共有されるライトドライバ50を備える点異なる。

【0257】

具体的には、MRAMデバイス1eでは、メモリセルアレイ10内の全ビット線は、複数本ずつのビット線グループ210に分割される。図32の構成例では、各ビット線グループ210は、2本のビット線(図32ではビット線BLj-1およびBLj)により構成される。

【0258】

ビット線BLの一端側は、ビット線グループ210ごとに設けられたライトドライバ50と接続される。すなわち、ライトドライバ50は、同一のビット線グループ210に属する複数のビット線により共有される。

【0259】

ライトドライバ50は、ライトドライバ50と同様の構成を有し、トランジスタスイッチ51および52を含む。たとえば、トランジスタスイッチ51はpMOSトランジスタで構成され、トランジスタスイッチ52は、nMOSトランジスタで構成される。

【0260】

トランジスタスイッチ51のゲートには制御信号WDPが入力され、トランジスタスイッチ52のゲートには制御信号WDNが入力される。制御信号WDP, WDNは、各ビット線グループ210ごとに独立に生成される。図32には、第k番目(k:自然数)のビット線グループに対応する制御信号WDP_k, WDN_kが例示される。

【0261】

ビット線BLの他端側は、各ビット線BLに対応して設けられるライトドライバ50と接続される。ライトドライバ50の構成および動作は、図1で説明したのと同様であるので詳細な説明は繰返さない。

【0262】

なお、図29に示したMRAMデバイス1dと同様に、各ディジット線DLについて電源電圧Vccへの充電構成は特に限定されないので、最も簡素な構成例として、各ディジット線DLがスイッチ素子を介さずに電源電圧Vccと直接接続される構成を示した。

【0263】

各ディジット線DLの一端側は、実施の形態2と同様に、行デコーダ20により行選択結果によってオン・オフするトランジスタスイッチ25を介して接地電圧Vssと接続されている。一方、各ディジット線DLの他端側は、充電期間の制御を考慮することなく、常時電源電圧Vccと接続される。

【0264】

10

20

30

40

50

図 3 3 は、この発明の実施の形態 4 の変形例に従うデータ書込電流供給構成を説明する概念図である。

【 0 2 6 5 】

図 3 3 を参照して、ディジット線 DL_i の一端側は、スイッチ素子 S_1 を介して接地電圧 V_{ss} と接続されており、スイッチ素子 S_1 のターンオンに応答して、選択ディジット線 DL_i にデータ書込電流 I_p を流すことができる。

【 0 2 6 6 】

同一のビット線グループ 210 に属するビット線 BL_j および BL_{j-1} の一端側は、ノード 220 で接続される。ノード 220 は、スイッチ素子 S_{3a} を介して電源電圧 V_{cc} と接続され、かつ、スイッチ素子 S_{3b} を介して接地電圧 V_{ss} と接続される。スイッチ素子 S_{3a} および S_{3b} は、ライトドライバ 50 を構成するトランジスタスイッチ 51 および 52 (図 3 2) にそれぞれ相当する。

【 0 2 6 7 】

一方、ビット線 BL_{j-1} および BL_j の他端側は、各ビット線 BL に対応して設けられたスイッチ素子 S_{3a} およびスイッチ素子 S_{3b} をそれぞれ介して、電源電圧 V_{cc} および接地電圧 V_{ss} と接続される。

【 0 2 6 8 】

図 3 4 は、実施の形態 4 の変形例に従う MRAM デバイスでの書込動作を説明する図である。

【 0 2 6 9 】

実施の形態 4 の変形例に従う MRAM デバイスにおいても、実施の形態 4 に従う MRAM デバイスと同様に、データ書込電流供給の準備のための充電期間と、データ電流供給期間とを特に区別することなく、両者は同時に実行可能である。

【 0 2 7 0 】

対応のビット線が全て非選択のビット線グループにおいて、スイッチ素子 S_{3a} , S_{3b} は両方ともオフされる。同様に、非選択のビット線では、スイッチ素子 S_{4a} , S_{4b} は両方ともオフされる。また、非選択のディジット線に対応するスイッチ素子 S_1 もオフされる。

【 0 2 7 1 】

これに対して、選択ビット線を含むビット線グループに対応するスイッチ素子 S_{4a} , S_{4b} は、書込データに応じて一方がオンされ、他方がオフされる。さらに、選択ビット線に対応するスイッチ素子 S_{3a} , S_{3b} は、選択ビット線の手端側がノード 220 の設定電圧と相補的に電源電圧 V_{cc} または接地電圧 V_{ss} と選択的に接続されるように、書込データに応じて一方がオンされ他方がオフされる。

【 0 2 7 2 】

具体的には、書込データ $D_{in} = L$ レベル (Write 0) のときには、選択ディジット線 DL_i 上にデータ書込電流 I_p を流すためにスイッチ素子 S_1 がターンオンされるとともに、スイッチ素子 S_{4a} , S_{3b} がオンされる一方で、スイッチ素子 S_{4b} , S_{3a} がオフされる。

【 0 2 7 3 】

これにより、ノード 220 はスイッチ素子 S_{3b} によって接地電圧 V_{ss} に設定される。一方、選択ビット線の手端はスイッチ素子 S_{4a} によって電源電圧 V_{cc} と接続される。これにより、選択ビット線上にデータ書込電流 $I_w(0)$ が流されて、選択メモリセルへデータ " 0 " が書込まれる。

【 0 2 7 4 】

これに対して、書込データ $D_{in} = H$ レベル (Write 1) のときには、選択ディジット線 DL_i 上にデータ書込電流 I_p を流すためにスイッチ素子 S_1 がターンオンされるとともに、スイッチ素子 S_{4b} , S_{3a} がオンされる一方で、スイッチ素子 S_{4a} , S_{3b} がオフされる。

【 0 2 7 5 】

これにより、ノード220はスイッチ素子S3aによって電源電圧 V_{cc} に設定される。一方、選択ビット線他端はスイッチ素子S4bによって接地電圧 V_{ss} と接続される。これにより、選択ビット線上にデータ書込電流 $I_w(1)$ が流されて、選択メモリセルへデータ“1”が書込まれる。

【0276】

このような構成とすることにより、ライトデータバスの配置によってデータ書込電流経路を長大化することなくデータ書込電流の確保を容易とした上で、各ビット線BLの両端にライトドライバ50を配置する構成と比較して、ライトドライバ50の配置個数を削減できるので回路面積を縮小できる。

【0277】

10

なお、図32～図34では、各ビット線グループ210が2本のビット線を含む構成を例示したが、各ビット線グループは、任意の複数本のビット線によって構成することができる。

【0278】

[実施の形態5]

図35は、実施の形態5に従うMRAMデバイス1fの全体構成を示す概略ブロック図である。

【0279】

図35を参照して、実施の形態5に従うMRAMデバイス1fは、実施の形態1に従うMRAMデバイス1aの構成に加えて、各ディジット線DLに対して設けられた定電流源130と、書込バッファ70に代えて設けられたデータ書込回路100とをさらに備える点で異なる。データ書込回路100の構成は、図29に示したのと同様であるが、定電流源110および120は、必要なデータ書込電流 $I_w(0)$ および $I_w(1)$ の一部である定電流 I_{w0} 、 I_{w1} をそれぞれ供給する。

20

【0280】

また定電流源130は、対応のトランジスタスイッチ25のターンオン時に、対応のディジット線DLへ定電流 I_p を流すことができる。定電流 I_p は、必要なデータ書込電流 I_p の一部に相当する。

【0281】

図36は、この発明の実施の形態5に従うデータ書込電流供給構成を説明する概念図である。

30

【0282】

図36を参照して、実施の形態5に従うデータ書込電流供給構成では、図4に示した実施の形態1に従うデータ書込電流供給構成と比較して、データ書込電流 I_p の供給経路、すなわちスイッチ素子S1(トランジスタスイッチ25)および接地電圧 V_{ss} の間に定電流源130が配置される点と、書込ノード75に相当するライトデータバスWDBに対しては、図30に示した構成と同様に、定電流源110および120が書込データDinに応じて選択的に接続される点とで異なる。その他の部分については、図4に示した実施の形態1に従うデータ書込電流供給構成であるので、詳細な説明は繰り返さない。

【0283】

40

図37は、実施の形態5に従うMRAMデバイスの動作を説明する図である。

【0284】

図37に示されるクロックサイクル1～9では、図6に示したクロックサイクル1～9と同様の動作が実行される。このため、スイッチ素子S1、S4a、S4bの動作は、図6に示したのと同様である。また、スタンバイ動作(S_t_b_y)およびデータ読出動作(R_e_a_d)時すなわちクロックサイクル1～3および9において、選択行および非選択行ともスイッチ素子S2はオンされる。

【0285】

クロックサイクル4～8は単一のデータ書込動作を構成する。単一のデータ書込動作では、データ“0”(Din=Lレベル)を書込む“Write0”およびデータ“1”(

50

D i n = H レベル) を書込む “ W r i t e 1 ” のいずれかが実行される。図 3 7 に示す例では、クロックサイクル 4 ~ 8 により “ W r i t e 0 ” が実行されるものとする。

【 0 2 8 6 】

一方、データ書込動作中(クロックサイクル 4 ~ 8)においては、非選択行のスイッチ素子 S 2 がオフを維持される一方で、選択行のスイッチ素子 S 2 は、選択ビット線を書込データに応じたデータ電圧に再充電するクロックサイクル 6 を除いてオンされる。

【 0 2 8 7 】

さらに、データ書込回路 1 0 0 内のスイッチ素子 S a および S b は、データ書込動作時以外にはターンオフされる一方で、データ書込動作時(クロックサイクル 4 ~ 8)には、書込データ D i n に応じて選択された一方が、スイッチ素子 S 1 と対を成すようにオンする。すなわち、データ “ 0 ” の書込動作(W r i t e “ 0 ”)においては、クロックサイクル 4 ~ 8 を通じてスイッチ素子 S a がオフされる一方で、スイッチ素子 S b は、クロックサイクル 5 および 8 にオンされる。図示しないが、データ “ 1 ” の書込動作(W r i t e “ 1 ”)においては、クロックサイクル 4 ~ 8 を通じてスイッチ素子 S b がオフされる一方で、スイッチ素子 S a は、クロックサイクル 5 および 8 にオンされる。

【 0 2 8 8 】

さらに、スイッチ素子 S 3 は、定電流源 1 1 0 , 1 2 0 を選択ビット線 B L j と接続するために、データ書込動作時(クロックサイクル 4 ~ 8)には、オン状態に維持される。

【 0 2 8 9 】

これにより、たとえばクロックサイクル 4 においては、実施の形態 1 と同様にディジット線容量 6 0 ならびにビット線容量 6 5 およびライトデータバス容量 6 6 の充電が行なわれ、クロックサイクル 5 においては、ディジット線容量 6 0 の放電電流および定電流源 1 3 0 による定電流 I p によって、選択ディジット線 D L i にデータ書込電流 I p が流れる。同様に、選択ビット線 B L j には、ビット線容量 6 5 およびライトデータバス容量 6 6 からの充放電電流および定電流源 1 2 0 による定電流 I w 0 によって、データ書込電流 I w (0) が供給される。これにより、データ “ 0 ” が選択メモリセルへ書込まれる。

【 0 2 9 0 】

クロックサイクル 6 では、図 6 に示したクロックサイクル 6 と同様に、選択ビット線が書込データに応じたデータ電圧(接地電圧 V s s) に再び充電される。

【 0 2 9 1 】

続くクロックサイクル 7 では、選択行のスイッチ素子 S 2 がターンオンされて、選択ディジット線のディジット線容量が電源電圧 V c c に再び充電されるが、スイッチ素子 S 1 がオフされているので、データ書込電流 I p は流れない。また、スイッチ素子 S 4 a , S 4 b がオフされるため、選択ビット線 B L j の状態は、クロックサイクル 6 の終了時と同様に維持される。

【 0 2 9 2 】

クロックサイクル 8 では、図 6 に示したクロックサイクル 9 と同様に、スイッチ素子 S 1 , S 4 a がターンオンされるので、選択ディジット線上をデータ書込電流 I p が流れるが、選択ビット線 B L j はその両端がそれぞれ電源電圧 V c c と接続されることになるので、選択ビット線 B L j 上にデータ書込電流は流れない。

【 0 2 9 3 】

このようにして、クロックサイクル 4 ~ 8 で構成される単一のデータ書込動作によって、クロックサイクル 5 でのデータ書込電流供給により、データ “ 0 ” (D i n = L レベル) のデータ書込が実行される。

【 0 2 9 4 】

クロックサイクル 9 においては、クロックサイクル 1 , 3 , 8 と同様のスタンバイ動作(S t b y) が実行される。

【 0 2 9 5 】

なお、“ W r i t e 1 ” のデータ書込動作は、クロックサイクル 4 および 6 での書込ノ

10

20

30

40

50

ード75の電圧設定を、 $D_{in} = H$ レベルに対応したデータ電圧（電源電圧 V_{cc} ）に変更した上で、スイッチ素子 $S_1 \sim S_3$ 、 S_{4a} 、 S_{4b} を“Write 0”と同様にスイッチングさせるとともに、クロックサイクル5および8におけるスイッチ素子 S_a および S_b のオン・オフを入れ替えることにより実行される。これにより、“Write 1”では、クロックサイクル5では選択ビット線 BL_j にデータ書込電流が発生しない一方で、クロックサイクル8では選択ビット線 BL_j にデータ書込電流 $I_w(1)$ が流れることにより、選択メモリセルへデータ“1”が書込まれる。

【0296】

このように実施の形態5に従うMRAMデバイスでは、実施の形態1で説明した、ディジット線 DL およびビット線 BL への充電電荷による放電電流と、定電流源 110 、 120 、 130 による定電流との和によって、データ書込電流 I_p および $I_w(0)$ 、 $I_w(1)$ が供給される。

10

【0297】

したがって、定電流源 110 、 120 、 130 によって供給される定電流 I_{w1} 、 I_{w0} 、 I_p は、ディジット線容量 60 やビット線容量 65 と、その充電電圧（電源電圧 V_{cc} および接地電圧 V_{ss} の電圧差に相当）との積、すなわち充電電荷によって供給可能な電流と、必要なデータ書込電流の電流量および印加時間の積との関係を考慮して、その不足分を補う範囲で設計すればよい。

【0298】

このような構成とすることにより、ディジット線容量 60 やビット線容量 65 に対して付加容量を設けて回路面積の増大を招くことなく、容易にデータ書込電流を確保することが可能となる。特に、データ書込電流の供給が容易化されることから、電源電圧 V_{cc} の低電圧化が可能となる。また、充電電荷の放電によりデータ書込電流の一部を供給することにより、定電流源 110 、 120 、 130 を構成するトランジスタのサイズを縮小できるので、回路面積を縮小することも可能である。

20

【0299】

なお、実施の形態5に従うMRAMデバイス1eにおいては、実施の形態1に従うMRAMデバイス1aの構成に、定電流源 110 、 120 、 130 を追加配置した構成を示した。同様に、実施の形態1の変形例や、実施の形態2およびそれらの変形例に対しても、定電流源を追加配置して、充電電荷の放電と定電流源から供給される定電流との和によってデータ書込電流を供給する構成とすることが可能である。

30

【0300】

たとえば、図38には、実施の形態3に従うMRAMデバイスにおいて、ライトデータバス WDB および $/WDB$ のそれぞれに対して、データ書込電流供給を補助するための定電流源が配置された構成が示される。

【0301】

図38を参照して、データバス WDB に対しては、図36と同様に、データ書込回路 100 が設けられる。すなわち、データバス WDB は、スイッチ素子 S_a および S_b を介して、定電流源 110 および 120 と接続される。同様に、データバス $/WDB$ に対しては、データ書込回路 100 が設けられる。データ書込回路 100 は、定電流源 110 および 120 と、スイッチ素子 S_c および S_d を含む。これにより、データバス $/WDB$ は、スイッチ素子 S_c および S_d を介して、定電流源 110 および 120 と接続される。スイッチ素子 S_c のオン・オフは、スイッチ素子 S_a と同様に、書込データ D_{in} に応じて制御され、スイッチ素子 S_d のオン・オフは、スイッチ素子 S_b と同様に、反転された書込データ $/D_{in}$ に応じて制御される。

40

【0302】

このような構成においては、図39に示すように、スイッチ素子 S_1 、 S_3 、 S_4 のオン・オフについては、実施の形態3（図28）と同様に設定し、スイッチ素子 S_2 については、図37と同様に、データ書込動作において選択行でオンし、非選択行でオフするように設定すればよい。さらに、定電流源 110 、 120 、 110 、 120 に対応して

50

設けられるスイッチ素子 $S_a \sim S_d$ については、各データ書込動作期間内において、スイッチ素子 S_3 、 S_4 と同時に、書込データ D_{in} に応じて選択的にオンするように制御する。

【0303】

このような構成とすることにより、ディジット線容量 60 やビット線容量 65 に対して付加容量を設けて回路面積の増大を招くことがなく、かつ、定電流源 110、110、120、120、130 によって供給する定電流を抑制できる。したがって、実施の形態 5 に従う MRAM デバイスと同様の効果を供給することが可能である。

【0304】

なお、以上の実施の形態では、データ書込系およびデータ読出系の両方に、共通の電源電圧 V_{cc} を用いたが、データ読出およびデータ書込で異なる電源電圧を用いることも可能である。また、電源電圧 V_{cc} については、外部電源（たとえばバッテリー）から直接供給する構成とする他に、MRAM 内部において、降圧回路（たとえば、差動増幅器を用いた一般的な構成の VDC : Voltage Down Converter）や昇圧回路（たとえば、一般的な構成のチャージポンプ回路）によって、データ読出 / データ書込の電源電圧を生成する構成としてもよい。

【0305】

特に、チャージポンプ回路を採用すれば、一度に電源端子から大きな電流を供給することが困難な IC カード用途等において、データ書込動作以外の期間を利用してデータ書込電流発生用の電源電圧を内部で生成できるため、データ書込電流の確保が容易となる。

【0306】

また、「書込電流線」として設けられるディジット線 D_L およびビット線 B_L に流れるデータ書込電流は、選択メモリセルへのデータ書込を実行するために必要な電流下限値と、周辺の非選択メモリセルへ誤書込が行なわれないための電流上限値との範囲内に設定する必要がある。特に、データ書込電流のピーク値は、回路上の寄生抵抗や寄生容量によって増大するのでその制御が困難である。このため、ディジット線 D_L およびビット線 B_L について、非特許文献 4 に開示されるような、金属配線の周囲 3 方向を薄い強磁性体で覆った配線を適用することにより、非選択メモリセルへの漏れ磁界を軽減して、データ誤書込の発生を抑制できる。

【0307】

以上説明した実施の形態 1 ~ 5 およびそれらの変形例では、1 ビットのデータ書込構成、すなわち 1 本の選択ビット線に書込データに応じたデータ書込電流が流される構成について説明したが、同様の構成について、複数ビットの並列なデータ書込構成にそれぞれ拡張することも可能である。

【0308】

図 40 は、図 4 に示した実施の形態 1 に従うデータ書込電流供給構成を複数ビット書込に拡張した場合の構成を示す概念図である。

【0309】

図 40 を参照して、実施の形態 1 に従うデータ書込電流供給構成では、並列に書込むビット数に対応させて書込ノード 75 を複数個設けることにより、複数ビットの並列なデータ書込を実現できる。

【0310】

たとえば、2 本の選択ビット線 B_{Lj} および B_{Lk} にそれぞれ対応して独立の書込ノード 75 を設けた上で、図 41 に示すように、選択ビット線 B_{Lj} および B_{Lk} に対応するスイッチ素子 S_3 、 S_{4a} 、 S_{4b} を同様のシーケンスで並列に動作させることにより、選択ビット線 B_{Lj} および B_{Lk} のそれぞれに対して、独立の書込データを並列に書込める。

【0311】

図 42 に示すように、図 14 に示した実施の形態 1 の変形例 2 に従うデータ書込電流供給構成についても、並列に書込むビット数に対応させて書込ノード 75 を複数個設けるこ

10

20

30

40

50

とにより、同様に複数ビットの並列なデータ書込を実現できる。この場合にも、各書込ノードに対応する選択ビット線において、スイッチ素子 S_3 , S_{4a} , S_{4b} を同様のシーケンスで並列に動作させればよい。また、図示しないが、実施の形態 1 の変形例 1 ならびに実施の形態 2 およびその変形例に従うデータ書込電流供給構成についても、書込ノード 75 を並列に書込むビット数に対応して複数個設けることにより、同様に複数ビットの並列なデータ書込を実現できる。

【0312】

図 43 に示すように、図 27 に示した実施の形態 3 に従うデータ書込電流供給構成については、書込ノードに相当するライトデータバス WDB , $/WDB$ の組を、並列に書込むビット数に対応させて複数個設けることにより、同様に複数ビットの並列なデータ書込を実現できる。この場合にも、各書込ノードに対応する選択ビット線において、スイッチ素子 S_3 , S_4 を同様のシーケンスで並列に動作させればよい。

10

【0313】

図 44 に示すように、図 30 に示した実施の形態 4 に従うデータ書込電流供給構成については、ライトデータバス WDB およびデータ書込回路 100 の組を並列に書込むビット数に対応して複数個設けることにより、同様に複数ビットの並列なデータ書込を実現できる。この場合にも、各書込ノードに対応する選択ビット線において、スイッチ素子 S_3 , S_{4a} , S_{4b} を同様のシーケンスで並列に動作させればよい。

【0314】

図 45 に示すように、図 33 に示した実施の形態 4 の変形例に従うデータ書込電流供給構成については、並列に書込むビット数に対応した複数のビット線グループ 210 において、ライトドライバ 50 および 50 が選択ビット線をデータ電圧 (V_{cc} または V_{ss}) と接続するように、スイッチ素子 S_{3a} , S_{3b} , S_{4a} , S_{4b} のオン・オフ制御信号を生成すればよい。

20

【0315】

さらに、図 46 に示すように、図 36 に示した実施の形態 5 に従うデータ書込電流供給構成についても、ライトデータバス WDB およびデータ書込回路 100 の組を、並列に書込むビット数に対応させて複数個設けることにより、同様に複数ビットの並列なデータ書込を実現できる。この場合にも、各書込ノードに対応する選択ビット線において、スイッチ素子 S_3 , S_{4a} , S_{4b} , S_a , S_b を同様のシーケンスで並列に動作させればよい。

30

【0316】

また、図 47 に示すように、図 38 に示した実施の形態 5 に従うデータ書込電流供給構成についても、ライトデータバス WDB およびデータ書込回路 100 の組ならびにライトデータバス $/WDB$ およびデータ書込回路 100 の組を、並列に書込むビット数に対応させて複数個設けることにより、同様に複数ビットの並列なデータ書込を実現できる。この場合にも、各書込ノードに対応する選択ビット線において、スイッチ素子 S_3 , S_4 , $S_a \sim S_d$ を同様のシーケンスで並列に動作させればよい。

【0317】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【図面の簡単な説明】

【0318】

【図 1】本発明の実施の形態 1 に従う MRAM デバイスの全体構成を示す概略ブロック図である。

【図 2】MTJ メモリセルの構成およびデータ記憶原理を説明する概念図である。

【図 3】MTJ メモリセルのデータ書込電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

50

【図 4】この発明の実施の形態 1 に従うデータ書込電流供給構成を説明する概念図である。

【図 5】図 4 に示された付加容量の好ましい配置を説明する図である。

【図 6】実施の形態 1 に従う M R A M デバイスの動作を説明する図である。

【図 7】データ書込電流供給に関連するディジット線の充放電動作をモデル化した第 1 の電気回路図である。

【図 8】ディジット線の充放電電流波形を示す概念図である。

【図 9】データ書込電流供給に関連するディジット線の充放電動作をモデル化した第 2 の電気回路図である。

【図 10】データ書込電流供給に関連するディジット線の充放電動作をモデル化した第 3 の電気回路図である。 10

【図 11】データ書込電流供給に関連するビット線の充放電動作をモデル化した第 1 の電気回路図である。

【図 12】データ書込電流供給に関連するビット線の充放電動作をモデル化した第 2 の電気回路図である。

【図 13】実施の形態 1 の変形例 1 に従う M R A M デバイスの動作を説明する図である。

【図 14】この発明の実施の形態 1 の変形例 2 に従うデータ書込電流供給構成を説明する概念図である。

【図 15】実施の形態 1 の変形例 2 に従う M R A M デバイスの動作を説明する図である。

【図 16】本発明の実施の形態 2 に従う M R A M デバイスの全体構成を示す概略ブロック図である。 20

【図 17】この発明の実施の形態 2 に従うデータ書込電流供給構成を説明する概念図である。

【図 18】実施の形態 2 に従う M R A M デバイスの動作を説明する図である。

【図 19】実施の形態 2 の変形例 1 に従う M R A M デバイスの動作を説明する図である。

【図 20】この発明の実施の形態 2 の変形例 2 に従うデータ書込電流供給構成を説明する概念図である。

【図 21】実施の形態 2 の変形例 2 に従う M R A M デバイスの動作を説明する図である。

【図 22】実施の形態 2 ならびにその変形例 1 および 2 に適用可能なメインディジット線の分割配置を説明する概念図である。 30

【図 23】この発明の実施の形態 2 の変形例 3 に従うデータ書込電流供給構成を説明する概念図である。

【図 24】実施の形態 2 の変形例 3 に従う M R A M デバイスの動作を説明する図である。

【図 25】実施の形態 2 の変形例 3 に適用可能なメインディジット線の分割配置を説明する概念図である。

【図 26】本発明の実施の形態 3 に従う M R A M デバイスの全体構成を示す概略ブロック図である。

【図 27】この発明の実施の形態 3 に従うデータ書込電流供給構成を説明する概念図である。

【図 28】実施の形態 3 に従う M R A M デバイスの動作を説明する図である。 40

【図 29】本発明の実施の形態 4 に従う M R A M デバイスの全体構成を示す概略ブロック図である。

【図 30】この発明の実施の形態 4 に従うデータ書込電流供給構成を説明する概念図である。

【図 31】実施の形態 4 に従う M R A M デバイスでの書込動作を説明する図である。

【図 32】本発明の実施の形態 4 の変形例に従う M R A M デバイスの全体構成を示す概略ブロック図である。

【図 33】この発明の実施の形態 4 の変形例に従うデータ書込電流供給構成を説明する概念図である。

【図 34】実施の形態 4 の変形例に従う M R A M デバイスでの書込動作を説明する図であ 50

る。

【図 3 5】本発明の実施の形態 5 に従う M R A M デバイスの全体構成を示す概略ブロック図である。

【図 3 6】この発明の実施の形態 5 に従うデータ書込電流供給構成を説明する概念図である。

【図 3 7】実施の形態 5 に従う M R A M デバイスの動作を説明する図である。

【図 3 8】この発明の実施の形態 5 に従う他のデータ書込電流供給構成を説明する概念図である。

【図 3 9】図 3 5 に示した M R A M デバイスの動作を説明する図である。

【図 4 0】複数ビット書込に拡張された実施の形態 1 に従うデータ書込電流供給構成を説明する概念図である。

10

【図 4 1】図 4 0 に示された M R A M デバイスの動作を説明する図である。

【図 4 2】複数ビット書込に拡張された実施の形態 1 の変形例 2 に従うデータ書込電流供給構成を説明する概念図である。

【図 4 3】複数ビット書込に拡張されたこの発明の実施の形態 3 に従うデータ書込電流供給構成を説明する概念図である。

【図 4 4】複数ビット書込に拡張されたこの発明の実施の形態 4 に従うデータ書込電流供給構成を説明する概念図である。

【図 4 5】複数ビット書込に拡張されたこの発明の実施の形態 4 の変形例に従うデータ書込電流供給構成を説明する概念図である。

20

【図 4 6】複数ビット書込に拡張されたこの発明の実施の形態 5 に従うデータ書込電流供給構成を説明する概念図である。

【図 4 7】複数ビット書込に拡張された発明の実施の形態 5 に従う他のデータ書込電流供給構成を説明する概念図である。

【符号の説明】

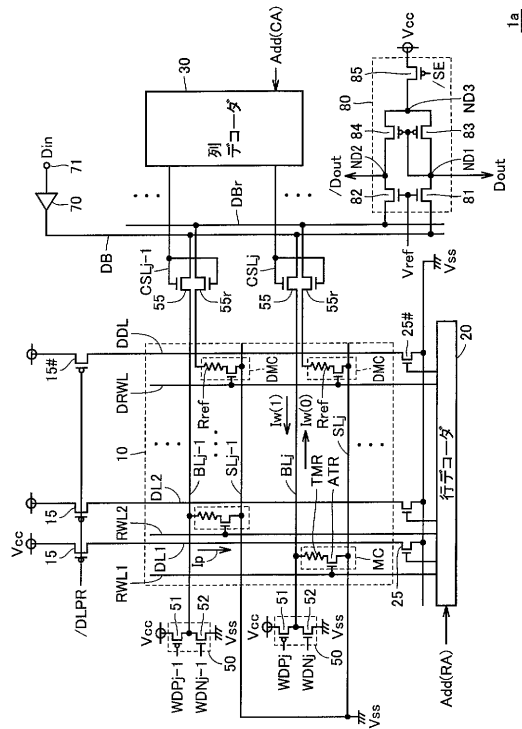
【 0 3 1 9 】

1 a , 1 b , 1 c , 1 d , 1 e M R A M デバイス、1 0 メモリセルアレイ、1 5 , 2 5 , 5 1 , 5 2 トランジスタスイッチ、2 0 行デコーダ、3 0 列デコーダ、5 0 , 5 0 ライトドライバ、5 5 , 5 5 r , 5 6 コラム選択スイッチ、6 0 デジタル線容量、6 1 メインデジタル線容量、6 2 a , 6 3 a , 6 7 a , 6 8 a , 6 9 a 寄生容量、6 2 b , 6 3 b , 6 7 b , 6 8 b , 6 9 b 付加容量、6 5 ビット線容量、6 6、6 6 ライトデータバス容量、7 0 , 7 0 書込バッファ、7 1 , 7 1 データ端子、7 5 , 7 6 書込ノード、8 0 データ読出アンプ、1 0 0 , 1 0 0 データ書込回路、1 1 0 , 1 1 0 , 1 2 0 , 1 2 0 , 1 3 0 定電流源、1 1 2 , 1 2 2 スイッチ素子、B L ビット線、B L j 選択ビット線、B L K 1 ~ B L K 4 ブロック、C S L コラム選択線、D B データバス、D B r 参照データバス、D i n 書込データ、/ D i n 反転データ、D L デジタル線、D L i 選択デジタル線、D M C ダミーメモリセル、D o u t 読出データ、I p , I w (0) , I w (1) データ書込電流、I p , I w 0 , I w 1 定電流、M C メモリセル、M D L , M D L 1 ~ M D L 4 メインデジタル線、R 0 充電抵抗、R c 充電調整抵抗、R p 放電抵抗、R W L リードワード線、S 1 ~ S 3 , S 4 a , S 4 b , S a ~ S d スイッチ素子、S L ソース線、T M R トンネル磁気抵抗素子、V c c 電源電圧、V s s 所定電圧（接地電圧）、W D B , / W D B ライトデータバス、φ (D L) 電圧信号（メインデジタル線）。

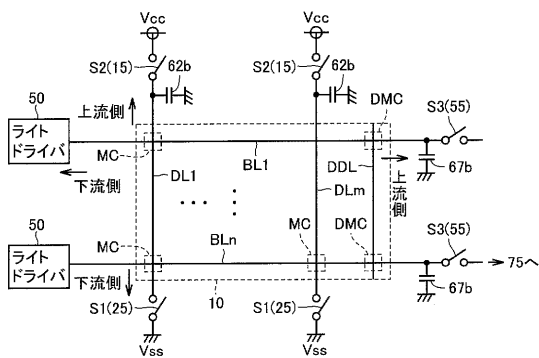
30

40

【 図 1 】



【 図 5 】



【 図 6 】

クロックサイクル

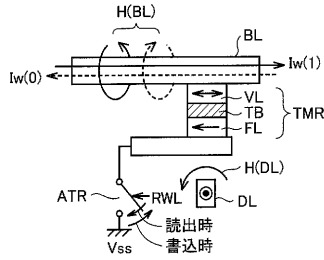
	1	2	3	4	5	6	7	8	9
動作	Stby	Read	Stby	Write 0/1					Stby
Din(75)	-	-	-	$\overline{H}$	-	$\overline{H}$	-	-	-
S1	オフ	オフ	オフ	オフ	オン	オフ	オフ	オン	オフ
S2	オン	オン	オン	オン	オフ	オフ	オン	オフ	オン
S3	オフ	オン	オフ	オン	オフ	オン	オフ	オフ	オフ
S4a	オフ	オフ	オフ	オフ	オン	オフ	オフ	オフ	オフ
S4b	オン	オフ	オン	オフ	オフ	オフ	オフ	オン	オン

↑
lp.lw(0)

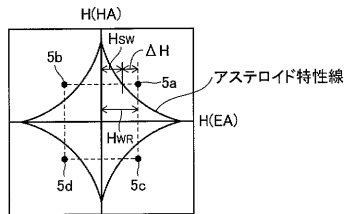
↑
lp.lw(1)

時間 →

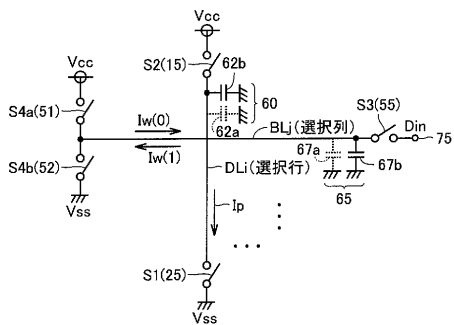
【 図 2 】



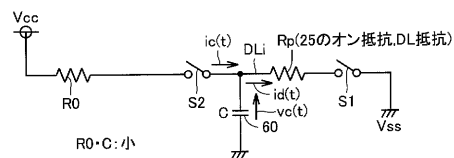
【 図 3 】



【 図 4 】

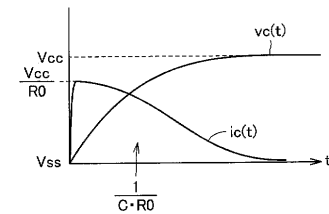


【圖 7】

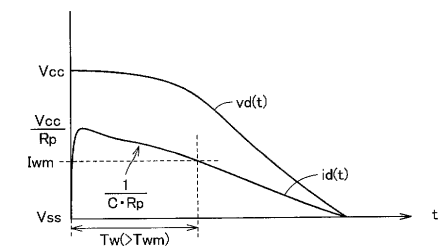


【 図 8 】

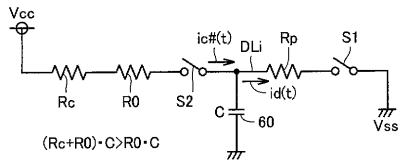
(a)充電時



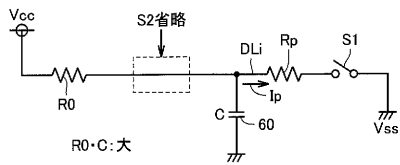
(b)放電時



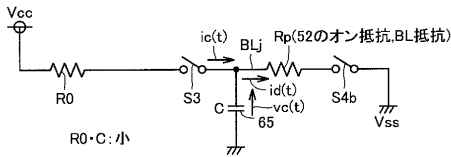
【図 9】



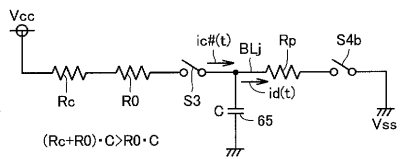
【図 10】



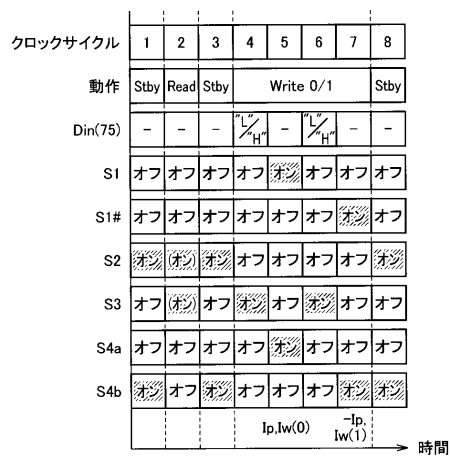
【図 11】



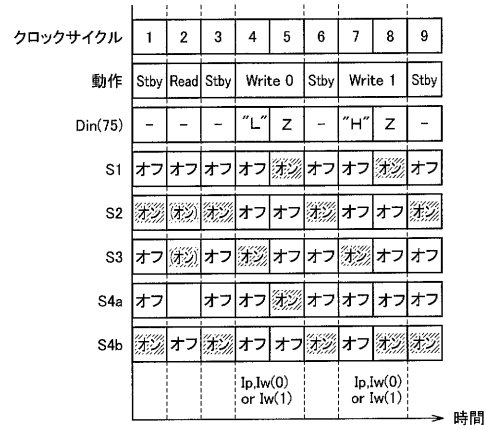
【図 12】



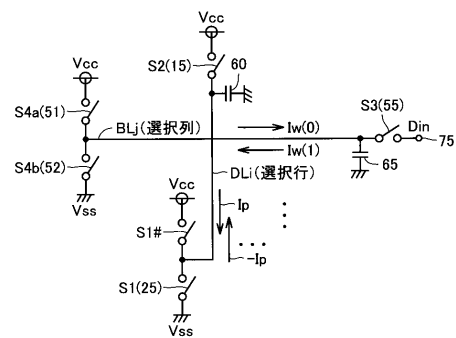
【図 15】



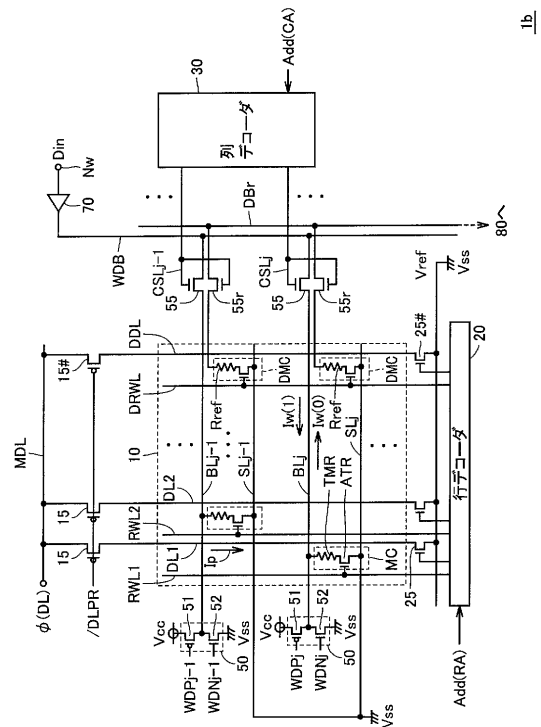
【図 13】



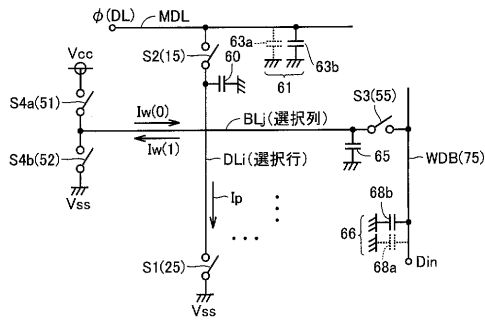
【図 14】



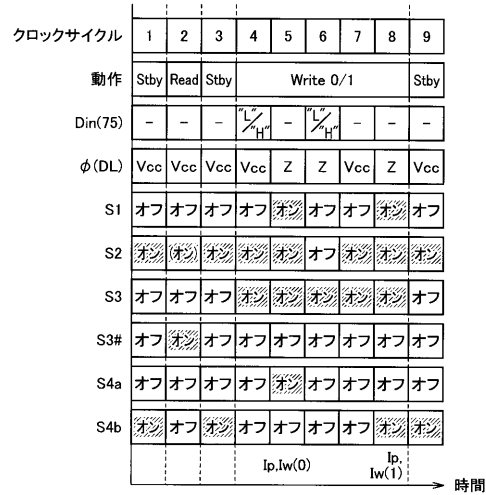
【図 16】



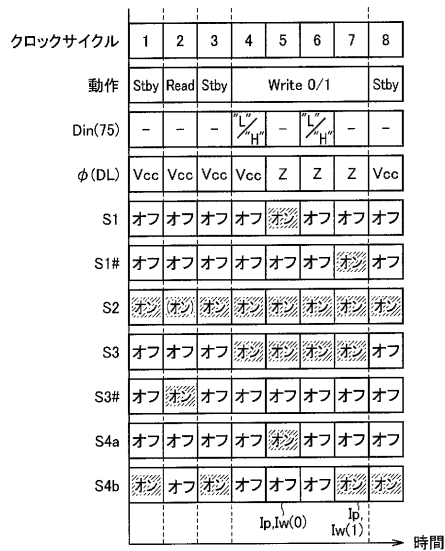
【図 17】



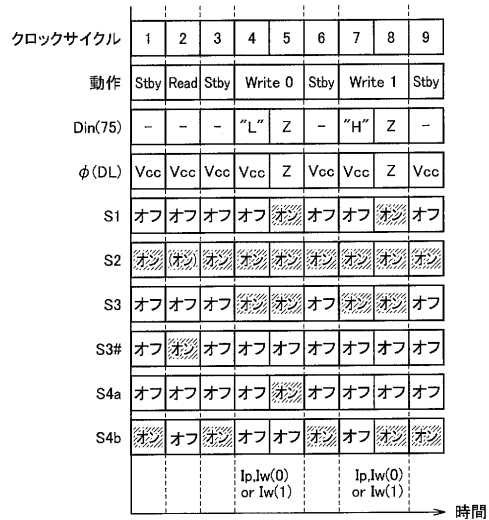
【図 18】



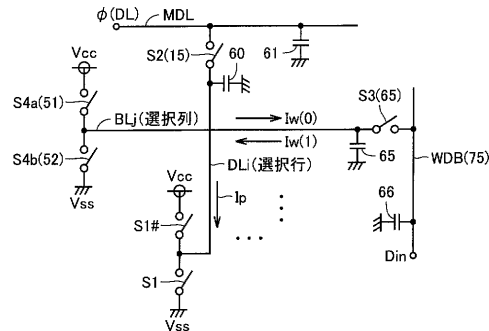
【図 21】



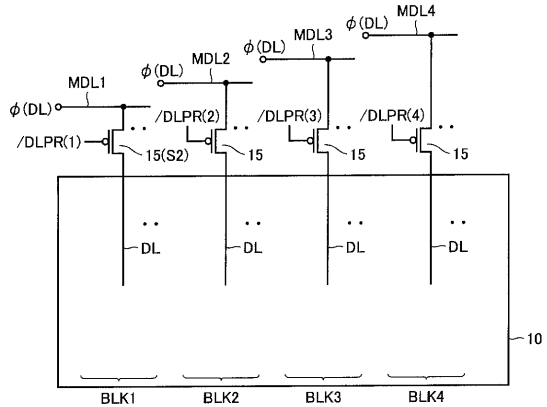
【図 19】



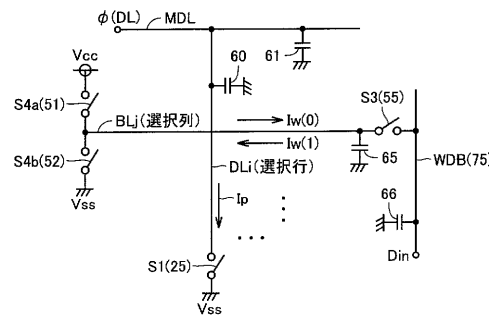
【図 20】



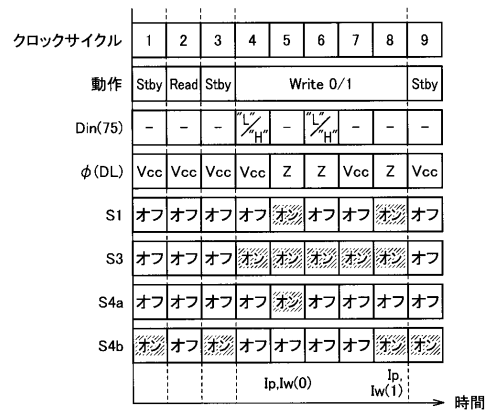
【図 22】



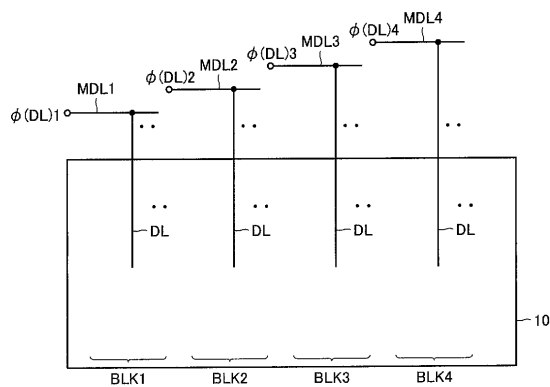
【図 23】



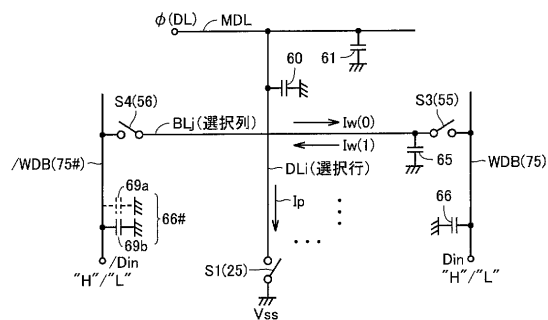
【図 24】



【図 25】



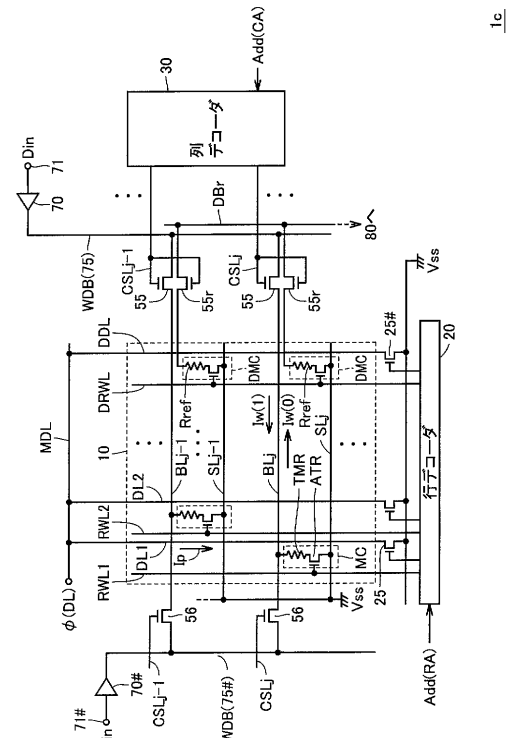
【図 27】



【図 28】

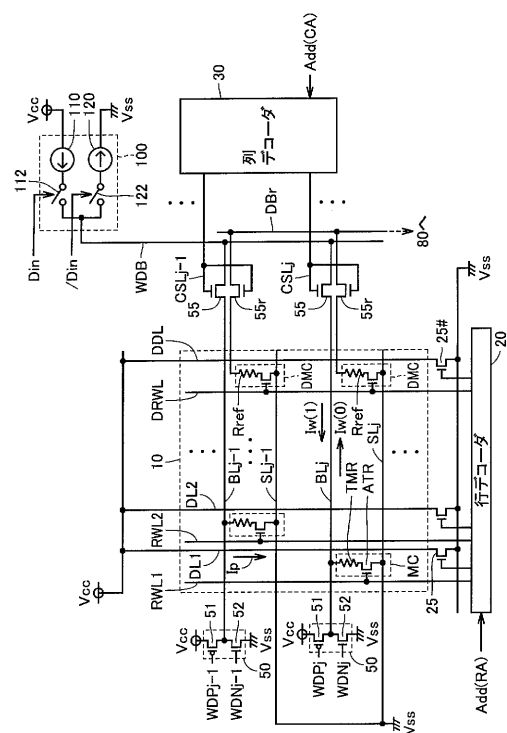


【図 26】



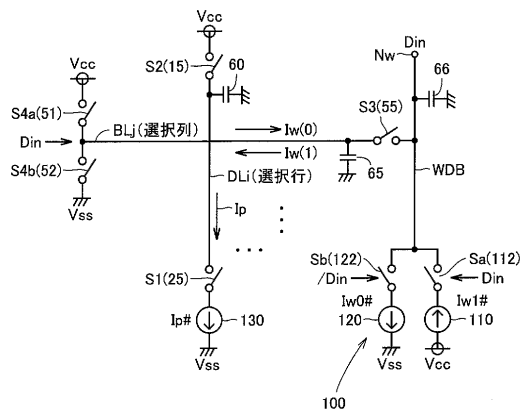
1c

【図 29】

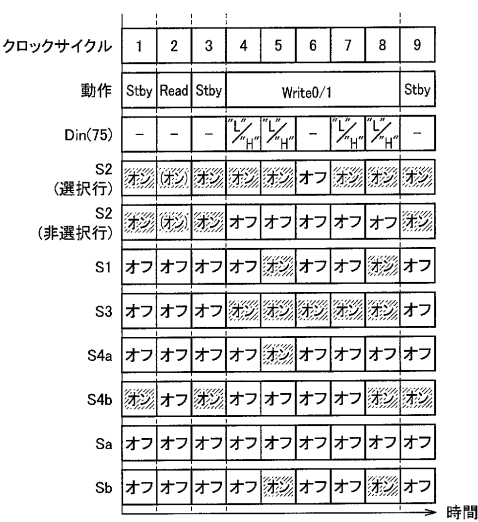


1d

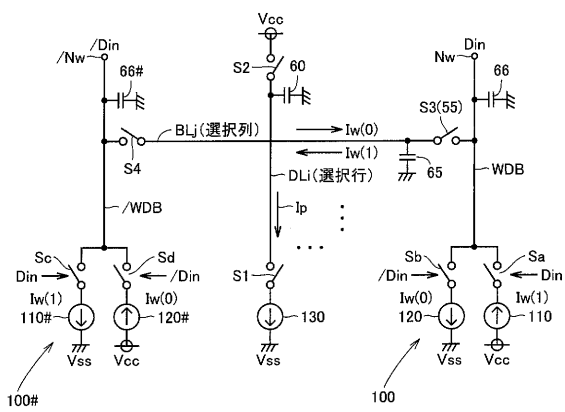
【図 3 6】



【図 3 7】



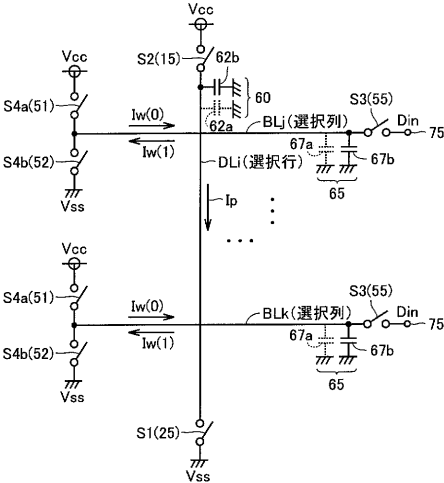
【図 3 8】



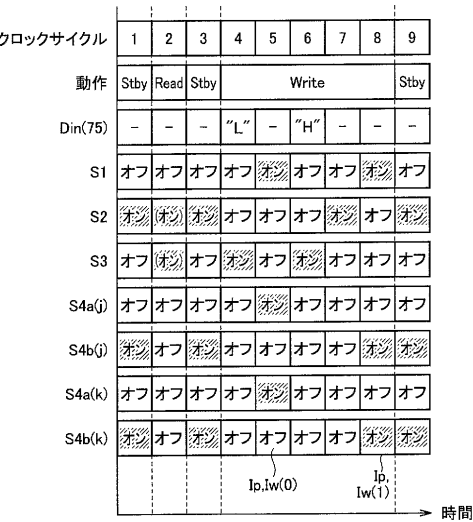
【図 3 9】



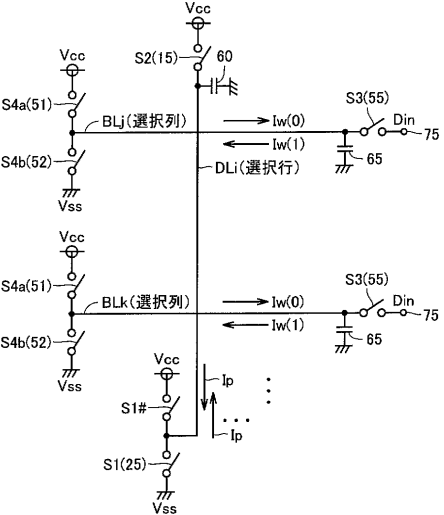
【図 40】



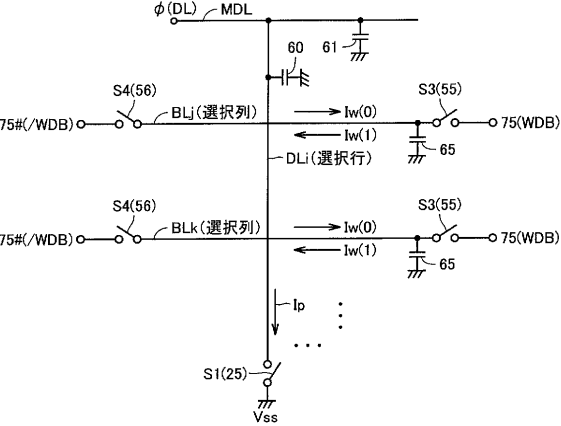
【図 41】



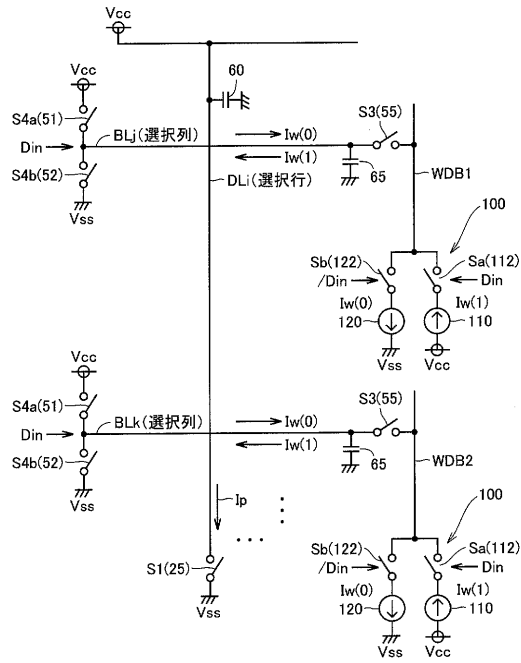
【図 42】



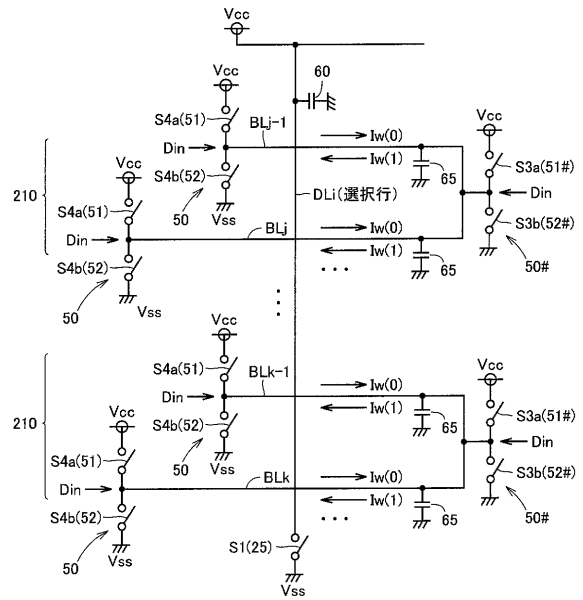
【図 43】



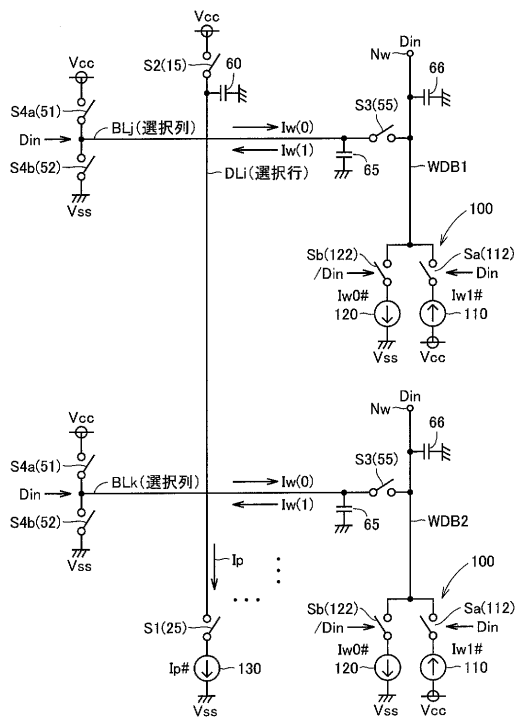
【図 4 4】



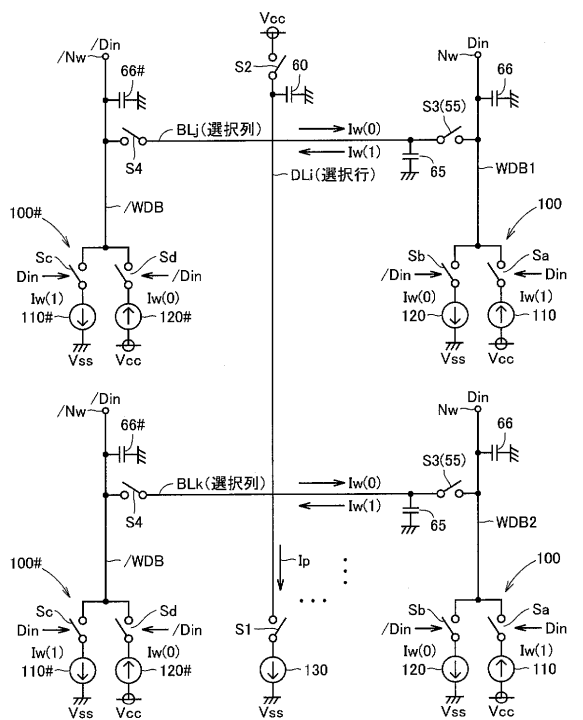
【図 4 5】



【図 4 6】



【図 4 7】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 須原 宏光

(56)参考文献 特開2002-231904(JP,A)

国際公開第03/054887(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G11C 11/15

G11C 13/00