

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-249068

(P2012-249068A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO3F 3/343 (2006.01)	HO3F 3/343	Z 5J022
HO3M 1/14 (2006.01)	HO3M 1/14	A 5J500

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2011-119071 (P2011-119071)
 (22) 出願日 平成23年5月27日 (2011.5.27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 古田 雅則
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 石井 啓友
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5J022 AA01 AA15 AB01 CA07 CB06 CF02

最終頁に続く

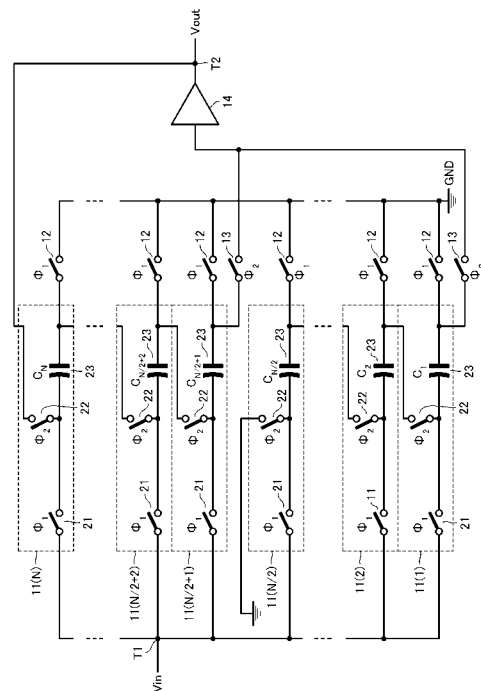
(54) 【発明の名称】 演算回路、及びA/D変換器

(57) 【要約】

【課題】 所望の帯域幅を確保しつつ、所望の倍率を正確に得ることができる演算回路を提供する。

【解決手段】 演算回路は、入力信号を入力する入力端子と、複数個のキャパシタと、増幅入力端子と出力端子とを備え、この増幅入力端子から入力される信号を増幅して前記出力端子から出力信号を出力する増幅回路とを備えている。第1スイッチ回路は、第1制御信号に基づき導通状態となり、複数のキャパシタを入力端子と第1電圧を供給する第1電圧端子との間に並列に接続する。また、第2スイッチ回路は、第2制御信号に基づき導通状態となり、複数個のキャパシタに含まれる第1のキャパシタを増幅入力端子と第2電圧を供給する第2電圧端子との間に第1の電流経路を形成するように接続すると共に、複数個のキャパシタに含まれる第2のキャパシタを増幅入力端子と前記出力端子との間に第2の電流経路を形成するように接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力信号を入力する入力端子と、
複数個のキャパシタと、

増幅入力端子と出力端子とを備え、この増幅入力端子から入力される信号を増幅して前記出力端子から出力信号を出力する増幅回路と、

第 1 制御信号に基づき導通状態となり、前記複数個のキャパシタを前記入力端子と第 1 電圧を供給する第 1 電圧端子との間に並列に接続する第 1 スイッチ回路と、

第 2 制御信号に基づき導通状態となり、前記複数個のキャパシタに含まれる第 1 のキャパシタを前記増幅入力端子と第 2 電圧を供給する第 2 電圧端子との間に第 1 の電流経路を形成するように接続すると共に、前記複数個のキャパシタに含まれる第 2 のキャパシタを前記増幅入力端子と前記出力端子との間に第 2 の電流経路を形成するように接続する第 2 スイッチ回路と

を備えたことを特徴とする演算回路。

【請求項 2】

前記第 1 の電流経路又は前記第 2 の電流経路の少なくとも一方に複数個のキャパシタが直列接続される請求項 1 記載の演算回路。

【請求項 3】

前記第 1 電圧は、変数に基準電圧の電圧値を乗算した値である請求項 1 又は 2 記載の演算回路。

【請求項 4】

第 3 のキャパシタを更に備え、

前記第 2 スイッチ回路は、前記第 2 制御信号に基づき前記第 3 のキャパシタの一端を前記増幅入力端子に接続し、他端を第 3 電圧を供給する第 3 電圧端子に接続することを特徴とする請求項 1 又は 2 記載の演算回路。

【請求項 5】

縦列接続された複数のステージと、前記複数のステージの各々が出力するデジタル信号に基づくデジタル演算を行うデジタル演算器とを備えた A / D 変換器であって、前記複数のステージの各々は、アナログ入力信号をデジタル信号に変換する A / D 変換回路と、前記デジタル信号をアナログ信号に再変換する D / A 変換回路と、前記 D / A 変換回路が出力したアナログ信号を前記アナログ入力信号から減算した減算信号を出力すると共に、前記減算信号を増幅する演算回路と、を備え、

前記演算回路は、

入力信号を入力する入力端子と、

複数個のキャパシタと、

増幅入力端子と出力端子とを備え、この増幅入力端子から入力される信号を増幅して前記出力端子から出力信号を出力する増幅回路と、

第 1 制御信号に基づき導通状態となり、前記複数のキャパシタを前記入力端子と第 1 電圧を供給する第 1 電圧端子との間に並列に接続する第 1 スイッチ回路と、

第 2 制御信号に基づき導通状態となり、前記複数個のキャパシタに含まれる第 1 のキャパシタを前記増幅入力端子と第 2 電圧を供給する第 2 電圧端子との間に第 1 の電流経路を形成するように接続すると共に、前記複数個のキャパシタに含まれる第 2 のキャパシタを前記増幅入力端子と前記出力端子との間に第 2 の電流経路を形成するように接続する第 2 スイッチ回路と

を備えたことを特徴とする A / D 変換器。

【発明の詳細な説明】**【技術分野】****【0001】**

本明細書に記載の実施の形態は、演算回路、及びこれを用いた A / D 変換器に関する。

【背景技術】

【0002】

アナログ信号を所望の増幅率をもって増幅させて増幅信号を出力する演算回路は、例えばパイプライン型 A / D 変換器などの電子回路において、残差信号の増幅の用途等において用いられる。このような演算回路では、必要な帯域幅を確保しつつ、所望の増幅率を得ることができることが望まれている。

【先行技術文献】

【特許文献】

【0003】

【非特許文献 1】 Imran Ahmed, Jan Mulder, David A. Johns, “ A 50MS/s 9.9mW Pipelined ADC with 58dB SNDR in 0.18um CMOS Using Capacitive Charge-Pumps ”, ISSCC 2009, pp. 164 - 165, Feb. 2009. 10

【発明の概要】

【発明が解決しようとする課題】

【0004】

この実施の形態は、所望の帯域幅を確保しつつ、所望の倍率を正確に得ることができる演算回路を提供するものである。

【課題を解決するための手段】

【0005】

以下に説明する実施の形態の演算回路は、入力信号を入力する入力端子と、複数個のキャパシタと、増幅入力端子と出力端子とを備え増幅入力端子から入力される信号を増幅して前記出力端子から出力信号を出力する増幅回路とを備えている。第 1 スイッチ回路は、第 1 制御信号に基づき導通状態となり、複数のキャパシタを入力端子と第 1 電圧を供給する第 1 電圧端子との間に並列に接続する。また、第 2 スイッチ回路は、第 2 制御信号に基づき導通状態となり、複数個のキャパシタに含まれる第 1 のキャパシタを増幅入力端子と第 2 電圧を供給する第 2 電圧端子との間に第 1 の電流経路を形成するように接続すると共に、複数個のキャパシタに含まれる第 2 のキャパシタを増幅入力端子と前記出力端子との間に第 2 の電流経路を形成するように接続する。 20

【図面の簡単な説明】

【0006】

【図 1】 第 1 の実施の形態に係る演算回路の構成を示す等価回路図である。 30

【図 2】 第 1 の実施の形態に係る演算回路の構成を示す等価回路図である。

【図 3】 第 1 の実施の形態の演算回路の作用を説明する。

【図 4 A】 第 1 の実施の形態の演算回路の作用を説明する。

【図 4 B】 第 1 の実施の形態の演算回路の作用を説明する。

【図 5】 第 1 の実施の形態の変形例に係る演算回路の構成を示す等価回路図である。

【図 6】 第 1 の実施の形態の変形例に係る演算回路の構成を示す等価回路図である。

【図 7 A】 第 2 の実施の形態に係る演算回路の構成を示す等価回路図である。

【図 7 B】 第 2 の実施の形態に係る演算回路の構成を示す等価回路図である。

【図 8】 第 2 の実施の形態に係る演算回路の構成を示す等価回路図である。 40

【図 9 A】 第 2 の実施の形態の演算回路の作用を説明する。

【図 9 B】 第 2 の実施の形態の演算回路の作用を説明する。

【図 10】 第 3 の実施の形態に係る演算回路の構成を示す等価回路図である。

【図 11】 第 4 の実施の形態に係る演算回路の構成を示す等価回路図である。

【図 12 A】 第 4 の実施の形態の演算回路の作用を説明する。

【図 12 B】 第 4 の実施の形態の演算回路の作用を説明する。

【図 13】 パイプライン型 A / D 変換器の構成を説明するブロック図である。

【図 14】 パイプライン型 A / D 変換器の構成を示す概略図である。

【図 15】 パイプライン型 A / D 変換器の動作を示す。

【図 16】 パイプライン型 A / D 変換器の動作を示す。 50

【発明を実施するための形態】

【0007】

次に、本発明の実施の形態を、図面を参照して詳細に説明する。

【0008】

[第1の実施の形態]

図1は、第1の実施の形態による演算回路の構成を示す等価回路図である。この演算回路は、複数個(N個)のキャパシタ回路11(1)~(N)と(Nは2以上の偶数)、スイッチ12と、スイッチ13と、OPアンプ14とを備えている。この演算回路は、入力信号Vinが入力される入力端子T1と、OPアンプ14の出力端子T2を備えている。本実施の形態の演算回路は、このキャパシタ回路11(1)~(N)に含まれるキャパシタ11の接続を互いに並列接続にして各キャパシタを所定の電圧まで充電した後、続いて縦列接続に切り換えることにより、入力信号Vinを増幅させることを可能にしたものである。

10

【0009】

キャパシタ回路11(1)~(N)は、それぞれ並列接続スイッチ21と、縦列接続スイッチ22と、キャパシタ23(容量 C_i ($i=1\sim N$))とを備えている。

並列接続スイッチ21は、入力端子T1とキャパシタ23の下部電極(ボトムプレート)との間に接続される。

【0010】

並列接続スイッチ21は、制御信号 ϕ_1 に従って導通状態と非導通状態との間で切り替え可能に構成されている(ここでは、 $\phi_1 = "1"$ のとき導通し、 $\phi_1 = "0"$ のとき非導通状態になるものとして説明する)。

20

縦列接続スイッチ22は、キャパシタ回路11(i)内のキャパシタ23の下部電極と、隣接するキャパシタ回路11(i+1)内のキャパシタ23の上部電極(トッププレート)との間に接続される。ただし、N個目のキャパシタ回路11(N)内の縦列接続スイッチ22は、キャパシタ回路11(N)内の下部電極と、OPアンプ14の出力端子T2との間に接続されている。以下では、キャパシタ23の2つの電極を「上部電極」、「下部電極」と称するが、これは単に説明の便宜のためであり、キャパシタ23の向きを限定する意図ではない。キャパシタ23の一方の電極と他方の電極が水平方向に並んでいる回路又は電極の上下が入れ替わっている回路にも、本実施の形態を適用可能である。

30

【0011】

また、N/2個目のキャパシタ回路11(N/2)の縦列接続スイッチ22は、その他端を隣接するキャパシタ回路11(N/2+1)にではなく接地端子に接続されている。これにより、縦列接続スイッチ22は、制御信号 ϕ_2 に従って導通状態と非導通状態との間で切り替えられる(ここでは、 $\phi_2 = "1"$ のとき導通し、 $\phi_2 = "0"$ のとき非導通状態になるものとして説明する)。

【0012】

また、キャパシタ23の上部電極と接地端子(固定電圧端子)の間には、前述のスイッチ12が接続されている。スイッチ12は、制御信号 ϕ_1 に従って導通状態と非導通状態との間で切り替えられる。スイッチ12と並列接続スイッチ21とは、いずれも制御信号 ϕ_1 に基づき導通状態となりN個のキャパシタ23を入力端子T1と接地端子GNDとの間に並列に接続する第1スイッチ回路として機能する。なお、接地端子GNDに接続する代わりに、任意の電圧を供給される電圧端子に接続するように変更することも可能である。

40

【0013】

更に、キャパシタ回路11(1)、及び11(N/2+1)のキャパシタ23の上部電極は、制御信号 ϕ_2 により導通状態とされるスイッチ13を介してOPアンプ14の入力端子(増幅入力端子)に接続されている。なお、このスイッチ13は、場合によって省略し、キャパシタ23(C_1 、 $C_{N/2+1}$)とOPアンプ14の入力端子とを短絡することも可能である。スイッチ13と縦列接続スイッチ22は、いずれも制御信号 ϕ_2 に基づき

50

導通状態となる。スイッチ 1 3 と縦列接続スイッチ 2 2 は、N 個のキャパシタ 2 3 のうちの一部、例えば N / 2 個のキャパシタ 2 3 を、OP アンプ 1 4 の入力端子と接地端子 GND との間に直列に接続すると共に、N 個のキャパシタ 2 3 のうちの一部、例えば残りの N / 2 個のキャパシタ 2 3 を、OP アンプ 1 4 の入力端子と出力端子 T 2 との間に直列接続する第 2 スイッチ回路として機能する。

【 0 0 1 4 】

なお、図 1 の例では、N 個のキャパシタ 2 3 のうちの半分の N / 2 個のキャパシタ 2 3 を接地端子と OP アンプの入力端子との間に直列接続し、残りの半分の N / 2 個を OP アンプ 1 4 の入力端子と出力端子 T 2 との間に直列接続している。しかし、両者の数は同一である必要は必ずしもなく、前者が後者よりも多い数でも良いし、逆であってもよい。また、一方の数が単数であってもよい。また、全てのキャパシタ 2 3 が同一の容量を有している必要も無い。

10

【 0 0 1 5 】

また、キャパシタ 2 3 の上部電極と接地端子 GND (固定電圧端子) との間には、制御信号 ϕ_1 に従って導通状態と非導通状態との間で切り替えられるスイッチ 1 2 が接続されている。

【 0 0 1 6 】

図 2 は、N = 4 である場合の等価回路図を示したものである。なお、制御信号 ϕ_1 と ϕ_2 は、図 3 に示すように、排他的なクロック信号であり、一方が " 1 " のとき、他方は " 0 " である。

20

【 0 0 1 7 】

次に、本実施の形態の演算回路の動作を説明する。ここでは、説明の簡単のため、N = 4 の場合 (図 2) を例にとって説明する。ある時点で制御信号 ϕ_1 が " 1 " になると、4 つのキャパシタ 2 3 ($C_1 \sim C_4$) は、図 4 A に示すように、入力端子 T 1 (入力信号 V_{in} が供給されている端子) と接地端子 GND との間に、下部電極側が入力端子 T 1 側となるように並列接続され、同一の電圧 V_{in} まで充電される。

【 0 0 1 8 】

その後、制御信号 ϕ_1 が再び " 0 " に戻った後、制御信号 ϕ_2 は " 0 " から " 1 " になる。これにより、キャパシタ $C_1 \sim C_2$ は、図 4 B に示すように、その下部電極側が接地端子側に向くように、接地端子と OP アンプ 1 4 との間に直列接続される。これにより、キャパシタ $C_1 \sim C_2$ は、OP アンプ 1 4 の入力端子に電圧 $2 \times V_{in}$ を与える。

30

一方、キャパシタ $C_3 \sim C_4$ は、図 4 B に示すが如く、その下部電極が OP アンプ 1 4 の出力端子側を向くように、OP アンプ 1 4 の入力端子と出力端子との間に直列接続される。このキャパシタ $C_3 \sim C_4$ は、OP アンプ 1 4 の負帰還ループを構成する。

このときの OP アンプ 1 4 の出力信号 (V_{out}) は、 $C_1 = C_2 = C_3 = C_4 = C$ である場合、次式となる。

【 0 0 1 9 】

【 数 1 】

$$V_{out} = \frac{4V_{in}}{1 - 2 / A_v}$$

40

【 0 0 2 0 】

OP アンプ 1 4 の増幅率 A_v が 1 より遥かに大きい場合 ($A_v \gg 1$)、 $V_{out} \approx 4 V_{in}$ となり、図 2 の演算回路は、4 倍の増幅率となる。図 1 のような N 個のキャパシタの場合、増幅率は N 倍となる。このように、制御信号 ϕ_2 が " 1 " に切り替わる動作により、入力信号 V_{in} が N 倍に増幅される。

【 0 0 2 1 】

$C_1 = C_2 = C_3 = C_4 = C$ であれば、帰還容量 C_f ($= C_3 \cdot C_4 / (C_3 + C_4)$) と入力容量 C_i ($C_1 \cdot C_2 / (C_1 + C_2)$) の比が 1 となる。従来のスイッチトキャパシタ型負帰還増幅回路では、帰還容量 C_f と入力容量 C_i の比を大きくすることにより

50

、演算回路の増幅率を増大させることができるが、増幅率を増大させると、代わりに帯域幅が小さくなるという問題があった。

しかし、本実施の形態では、キャパシタ23の数Nにより増幅率を決定することができる一方、帰還容量Cfと入力容量Ciとの間の比を変えない限り、帯域幅は一定とすることができる。従って、所望の帯域幅を確保しつつ、所望の増幅率を得ることができる。

【0022】

この図1の演算回路は、一例として図13、図14に示すようなパイプライン型A/D変換器に用いられる演算回路に使用することができる。このパイプライン型A/D変換器の構成を、図13に沿って説明する。

このパイプラインA/D変換器は、縦続接続された複数のステージ100、及びデジタル演算部200を備えている。各ステージ100は、外部から入力されたアナログの入力信号Vin、又は前段のステージ100から出力されたアナログの入力信号Vout_{i-1} (i=1~3)をデジタル信号Dout_iに変換してデジタル演算部200に出力する。また、デジタル信号Dout_iをアナログ信号に戻した後、このアナログ信号を、入力されたアナログ信号Vin又はVout_{i-1}から減算し、その減算したアナログ信号を所定の増幅率で増幅し、次段のステージ100に供給する。このようにして得られた複数のデジタル信号Dout₁~4に基づき、入力信号Vinが数ビットのデジタル信号に変換される。

【0023】

図14は、各ステージ100の構成を示している。各ステージ100は、A/D変換回路101と、D/A変換回路102と、減算器103と、増幅演算回路104とを備えている。この増幅演算回路104として、第1の実施の形態の演算回路を用いることができる。A/D変換回路101は、入力されたアナログ信号Vin又はVout_{i-1}をデジタル信号Diに変換する。このデジタル信号Diは、デジタル演算部200に出力されると共に、D/A変換回路102において再びアナログ信号に戻され、減算器103に入力される。減算器103は、このD/A変換回路102から出力されたアナログ信号を、入力されたアナログ信号Vin又はVout_{i-1}から減算する。増幅演算回路104は、この減算されたアナログ信号を、更に所定の増幅率で増幅して、出力信号Vout_iを出力する。

【0024】

図5は、第1の実施の形態の変形例を示す。この変形例は、キャパシタ回路11(N/2)の縦列接続スイッチ22の他端に、基準電圧Vrefを、デジタル値Dで乗算した値の電圧D・Vrefが印加されている点で、第1の実施の形態と異なっている。図6は、図5において、N=4とした場合の回路構成を示している。

【0025】

ここでの基準電圧Vrefは、図5の演算回路が、図13、図14に示すようなパイプライン型A/D変換器に用いられる場合において、A/D変換回路101に用いられる参照電圧である。また、デジタル値Dは、A/D変換回路101から出力されるデジタル信号Diである。縦列接続スイッチ22の他端に、このような電圧D・Vrefが印加されることにより、この電圧D・Vrefが減算された信号が図5の演算回路により増幅される。

【0026】

デジタル信号Dは、各ステージ100のA/D変換回路101において、何ビットのデジタル信号が生成されるかによって異なる。図15は、各ステージ100のA/D変換回路101において、2ビットのデジタル信号を出力するA/D変換が実行される場合(2bit/stage)における、各ステージ100の伝達特性を示している。また、図16は、各ステージ100のA/D変換回路101が2.5ビット/ステージ構成を採用する場合の伝達特性を示している。2.5ビット/ステージとは、3ビットのデジタル信号(8値)が生成されるが、そのうちの一部分が誤り訂正信号として用いられる方式である。図16の例では、8値の信号のうちの7つがデジタル信号として用いられる例を示してい

10

20

30

40

50

る。

【 0 0 2 7 】

この図 5 の演算回路の出力電圧 V_{out} は、 $N = 4$ の場合において、アンプの増幅率を A_v とすると、次のような値となる。

【 0 0 2 8 】

【 数 2 】

$$V_{out} = \frac{4V_{in} - D \cdot V_{ref}}{1 - 2/A_v}$$

【 0 0 2 9 】

10

増幅率 A_v が 1 よりも遥かに大きい値である場合には、出力電圧 $V_{out} = 4V_{in} - D \cdot V_{ref}$ と表すことができ、OPアンプ 14 の増幅率の変動に拘わらず、キャパシタ 23 の数 N に応じて、任意の増幅率を得ることができる。しかも、帰還容量 C_f と入力容量 C_i の比率が変らない限りは、帯域幅も一定にすることができる。すなわち、帯域幅を一定にしつつ、キャパシタ 23 の数 N に応じて、任意の増幅率を設定することができる。

【 0 0 3 0 】

[第 2 の実施の形態]

図 7 A、図 7 B、図 8 は、第 2 の実施の形態による演算回路の構成を示す等価回路図である。図 7 A は、第 1 の実施の形態と同様に、 N 個のキャパシタ回路 11 (1) ~ (N) を有する場合の回路構成を示しており、図 7 B は図 7 A の変形例を示している。また、図 8 は $N = 4$ の場合の回路構成を示している。なお、図 1、図 2 と同一の構成要素については、図 7 A、図 7 B、及び図 8 で同一の符号を付し、以下ではその詳細な説明は省略する。

20

図 7 A に示すように、第 2 の実施の形態による演算回路は、第 1 の実施の形態の構成に加え、キャパシタ 31、及びスイッチ 12'、13' を備えている。

【 0 0 3 1 】

キャパシタ 31 は、その容量が可変の可変容量キャパシタである。キャパシタ 31 の上部電極は、スイッチ 13 を介して、OPアンプ 14 の入力端子に接続可能に構成されている。また、キャパシタ 31 の下部電極は、制御信号 ϕ_1 により制御されるスイッチ 12' を介して接地端子に接続されるとともに、制御信号 ϕ_2 により制御されるスイッチ 13' を介して参照電圧 V_{ref} を供給する端子に接続可能にされている。

30

【 0 0 3 2 】

可変容量キャパシタ 31 を用いる代わりに、図 7 B に示すように、容量の異なる複数個、例えば 2 個のキャパシタ 31 A (容量 C_A)、31 B (容量 C_B) を設け、スイッチ 12 A、12 B、13 A、13 B を選択的に導通させることにより、可変容量を得るようにしてもよい。

【 0 0 3 3 】

図 8 は、図 7 の回路において、 $N = 4$ とした場合の回路構成を示している。ただし、キャパシタ 31 は固定の容量を有するキャパシタである。ただし、キャパシタ回路 11 (2) のキャパシタ 23 の一端に入力される信号は、参照電圧 V_{ref} に変数 D_{i1} を乗算した電圧値を有しており、また、キャパシタ 31 に入力される信号は、参照電圧 V_{ref} に変数 D_{i2} を乗算した電圧値を有している。

40

【 0 0 3 4 】

変数 D_{i1} 、 D_{i2} は、例えば演算回路が 2 ビット / ステージのパイプライン A / D 変換器に用いられる場合の、出力信号 D の値 (図 15) によって定まる。この場合、制御信号 ϕ_2 が " 1 " で且つ出力信号 $D = 2$ 又は 3 の場合に変数 D_{i1} は $D_{i1} = 1$ となり、それ以外では $D_{i1} = 0$ である。また、制御信号 ϕ_2 が " 1 " で且つ出力信号 $D = 2$ 又は 3 の場合に変数 D_{i2} は $D_{i2} = 1$ となり、それ以外では $D_{i2} = 0$ である。

【 0 0 3 5 】

この図 8 の演算回路の動作を図 9 A 及び図 9 B を参照して説明する。制御信号 $\phi_1 = "$

50

1" のとき、4個のキャパシタ23 ($C_1 \sim C_4$) は、並列接続スイッチ21及びスイッチ12が導通することにより、図9Aに示すように、入力端子T1と接地端子との間に並列接続される。

その後、制御信号 $\phi_2 = "1"$ となると、図9Bに示すように、4個のキャパシタ23 ($C_1 \sim C_4$) は、第1の実施の形態(図4B)と同様に接続される一方、キャパシタ31も、その一端(上部電極)がOPアンプ14の入力端子に接続され、他端(下部電極)は前述の信号 $Di_2 \cdot V_{ref}$ を供給される。なお、キャパシタ23(容量 C_2)の一端には、信号 $Di_1 \cdot V_{ref}$ が供給される。

ここで、5つのキャパシタ23、31の容量 C_1, C_2, C_3, C_4, C_5 の容量が全てCであるとき($C_1 = C_2 = C_3 = C_4 = C_5 = C$)、出力電圧(V_{out})は、アンプの増幅率を Av とすると、次ようになる。

【0036】

【数3】

$$V_{out} = \frac{4V_{in} - 2Di_2 \cdot V_{ref} - Di_1 \cdot V_{ref}}{1 - 2/Av}$$

【0037】

増幅率 Av が1よりも遥かに大きい値である場合には、出力電圧 $V_{out} = 4V_{in} - Di_2 \cdot V_{ref} - Di_1 \cdot V_{ref}$ と表すことができる。OPアンプ14の増幅率の変動に拘わらず、キャパシタ23の数 N に応じて、任意の増幅率を得ることができる。

上記の【数3】から分かるように、キャパシタ31を設けたことにより、出力電圧 V_{out} を、参照電圧 V_{ref} に変数 $Di_2 \times 2$ を乗算した値を減算した値とすることができる。すなわち、キャパシタ31は、参照電圧 V_{ref} に変数を掛けた値を減算した信号とする参照電圧減算回路として機能する。

【0038】

【第3の実施の形態】

図10は、第3の実施の形態による演算回路の構成を示す等価回路図である。第2の実施の形態と同一の構成については、図10において図7Aと同一の符号を付しているので、以下ではその詳細な説明は省略する。

【0039】

この実施の形態の演算回路は、キャパシタ回路11の構成に関しては、第2の実施の形態(図7A)と略同様である。ただし、この実施の形態では、キャパシタ31に代えて、キャパシタ回路41(1)~41(M)を備えている。

このキャパシタ回路41(1)~41(M)の組からなるキャパシタ回路群がL個(例えば、 $L < M$)設けられている。これらのキャパシタ回路41(1)~(M)は、キャパシタ31と同様に参照電圧減算回路として機能する。

【0040】

キャパシタ回路41(j)($j = 1 \sim M$)は、それぞれ並列接続スイッチ51と、縦列接続スイッチ52と、キャパシタ53(容量 C_j' ($j = 1 \sim m$))とを備えている。また、各キャパシタ回路41(j)は、それぞれ接地端子との間にスイッチ12'を接続されている。

【0041】

並列接続スイッチ51は、スイッチ12'と共に制御信号 $\phi_1 = "1"$ により導通状態となり、複数のキャパシタ53を接地端子と参照電圧 V_{ref} の端子との間に並列接続する。

また、縦列接続スイッチ52は、制御信号 ϕ_2 に従って導通状態と非導通状態との間で切り替え可能に構成されている(ここでは、 $\phi_2 = "1"$ のとき導通し、 $\phi_2 = "0"$ のとき非導通状態になるものとして説明する)。縦列接続スイッチ52は、キャパシタ回路41(j)内のキャパシタ23の下部電極と、隣接するキャパシタ回路11(j+1)内のキャパシタ23の上部電極(トッププレート)との間に接続される。ただし、M個目のキャパシタ回路11(M)内の縦列接続スイッチ52は、接地端子に接続されている。

10

20

30

40

50

【 0 0 4 2 】

なお、このようなこのキャパシタ回路 4 1 (1) ~ 4 1 (M) からなるキャパシタ回路群は、L 組設けられている。L 組のキャパシタ回路群 (1) ~ (L) のうち、m 番目 (m = 1 ~ L) のキャパシタ回路群は、M 個のキャパシタ回路 4 1 (1) ~ (M) のうちの (M - m) 個のキャパシタ回路 4 1 が参照電圧 V_{ref} を一端に供給され、残りは接地電圧を両端に供給されている。

このような L 個のキャパシタ回路群 (1) ~ (L) のうちの任意の回路群をスイッチ 4 2 で選択することにより、出力電圧 V_{out} からの減算量を任意に設定することができる。

【 0 0 4 3 】

10

[第 4 の実施の形態]

図 1 1 は、第 4 の実施の形態による演算回路の構成を示す等価回路図である。第 2 の実施の形態と同一の構成については、図 1 1 において図 8 と同一の符号を付しているので、以下ではその詳細な説明は省略する。

この実施の形態は、キャパシタ回路 1 1 (1) ~ (4) の構成は、第 2 の実施の形態 (図 8) と略同一である。ただし、キャパシタ回路 1 1 (2) の縦列接続スイッチ 2 2 の他端は接地されている。なお、この図 1 1 ではキャパシタ回路 1 1 の数 N が 4 個である例を示しているが、図 7 のように、数 N は求められる増幅率に応じて任意の数として良い事は言うまでもない。

【 0 0 4 4 】

20

この第 4 の実施の形態は、参照電圧減算回路として機能するキャパシタ回路 4 1 (1) ~ 4 1 (n) を備えている点で、第 3 の実施の形態と近似している。この実施の形態では、キャパシタ回路 4 1 (2) ~ (4) が、並列接続スイッチ 5 1 を介して参照電圧 V_{ref} を与えられる。そして、キャパシタ回路 4 1 (2) ~ (4) 内のキャパシタ 5 3 は、制御信号 $\phi_1 = "1"$ によって並列接続スイッチ 5 1 及びスイッチ 1 2 ' が導通することにより、図 1 2 A に示す如く、参照電圧 V_{ref} を与える端子と接地端子との間に並列接続される。

【 0 0 4 5 】

一方、キャパシタ回路 4 1 (1) 内のキャパシタ 5 3 は、制御信号 $\phi_1 = "1"$ によって並列接続スイッチ 5 1 及びスイッチ 1 2 ' が導通することにより、図 1 2 A に示す如く、両端を接地端子に接続される。

30

【 0 0 4 6 】

その後、制御信号 $\phi_2 = "1"$ になると、並列接続スイッチ 2 2 、 5 2 が導通状態とされる。これにより、キャパシタ回路 1 1 (1) ~ (4) 内のキャパシタ 2 3 は、図 1 2 B に示すように前述の実施の形態と同様に接続される。一方、キャパシタ回路 4 1 (3) 、 (4) 内の 2 つのキャパシタ 5 3 (C_3 、 C_4) は、OP アンプ 1 4 の入力端子と接地端子との間に、スイッチ 1 3 B を介して直列接続される。

また、キャパシタ回路 4 1 (1) 、 (2) 内の 2 つのキャパシタ 5 3 (C_1 、 C_2) は、OP アンプ 1 4 の入力端子と接地端子との間に、スイッチ 1 3 A を介して直列接続される。

40

【 0 0 4 7 】

スイッチ 1 3 A 、 スイッチ 1 3 B は、上述した変数 D_{i1} 、 D_{i2} に合わせて導通状態と非導通状態との間で切り替わるように構成されている。制御信号 ϕ_2 が " 1 " で且つ出力信号 $D = 1$ 又は 3 の場合に変数 D_{i1} は $D_{i1} = 1$ となり、スイッチ 1 3 A は導通する。それ以外では $D_{i1} = 0$ となり、スイッチ 1 3 A は非導通状態となる。

また、制御信号 ϕ_2 が " 1 " で且つ出力信号 $D = 2$ 又は 3 の場合に変数 D_{i2} は $D_{i2} = 1$ となり、スイッチ 1 3 B が導通する。それ以外では $D_{i2} = 0$ であり、スイッチ 1 3 B は非導通状態となる。

この実施の形態によれば、参照電圧 V_{ref} は 1 種類でよく、参照電圧発生回路の回路面積を縮小することが可能になる。

50

【 0 0 4 8 】

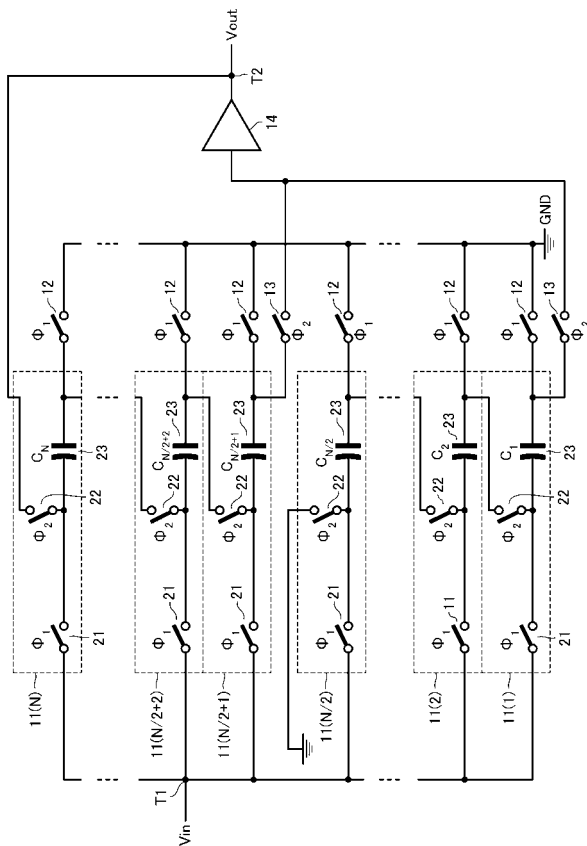
以上、本発明のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施の形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施の形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

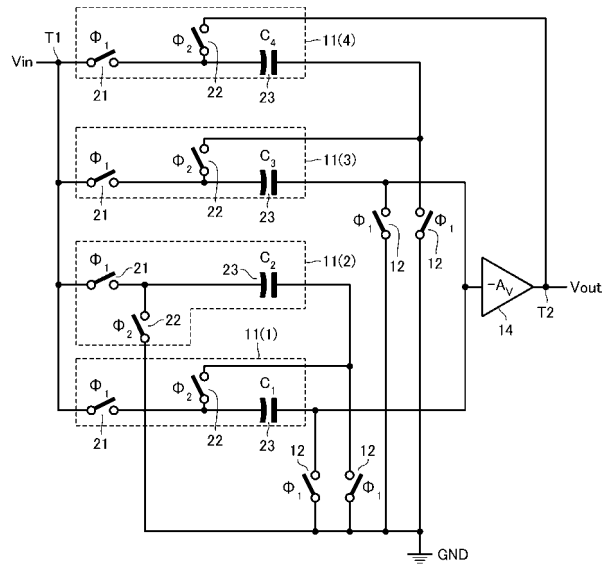
【 0 0 4 9 】

1 1 (1) ~ (N) ・ ・ ・ キャパシタ回路、 1 2 、 1 2 ' 1 2 A ' 1 2 B ' 、 1 3 、 1 3 ' 、 1 3 A ' 、 1 3 B ' ・ ・ ・ スイッチ、 1 4 ・ ・ ・ O P アンプ、 2 1 ・ ・ ・ 並列接続スイッチ、 2 2 ・ ・ ・ 縦列接続スイッチ、 2 3 、 3 1 、 3 1 A 、 3 1 B ・ ・ ・ キャパシタ。

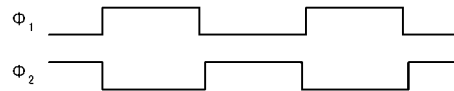
【 図 1 】



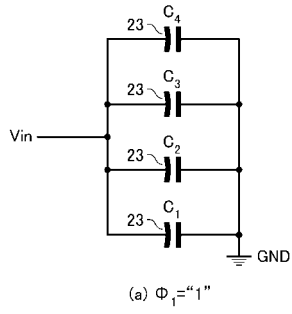
【 図 2 】



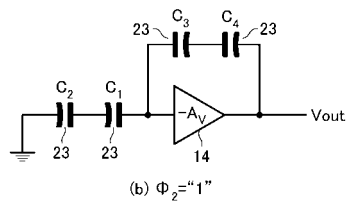
【 図 3 】



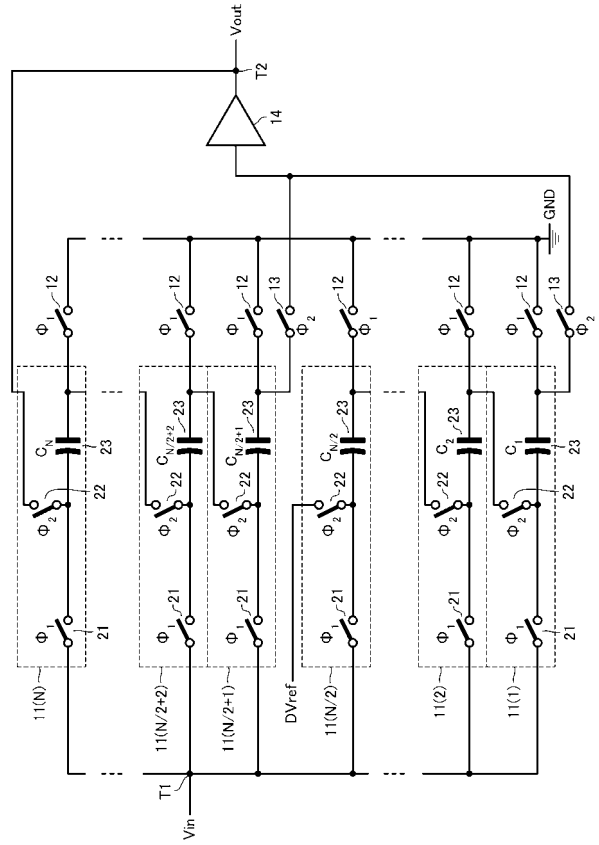
【 図 4 A 】



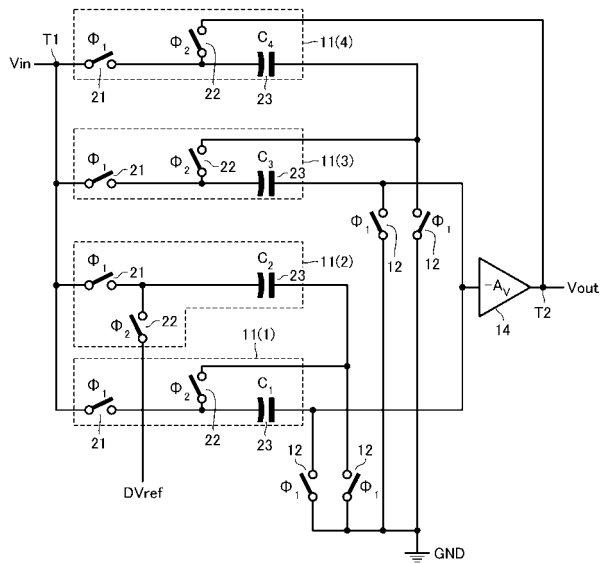
【 図 4 B 】



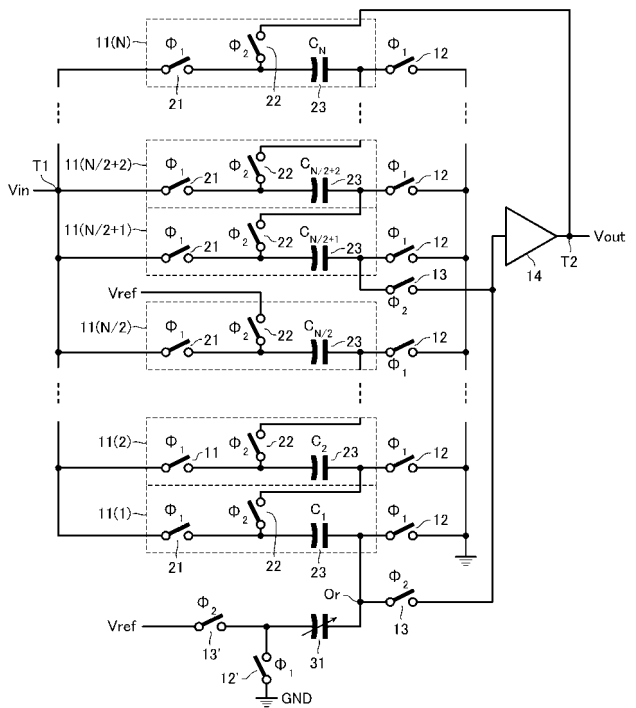
【 図 5 】



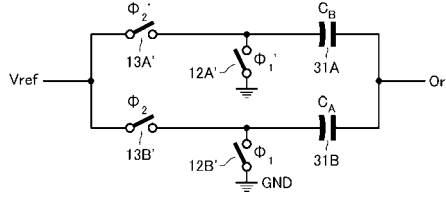
【 図 6 】



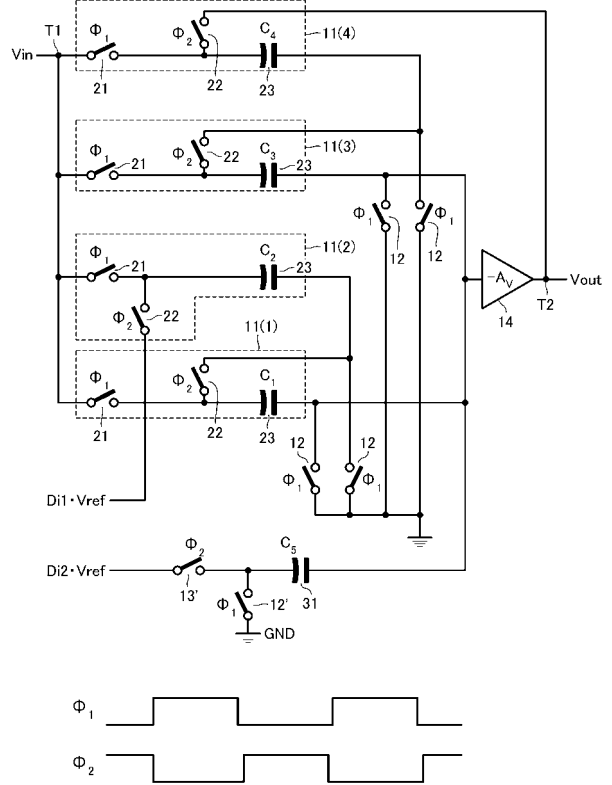
【 図 7 A 】



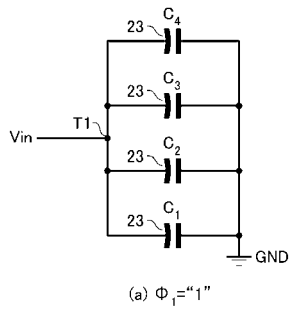
【 図 7 B 】



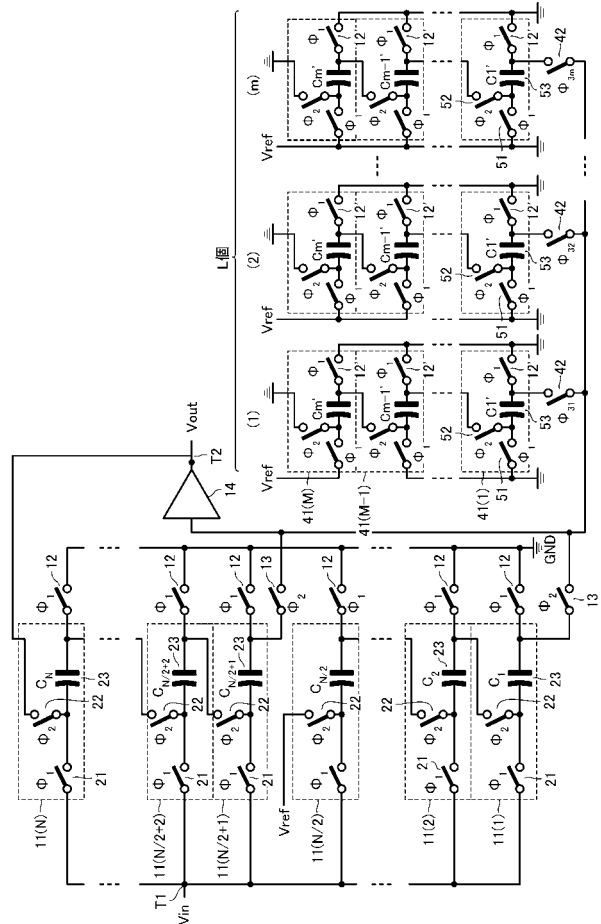
【 図 8 】



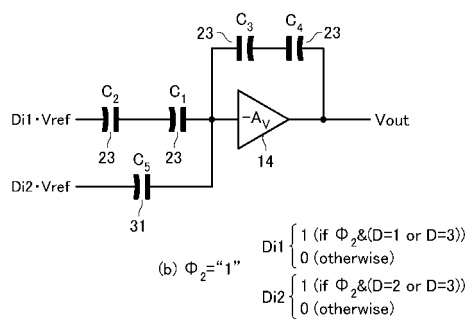
【 図 9 A 】



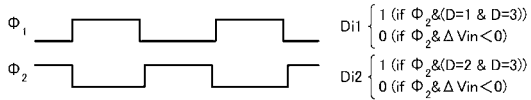
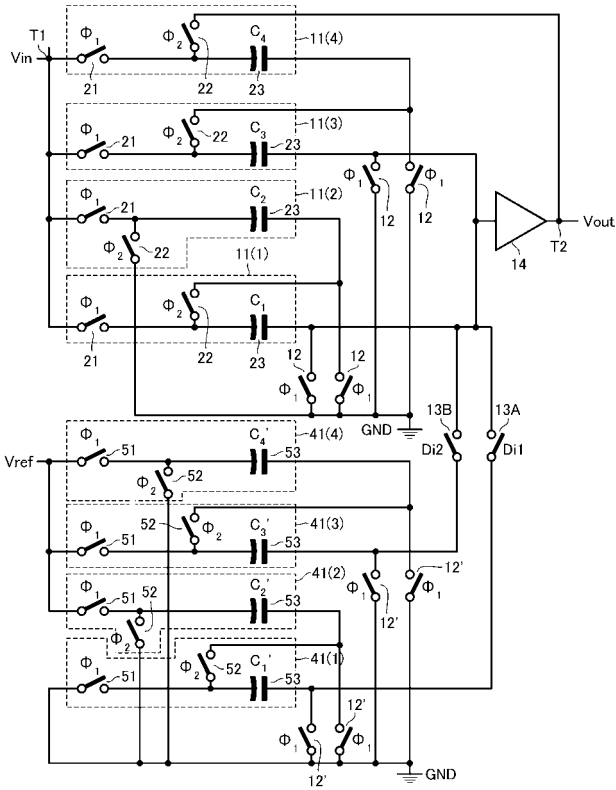
【 図 10 】



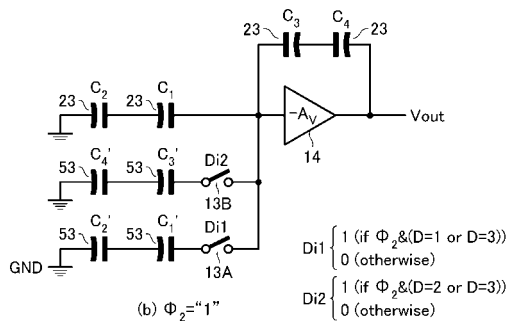
【 図 9 B 】



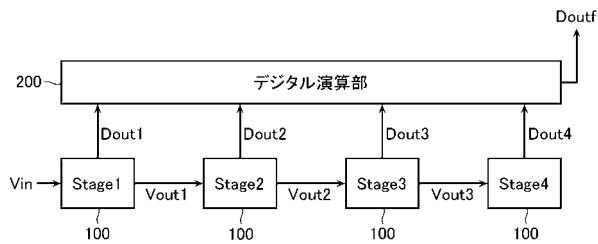
【 図 1 1 】



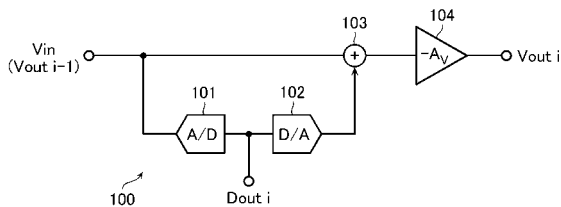
【 図 1 2 B 】



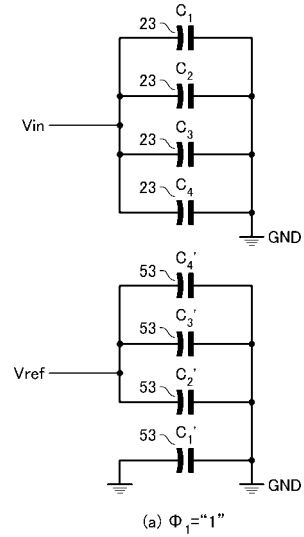
【 図 1 3 】



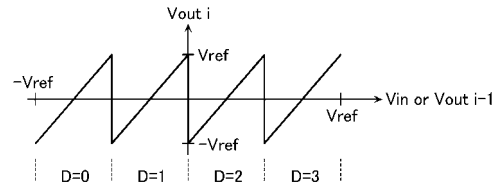
【 図 1 4 】



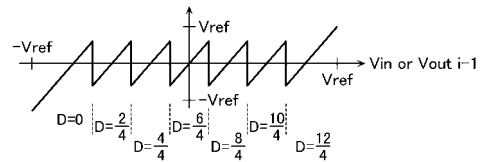
【 図 1 2 A 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA25 AC62 AC88 AF18 AH29 AH39 AK01 AM13 AS00
AT01