

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5541618号
(P5541618)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl.

H01L 23/12 (2006.01)
H01L 21/56 (2006.01)

F 1

H01L 23/12 501 P
H01L 21/56 T

請求項の数 5 (全 24 頁)

(21) 出願番号	特願2009-201299 (P2009-201299)
(22) 出願日	平成21年9月1日 (2009.9.1)
(65) 公開番号	特開2011-54703 (P2011-54703A)
(43) 公開日	平成23年3月17日 (2011.3.17)
審査請求日	平成24年7月30日 (2012.7.30)

(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(74) 代理人	100070150 弁理士 伊東 忠彦
(72) 発明者	千野 晃明 長野県長野市小島田町80番地 新光電氣 工業株式会社内
(72) 発明者	立岩 昭彦 長野県長野市小島田町80番地 新光電氣 工業株式会社内
(72) 発明者	片桐 史雅 長野県長野市小島田町80番地 新光電氣 工業株式会社内

最終頁に続く

(54) 【発明の名称】半導体パッケージの製造方法

(57) 【特許請求の範囲】

【請求項 1】

回路形成面にバンプが形成された半導体チップの前記回路形成面の反対面に、前記反対面の一部を露出するように金属層を形成する第1工程と、

前記金属層が形成された前記半導体チップを、支持体上に前記金属層が前記支持体と対向するように配置する第2工程と、

前記半導体チップの前記バンプの表面を除く前記回路形成面、側面、及び前記回路形成面と反対側の面の前記金属層から露出している部分を覆うように樹脂部を形成する第3工程と、

前記金属層と前記支持体を除去する第4工程と、

前記半導体チップの前記回路形成面を覆う前記樹脂部上に、前記半導体チップと電気的に接続される配線構造を形成する第5工程と、を有し、

前記第3工程では、前記半導体チップの前記回路形成面、前記側面、及び前記回路形成面と反対側の面を覆う前記樹脂部は一体に形成され、

前記第5工程は、

前記バンプの表面及び前記樹脂部上に絶縁層を形成する工程と、

前記絶縁層上に配線層を形成する工程と、を備え、

前記配線層を形成する工程では、前記絶縁層を貫通し前記バンプの表面と直接接続されたビアを有し、前記ビアが前記バンプを介して前記半導体チップと電気的に接続された配線層を形成する半導体パッケージの製造方法。

10

20

【請求項 2】

前記第3工程において、前記回路形成面と反対側の面の一部を覆う前記樹脂部の厚さを、前記回路形成面を覆う前記樹脂部の厚さよりも厚く形成する請求項1記載の半導体パッケージの製造方法。

【請求項 3】

前記第3工程において、前記樹脂部を、前記反対面の外縁部を額縁状に覆うように形成する請求項1又は2記載の半導体パッケージの製造方法。

【請求項 4】

前記第3工程において、前記樹脂部を、前記反対面の隅を覆うように形成する請求項1又は2記載の半導体パッケージの製造方法。 10

【請求項 5】

前記第3工程において、前記樹脂部を、前記反対面を対角線状に覆うように形成する請求項1又は2記載の半導体パッケージの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体パッケージの製造方法に関する。

【背景技術】**【0002】**

従来より、半導体チップと、半導体チップの一部を覆う樹脂部と、半導体チップと電気的に接続された配線構造とを有する半導体パッケージが知られている。このような半導体パッケージの一例について以下に述べる。 20

【0003】

図1は、従来の半導体パッケージを例示する断面図である。図1を参照するに、半導体パッケージ100は、半導体チップ200と、樹脂部300と、配線構造400とを有する。

【0004】

半導体チップ200は、チップ本体210と、電極パッド220とを有する。チップ本体210は、シリコン等からなる薄板化された半導体基板(図示せず)上に半導体集積回路(図示せず)等が形成されたものである。電極パッド220は、チップ本体210に形成されており、電極パッド220の面220aはチップ本体210の表面から露出している。電極パッド220は、チップ本体210の半導体集積回路(図示せず)と電気的に接続されている。電極パッド220が形成されたチップ本体210の表面である半導体チップ200の面200aは平坦である。すなわち、電極パッド220の面220aは、チップ本体210の表面と略面一とされている。 30

【0005】

樹脂部300は、半導体チップ200の側面である面200bを覆うように設けられている。樹脂部300は半導体チップ200の面200aと、その反対面である面200cには設けられていなく、半導体チップ200の面200a及び200cは樹脂部300から完全に露出している。すなわち、樹脂部300は、半導体チップ200の面200bのみと接しており、面200a及び200cとは接していない。樹脂部300の面300aは、半導体チップ200の面200a(電極パッド220の面220a及びチップ本体210の表面)と略面一とされている。又、樹脂部300の面300bは、半導体チップ200の面200cと略面一とされている。なお、半導体チップ200において、面200aを回路形成面、面200bを側面、面200cを背面と称する場合がある。 40

【0006】

配線構造400は、第1配線層410と、第2配線層420と、第3配線層430と、第1絶縁層440と、第2絶縁層450と、第3絶縁層460と、ソルダーレジスト層470とを有する。

【0007】

第1絶縁層440は、半導体チップ200の面200a及び樹脂部300の面300a上に形成されている。第1配線層410は、第1絶縁層440上に形成されており、第1絶縁層440を貫通する第1ビアホール440xを介して半導体チップ200の電極パッド220と電気的に接続されている。第2絶縁層450は、第1配線層410を覆うように第1絶縁層440上に形成されている。

【0008】

第2配線層420は、第2絶縁層450上に形成されており、第2絶縁層450を貫通する第2ビアホール450xを介して第1配線層410と電気的に接続されている。第3絶縁層460は、第2配線層420を覆うように第2絶縁層450上に形成されている。第3配線層430は、第3絶縁層460上に形成されており、第3絶縁層460を貫通する第3ビアホール460xを介して第2配線層420と電気的に接続されている。10

【0009】

ソルダーレジスト層470は、第3配線層430を覆うように第3絶縁層460上に形成されている。ソルダーレジスト層470は開口部470xを有し、開口部470x内には第3配線層430の一部が露出している。ソルダーレジスト層470の開口部470x内に露出する第3配線層430は、マザーボード等と接続される電極パッドとして機能する。

【0010】

図2～図6は、従来の半導体パッケージの製造工程を例示する図である。図2～図6において、図1と同一部分については、同一符号を付し、その説明は省略する場合がある。20
なお、図2～図5において、(a)は平面図、(b)は(a)のA-A線に沿う断面図である。以下、図2～図6を参照しながら、従来の半導体パッケージの製造工程について説明する。なお、図2～図5において、電極パッド220は省略されている。

【0011】

始めに、図2に示す工程では、半導体ウェハを個片化し、複数の半導体チップ200を作製する。そして、複数の半導体チップ200を、面200a(回路形成面)が支持体500の面500aと対向するように、支持体500の面500a上に配置する。複数の半導体チップ200は、例えば粘着材(図示せず)により、支持体500の面500a上に固定することができる。

【0012】

次いで、図3に示す工程では、支持体500の面500a上に、圧縮成形等により、複数の半導体チップ200を封止する樹脂部300を形成する。具体的には、支持体500の面500a上に、複数の半導体チップ200を封止するように、樹脂部300の材料であるエポキシ系樹脂等を塗布する。そして、このエポキシ系樹脂等を加熱、加圧することにより硬化させ、樹脂部300を形成する。30

【0013】

次いで、図4に示す工程では、支持体500を除去する。支持体500は、例えばエッチングで溶融することにより除去することができる。又、支持体500と半導体チップ200及び樹脂部300とが熱剥離テープで固着されている場合には、所定の熱を印加することにより支持体500を除去することができる。これにより、半導体チップ200の面200aは、樹脂部300の面300aから露出する。40

【0014】

次いで、図5に示す工程では、樹脂部300の半導体チップ200の面200cを覆う部分を除去し、半導体チップ200の面200cを樹脂部300の面300bから露出する。これにより、樹脂部300は、半導体チップ200の面200b(側面)のみと接触し、面200a及び200cは樹脂部300から露出する。なお、樹脂部300の半導体チップ200の面200cを覆う部分を除去する理由は、半導体チップ200で発生した熱を発散するためである。樹脂部300の半導体チップ200の面200cを覆う部分を除去しないと、半導体チップ200が高温化し、動作に支障を来す虞が生じる。

【0015】

50

次いで、図6に示す工程では、半導体チップ200の面200a及び樹脂部300の面300a上に、周知の方法により、第1絶縁層440、第1配線層410、第2絶縁層450、第2配線層420、第3絶縁層460、第3配線層430及び開口部470×を有するソルダーレジスト層470を順次形成する。そして、図6に示す工程の後、図6に示す構造体を切断位置Cで切断することにより、図1に示す半導体パッケージ100が完成する。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】国際公開第02/33751号パンフレット

10

【特許文献2】国際公開第02/15266号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかしながら、従来の半導体パッケージの製造工程では、図5に示したように、半導体チップ200で発生した熱を発散するため、半導体チップ200の面200c(背面)を樹脂部300から露出させる。これにより、半導体チップ200は、面200b(側面)のみで樹脂部300に固定されることになり、半導体チップ200と樹脂部300との接触部の面積を十分に確保することができなくなる。その結果、半導体チップ200が樹脂部300から抜け落ちたり、半導体パッケージ100の強度が不足したりする虞があった。

20

【0018】

本発明は、上記の点に鑑みて、半導体チップが樹脂部から抜け落ちることを防止でき、かつ、強度の向上が可能な半導体パッケージの製造方法を提供することを課題とする。

【課題を解決するための手段】

【0020】

本半導体パッケージの製造方法は、回路形成面にバンプが形成された半導体チップの前記回路形成面の反対面に、前記反対面の一部を露出するように金属層を形成する第1工程と、前記金属層が形成された前記半導体チップを、支持体上に前記金属層が前記支持体と対向するように配置する第2工程と、前記半導体チップの前記バンプの表面を除く前記回路形成面、側面、及び前記回路形成面と反対側の面の前記金属層から露出している部分を覆うように樹脂部を形成する第3工程と、前記金属層と前記支持体を除去する第4工程と、前記半導体チップの前記回路形成面を覆う前記樹脂部上に、前記半導体チップと電気的に接続される配線構造を形成する第5工程と、を有し、前記第3工程では、前記半導体チップの前記回路形成面、前記側面、及び前記回路形成面と反対側の面を覆う前記樹脂部は一体に形成され、前記第5工程は、前記バンプの表面及び前記樹脂部上に絶縁層を形成する工程と、前記絶縁層上に配線層を形成する工程と、を備え、前記配線層を形成する工程では、前記絶縁層を貫通し前記バンプの表面と直接接続されたビアを有し、前記ビアが前記バンプを介して前記半導体チップと電気的に接続された配線層を形成することを要件とする。

30

【発明の効果】

【0021】

開示の技術によれば、半導体チップが樹脂部から抜け落ちることを防止でき、かつ、強度の向上が可能な半導体パッケージの製造方法を提供することができる。

【図面の簡単な説明】

【0022】

【図1】従来の半導体パッケージを例示する断面図である。

【図2】従来の半導体パッケージの製造工程を例示する図(その1)である。

【図3】従来の半導体パッケージの製造工程を例示する図(その2)である。

【図4】従来の半導体パッケージの製造工程を例示する図(その3)である。

40

50

【図 5】従来の半導体パッケージの製造工程を例示する図（その 4）である。

【図 6】従来の半導体パッケージの製造工程を例示する図（その 5）である。

【図 7】第 1 の実施の形態に係る半導体パッケージを例示する図である。

【図 8】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 1）である。

【図 9】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 2）である。

【図 10】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 3）である。

【図 11】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 4）10である。

【図 12】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 5）である。

【図 13】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 6）である。

【図 14】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 7）である。

【図 15】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 8）である。

【図 16】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 9）20である。

【図 17】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 10）である。

【図 18】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 11）である。

【図 19】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 12）である。

【図 20】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 13）である。

【図 21】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 14）30である。

【図 22】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 15）である。

【図 23】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 16）である。

【図 24】半導体チップの背面に形成される樹脂部の形状を例示する底面図である。

【図 25】第 2 の実施の形態に係る半導体パッケージを例示する図である。

【図 26】第 2 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 1）である。

【図 27】第 2 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 2）40である。

【図 28】第 2 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 3）である。

【図 29】第 2 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 4）である。

【図 30】第 2 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 5）である。

【図 31】トランスマルチモード法について説明するための図である。

【発明を実施するための形態】

【0023】

50

以下、図面を参照して発明を実施するための形態について説明する。なお、以下に説明する平面図又は底面図において、断面図との対応関係を明確化する目的で、断面図と同一のハッチングを施す場合がある。

【0024】

第1の実施の形態

[第1の実施の形態に係る半導体パッケージの構造]

図7は、第1の実施の形態に係る半導体パッケージを例示する図である。図7(a)は断面図、図7(b)は底面図である。図7を参照するに、半導体パッケージ10は、半導体チップ20と、樹脂部30と、配線構造40とを有する。

【0025】

半導体チップ20は、半導体基板21と、半導体集積回路22と、複数の電極パッド23と、保護膜24とを有する。半導体チップ20の大きさ(平面視)は、例えば5mm×10mm程度とすることができる。半導体チップ20の厚さT₁は、例えば800μm程度(適用可能な範囲:100~800μm)とすることができる。なお、以降、半導体チップ20において、電極パッド23が形成されている側の面を回路形成面と称する場合がある。

【0026】

半導体基板21は、例えばSi基板とすることができます。半導体集積回路22は、拡散層、絶縁層、ビア、及び配線等(図示せず)を有する。電極パッド23は、半導体集積回路22上に設けられており、半導体集積回路22と電気的に接続されている。電極パッド23の材料としては、例えば、A1等を用いることができる。電極パッド23の材料として、Cu層の上にA1層を形成したもの、Cu層の上にSi層を形成し、その上に更にA1層を形成したもの等を用いても構わない。

【0027】

保護膜24は、半導体集積回路22上に設けられている。保護膜24は、半導体集積回路22を保護するための膜であり、パッシベーション膜と称する場合もある。保護膜24としては、例えば、SiN膜、PSG膜等を用いることができる。又、SiN膜やPSG膜等からなる層に、更にポリイミド等からなる層を積層しても構わない。保護膜24の面24aは、電極パッド23の面23aと略面一とされている。

【0028】

樹脂部30は、半導体チップ20の面20c(側面)を覆い、更に面20b(背面)の外縁部を額縁状に覆うように形成されている。なお、半導体チップ20において、面20b(背面)は回路形成面と反対側の面である。樹脂部30の面30aは、半導体チップ20の電極パッド23の面23a及び保護膜24の面24aと略面一とされている。樹脂部30において、半導体チップ20の面20b(背面)の外縁部を額縁状に覆うように形成されている部分の厚さT₂は例えば100μm程度(適用可能な範囲:50~150μm)、幅W₁は例えば50μm程度(適用可能な範囲:50~150μm)とすることができます。ただし、額縁状の部分は、全て同一幅でなくても構わない。又、樹脂部30の幅W₃は例えば2.5mm程度(適用可能な範囲:2~5mm)とすることができます。

【0029】

配線構造40は、第1配線層41と、第2配線層42と、第3配線層43と、第1絶縁層44と、第2絶縁層45と、第3絶縁層46と、ソルダーレジスト層47とを有する。

【0030】

配線構造40は、半導体チップ20と半導体チップ20の面20c(側面)を覆う樹脂部30とを基体として、半導体チップ20の回路形成面上及び樹脂部30の前記回路形成面と同一側の面30a上に形成されている。配線構造40の厚さT₃は、例えば50μm程度(適用可能な範囲:50~100μm)とすることができます。すなわち、半導体チップ20の厚さT₁(適用可能な範囲:100~800μmに比べると配線構造40の厚さT₃(適用可能な範囲:50~100μm)は非常に薄く形成されている。

【0031】

10

20

30

40

50

第1絶縁層44は、半導体チップ20の電極パッド23の面23a及び保護膜24の面24a並びに樹脂部30の面30a上に形成されている。第1配線層41は、第1絶縁層44上に形成されており、第1絶縁層44を貫通する第1ビアホール44xを介して半導体チップ20の電極パッド23と電気的に接続されている。第2絶縁層45は、第1配線層41を覆うように第1絶縁層44上に形成されている。

【0032】

第2配線層42は、第2絶縁層45上に形成されており、第2絶縁層45を貫通する第2ビアホール45xを介して第1配線層41と電気的に接続されている。第3絶縁層46は、第2配線層42を覆うように第2絶縁層45上に形成されている。第3配線層43は、第3絶縁層46上に形成されており、第3絶縁層46を貫通する第3ビアホール46xを介して第2配線層42と電気的に接続されている。10

【0033】

ソルダーレジスト層47は、第3配線層43を覆うように第3絶縁層46上に形成されている。ソルダーレジスト層47は開口部47xを有し、開口部47x内には第3配線層43の一部が露出している。ソルダーレジスト層47の開口部47x内に露出する第3配線層43は、マザーボード等と接続される電極パッドとして機能する。

【0034】

なお、ソルダーレジスト層47の開口部47x内に露出する第3配線層43上に金属層を形成してもよい。金属層の例としては、Au層や、Ni層とAu層をこの順番で積層したNi/Au層、Ni層とPd層とAu層をこの順番で積層したNi/Pd/Au層等を挙げることができる。又、金属層に代えて、ソルダーレジスト層47の開口部47x内に露出する第3配線層43上にOSP(Organic Solderability Preservative)処理を施しても構わない。20

【0035】

このように、半導体パッケージ10は、半導体チップ20と半導体チップ20の面20c(側面)を覆う樹脂部30とを基体として、半導体チップ20の回路形成面上及び樹脂部30の前記回路形成面と同一側の面30a上に配線構造40を形成した構造であり、樹脂部30は更に半導体チップ20の面20b(背面)の外縁部を額縁状に覆うように形成されている。これにより、半導体チップ20の面20b(背面)の一部は樹脂部30で覆われ、半導体チップ20の面20b(背面)の他部は樹脂部30から露出する。その結果、半導体チップ20で発生した熱の発散を妨げることなく、半導体チップ20が樹脂部30から抜け落ちることを防止することができ、更に、半導体パッケージ10の強度を向上することができる。30

【0036】

[第1の実施の形態に係る半導体パッケージの製造方法]

続いて、第1の実施の形態に係る半導体パッケージの製造方法について説明する。図8～図23は、第1の実施の形態に係る半導体パッケージの製造工程を例示する図である。図8～図23において、図7と同一部分については、同一符号を付し、その説明は省略する場合がある。なお、図8～図14及び図16～図17において、(a)は平面図、(b)は(a)のD-D線に沿う断面図である。40

【0037】

始めに、図8に示す工程では、複数の半導体チップ20を有する半導体ウェハ11を準備する。半導体ウェハ11において、Bは複数の半導体チップ20を分離するスクライブ領域(以下、「スクライブ領域B」とする)、Cはダイシングブレード等が半導体ウェハ11を切断する位置(以下、「切断位置C」とする)を示している。半導体ウェハ11の直径₁は、例えば200mm程度とすることができる。又、半導体ウェハ11の厚さT₁は、例えば800μm程度(適用可能な範囲:100～800μm)とすることができる。半導体チップ20の詳細については、前述のとおりである。

【0038】

次いで、図9に示す工程では、半導体ウェハ11の面11b(背面)上に、例えばスパ

50

ツタ法等により、シード層12を形成する。シード層12は、後述する図11に示す工程において金属層14を形成する際の給電層として機能する。シード層12の材料としては、例えば銅(Cu)やニッケル(Ni)等を用いることができる。シード層12の厚さT₄は、例えば数μm程度とすることができます。なお、図9～図17は、便宜上図8とは上下反転して図示している。

【0039】

次いで、図10に示す工程では、シード層12の面12a上に開口部13xを有するレジスト層13を形成する。具体的には、シード層12上にレジスト液を塗布し、塗布したレジスト液を露光及び現像することにより、開口部13xを形成する。なお、開口部13xを有するレジスト層13は、シート状のレジスト(ドライフィルムレジスト)のラミネートで形成しても良い。レジスト層13の材料としては、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物を用いることができる。レジスト層13の厚さT₅は、例えば50～100μm程度とすることができます。なお、第1の実施の形態では、各半導体チップ20において、レジスト層13を、半導体チップ20の面20b(背面)の外縁部と底面視において重複する部分のみを覆うように、シード層12の面12a上に額縁状に形成する。このとき、半導体チップ20を分離するスクライブ領域Bもレジスト層13で覆われる。レジスト層13の額縁状の部分の幅W₂は、例えば50μm程度とすることができます。ただし、レジスト層13の額縁状の部分は、全て同一幅としなくても構わない。

【0040】

次いで、図11に示す工程では、シード層12を給電層とする電解めっき法により、レジスト層13の開口部13x内に露出するシード層12の面12a上に金属層14を形成する。金属層14の材料としては、例えば銅(Cu)等を用いることができる。金属層14の厚さT₆は、例えばレジスト層13の厚さT₅と同程度(例えば50～100μm程度)とすることができます。

【0041】

次いで、図12に示す工程では、図11に示すレジスト層13を除去し、更に金属層14に覆われていない部分のシード層12を除去する。レジスト層13は、例えば水酸化ナトリウム(NaOH)等のアルカリ性溶液を用いたエッチングにより除去することができる。金属層14に覆われていない部分のシード層12は、例えば塩化第二鉄水溶液等を用いたエッチングにより除去することができる。

【0042】

次いで、図13に示す工程では、図12に示す半導体ウェハ11をダイシングブレード等により切断位置Cで切断して半導体チップ20を個片化する。そして、面20b(背面)にシード層12及び金属層14が積層形成されている各半導体チップ20を、回路形成面が粘着材15の面15aと対向するように、粘着材15を介して支持体16の面16a上に配置し、各半導体チップ20を加圧する。これにより、各半導体チップ20は、フェイスダウンの状態で粘着材15を介して支持体16の面16a上に固定される。なお、隣接する半導体チップ20の間隔は任意で構わない。粘着材15の材料としては、例えばポリイミド系樹脂等を用いることができる。粘着材15の厚さT₇は、例えば25μm程度とすることができます。支持体16の材料としては、例えば銅(Cu)等を用いることができる。支持体16の厚さT₈は、例えば200μm程度とすることができます。なお、図13～図14及び図16～図23において、Eは、後述する図23に示す工程の後に、後述する図23に示す構造体を切断する位置を示している。

【0043】

次いで、図14に示す工程では、粘着材15の面15a上に、圧縮成形等により、シード層12、金属層14及び半導体チップ20を封止する樹脂部30を形成する。具体的には、図15に示すように、図13に示す構造体を下金型18上に載置し、粘着材15の面15a上にシード層12、金属層14及び半導体チップ20を封止するように樹脂部30の材料であるエポキシ系樹脂等を塗布する。そして、樹脂部30の材料であるエポキシ系

10

20

30

40

50

樹脂等を加熱し、上金型 19 で下金型 18 の反対側から加圧することにより均一化し硬化させ、樹脂部 30 を形成する。加熱は、例えば 150 5 分程度とすることができます。粘着材 15 の面 15a から樹脂部 30 の面 30b までの厚さ T_9 は、例えば 900 μm 以上とすることができます。

【0044】

次いで、図 16 に示す工程では、図 14 に示す樹脂部 30 の面 30b を金属層 14 の面 14a が露出するまで研削する。樹脂部 30 の研削には、例えばグラインダー等を用いることができる。粘着材 15 の面 15a から樹脂部 30 の面 30a までの厚さ T_{10} は、例えば 900 μm 程度とすることができます。

【0045】

次いで、図 17 に示す工程では、図 16 に示すシード層 12、金属層 14、粘着材 15 及び支持体 16 を除去する。シード層 12、金属層 14 及び支持体 16 は、例えば塩化第二鉄水溶液等を用いたエッチングにより除去することができます。粘着材 15 は、シード層 12、金属層 14 及び支持体 16 をエッチングにより除去した後、機械的に引き剥がすことにより除去することができます。これにより、樹脂部 30 は、半導体チップ 20 の面 20c (側面) を覆い、更に面 20b (背面) の外縁部を額縁状に覆うように形成される。その結果、半導体チップ 20 が樹脂部 30 から抜け落ちることを防止することができます。更に、最終的に半導体パッケージ 10 が完成した際に、半導体パッケージ 10 の強度を向上することができます。なお、樹脂部 30 において、半導体チップ 20 の面 20b (背面) の外縁部を額縁状に覆うように形成されている部分の厚さ T_2 は例えば 100 μm 程度 (適用可能な範囲 : 50 ~ 150 μm)、幅 W_1 は例えば 50 μm 程度 (適用可能な範囲 : 50 ~ 150 μm) とすることができます。ただし、額縁状の部分は、全て同一幅でなくても構わない。

【0046】

次いで、図 18 に示す工程では、電極パッド 23 の面 23a、保護膜 24 の面 24a 及び樹脂部 30 の面 30a 上に第 1 絶縁層 44 を形成する。第 1 絶縁層 44 の材料としては、エポキシ系樹脂、ポリイミド系樹脂などの樹脂材を用いることができる。第 1 絶縁層 44 は、例えば、電極パッド 23 の面 23a、保護膜 24 の面 24a 及び樹脂部 30 の面 30a 上に樹脂フィルムをラミネートした後に、樹脂フィルムをプレス (押圧) し、その後、190 度の温度で熱処理して硬化させることにより形成することができます。なお、図 18 ~ 図 23 は、便宜上図 17 とは上下反転して図示している。

【0047】

次いで、図 19 に示す工程では、第 1 絶縁層 44 に、レーザ加工法等を用いて、電極パッド 23 が露出するように第 1 絶縁層 44 を貫通する第 1 ピアホール 44x を形成する。なお、第 1 絶縁層 44 として感光性樹脂膜を用い、フォトリソグラフィによりパターニングして第 1 ピアホール 44x を形成する方法を用いてもよいし、スクリーン印刷により開口部が設けられた樹脂膜をパターニングして第 1 ピアホール 44x を形成する方法を用いてもよい。

【0048】

次いで、図 20 に示す工程では、第 1 絶縁層 44 上に、第 1 ピアホール 44x 内に露出した電極パッド 23 と電気的に接続する第 1 配線層 41 を形成する。第 1 配線層 41 の材料としては、例えば銅 (Cu) 等を用いることができる。第 1 配線層 41 は、例えばセミアディティブ法により形成される。なお、第 1 配線層 41 は、第 1 ピアホール 44x 内のピア導体と絶縁層 44 上の配線パターンとを含んでいる。

【0049】

第 1 配線層 44 を、セミアディティブ法により形成する例を、より詳しく説明すると、先ず、無電解めっき法又はスパッタ法により、第 1 ピアホール 44x 内壁及び第 1 絶縁層 44 上に Cu シード層 (図示せず) を形成した後に、この Cu シード層 (図示せず) 上に第 1 配線層 41 に対応する開口部を備えたレジスト層 (図示せず) を形成する。次いで、Cu シード層を給電層に利用した電解めっき法により、レジスト層の開口部に Cu 層パタ

10

20

30

40

50

ーン（図示せず）を形成する。

【0050】

続いて、レジスト層を除去した後に、Cu層パターンをマスクにしてCuシード層をエッチングすることにより、第1配線層41を得る。なお、第1配線層41の形成方法としては、上述したセミアディティブ法の他にサブトラクティブ法などの各種の配線形成方法を用いることができる。

【0051】

次いで、図21に示す工程では、上記と同様な工程を繰り返すことにより、第1配線層41～第3配線層43及び第1絶縁層44～第3絶縁層46を積層する。すなわち、第1配線層41を被覆する第2絶縁層45を形成した後に、第1配線層41上の第2絶縁層45の部分に第2ビアホール45xを形成する。10

【0052】

更に、第2絶縁層45上に、第2ビアホール45xを介して第1配線層41に接続される第2配線層42を形成する。第2配線層42としては、例えば銅(Cu)等を用いることができる。第2配線層42は、例えばセミアディティブ法により形成される。

【0053】

更に、第2配線層42を被覆する第3絶縁層46を形成した後に、第2配線層42上の第3絶縁層46の部分に第3ビアホール46xを形成する。更に、第3絶縁層46上に、第3ビアホール46xを介して第2配線層42に接続される第3配線層43を形成する。第3配線層43としては、例えば、銅(Cu)等を用いることができる。第3配線層43は、例えばセミアディティブ法により形成される。20

【0054】

このようにして、電極パッド23の面23a、保護膜24の面24a及び樹脂部30の面30a上に所定のビルドアップ配線層が形成される。本実施例では、3層のビルドアップ配線層（第1配線層41～第3配線層43）を形成したが、n層（nは1以上の整数）のビルドアップ配線層を形成してもよい。

【0055】

次いで、図22に示す工程では、第3配線層43を被覆するように第3絶縁層46上にソルダーレジストを塗布し、ソルダーレジスト層47を形成する。ソルダーレジスト層47の材料としては、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物を用いることができる。30

【0056】

次いで、図23に示す工程では、ソルダーレジスト層47を露光、現像することで開口部47xを形成する。これにより、第3配線層43の一部は、ソルダーレジスト層47の開口部47x内に露出する。ソルダーレジスト層47の開口部47x内に露出する第3配線層43は、マザーボード等と接続される電極パッドとして機能する。

【0057】

なお、ソルダーレジスト層47の開口部47x内に露出する第3配線層43上に金属層を形成してもよい。金属層の例としては、Au層や、Ni層とAu層をこの順番で積層したNi/Au層、Ni層とPd層とAu層をこの順番で積層したNi/Pd/Au層等を挙げることができる。又、金属層に代えて、ソルダーレジスト層47の開口部47x内に露出する第3配線層43上にOSP(Organic Solderability Preservative)処理を施しても構わない。40

【0058】

図23に示す工程の後、図23に示す構造体を例えばEの位置で切断して個片化することにより、図7に示す半導体パッケージ10が完成する。

【0059】

このように、第1の実施の形態によれば、半導体チップと半導体チップの側面を覆う樹脂部とを基体として、半導体チップの回路形成面上及び樹脂部の前記回路形成面と同一側の面上に配線構造を形成した構造の半導体パッケージにおいて、樹脂部を更に半導体チッ50

の背面の外縁部を額縁状に覆うように形成する。これにより、半導体チップの背面の一部は樹脂部で覆われ、半導体チップの背面の他部は樹脂部から露出する。その結果、半導体チップで発生した熱の発散を妨げることなく、半導体チップが樹脂部から抜け落ちることを防止することができ、更に、半導体パッケージの強度を向上することができる。

【0060】

第1の実施の形態の変形例

第1の実施の形態では、半導体パッケージ10において、半導体チップ20の面20c(側面)を覆う樹脂部30を、更に半導体チップ20の面20b(背面)の外縁部を額縁状に覆うように形成する例を示した。しかしながら、樹脂部30は半導体チップ20の面20b(背面)に必ずしも額縁状に形成しなくても構わない。そこで、第1の実施の形態の変形例では、樹脂部30を半導体チップ20の面20b(背面)に額縁状以外の形状に形成する例を示す。

10

【0061】

図24は、半導体チップの背面に形成される樹脂部の形状を例示する底面図である。図24(a)は、図17(a)に示す半導体チップ20のうちの1つを拡大して例示している。すなわち、第1の実施の形態で示した、樹脂部30を半導体チップ20の面20b(背面)に額縁状に形成する例である。図24(b)及び図24(c)は、第1の実施の形態の変形例であり、半導体チップ20の面20b(背面)に形成する樹脂部30の他の形状を例示している。半導体チップ20の面20b(背面)に形成する樹脂部30を図24(a)の形状(額縁状)に代えて、図24(b)及び図24(c)に例示する形状としても構わない。

20

【0062】

図24(b)は、樹脂部30を、半導体チップ20の面20b(背面)の四隅を覆うように形成する例である。図24(b)に示す例では、図24(a)に示す例よりも半導体チップ20の面20b(背面)の露出する面積が拡大するため、半導体チップ20で発生した熱の放熱に有利である。又、半導体チップ20の面20b(背面)に半導体チップ20で発生した熱の放熱等の目的でヒートスプレッダ等の部品を取り付け易くなる。ただし、半導体パッケージ10の強度を向上する点に関しては、図24(a)に示す例の方が有利である。

30

【0063】

図24(c)は、樹脂部30を、半導体チップ20の面20b(背面)に対角線状に形成する例である。図24(c)に示す例では、図24(a)に示す例よりも半導体チップ20の面20b(背面)の露出する面積が拡大するため、半導体チップ20で発生した熱の放熱に有利である。又、半導体パッケージ10の強度を向上する点に関しても有利である。ただし、半導体チップ20の面20b(背面)に半導体チップ20で発生した熱の放熱等の目的でヒートスプレッダ等の部品を取り付ける点に関しては、図24(a)に示す例の方が有利である。

30

【0064】

このように、第1の実施の形態の変形例によれば、第1の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、半導体チップの背面に形成する樹脂部の形状を適宜選択することにより、放熱や部品実装等の目的を達成しやすくなる。

40

【0065】

なお、図24に例示した樹脂部の形状は代表例であり、半導体チップの背面に形成する樹脂部の形状は図24に例示した形状には限定されず、半導体チップの背面の一部を覆い半導体チップの背面の他部を露出する形状であれば足りる。

【0066】

第2の実施の形態

第2の実施の形態では、電極パッド上にバンプ又はポストが形成された半導体チップを個片化し、フェイスアップ(バンプを上向きにした状態)で支持体上に配置する例を示す。第2の実施の形態において、第1の実施の形態と共通する部分についてはその説明を省

50

略し、第1の実施の形態と異なる部分を中心に説明する。なお、半導体チップをフェイスアップで支持体上に配置する理由は、電極パッド上にバンプが形成された半導体チップをフェイスタウン（バンプを下向きにした状態）で支持体上に配置すると、バンプと支持体との隙間に樹脂が流れ込み、ハンプ表面を被覆する虞があるからである。

【0067】

[第2の実施の形態に係る半導体パッケージの構造]

図25は、第2の実施の形態に係る半導体パッケージを例示する図である。図25(a)は断面図、図25(b)は底面図である。図25を参照するに、半導体パッケージ10Aは、半導体チップ20及び樹脂部30が半導体チップ20A及び樹脂部30Aに置換された点が、図7に示す半導体パッケージ10と異なる。以下、半導体パッケージ10Aについて、半導体パッケージ10と同一構造部分については説明を省略し、半導体パッケージ10と異なる部分を中心に説明をする。

10

【0068】

半導体チップ20Aは、半導体チップ20の電極パッド23の面23a上にバンプ25が形成された点を除いて、半導体チップ20と同一構造である。バンプ25としては、例えば金(Au)バンプやはんだバンプ、銅(Cu)バンプ等を用いることができる。バンプ25は、柱状に形成すると好適である。バンプ25の厚さT₁₁は、例えば30μm程度(適用可能な範囲:20~50μm)とすることができる。なお、以降、半導体チップ20Aにおいて、電極パッド23及びバンプ25が形成されている側の面を回路形成面と称する場合がある。

20

【0069】

樹脂部30Aは、半導体チップ20Aの面20e(側面)を覆い、更に面20d(背面)の外縁部を額縁状に覆うように形成されている。又、樹脂部30Aは、半導体チップ20Aの保護膜24の面24aを覆うように形成されている。なお、半導体チップ20Aにおいて、面20d(背面)は回路形成面と反対側の面である。樹脂部30Aの面30cは、半導体チップ20Aのバンプ25の面25a(バンプの上端面)と略面一とされている。樹脂部30Aにおいて、半導体チップ20Aの面20d(背面)の外縁部を額縁状に覆うように形成されている部分の厚さT₂は例えば100μm程度(適用可能な範囲:50~150μm)、幅W₁は例えば50μm程度(適用可能な範囲:50~150μm)とすることができる。ただし、額縁状の部分は、全て同一幅でなくても構わない。

30

【0070】

なお、樹脂部30Aの保護膜24の面24aを覆うように形成されている部分の厚さはバンプ25の厚さT₁₁と同等であり例えば30μm程度と薄いため、この部分だけでは半導体パッケージ10Aの強度を向上する効果は十分ではない。一方、樹脂部30Aの半導体チップ20Aの面20d(背面)の外縁部を額縁状に覆うように形成されている部分の厚さは100μm程度と比較的厚いため、この部分により半導体パッケージ10Aの強度を向上する効果が大きい。

【0071】

配線構造40において、第1絶縁層44は、半導体チップ20Aのバンプ25の面25a及び樹脂部30Aの面30c上に形成されている。第1配線層41は、第1絶縁層44上に形成されており、第1絶縁層44を貫通する第1ビアホール44xを介して半導体チップ20Aのバンプ25と電気的に接続されている。配線構造40の厚さT₃は、例えば50μm程度(適用可能な範囲:50~100μm)とすることができる。すなわち、半導体チップ20の厚さT₁(適用可能な範囲:100~800μmに比べると配線構造40の厚さT₃(適用可能な範囲:50~100μm)は非常に薄く形成されている。

40

【0072】

このように、半導体パッケージ10Aは、半導体チップ20Aと半導体チップ20Aの面20e(側面)を覆う樹脂部30Aとを基体として、半導体チップ20Aの回路形成面上及び樹脂部30Aの前記回路形成面と同一側の面30c上に配線構造40を形成した構造であり、樹脂部30Aは更に半導体チップ20Aの面20d(背面)の外縁部を額縁状

50

に覆うように形成されている。これにより、半導体チップ 20 A の面 20 d (背面) の一部は樹脂部 30 A で覆われ、半導体チップ 20 A の面 20 d (背面) の他部は樹脂部 30 A から露出する。その結果、半導体チップ 20 A で発生した熱の発散を妨げることなく、半導体チップ 20 A が樹脂部 30 A から抜け落ちることを防止することができ、更に、半導体パッケージ 10 A の強度を向上することができます。

【0073】

[第2の実施の形態に係る半導体パッケージの製造方法]

続いて、第2の実施の形態に係る半導体パッケージの製造方法について説明する。図26～図30は、第2の実施の形態に係る半導体パッケージの製造工程を例示する図である。図26～図30において、図25と同一部分については、同一符号を付し、その説明は省略する場合がある。

10

【0074】

始めに、図26に示す工程では、複数の半導体チップ 20 A を有する半導体ウェハ 11 A を準備する。半導体ウェハ 11 A において、B は複数の半導体チップ 20 A を分離するスクライプ領域（以下、「スクライプ領域 B」とする）、C はダイシングブレード等が半導体ウェハ 11 A を切断する位置（以下、「切断位置 C」とする）を示している。半導体ウェハ 11 A の直径 D_1 は、例えば 200 mm 程度とすることができる。又、半導体ウェハ 11 A の厚さ T_1 は、例えば 800 μm 程度（適用可能な範囲：100～800 μm ）とすることができる。

【0075】

20

半導体チップ 20 A は、半導体チップ 20 の電極パッド 23 の面 23 a 上にバンプ 25 が形成されている点を除いて、半導体チップ 20 と同一構造である。バンプ 25 としては、例えば金（Au）バンプやはんだバンプ、銅（Cu）バンプ等を用いることができる。バンプ 25 は、柱状に形成すると好適である。バンプ 25 の厚さ T_{11} は、例えば 30 μm 程度（適用可能な範囲：20～50 μm ）とすることができる。

【0076】

次いで、図27に示す工程では、第1の実施の形態の図9～図12に示す工程と同様の工程により、半導体チップ 20 A の面 20 d (背面) にシード層 12 及び金属層 14 を積層形成する。そして、半導体ウェハ 11 A をダイシングブレード等により切断位置 C で切断して半導体チップ 20 A を個片化する。そして、面 20 d (背面) にシード層 12 及び金属層 14 が積層形成されている各半導体チップ 20 A を、金属層 14 の面 14 a が粘着材 15 の面 15 a と対向するように、粘着材 15 を介して支持体 16 の面 16 a 上に配置し、各半導体チップ 20 A を加圧する。これにより、各半導体チップ 20 A は、フェイスアップの状態で粘着材 15 を介して支持体 16 の面 16 a 上に固定される。なお、隣接する半導体チップ 20 A の間隔は任意で構わない。

30

【0077】

次いで、図28に示す工程では、粘着材 15 の面 15 a 上に、圧縮成形等により、シード層 12、金属層 14 及び半導体チップ 20 A を封止する樹脂部 30 A を形成する。具体的には、図15に示した通りである。粘着材 15 の面 15 a から樹脂部 30 A の面 30 c までの厚さ T_{12} は、例えば 900 μm 以上とすることができる。

40

【0078】

次いで、図29に示す工程では、図28に示す樹脂部 30 A の面 30 c をバンプ 25 の面 25 a (バンプの上端面) が露出するまで研削する。樹脂部 30 A の研削には、例えばグラインダー等を用いることができる。粘着材 15 の面 15 a から樹脂部 30 A の面 30 c までの厚さ T_{13} は、例えば 900 μm 程度とすることができる。

【0079】

次いで、図30に示す工程では、図29に示すシード層 12、金属層 14、粘着材 15 及び支持体 16 を除去する。シード層 12、金属層 14、粘着材 15 及び支持体 16 は、例えば塩化第二鉄水溶液等を用いたエッティングにより除去することができる。これにより、樹脂部 30 A は、半導体チップ 20 A の面 20 e (側面) を覆い、更に面 20 d (背面)

50

) の外縁部を額縁状に覆うように形成される。その結果、半導体チップ 20A が樹脂部 30A から抜け落ちることを防止することができる。更に、最終的に半導体パッケージ 10A が完成した際に、半導体パッケージ 10A の強度を向上することができる。なお、樹脂部 30A において、半導体チップ 20A の面 20d (背面) の外縁部を額縁状に覆うように形成されている部分の厚さ T_2 は例えれば 100 μm 程度 (適用可能な範囲: 50 ~ 150 μm)、幅 W_1 は例えれば 50 μm 程度 (適用可能な範囲: 50 ~ 150 μm) とすることができる。ただし、額縁状の部分は、全て同一幅でなくても構わない。

【0080】

次いで、第 1 の実施の形態の図 18 ~ 図 23 に示す工程と同様の工程により作製した構造体を個片化することにより、図 25 に示す半導体パッケージ 10A が完成する。

10

【0081】

このように、第 2 の実施の形態によれば、バンプを有する半導体チップを個片化し、フェイスアップ (バンプを上向きにした状態) で支持体上に配置する工程を設けることにより、半導体チップと半導体チップの側面を覆う樹脂部とを基体として、半導体チップの回路形成面上及び樹脂部の前記回路形成面と同一側の面上に配線構造を形成した構造の半導体パッケージにおいて、樹脂部を更に半導体チップの背面の外縁部を額縁状に覆うように形成することができる。その結果、第 1 の実施の形態と同様の効果を奏する。

【0082】

なお、第 2 の実施の形態において、半導体チップ 20A の面 20d (背面) に形成する樹脂部 30A の形状を、第 1 の実施の形態の変形例で示した形状にしても構わない。その場合には、第 1 の実施の形態の変形例と同様の効果を奏する。

20

【0083】

第 2 の実施の形態の変形例

第 2 の実施の形態の変形例では、圧縮成形法に代えてトランスファーモールド法により、樹脂部 30A を形成する例を示す。

【0084】

トランスファーモールド法では、図 31 に示すように、第 2 の実施の形態の図 27 に示す構造体を下金型 18 及び上金型 19 で挟持する。これにより、バンプ 25 の面 25a は上金型 19 の面 19a と密着する。そして、図 27 に示す構造体の周辺部に樹脂部 30A の材料であるエポキシ系樹脂等を加熱して流し込み、加圧した後に硬化させる。加熱は、例えば 150 ~ 5 分程度とすることができます。バンプ 25 の面 25a (バンプの上端面) は上金型 19 の面 19a と密着しているため、バンプ 25 の面 25a には樹脂部 30A が形成されず、バンプ 25 の面 25a は樹脂部 30A から露出する。その結果、図 29 に示す研削工程が不要となる。

30

【0085】

このように、第 2 の実施の形態の変形例によれば、第 2 の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、トランスファーモールド法により樹脂部を形成することにより、バンプの上面には樹脂部が形成されないため、バンプの上面を露出するように樹脂部を研削する工程が不要となり、半導体パッケージの製造工程を簡略化することができる。

40

【0086】

なお、第 1 の実施の形態の図 14 及び図 15 に示す工程において、圧縮成形法に代えてトランスファーモールド法を用いても構わない。その場合には、図 16 に示す金属層 14 を露出するための研削工程が不要となり、半導体パッケージの製造工程を簡略化することができる。

【0087】

以上、好ましい実施の形態について詳説したが、上述した実施の形態に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【0088】

50

例えば、半導体パッケージ 10 等において、樹脂部 30 の面 30a 上方の配線構造 40 の部分で配線層を引き回し、電極パッドを設けても良い。すなわち、本発明に係る半導体パッケージでは、ファンアウト構造が可能である。

【0089】

又、半導体パッケージ 10 等において、半導体チップ 20 の面 20b (背面) 等に、ヒートスプレッダ等の放熱部品を接合しても良い。

【0090】

又、半導体パッケージ 10 等において、金属層 14 を除去せずに残したままにしても良い。この場合、半導体パッケージ 10 等の背面が平坦面となるため、ヒートスプレッダ等の放熱部品を接合し易くなる等の効果を奏する。

10

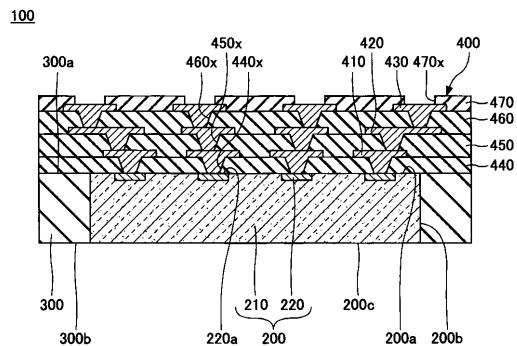
【符号の説明】

【0091】

10、10A	半導体パッケージ	
11、11A	半導体ウェハ	
11b、12a、14a、15a、16a、20b、20c、20d、20e、23a 、24a、25a、30a、30b、30c	面	
12	シード層	
13	レジスト層	
13x、47x	開口部	
14	金属層	20
15	粘着材	
16	支持体	
18	下金型	
19	上金型	
20、20A	半導体チップ	
21	半導体基板	
22	半導体集積回路	
23	電極パッド	
24	保護膜	
25	バンプ	30
30、30A	樹脂部	
40	配線構造	
41	第1配線層	
42	第2配線層	
43	第3配線層	
44	第1絶縁層	
44x	第1ビアホール	
45	第2絶縁層	
45x	第2ビアホール	
46	第3絶縁層	40
46x	第3ビアホール	
47	ソルダーレジスト層	
B	スクライブ領域	
C	切断位置	
T ₁ ~ T _{1~3}	厚さ	
W ₁ ~ W ₃	幅	
₁	直径	

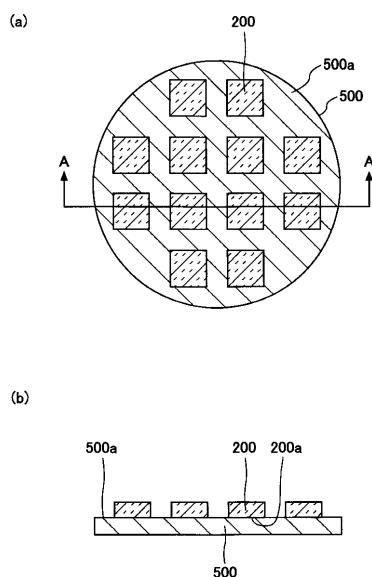
【図1】

従来の半導体パッケージを例示する断面図



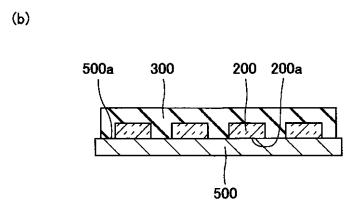
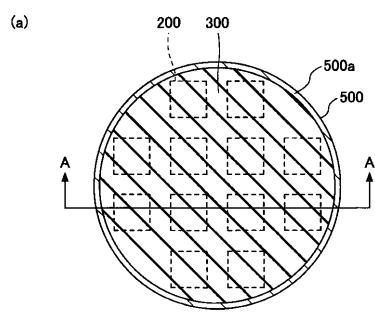
【図2】

従来の半導体パッケージの製造工程を例示する図(その1)



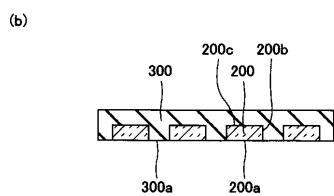
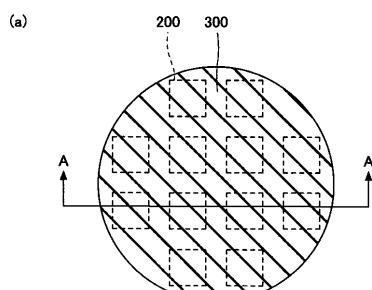
【図3】

従来の半導体パッケージの製造工程を例示する図(その2)



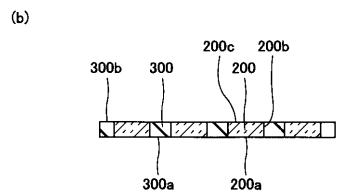
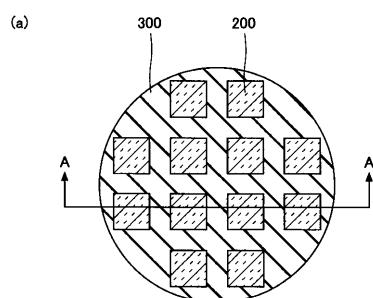
【図4】

従来の半導体パッケージの製造工程を例示する図(その3)



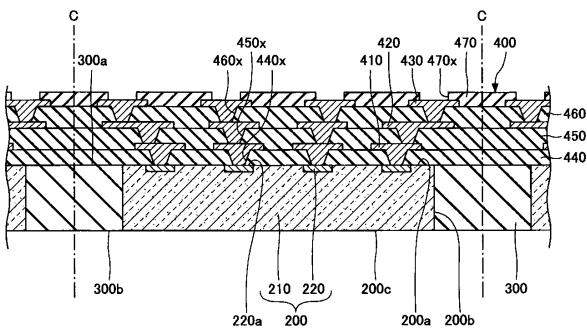
【図5】

従来の半導体パッケージの製造工程を例示する図(その4)



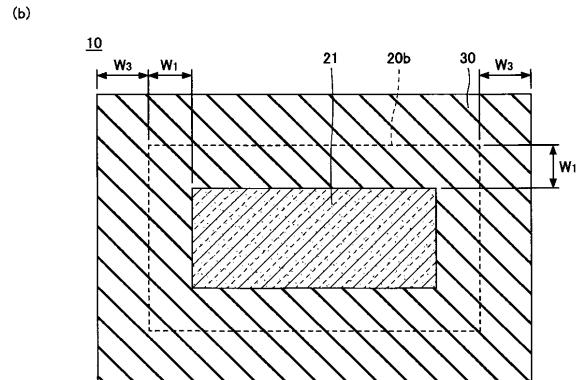
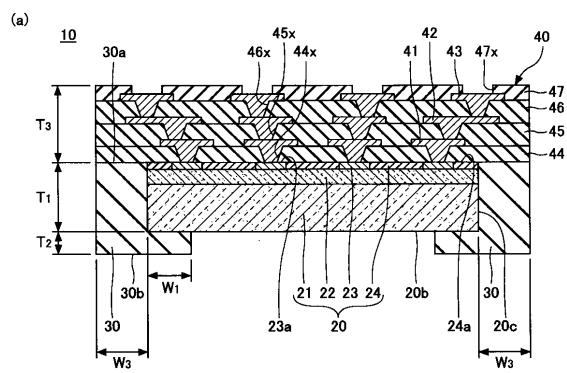
【図6】

従来の半導体パッケージの製造工程を例示する図(その5)



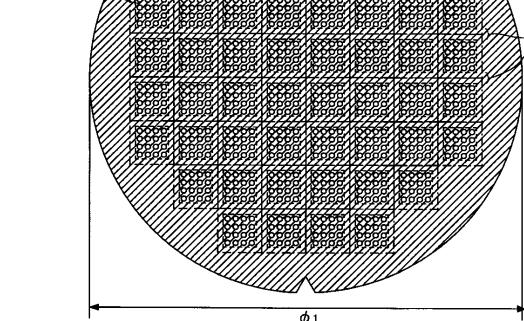
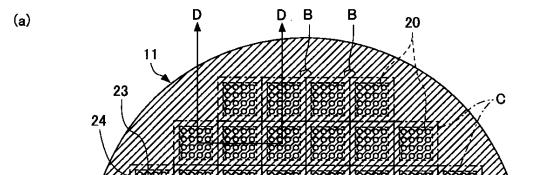
【図7】

第1の実施の形態に係る半導体パッケージを例示する図



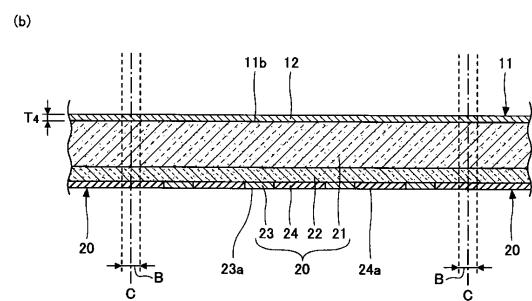
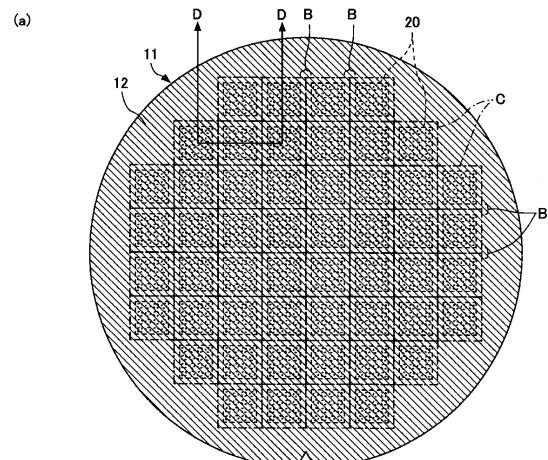
【図8】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)

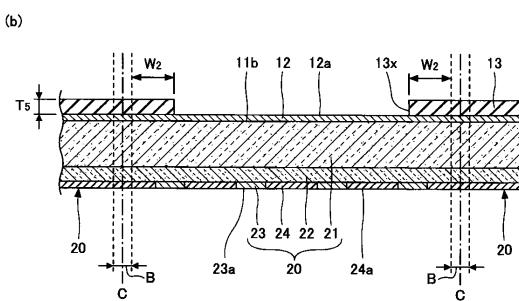
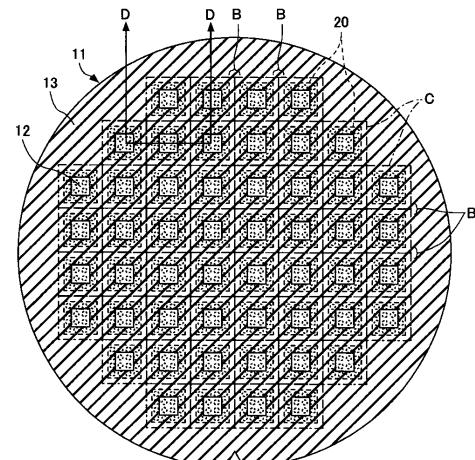


【図9】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その2) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)

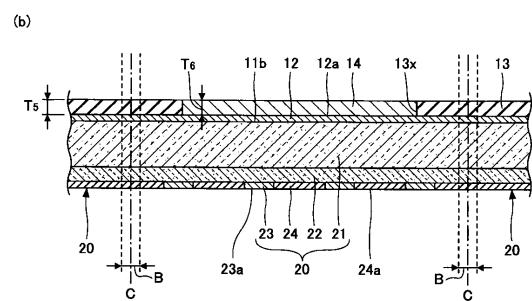
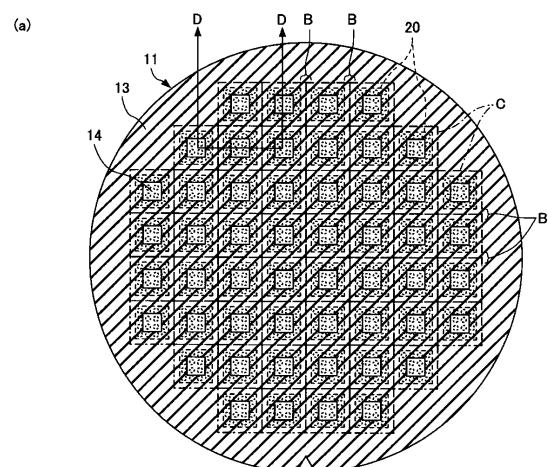


【図10】

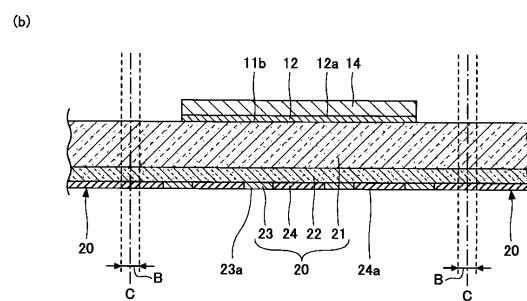
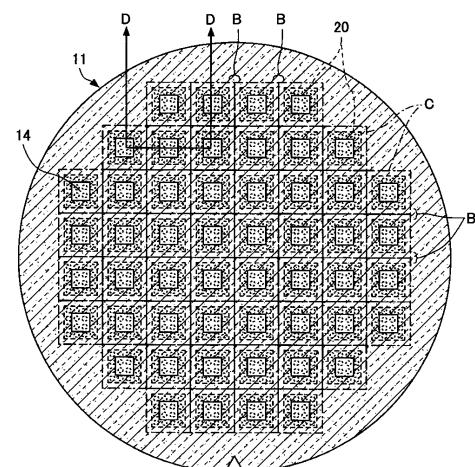


【図11】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)

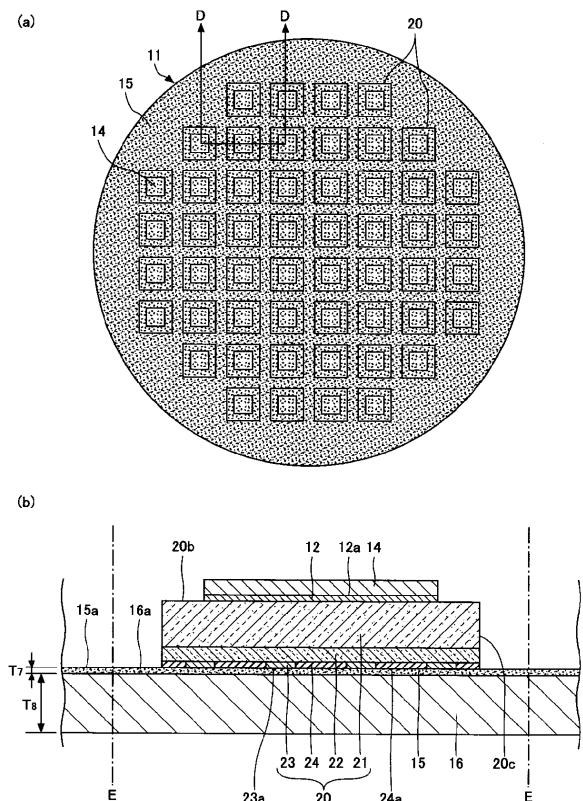


【図12】

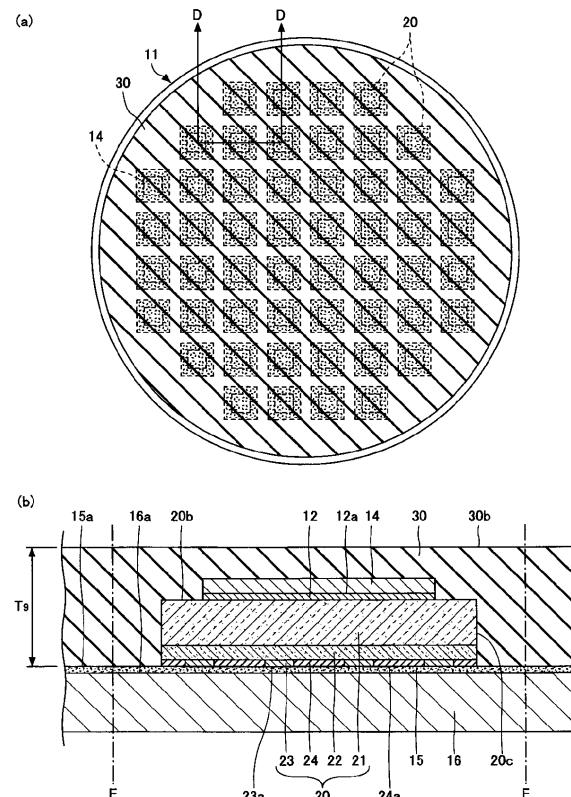


【図13】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)

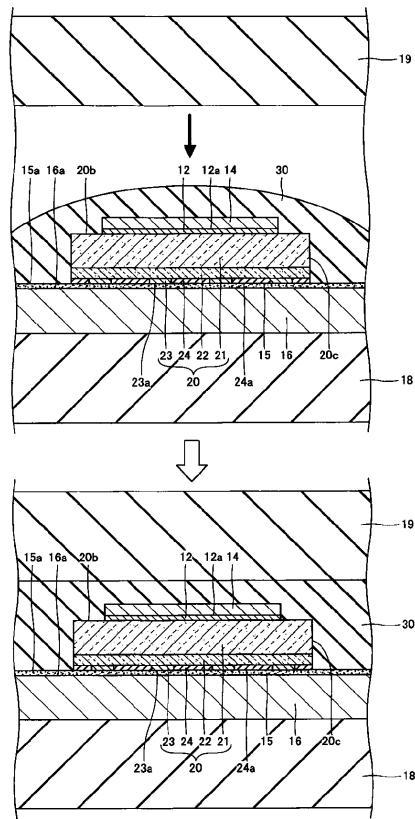


【図14】



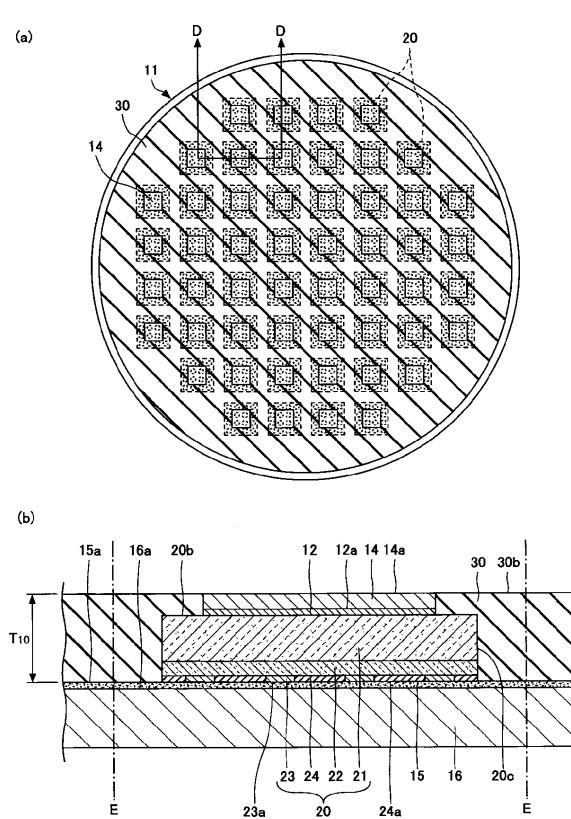
【図15】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)



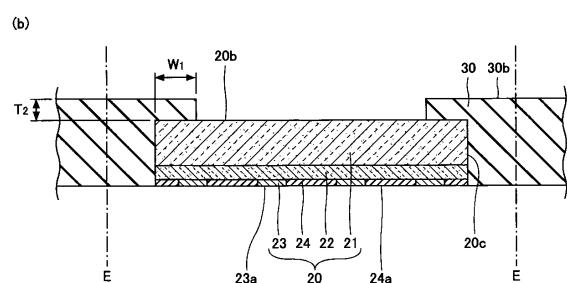
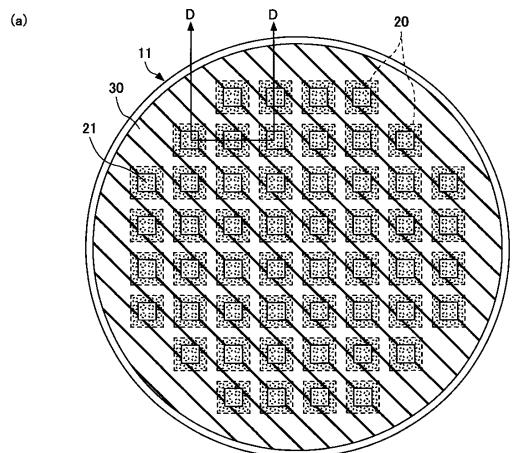
【図16】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)



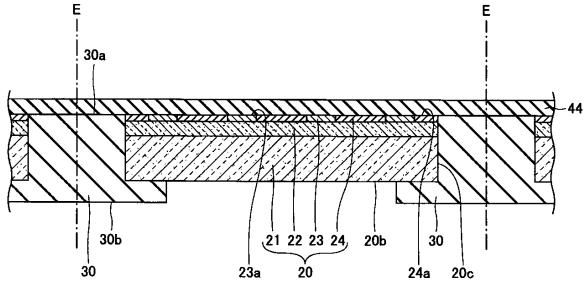
【図17】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)



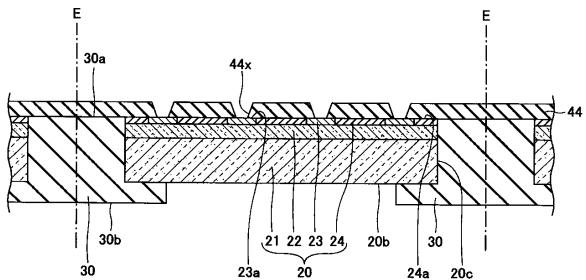
【図18】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)



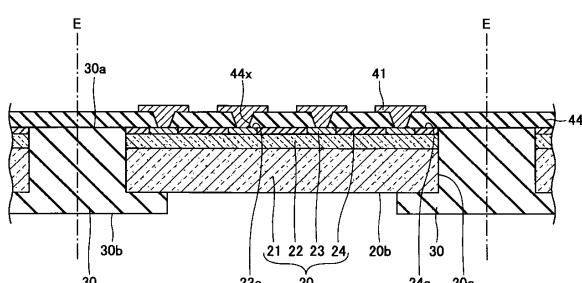
【図19】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その12)



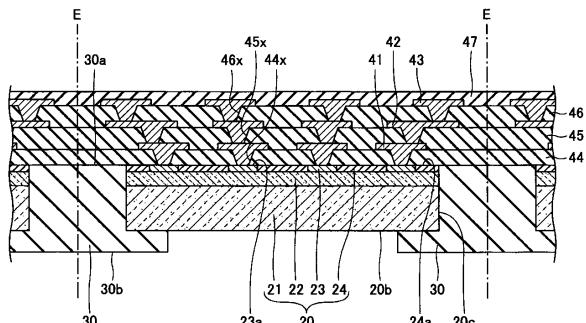
【図20】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その13) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その15)



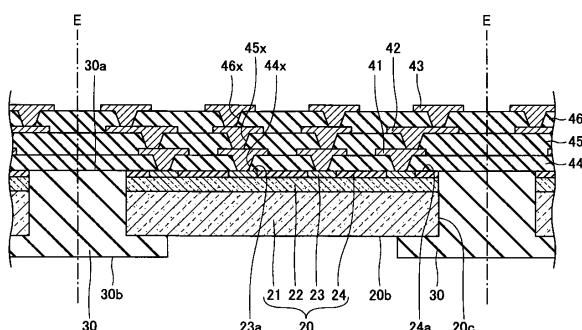
【図22】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その13) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その15)



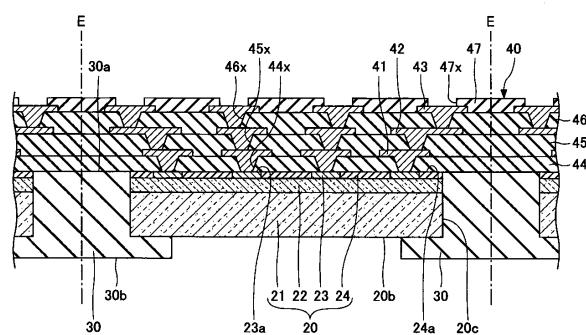
【図21】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その14)

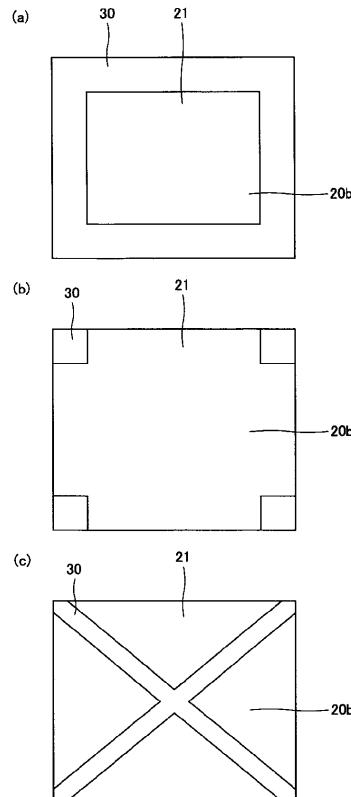


【図23】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その16) 半導体チップの背面に形成される樹脂部の形状を例示する底面図

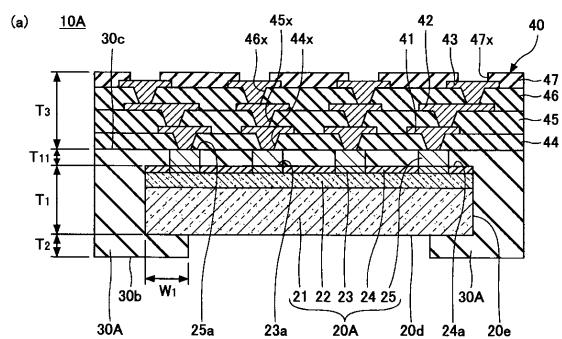


【図24】

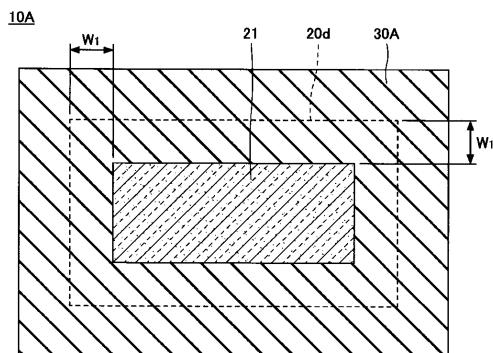


【図25】

第2の実施の形態に係る半導体パッケージを例示する図

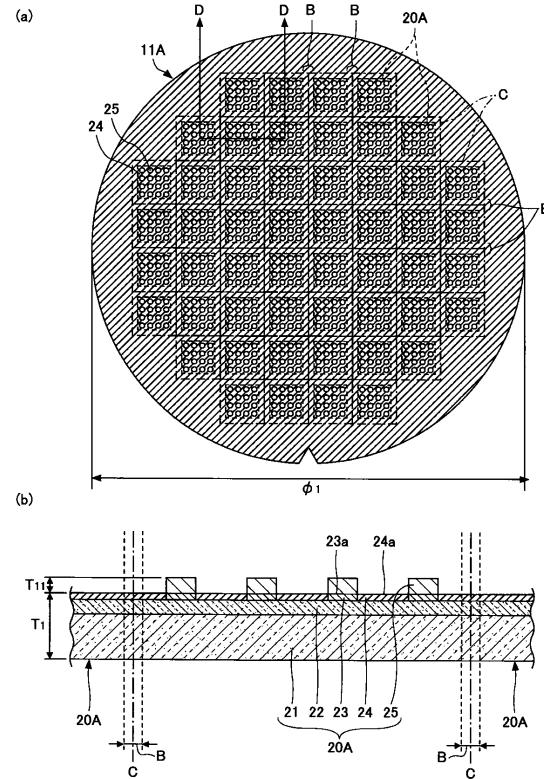


(b)



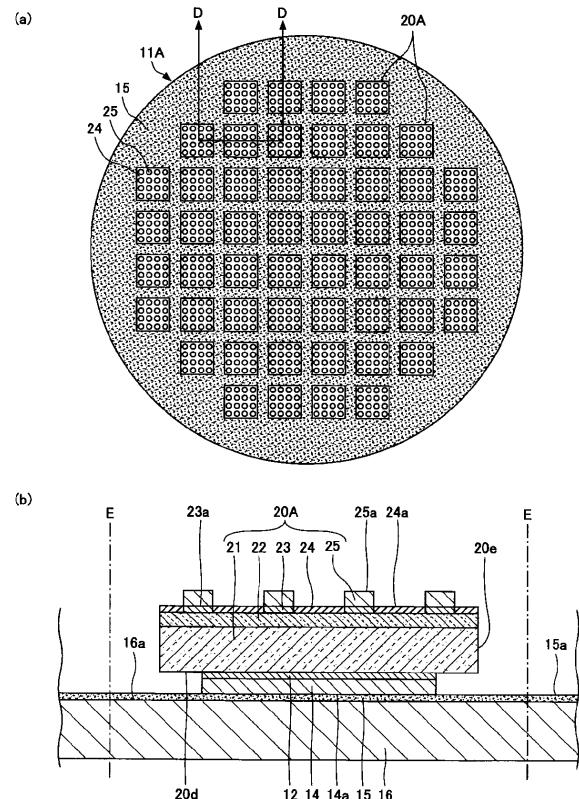
【図26】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)

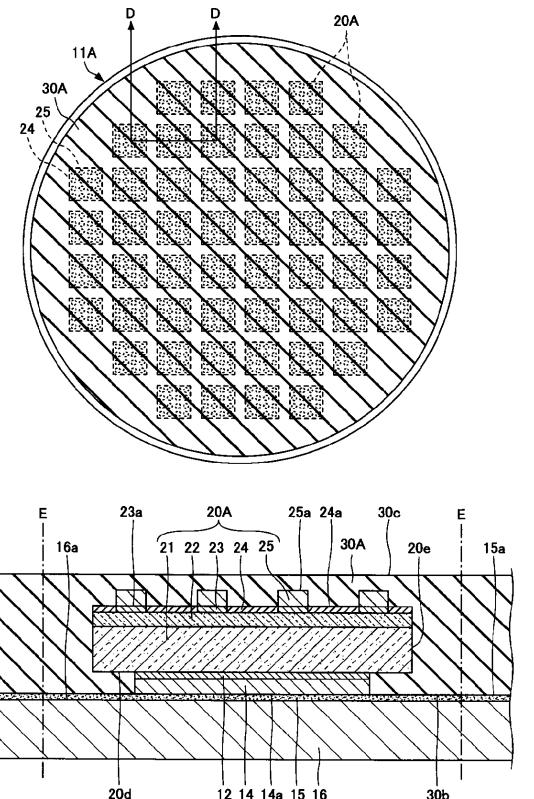


【図27】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その2) 第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)

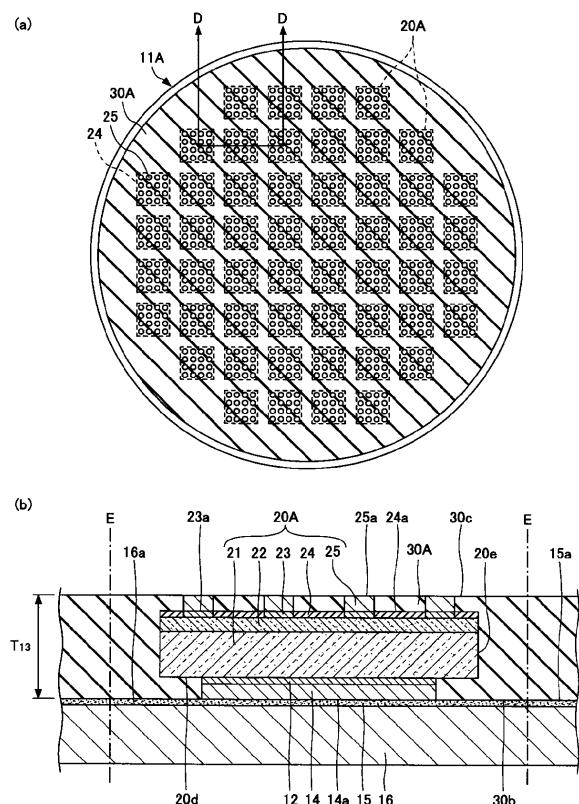


【図28】

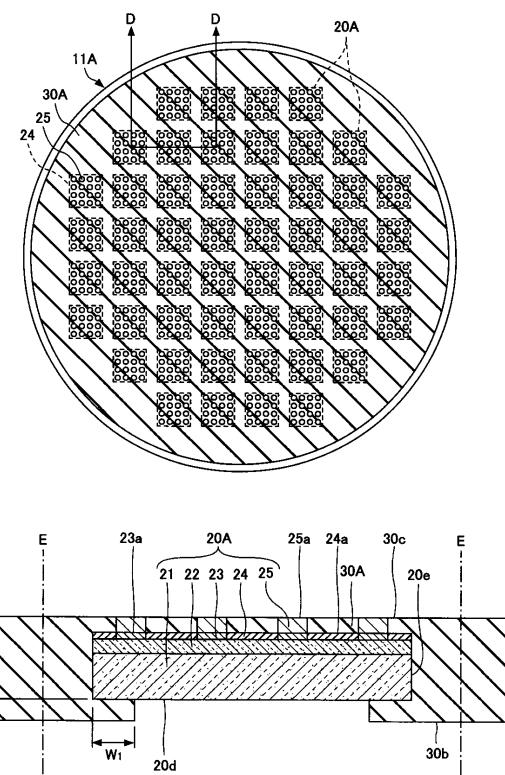


【図29】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その4) 第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)

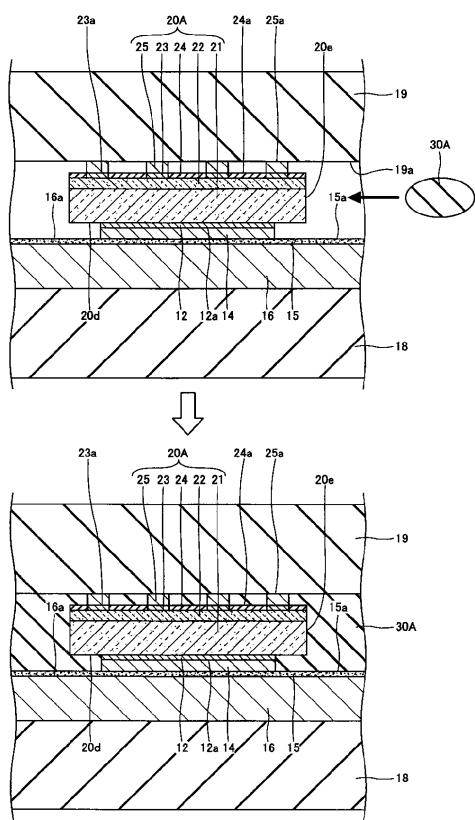


【図30】



【図31】

トランスマーモールド法について説明するための図



フロントページの続き

審査官 山本 雄一

(56)参考文献 特開2000-124354(JP,A)

特開平09-064236(JP,A)

特開2004-079716(JP,A)

特開2006-100759(JP,A)

特開2001-217381(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/56

H01L 23/28 - 23/31