

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5462524号  
(P5462524)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.	F 1
HO 1 L 21/3205	(2006.01) HO 1 L 21/88 J
HO 1 L 21/768	(2006.01) HO 1 L 21/88 R
HO 1 L 23/522	(2006.01) HO 1 L 23/12 501 P
HO 1 L 23/532	(2006.01)
HO 1 L 23/12	(2006.01)

請求項の数 13 (全 28 頁)

(21) 出願番号 特願2009-116316 (P2009-116316)  
 (22) 出願日 平成21年5月13日 (2009.5.13)  
 (65) 公開番号 特開2010-267695 (P2010-267695A)  
 (43) 公開日 平成22年11月25日 (2010.11.25)  
 審査請求日 平成24年2月28日 (2012.2.28)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100091524  
 弁理士 和田 充夫  
 (74) 代理人 100132241  
 弁理士 岡部 博史  
 (72) 発明者 斎藤 太志郎  
 大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板の表面に形成された第1絶縁膜と、  
 前記第1絶縁膜の中に形成され、かつ、外部接続端子を有する電極部と、  
 前記半導体基板の裏面から前記表面に貫通するピアホールと、  
 前記ピアホールの側壁及び前記半導体基板の前記裏面に形成された第2絶縁膜と、  
 前記ピアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ピアホールの底面の前記第1絶縁膜とに形成された貫通電極層と、  
 前記電極部と前記貫通電極層との間に形成され、かつ前記電極部及び前記貫通電極層に接続されたシリサイド層と、を備え。

前記ピアホールの中心軸を含む平面で切断された断面における、前記シリサイド層の幅Aと前記ピアホールの底部の幅Bとの関係が、A=Bであることを特徴とする半導体装置。

## 【請求項 2】

前記シリサイド層と前記電極部とは、コンタクト電極を介して接続されたことを特徴とする

請求項1に記載の半導体装置。

## 【請求項 3】

前記ピアホールの前記中心軸を含む前記平面において、前記シリサイド層の前記幅と前記コンタクト電極の幅が等しいことを特徴とする

10

20

請求項 2 に記載の半導体装置。

**【請求項 4】**

前記ピアホールの前記中心軸を含む前記平面において、前記ピアホールの前記底部の前記幅より前記電極部の幅が大きいことを特徴とする

請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

**【請求項 5】**

前記電極部は、

前記電極部の本体部と、

前記電極部の前記本体部と前記第 1 絶縁膜との間に配置された第 1 バリア層とを備えることを特徴とする

請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

**【請求項 6】**

前記電極部は、

前記電極部の本体部と、

前記電極部の前記本体部と前記第 1 絶縁膜との間に配置されかつ前記シリサイド層に接触する第 1 バリア層と、

前記第 1 絶縁膜の外面側でかつ前記電極部の前記本体部の外面に配置されて前記外部接続端子として機能するパッド電極部とを備えることを特徴とする

請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

**【請求項 7】**

前記シリサイド層は、前記半導体基板、ポリシリコン膜、又はアモルファスシリコン膜のいずれかに形成されることを特徴とする

請求項 1 ~ 6 のいずれか 1 つに記載の半導体装置。

**【請求項 8】**

前記シリサイド層は、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドのいずれかから成ることを特徴とする

請求項 1 ~ 7 のいずれか 1 つに記載の半導体装置。

**【請求項 9】**

前記電極部の本体部は、タングステン、アルミニウム、又はその合金、銅のいずれかから成ることを特徴とする

請求項 7 又は 8 に記載の半導体装置。

**【請求項 10】**

前記第 1 バリア層は、チタン、チタンナイトライド、チタンタンクステン、タンタル、タンタルナイトライド、又は、高融点金属の積層膜から成ることを特徴とする

請求項 6 に記載の半導体装置。

**【請求項 11】**

前記貫通電極層は、

前記ピアホールの前記側壁上の前記第 2 絶縁膜と前記半導体基板の前記裏面上の前記第 2 絶縁膜と前記ピアホールの底面の前記第 1 絶縁膜とに形成された第 2 バリア層と、

前記第 2 バリア層上に形成された再配線層とを備え、

前記第 2 バリア層は、チタン、チタンナイトライド、チタンタンクステン、タンタル、タンタルナイトライド、又は、高融点金属の積層膜から成ることを特徴とする

請求項 1 ~ 10 のいずれか 1 つに記載の半導体装置。

**【請求項 12】**

前記電極部が、単一のコンタクト電極部材又は複数のコンタクト電極部材で構成されていることを特徴とする

請求項 1 ~ 11 のいずれか 1 つに記載の半導体装置。

**【請求項 13】**

前記パッド電極は、アルミニウム、銅又はその合金と、チタン、チタンナイトライド、タンタル、タンタルナイトライド、高融点金属、又は、その化合物のいずれかから成

10

20

30

40

50

ることを特徴とする

請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板に貫通電極層が形成された半導体装置に関するものである。

【背景技術】

【0002】

近年、電子機器に使用される集積回路において、パッケージ（半導体装置）の小型化が求められている。小型化の一例として、集積回路のパッケージ面積の低減を目的として、従来のワイヤーボンディングに代わって、半導体装置の半導体基板を貫通する貫通電極が用いられている。10

【0003】

図9は、従来の半導体装置の一例を示す部分断面図である。

【0004】

図9において、半導体装置101は、シリコンなどの半導体基板102と、半導体基板102の裏面102bからパッド電極105に到達するビアホール107と、ビアホール107の側壁107a及び半導体基板102の裏面102bに形成された第2酸化膜109と、ビアホール107の内部及び半導体基板102の裏面102bに形成されたバリア層110及び再配線層111とから概略構成されている。20

【0005】

図10は、従来の半導体装置の製造方法を示すフローチャートであり、図11A～図12Dは、従来の半導体装置の製造方法を説明するための部分断面図である。

【0006】

最初に、図11Aに示すように、不図示の電子回路が形成された半導体基板102の表面102aの上の第1酸化膜106の上にパッド電極105及びパッシベーション膜104が形成された後、パッシベーション膜104の上に、不図示の接着剤を介して、支持基板103が接着される（図10のステップS101参照）。

【0007】

次に、図11Bに示すように、半導体基板102の裏面102bの上に、パッド電極105に相当する位置を開口するために、レジスト112が形成される（図10のステップS102参照）。

【0008】

そして、図11Cに示すように、レジスト112をマスクとして、半導体基板102をエッティングすることにより、第1酸化膜106に到達するビアホール107が形成される（図10のステップS103参照）。

【0009】

続いて、図11Dに示すように、レジスト112をマスクとして、第1酸化膜106をエッティングすることにより、パッド電極105に到達するビアホール107が形成される（図10のステップS104参照）。

【0010】

次に、図12Aに示すように、レジスト112を半導体基板102の裏面102bから除去する（図10のステップS105参照）。

【0011】

そして、図12Bに示すように、ビアホール107の側壁107a及び半導体基板102の裏面102bに第2酸化膜109をそれぞれ形成する（図10のステップS106参照）。

【0012】

次に、図12Cに示すように、ビアホール107の底部の第2酸化膜109をエッティングすることにより、パッド電極105を再度露出させる（図10のステップS107参照）50

)。

**【0013】**

続いて、図12Dに示すように、バリア層110及び再配線層111を第2酸化膜109上に順に形成する(図10のステップS108参照)。

**【0014】**

パッド電極105は、バリア層110及び再配線層111で構成される貫通電極108を通して、半導体基板102の裏面102bへ電気的に接続されている。

**【0015】**

パッド電極105と貫通電極108は、ビアホール107の内径に応じた面積で接触しており、パッド電極105と貫通電極108の間の抵抗値は、この接触面積によって決定される。  
10

**【先行技術文献】**

**【特許文献】**

**【0016】**

**【特許文献1】特開2005-235860号公報**

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0017】**

しかしながら、前記従来の構成では、パッド電極105と貫通電極108の間の抵抗値はビアホール107の内径の寸法に依存するため、その抵抗値は、ビアホール107の内径の寸法のばらつきにより変動するという課題を有している。  
20

**【0018】**

本発明は、前記従来の課題を解決するもので、パッド電極と貫通電極との間の抵抗値がビアホールの内径の寸法のばらつきに依存しない、信頼性に優れた半導体装置を提供することを目的とする。

**【課題を解決するための手段】**

**【0019】**

上記目的を達成するために、本発明は以下のように構成する。

**【0020】**

本発明の第1態様によれば、半導体基板の表面に形成された第1絶縁膜と、  
前記第1絶縁膜の中に形成され、かつ、外部接続端子を有する電極部と、  
前記半導体基板の裏面から前記表面に貫通するビアホールと、  
前記ビアホールの側壁及び前記半導体基板の前記裏面に形成された第2絶縁膜と、  
前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜とに形成された貫通電極層と、  
前記電極部と前記貫通電極層との間に形成され、かつ前記電極部及び前記貫通電極層に接続されたシリサイド層と、  
30

を備え、

前記ビアホールの中心軸を含む平面で切断された断面における、前記シリサイド層の幅Aと前記ビアホールの底部の幅Bとの関係が、A>Bであることを特徴とする半導体装置を提供する。  
40

**【0021】**

本発明の第2態様によれば、前記シリサイド層と前記電極部とは、コンタクト電極を介して接続されたことを特徴とする第1の態様に記載の半導体装置を提供する。

**【0022】**

本発明の第3態様によれば、前記ビアホールの前記中心軸を含む前記平面において、前記シリサイド層の前記幅と前記コンタクト電極の幅が等しいことを特徴とする第2の態様に記載の半導体装置を提供する。

**【0023】**

本発明の第4態様によれば、前記ビアホールの前記中心軸を含む前記平面において、前

50

記ビアホールの前記底部の前記幅より前記電極部の幅が大きいことを特徴とする第1～3のいずれか1つの態様に記載の半導体装置を提供する。

**【0024】**

本発明の第5態様によれば、前記電極部は、前記電極部の本体部と、

前記電極部の前記本体部と前記第1絶縁膜との間に配置された第1バリア層とを備えることを特徴とする第1～4のいずれか1つの態様に記載の半導体装置を提供する。

**【0025】**

本発明の第6態様によれば、前記電極部は、前記電極部の本体部と、

前記電極部の前記本体部と前記第1絶縁膜との間に配置されかつ前記シリサイド層に接触する第1バリア層と、

前記第1絶縁膜の外面側でかつ前記電極部の前記本体部の外面に配置されて前記外部接続端子として機能するパッド電極部とを備えることを特徴とする第1～4のいずれか1つの態様に記載の半導体装置を提供する。

**【0026】**

本発明の第7態様によれば、前記シリサイド層は、前記半導体基板、ポリシリコン膜、又はアモルファスシリコン膜のいずれかに形成されることを特徴とする第1～6のいずれか1つの態様に記載の半導体装置を提供する。

**【0027】**

本発明の第8態様によれば、前記シリサイド層は、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドのいずれかから成ることを特徴とする

第1～7のいずれか1つの態様に記載の半導体装置を提供する。

**【0028】**

本発明の第9態様によれば、前記電極部の本体部は、タンゲステン、アルミニウム、又はその合金、銅のいずれかから成ることを特徴とする

第7又は8の態様に記載の半導体装置を提供する。

**【0029】**

本発明の第10態様によれば、前記第1バリア層は、チタン、チタンナイトライド、チタンタンゲステン、タンタル、タンタルナイトライド、又は、高融点金属の積層膜から成ることを特徴とする

第6の態様に記載の半導体装置を提供する。

本発明の第11態様によれば、前記貫通電極層は、

前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜とに形成された第2バリア層と、

前記第2バリア層上に形成された再配線層とを備え、

前記第2バリア層は、チタン、チタンナイトライド、チタンタンゲステン、タンタル、タンタルナイトライド、又は、高融点金属の積層膜から成ることを特徴とする

第1～10のいずれか1つの態様に記載の半導体装置を提供する。

本発明の第12態様によれば、前記電極部が、単一のコンタクト電極部材又は複数のコンタクト電極部材で構成されていることを特徴とする

第1～11のいずれか1つの態様に記載の半導体装置を提供する。

本発明の第13態様によれば、前記パッド電極は、アルミニウム、銅又はその合金と、チタン、チタンナイトライド、タンタル、タンタルナイトライド、高融点金属、又は、その化合物のいずれかから成ることを特徴とする

第6の態様に記載の半導体装置を提供する。

**【発明の効果】**

**【0030】**

以上のように、本発明の半導体装置によれば、パッド電極を含む電極部と貫通電極層と

10

20

30

40

50

の間の抵抗値は、前記電極部及び前記貫通電極層に接続されたシリサイド層の幅（例えば、シリサイド層が円形の場合の直径）寸法に依存し、ビアホールの幅（例えば、ビアホールが円形の場合の内径）寸法のばらつきに依存しないため、抵抗値ばらつきに依存しない信頼性に優れた半導体装置を提供することができる。

**【0031】**

また、ビアホールの幅（例えば、ビアホールが円形の場合の内径）寸法は電極部のパッド電極の幅（例えば、パッド電極が円形の場合の直径）寸法よりも大きくすることが可能であるため、ビアホールのアスペクト比を低減することもできる。

**【0032】**

さらに、ビアホールの幅（例えば、ビアホールが円形の場合の内径）寸法は、電極部のパッド電極の幅（例えば、パッド電極が円形の場合の直径）寸法よりも大きくすることが可能であるため、電極部のパッド電極の大きさを縮小することにより、半導体装置の一例としての半導体チップの面積を削減することもできる。10

**【図面の簡単な説明】**

**【0033】**

**【図1】本発明の実施の形態1における半導体装置の部分断面図**

**【図2】本発明の実施の形態1における半導体装置の製造方法を示すフローチャート**

**【図3A】本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**

**【図3B】図3Aに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**20

**【図3C】図3Bに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**

**【図3D】図3Cに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**

**【図4A】図3Dに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**

**【図4B】図4Aに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**

**【図4C】図4Bに続く、本発明の実施の形態1における半導体装置の製造方法の工程を示す部分断面図**30

**【図4D】本発明の実施の形態1の変形例1における半導体装置を示す部分断面図**

**【図4E】本発明の実施の形態1の変形例2における半導体装置を示す部分断面図**

**【図4F】本発明の実施の形態1の変形例3における半導体装置を示す部分断面図**

**【図5】本発明の実施の形態2における半導体装置の部分断面図**

**【図6】本発明の実施の形態2における半導体装置の製造方法を示すフローチャート**

**【図7A】本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図7B】図7Aに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図7C】図7Bに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**40

**【図7D】図7Cに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図8A】図7Dに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図8B】図8Aに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図8C】図8Bに続く、本発明の実施の形態2における半導体装置の製造方法を示す部分断面図**

**【図8D】本発明の実施の形態2の変形例1における半導体装置を示す部分断面図**

**【図8E】本発明の実施の形態2の変形例2における半導体装置を示す部分断面図**50

【図 8 F】本発明の実施の形態 2 の変形例 3 における半導体装置を示す部分断面図

【図 9】従来の半導体装置の部分断面図

【図 10】従来の半導体装置の製造方法を示すフローチャート

【図 11 A】従来の半導体装置の製造方法の工程を示す部分断面図

【図 11 B】図 11 A に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 11 C】図 11 B に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 11 D】図 11 C に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 12 A】図 11 D に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 12 B】図 12 A に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 12 C】図 12 B に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 12 D】図 12 C に続く、従来の半導体装置の製造方法の工程を示す部分断面図

【図 13】本発明の実施の形態 1 の半導体装置において、コンタクト電極形成前にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図

【図 14】本発明の実施の形態 1 の半導体装置において、コンタクト電極形成後にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図

【図 15】本発明の実施の形態 2 の半導体装置において、コンタクト電極形成前にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図

【図 16】本発明の実施の形態 2 の半導体装置において、コンタクト電極形成後にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図

【発明を実施するための形態】

【0034】

以下、本発明の実施の形態について、図面を参照しながら説明する。以下の説明において、同じ構成には同じ符号を付して説明を省略している。

【0035】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における半導体装置の部分断面図である。

【0036】

図 1において、半導体装置 1 は、半導体基板 2 と、第 1 酸化膜 8 と、電極部 18 (パッド電極 5 と、コンタクト電極 6 と、第 1 バリア層 7) と、シリサイド層 9 と、ビアホール 10 と、第 2 酸化膜 12 と、貫通電極層 11 (第 2 バリア層 13 と再配線層 14) と、支持基板 3 と、絶縁膜の一例であるパッシベーション膜 4 とで構成されている。

【0037】

第 1 酸化膜 8 は、例えば SiO<sub>2</sub> などで構成され、絶縁膜の一例として、半導体基板 2 の表面 (図 1 では下面) 2a に形成されて、半導体基板 2 とパッド電極 5 とを絶縁する機能を有している。

【0038】

パッド電極 5 は、電極部の外部接続端子の一例として機能し、後述する導電性材料で構成され、第 1 酸化膜 8 の表面に、第 1 酸化膜 8 の表面から突出して形成されている。

【0039】

コンタクト電極 6 は、電極部の本体部の一例として機能し、後述する導電性材料で構成され、第 1 酸化膜 8 の内部に形成され、かつ外面がパッド電極 5 に接触してパッド電極 5 と接続されている。図 1 では、コンタクト電極 6 は、パッド電極 5 よりも幅が小さく形成されている。

【0040】

第 1 バリア層 7 は、電極部の一部を構成し、後述する導電性材料で構成され、パッド電極 5 と接続された外面を除くコンタクト電極 6 の他の面 (側面及び内面) をすべて覆うよ

10

20

30

40

50

うに形成されて、第1酸化膜8とコンタクト電極6との密着性を高める機能を有している。なお、この第1バリア層7は、パッド電極5と接続された外面に形成されていても良い。

#### 【0041】

シリサイド層9は、後述するように金属とシリコンの合金で構成された導電性材料を有し、かつ、コンタクト電極6の内面側に、第1バリア層7を介して配置される。このシリサイド層9は、コンタクト電極6と貫通電極層11との間の低抵抗を目的とするものである。すなわち、コンタクト電極6上の第1バリア層7と後述する貫通電極層11との間に形成されて、貫通電極層11及び第1バリア層7に接続されるように形成されている。このシリサイド層9を配置した目的は、パッド電極5と貫通電極層11との間の抵抗値が、ビアホール10の内径に依存しないようにすることである。そのため、シリサイド層9の材料は、低抵抗を目的にTiSi<sub>2</sub>などを用いる。

#### 【0042】

本実施の形態でのシリサイド層9は、ビアホール10内に向けて（表面2aよりも上向きに）、ビアホール10の底面より少し突出して形成されているが、Siと相互拡散せずにシリサイドを形成する材料の場合は、必ずしも突出する必要はない。

#### 【0043】

ビアホール10は、半導体基板2の裏面（図1の紙面上面）2bから表面（図1の紙面下面）2aまで、すなわち、シリサイド層9及び第1酸化膜8に到達するように、半導体基板2を貫通して、形成されている。ビアホール10は、図1に示すように、裏面2bから表面2aに向かうに従い内径が徐々に小さくなるように側壁10aが傾斜した、やや先すぼまりの円錐面形状を側壁10aが有するように形成されている。

#### 【0044】

第2酸化膜12は、例えばSiO<sub>2</sub>などで構成され、絶縁膜の一例として、ビアホール10の側壁10aの全面及び半導体基板2の裏面2bに形成されて、貫通電極層11と半導体基板2とを絶縁する機能を有している。

#### 【0045】

貫通電極層11は、第2バリア層13と再配線層14とで構成されている。

#### 【0046】

第2バリア層13は、第2酸化膜12と再配線層14との密着性を高めるためのものであり、後述するような材料で構成され、ビアホール10の底面（すなわち、半導体基板2の表面2aとシリサイド層9）上とビアホール10の側壁10aの第2酸化膜12の上と半導体基板2の裏面2bの第2酸化膜12の上とに一体的に形成され、かつビアホール10の底面でシリサイド層9と接続されている。シリサイド層9と接続する部分では、シリサイド層9がビアホール10の底面より少し突出している分だけ、ビアホール10の底面より少し盛り上がった状態で、第2バリア層13が形成されている。

#### 【0047】

再配線層14は、第2バリア層13の上に形成されている。すなわち、ビアホール10の底面上の第2バリア層13と、ビアホール10の側壁10aの第2酸化膜12の上の第2バリア層13と、半導体基板2の裏面2bの第2酸化膜12の上の第2バリア層13とにそれぞれ一体的に再配線層14が形成されている。この再配線層14は、パッド電極5（基板表面）から、基板裏面への電気配線を目的として形成されるものであり、例えばCuなどから構成される。

#### 【0048】

よって、パッド電極5と貫通電極層11は、コンタクト電極6と第1バリア層7とシリサイド層9とを通して電気的に接続されており、それ以外の箇所は、第1酸化膜8により電気的に絶縁されている。

#### 【0049】

半導体基板2と貫通電極層11は、ビアホール10の側壁10a及び半導体基板2の裏面2bに形成された第2酸化膜12により電気的に絶縁されている。

10

20

30

40

50

## 【0050】

パッド電極5とコンタクト電極6は、パッド電極5とコンタクト電極6との間の抵抗が低くなる材質であれば良い。一例として、パッド電極5は、アルミニウム、銅、又はその合金と、チタン、チタンナイトライド、タンタル、タンタルナイトライド、高融点金属、又は、その化合物などで構成される導電性材料の積層膜として形成されている。コンタクト電極6は、タンゲステン、アルミニウム若しくはその合金、又は、銅などの導電性材料で形成されている。

## 【0051】

コンタクト電極6は、単一の太いコンタクト電極部材で構成してもよく、代わりに、図13～図14に示すように、単一のコンタクト電極部材6を複数の細いコンタクト電極部材6Aに分割したような、複数のコンタクト電極部材で構成するようにしてもよい。なお、図13は、本発明の実施の形態1の半導体装置において、コンタクト電極形成前にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図である。図14は、本発明の実施の形態1の半導体装置において、コンタクト電極形成後にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図である。

10

## 【0052】

コンタクト電極6が円形の場合の直径は、パッド電極5が円形の場合の直径よりも必ずしも小さい必要はなく、大きくても、同じでも良い。コンタクト電極6とパッド電極5の間の抵抗値は、コンタクト電極6とパッド電極5の接触面積で決まるため、この直径は、目的とする抵抗値を達成するための接触面積に基づいて決定される。

20

## 【0053】

第1バリア層7は、第1酸化膜8とコンタクト電極6との密着性を高めるために、チタン、チタンナイトライド、チタンタンゲステン、タンタル、タンタルナイトライド、又は、高融点金属の積層膜で形成されている。

## 【0054】

半導体基板2は、シリコン等の材質からなり、導電性であっても、絶縁性であっても、半絶縁性であっても良い。

## 【0055】

シリサイド層9は、半導体基板2の表面2aのコンタクト電極6上に形成され、低抵抗を目的に、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドなどで形成されている。

30

## 【0056】

シリサイド層9が円形の場合の直径は、コンタクト電極6が円形の場合の直径と必ずしも同じである必要はない。

## 【0057】

ビアホール10の中心軸を含む平面で切断された断面（例えば図1）における、シリサイド層9の幅Aとビアホール10の底部の幅Bとの関係が、以下の（式1）の関係が成立するようとする。具体的には、シリサイド層9が円形の場合の直径Aは、ビアホール10の底部での内径Bとの間に以下の（式1）の関係が成り立つようとする。このような関係の式が成立すれば、シリサイド層9は、半導体基板2から物理的にも電気的にも確実に分離することができるためである。

40

## 【0058】

## 【数1】

$$A \leqq B \quad \dots \quad (式1)$$

第2バリア層13は、第2酸化膜12と再配線層14との密着性を高めるために、チタン、チタンナイトライド、チタンタンゲステン、タンタル、タンタルナイトライド、又は、高融点金属などの導電性材料の積層膜で形成されている。

## 【0059】

50

次に、上述した半導体装置 1 の製造方法について、図面を参照しながら説明する。図 2 は、本発明の実施の形態 1 における半導体装置の製造方法を示すフローチャートであり、図 3 A ~ 図 4 C は、本発明の実施の形態 1 における半導体装置の製造方法の工程をそれぞれ説明するための部分断面図である。

#### 【0060】

最初に、図 3 A に示すように、不図示の電子回路が形成された半導体基板 2 の表面 2 a の上の第 1 酸化膜 8 の中に、シリサイド層 9 と第 1 バリア層 7 及びコンタクト電極 6 を形成した後、パッド電極 5 及びパッシベーション膜 4 が形成される（図 2 のステップ S 1 参照）。

#### 【0061】

シリサイド層 9 は、第 1 バリア層 7 を熱処理することで形成しても良いし、半導体基板 2 の表面 2 a に別の膜（例えば、タンゲステン、チタン、コバルト、又は、ニッケルなど）を成膜後に熱処理することで、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドなどとして形成しても良い。第 1 バリア層 7 を熱処理することにより半導体基板 2 の表面 2 a にシリサイド層 9 を形成する場合、シリサイド層 9 が円形の場合の直径はコンタクト電極 6 が円形の場合のホール径と等しくなる。一方、タンゲステン、チタン、コバルト、又は、ニッケルなどを成膜後に熱処理することで半導体基板 2 の表面 2 a にシリサイド層 9 を形成する場合、シリサイド層 9 が円形の場合の直径はコンタクト電極 6 が円形の場合のホール径と等しくても良いし、等しくなくて良い。

10

#### 【0062】

そして、パッシベーション膜 4 の上に、不図示の接着剤を介して、支持基板 3 が接着される（図 3 A 参照）。

#### 【0063】

次に、図 3 B に示すように、半導体基板 2 の裏面 2 b の上に、パッド電極 5 に相当する位置を開口するために、レジスト 15 が形成される（図 2 のステップ S 2 参照）。

#### 【0064】

そして、図 3 C に示すように、レジスト 15 をマスクとして、半導体基板 2 をエッチングすることにより、シリサイド層 9 及び第 1 酸化膜 8 に到達するビアホール 10 が形成される。半導体基板 2 のエッチングは、ウェットエッチングでもドライエッチングでも良い（図 2 のステップ S 3 参照）。

30

#### 【0065】

シリサイド層 9 の直径 A とビアホール 10 の内径 B との間に前記（式 1）の関係が成り立つようにすることにより、シリサイド層 9 は半導体基板 2 から物理的にも電気的にも分離される。ビアホール 10 とシリサイド層 9 の加工精度は異なり、ビアホール 10 の内径のばらつきが約 1 μm であるのに対して、シリサイド層 9 の直径の加工ばらつきは約 1 nm である。

#### 【0066】

また、半導体基板 2 をエッチングすることで、導電層としてシリサイド層 9 が露出されるため、第 1 酸化膜 8 のエッチングは不要である。

40

#### 【0067】

次に、図 3 D に示すように、レジスト 15 を半導体基板 2 の裏面 2 b から除去する（図 2 のステップ S 4 参照）。レジスト 15 の除去は、ウェットプロセスでもドライプロセスでも良い。

#### 【0068】

そして、図 4 A に示すように、ビアホール 10 の側壁 10 a 及び半導体基板 2 の裏面 2 b に第 2 酸化膜 12 を形成する（図 2 のステップ S 5 参照）。第 2 酸化膜 12 の形成は、熱酸化法でも良いし、CVD 法でも良いし、又は、スパッタ法でも良い。

#### 【0069】

次に、図 4 B に示すように、シリサイド層 9 及び第 1 酸化膜 8 の上の第 2 酸化膜 12 を

50

エッティングすることにより、シリサイド層9を再度露出させる(図2のステップS6参照)。第1酸化膜8の上の第2酸化膜12はエッティングされずに残っても良い。第2酸化膜12のエッティングは、ドライエッティングが望ましい。これは、ビアホール側壁の酸化膜をエッティングせずにビアホール底部の酸化膜のみエッティングするために、異方性エッティングが必要なためである。

#### 【0070】

続いて、図4Cに示すように、第2バリア層13及び再配線層14を形成する(図2のステップS7参照)。第2バリア層13の形成は、CVD法でも良いし、スパッタ法でも良い。再配線層14の形成は、メッキ法が望ましいが、CVD法でも良いし、スパッタ法でも良いし、又は、これらの組み合わせでも良い。再配線層14は、ビアホール10を不完全に埋め込んだ形状でも良いし、又は、完全に埋め込んだ形状でも良い。

10

#### 【0071】

本実施の形態1の半導体装置1の数値例は、以下の通りである。半導体基板2の厚みは250μm、支持基板3の厚みは500μm、パッシベーション膜4の厚みは1μm、パッド電極5の大きさは一辺が150μmの正方形(ただし、必ずしも正方形である必要はない。)でかつその厚みは500nm、コンタクト電極6の直径は100μm(必ずしも円形である必要はない。)でかつその厚みは1000nm、第1バリア層7の厚みは10nm、第1酸化膜8の厚みは1μm、シリサイド層9の膜厚は10nmで直径は80μm(必ずしも円形である必要はない。)、ビアホール10の直径は200μm(必ずしも円形である必要はない。)、第2酸化膜12の厚みは500nm、第2バリア層13の厚みは20nm、再配線層14の厚みは20μm、レジスト15の厚みは20μmである。

20

#### 【0072】

本実施の形態1にかかる構成によれば、パッド電極5と貫通電極層11との間の抵抗値は、シリサイド層9の直径寸法に依存し、ビアホール10の内径寸法に依存しない状態にすることができるため、パッド電極5と貫通電極層11との間の抵抗値は、ビアホール10の内径寸法のばらつきに影響されなくなり、信頼性に優れた半導体装置を提供することができるようになる。ビアホール10とシリサイド層9との加工精度は異なり、ビアホール10の内径寸法のばらつきが約1μm単位であるのに対して、シリサイド層9の直径寸法の加工ばらつきは約1nm単位であり、三桁異なるため、本実施の形態1にかかる半導体装置1は、従来よりもパッド電極5と貫通電極層11との間の抵抗値のばらつきを小さくすることができる。

30

#### 【0073】

また、本実施の形態1にかかる半導体装置1において、ビアホール10の内径はパッド電極5の直径よりも大きくすることが可能であるため、ビアホール10のアスペクト比を低減することができ、さらには、パッド電極5の大きさを縮小することにより、半導体装置の一例としての半導体チップの面積を削減することができる。すなわち、本実施の形態1では、ビアホール10の中心軸方向(長手方向)の寸法と底部の幅(例えば、円形ビアホール10の直径)とのアスペクト比を従来と同じに設定すると、シリサイド層9の幅(例えば、円形シリサイド層9の直径)寸法をビアホール10の底部の幅よりも小さくすることができ、半導体チップ面積の削減が可能となる。逆に、シリサイド層9の幅(例えば、円形シリサイド層9の直径)寸法を、従来のパッド電極とビアホールの底部の幅(直径)寸法との接続部分の幅寸法と同じに設定すると、ビアホール10の幅(直径)寸法は、従来よりも大きくしてもよくなり、ビアホール10の加工がしやすくなる。

40

#### 【0074】

これに対して、従来の半導体装置においては、ビアホールの底部の幅(直径)寸法の精度を向上させようとしても、ビアホールの底部の幅(直径)寸法自体をコントロールすることができず、ビアホールの底部とは反対側の開口部側の幅(直径)寸法自体しかコントロールすることができなかった。また、ビアホールは、一般に、実際には、傾斜したテーパ側面を有するため、ビアホールの底部の幅(直径)寸法をコントロールすることは非常

50

に困難である。

**【0075】**

(実施の形態1の変形例1)

前記実施の形態1では、第1バリア層7とコンタクト電極6とを別々に形成しているが、これに限られるものではなく、前記実施の形態1の変形例1として、図4Dに示すように、第1バリア層7とコンタクト電極6とを一体化するようにしてもよい。すなわち、第1バリア層7を薄肉化又は省略するようにしてもよい。この変形例1を説明するにあたり、第1バリア層7の一例として、TiN層とTi層とが積層された積層膜を使用するとする。

**【0076】**

10

この第1バリア層7のTi層は、半導体基板2の一例としてのSi基板とのオーミックコンタクト(オームの法則が成り立つ接続)を形成する機能と、第1酸化膜8と第1バリア層7のTiN層との密着力を向上させる機能とを有している。オーミックコンタクトを形成する機能として、例えば、Ti層のTiと半導体基板2のSiとの熱反応により $Ti_{Si_2}$ のシリサイド層9を形成すれば、オーミックコンタクトになる。なお、第1バリア層7以外でシリサイド層9を形成すれば、このTi層は不要となる。

**【0077】**

また、第1バリア層7のTiN層は、半導体基板2(Si基板)へのコンタクト電極6のタンクステン等の拡散防止機能を有している。なお、半導体基板2(Si基板)に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用することができるならば、TiN層は不要となる。

20

**【0078】**

よって、前記したように、第1バリア層7以外でシリサイド層9を形成すれば、第1バリア層7のTi層を省略してTiN層のみとすることができます。また、半導体基板2(Si基板)に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用すれば、第1バリア層7のTiN層を省略してTi層のみとすることができます。また、第1バリア層7以外でシリサイド層9を形成し、かつ、半導体基板2(Si基板)に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用する場合には、第1バリア層7自体を形成せずに、コンタクト電極6のみとすることができます(図4D参照)。

30

**【0079】**

このように、第1バリア層7とコンタクト電極6とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段であるため、前記課題をそれぞれ解決できるならば、第1バリア層7の薄肉化又は省略を図ることが可能となり、その分、コンタクト電極6を大きくすることができる。

**【0080】**

(実施の形態1の変形例2)

前記実施の形態1では、第1バリア層7とコンタクト電極6とパッド電極5とを別々に形成しているが、これに限られるものではなく、前記実施の形態1の変形例2として、図4Eに示すように、第1バリア層7とコンタクト電極6とパッド電極5とを一体化するようにしてもよい。第1バリア層7とコンタクト電極6との一体化については、前記変形例1と同じであるため、ここでは、コンタクト電極6とパッド電極5との一体化について主として説明する。

40

**【0081】**

この変形例2において、コンタクト電極6は、低抵抗で半導体基板2(Si基板)とパッド電極5とに接続されている。パッド電極5は、低抵抗でコンタクト電極6に接続されており、ワイヤーボンディングを行うときには平坦部を確保する観点から必要である。すなわち、パッド電極5をコンタクト電極6とは別に設けることにより、外部電極端子として、コンタクト電極6だけの場合よりも、平坦度を向上させることができる。

**【0082】**

50

しかしながら、低抵抗で半導体基板 2 (Si 基板) に接続すれば、コンタクト電極 6 とパッド電極 5 を一体化して、図 4 E に示すように、パッド電極 5 を縦断面が凸形状にすることが可能となる。また、ワイヤーボンディングを使用しない場合には、パッド電極 5 が平坦である必要はない。

#### 【0083】

このように、第 1 バリア層 7 とコンタクト電極 6 とパッド電極 5 を別々に形成するのは、製造方法上の前記課題を解決するための 1 つの手段であるため、前記課題をそれぞれ解決できるならば、第 1 バリア層 7 とコンタクト電極 6 とパッド電極 5 を一体化させて形成することも可能となる。

#### 【0084】

10

##### (実施の形態 1 の変形例 3)

前記実施の形態 1 では、第 2 バリア層 13 と再配線層 14 を別々に形成しているが、これに限られるものではなく、前記実施の形態 1 の変形例 3 として、図 4 F に示すように、第 2 バリア層 13 と再配線層 14 を一体化するようにしてもよい。なお、図 4 F は図 4 E の変形例 2 に変形例 3 を適用した図であるが、これに限られるものではなく、この変形例 3 は、前記変形例 1 又は図 1 などの前記実施の形態 1 にも適用可能なものである。

#### 【0085】

この変形例 3 において、第 2 バリア層 13 (例えば、Ti で構成する層) は、半導体基板 2 (Si 基板) への再配線層 14 の拡散防止機能と、第 2 酸化膜 12 と再配線層 14 との密着力の向上機能とを有している。また、再配線層 14 (例えば、Cu で構成する層) は、低抵抗であり、かつ、半田ボールを搭載する機能を有している。なお、半導体基板 2 (Si 基板) への拡散防止機能と密着力の良い再配線材料を再配線層 14 として使用することができるならば、第 2 バリア層 13 を不要として、図 4 F に示すように、再配線層 14 を第 2 バリア層 13 の分だけ厚肉に形成することが可能となる。

20

#### 【0086】

このように、第 2 バリア層 13 と再配線層 14 を別々に形成するのは、製造方法上の前記課題を解決するための 1 つの手段であるため、前記課題をそれぞれ解決できるならば、第 2 バリア層 13 と再配線層 14 を一体化させて形成することも可能となる。

#### 【0087】

30

##### (実施の形態 2)

図 5 は、本発明の実施の形態 2 の半導体装置の部分断面図である。図 5 において、図 1 ~ 図 4 C と同じ構成要素については同じ符号を用い、説明を省略する。

#### 【0088】

本実施の形態 2 の特徴的な部分は、前記実施の形態 1 と比較して、シリサイド層 9 が半導体基板 2 の表面 2a よりもパッド電極 5 に近い側に形成されているため、シリサイド層 9 と接続する貫通電極層 11 の底部形状が下向きに凸になっている点である。すなわち、本実施の形態 2 では、第 1 酸化膜 8 の厚み方向の中間部にシリサイド層 9 が位置して、シリサイド層 9 の外側に第 1 バリア層 7 とコンタクト電極 6 が配置されると共に、シリサイド層 9 の内側に貫通電極層 11 の底部の中央部が入り込んだ形状となっている。なお、これに対して、前記実施の形態 1 では、シリサイド層 9 が半導体基板 2 の表面 2a よりもパッド電極 5 に遠い側に形成されているため、シリサイド層 9 と接続する貫通電極層 11 の底部形状が上向きに凸になっている。

40

#### 【0089】

このように貫通電極層 11 の底部形状が下向きに凸になっているのは、製造方法に起因するため、本実施の形態 2 の半導体装置 1 の製造方法について、図面を参照しながら説明する。図 6 は、本実施の形態 2 における半導体装置の製造方法を示すフローチャートであり、図 7 A ~ 図 8 C は、本実施の形態 2 における半導体装置の製造方法を説明するための部分断面図である。図 7 A ~ 図 8 C において、図 1 ~ 図 4 C と同じ構成要素については同じ符号を用い、説明を省略する。

#### 【0090】

50

最初に、図 7 A に示すように、不図示の電子回路が形成された半導体基板 2 の表面 2 a の上の第 1 酸化膜 8 の中に、ポリシリコン膜 1 6 とシリサイド層 9 と第 1 バリア層 7 及びコンタクト電極 6 を形成した後、パッド電極 5 及びパッシベーション膜 4 が形成される（図 6 のステップ S 1 1 参照）。このポリシリコン膜 1 6 は、その上にシリサイドを形成するための膜であり、シリサイド形成後は不要となる膜である。ただし、完全に取り除く必要は無く、S i 基板とショートしない程度であれば、シリサイド形成後に残っていても問題はない。

#### 【 0 0 9 1 】

ポリシリコン膜 1 6 は、第 1 酸化膜 8 が形成される前に形成されることが望ましいが、第 1 酸化膜 8 が形成された後に形成されても良い。

10

#### 【 0 0 9 2 】

シリサイド層 9 は、第 1 バリア層 7 を熱処理することで形成しても良いし、ポリシリコン膜 1 6 の上に別の膜（例えば、タンゲステン、チタン、コバルト、又は、ニッケルなど）を成膜後に熱処理することで、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドなどとして形成しても良い。第 1 バリア層 7 を熱処理することによりポリシリコン膜 1 6 の上にシリサイド層 9 を形成する場合、シリサイド層 9 が円形の場合の直径はコンタクト電極 6 が円形の場合のホール径と等しくなる。一方、タンゲステン、チタン、コバルト、又は、ニッケルなどを成膜後に熱処理することでポリシリコン膜 1 6 の上にシリサイド層 9 を形成する場合、シリサイド層 9 が円形の場合の径はコンタクト電極 6 が円形の場合のホール径と等しくても良いし、等しくなくても良い。

20

#### 【 0 0 9 3 】

コンタクト電極 6 は、単一の太いコンタクト電極部材で構成してもよく、代わりに、図 1 5 ~ 図 1 6 に示すように、単一のコンタクト電極部材 6 を複数の細いコンタクト電極部材 6 A に分割したような、複数のコンタクト電極部材 6 A で構成するようにしてもよい。コンタクト電極 6 が円形の場合の直径は、パッド電極 5 が円形の場合の直径よりも必ずしも小さい必要はなく、大きくても、同じでも良い。なお、図 1 5 は、本発明の実施の形態 2 の半導体装置において、コンタクト電極形成前にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図である。図 1 6 は、本発明の実施の形態 2 の半導体装置において、コンタクト電極形成後にシリサイドを形成する場合に、コンタクト電極が複数のコンタクト電極部材である例を示す部分断面図である。

30

#### 【 0 0 9 4 】

そして、パッシベーション膜 4 の上に、不図示の接着剤を介して、支持基板 3 が接着される（図 7 A 参照）。

#### 【 0 0 9 5 】

次に、図 7 B に示すように、半導体基板 2 の裏面 2 b の上に、パッド電極 5 に相当する位置を開口するために、レジスト 1 5 が形成される（図 6 のステップ S 1 2 参照）。

#### 【 0 0 9 6 】

そして、図 7 C に示すように、レジスト 1 5 をマスクとして、半導体基板 2 とポリシリコン膜 1 6 をエッチングすることにより、シリサイド層 9 及び第 1 酸化膜 8 に到達するビアホール 1 0 が形成される（図 6 のステップ S 1 3 参照）。ここで、本実施の形態 2 の特徴であるシリサイド層 9 と接続する貫通電極層 1 1 の底部形状が下凸になる。半導体基板 2 とポリシリコン膜 1 6 のエッチングは、ウェットエッチングでもドライエッチングでも良い。

40

#### 【 0 0 9 7 】

シリサイド層 9 の直径 A とビアホール 1 0 の内径 B との間に前述の（式 1）の関係が成り立つようにすることにより、シリサイド層 9 は半導体基板 2 とポリシリコン膜 1 6 とから物理的にも電気的にも分離される。ビアホール 1 0 とシリサイド層 9 とポリシリコン膜 1 6 の加工精度は異なり、ビアホール 1 0 の内径のばらつきが約 1 μm 単位であるのに対して、シリサイド層 9 の直径の加工ばらつきは約 1 nm 単位である。また、ポリシリコン

50

膜 16 の直径の加工ばらつきは、シリサイド層 9 と同等であり、約 1 nm 単位である。

**【 0 0 9 8 】**

ビアホール 10 の内径はパッド電極 5 の直径よりも大きくすることが可能であるため、ビアホール 10 のアスペクト比を低減することができ、さらには、パッド電極 5 の大きさを縮小することにより、半導体装置の一例としての半導体チップの面積を削減することができる。

**【 0 0 9 9 】**

また、半導体基板 2 とポリシリコン膜 16 とをエッティングすることで、導電層としてシリサイド層 9 が露出されるため、第 1 酸化膜 8 のエッティングは不要である。

**【 0 1 0 0 】**

次に、図 7 D に示すように、レジスト 15 を半導体基板 2 の裏面 2 b から除去する（図 6 のステップ S 14 参照）。レジスト 15 の除去は、ウェットプロセスでもドライプロセスでも良い。

**【 0 1 0 1 】**

そして、図 8 A に示すように、ビアホール 10 の側壁 10 a 及び半導体基板 2 の裏面 2 b に第 2 酸化膜 12 を形成する（図 6 のステップ S 15 参照）。第 2 酸化膜 12 の形成は、熱酸化法でも良いし、CVD 法でも良いし、又は、スパッタ法でも良い。

**【 0 1 0 2 】**

次に、図 8 B に示すように、シリサイド層 9 及び第 1 酸化膜 8 の上の第 2 酸化膜 12 をエッティングすることにより、シリサイド層 9 を再度露出させる（図 6 のステップ S 16 参照）。第 1 酸化膜 8 の上の第 2 酸化膜 12 はエッティングされずに残っても良い。また、第 1 酸化膜 8 の側壁に形成された第 2 酸化膜 12 もエッティングされずに残っても良い。第 2 酸化膜 12 のエッティングは、ドライエッティングが望ましい。

**【 0 1 0 3 】**

続いて、図 8 C に示すように、第 2 バリア層 13 及び再配線層 14 を形成する（図 6 のステップ S 17 参照）。第 2 バリア層 13 の形成は、CVD 法でも良いし、スパッタ法でも良いし、又は、これらの組み合わせでも良い。再配線層 14 の形成は、メッキ法が望ましいが、CVD 法でも良いし、スパッタ法でも良いし、これらの組み合わせでも良い。再配線層 14 は、ビアホール 10 を不完全に埋め込んだ形状でも良いし、又は、完全に埋め込んだ形状でも良い。

**【 0 1 0 4 】**

本実施の形態 2 の半導体装置 1 の数値例は、前記実施の形態 1 の数値例に追加して、ポリシリコン膜 16 の厚みが 150 nm (ドーピング有無はどちらでも可。) である。

**【 0 1 0 5 】**

本実施の形態 2 にかかる構成によれば、パッド電極 5 と貫通電極層 11 との間の抵抗値は、シリサイド層 9 の直径寸法に依存し、ビアホール 10 の内径寸法に依存しない状態にすることができるため、パッド電極 5 と貫通電極層 11 との間の抵抗値は、ビアホール 10 の内径寸法のばらつきに影響されなくなる。ビアホール 10 とシリサイド層 9 との加工精度は異なり、ビアホール 10 の内径寸法のばらつきが約 1 μm 単位であるのに対して、シリサイド層 9 の直径寸法の加工ばらつきは約 1 nm 単位であり、三桁異なるため、本実施の形態 2 にかかる半導体装置 1 は、従来よりもパッド電極 5 と貫通電極層 11 との間の抵抗値ばらつきを小さくすることができる。

**【 0 1 0 6 】**

更に、本実施の形態 2 にかかる半導体装置 1 は、前記実施の形態 1 の半導体装置 1 よりも、パッド電極 5 と第 1 バリア層 7 との間のコンタクト電極 6 の長さが短いため、パッド電極 5 と貫通電極層 11 との間の抵抗値を小さくすることもできる。

**【 0 1 0 7 】**

また、本実施の形態 2 にかかる半導体装置 1 においても、ビアホール 10 の内径はパッド電極 5 の直径よりも大きくすることが可能であるため、ビアホール 10 のアスペクト比を低減することができ、さらには、パッド電極 5 の大きさを縮小することにより、半導体

10

20

30

40

50

装置の一例としての半導体チップの面積を削減することができる。すなわち、本実施の形態2でも、ビアホール10の中心軸方向（長手方向）の寸法と底部の幅（例えば、円形ビアホール10の直径）とのアスペクト比を従来と同じに設定すると、シリサイド層9の幅（例えば、円形シリサイド層9の直径）寸法をビアホール10の底部の幅よりも小さくすることができ、半導体チップ面積の削減が可能となる。逆に、シリサイド層9の幅（例えば、円形シリサイド層9の直径）寸法を、従来のパッド電極とビアホールの底部の幅（直径）寸法との接続部分の幅寸法と同じに設定すると、ビアホール10の幅（直径）寸法は、従来よりも大きくしてもよくなり、ビアホール10の加工がしやすくなる。

#### 【0108】

これに対して、従来の半導体装置においては、ビアホールの底部の幅（直径）寸法の精度を向上させようとしても、ビアホールの底部の幅（直径）寸法自体をコントロールすることができず、ビアホールの底部とは反対側の開口部側の幅（直径）寸法自体しかコントロールすることができなかった。また、ビアホールは、一般に、実際には、傾斜したテーパ側面を有するため、ビアホールの底部の幅（直径）寸法をコントロールすることは非常に困難である。

#### 【0109】

なお、本実施の形態2において、ポリシリコン膜16は、アモルファスシリコン膜、または、単結晶シリコン膜であっても同様の効果が得られる。

#### 【0110】

##### （実施の形態2の変形例1）

前記実施の形態2では、第1バリア層7とコンタクト電極6とを別々に形成しているが、これに限られるものではなく、前記実施の形態2の変形例1として、図8Dに示すように、第1バリア層7とコンタクト電極6とを一体化するようにしてもよい。すなわち、第1バリア層7を薄肉化又は省略するようにしてもよい。この変形例1を説明するにあたり、第1バリア層7の一例として、TiN層とTi層とが積層された積層膜を使用するとする。

#### 【0111】

この第1バリア層7のTi層は、半導体基板2の一例としてのSi基板とのオーミックコンタクトを形成する機能と、第1酸化膜8と第1バリア層7のTiN層との密着力を向上させる機能とを有している。オーミックコンタクトを形成する機能として、例えば、Ti層のTiと半導体基板2のSiとの熱反応により $Ti_{x}Si_2$ のシリサイド層9を形成すれば、オーミックコンタクトになる。なお、第1バリア層7以外でシリサイド層9を形成すれば、Ti層は不要となる。

#### 【0112】

また、第1バリア層7のTiN層は、半導体基板2（Si基板）へのコンタクト電極6のタングステン等の拡散防止機能を有している。なお、半導体基板2（Si基板）に拡散しないコンタクト電極材料をコンタクト電極6として使用することができるならば、TiN層は不要となる。

#### 【0113】

よって、前記したように、第1バリア層7以外でシリサイド層9を形成すれば、第1バリア層7のTi層を省略してTiN層のみとすることができます。また、半導体基板2（Si基板）に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用すれば、第1バリア層7のTiN層を省略してTi層のみとすることができます。また、第1バリア層7以外でシリサイド層9を形成し、かつ、半導体基板2（Si基板）に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用する場合には、第1バリア層7自体を形成せずに、コンタクト電極6のみとすることができます（図8D参照）。

#### 【0114】

このように、第1バリア層7とコンタクト電極6とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段であるため、前記課題をそれぞれ解決できるなら

10

20

30

40

50

ば、第1バリア層7の薄肉化又は省略を図ることが可能となり、その分、コンタクト電極6を大きくすることができる。

#### 【0115】

##### (実施の形態2の変形例2)

前記実施の形態2では、第1バリア層7とコンタクト電極6とパッド電極5とを別々に形成しているが、これに限られるものではなく、前記実施の形態2の変形例2として、図8Eに示すように、第1バリア層7とコンタクト電極6とパッド電極5とを一体化するようにもよい。第1バリア層7とコンタクト電極6との一体化については、前記変形例1と同じであるため、ここでは、コンタクト電極6とパッド電極5との一体化について主として説明する。この変形例2において、コンタクト電極6は、低抵抗で半導体基板2(Si基板)とパッド電極5とに接続されている。パッド電極5は、低抵抗でコンタクト電極6に接続されており、ワイヤーボンディングを行うときには平坦部を確保する観点から必要である。すなわち、パッド電極5をコンタクト電極6とは別に設けることにより、外部電極端子として、コンタクト電極6だけの場合よりも、平坦度を向上させることができる。しかしながら、低抵抗で半導体基板2(Si基板)に接続すれば、コンタクト電極6とパッド電極5とを一体化して、図8Eに示すように、パッド電極5を縦断面が凸形状にすることが可能となる。また、ワイヤーボンディングを使用しない場合には、パッド電極5が平坦である必要はない。

10

#### 【0116】

このように、第1バリア層7とコンタクト電極6とパッド電極5とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段であるため、前記課題をそれぞれ解決できるならば、第1バリア層7とコンタクト電極6とパッド電極5とを一体化させて形成することも可能となる。

20

#### 【0117】

##### (実施の形態2の変形例3)

前記実施の形態2では、第2バリア層13と再配線層14とを別々に形成しているが、これに限られるものではなく、前記実施の形態2の変形例3として、図8Fに示すように、第2バリア層13と再配線層14とを一体化するようにもよい。なお、図8Fは図8Eの変形例2に変形例3を適用した図であるが、これに限られるものではなく、この変形例3は、前記変形例1又は図5などの前記実施の形態2にも適用可能なものである。

30

#### 【0118】

この変形例3において、第2バリア層13(例えば、Tiで構成する層)は、半導体基板2(Si基板)への再配線層14の拡散防止機能と、第2酸化膜12と再配線層14との密着力の向上機能とを有している。また、再配線層14(例えば、Cuで構成する層)は、低抵抗であり、かつ、半田ボールを搭載する機能を有している。なお、半導体基板2(Si基板)への拡散防止機能と密着力の良い再配線材料を再配線層14として使用することができるならば、第2バリア層13を不要として、図8Fに示すように、再配線層14を第2バリア層13の分だけ厚肉に形成することが可能となる。

#### 【0119】

このように、第2バリア層13と再配線層14とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段であるため、前記課題をそれぞれ解決できるならば、第2バリア層13と再配線層14とを一体化させて形成することも可能となる。

40

#### 【0120】

なお、上記様々な実施の形態のうちの任意の実施の形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

#### 【産業上の利用可能性】

#### 【0121】

本発明の半導体装置は、パッド電極と貫通電極層との間の抵抗値がピアホールの内径の寸法のばらつきに依存しない、信頼性に優れた貫通電極層を有しており、半導体基板に貫通電極層を形成する半導体装置に広く適用できる。

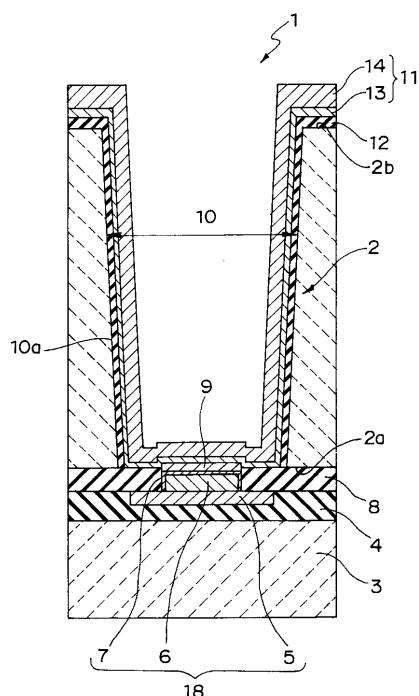
50

## 【符号の説明】

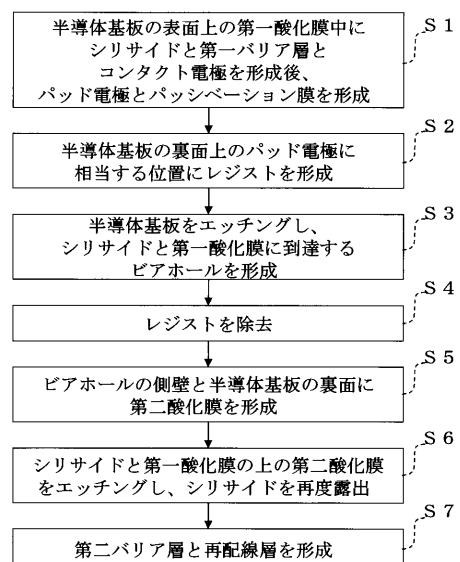
## 【0122】

1	半導体装置	
2	半導体基板	
3	支持基板	
4	パッシベーション膜	
5	パッド電極	
6	コンタクト電極	
7	第1バリア層	10
8	第1酸化膜	
9	シリサイド層	
10	ビアホール	
10a	側壁	
11	貫通電極層	
12	第2酸化膜	
13	第2バリア層	
14	再配線層	
15	レジスト	
16	ポリシリコン膜	
18	電極部	20

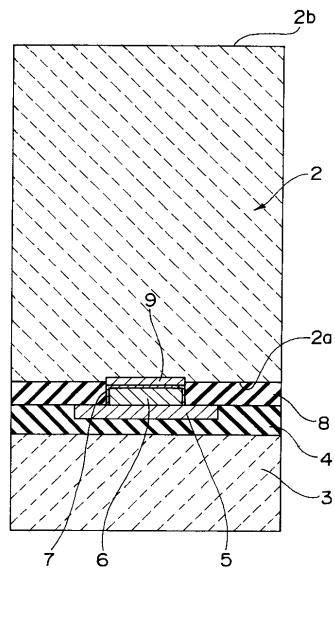
【図1】



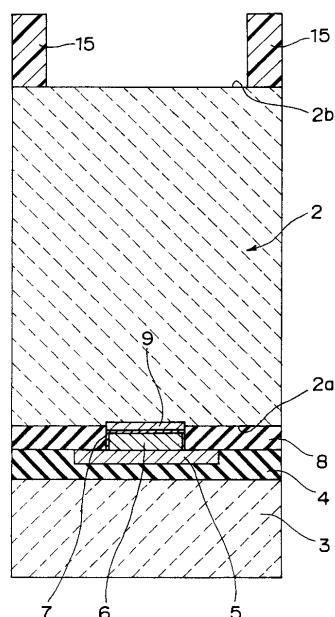
【図2】



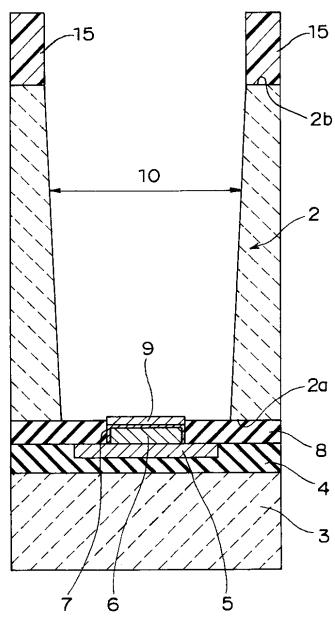
【図3A】



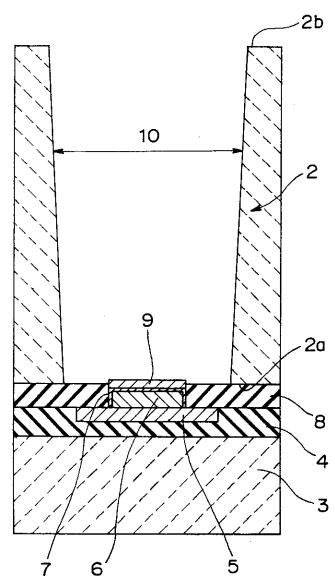
【図3B】



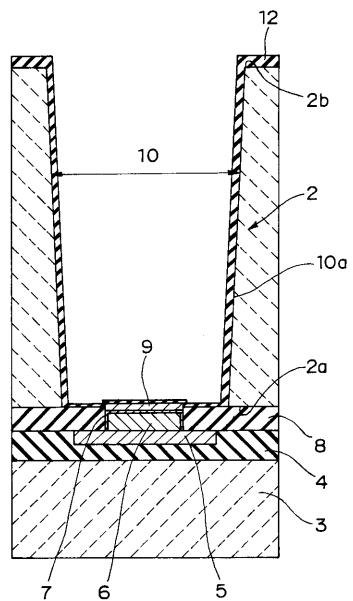
【図3C】



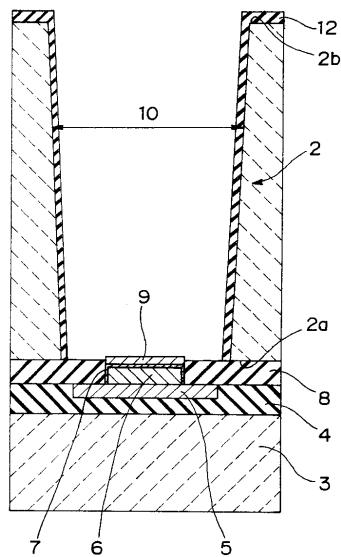
【図3D】



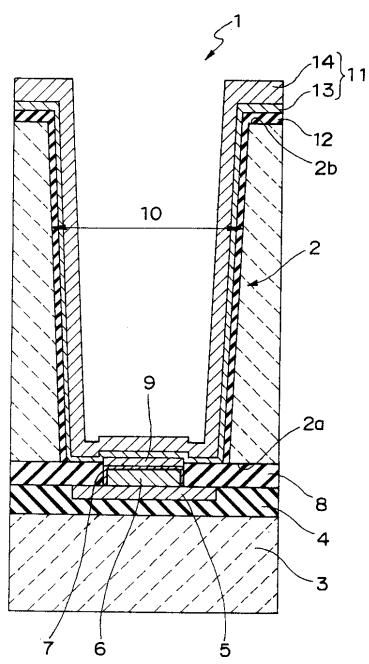
【図4A】



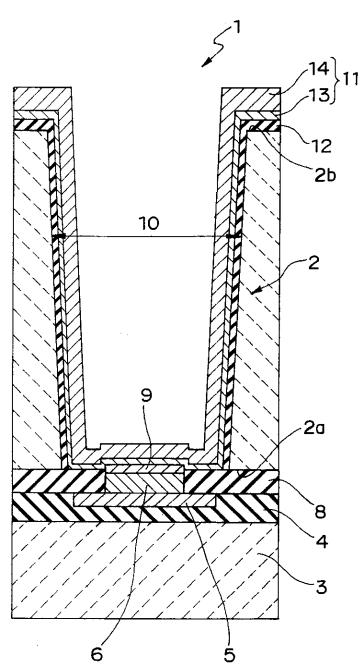
【図4B】



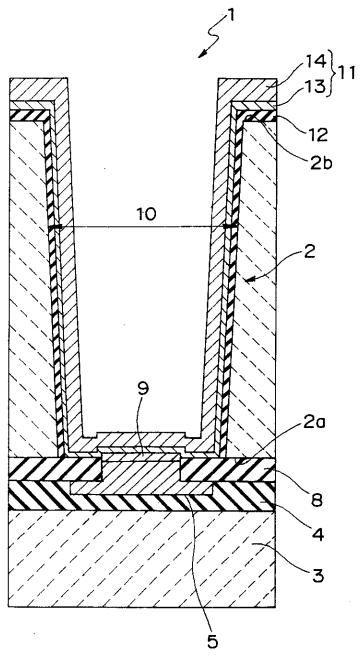
【図4C】



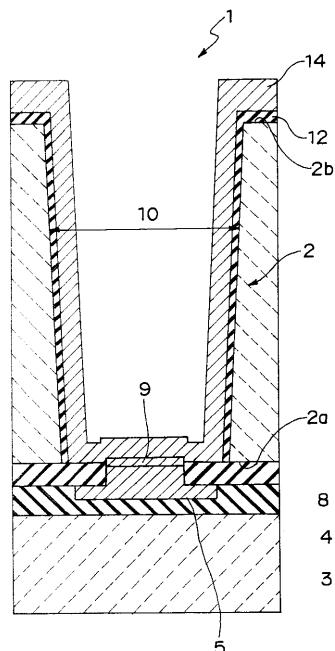
【図4D】



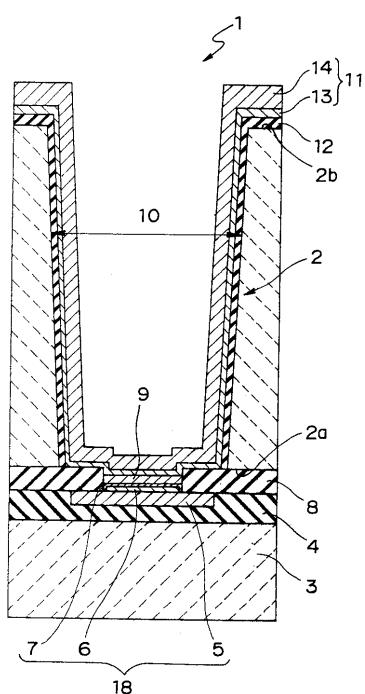
【図4E】



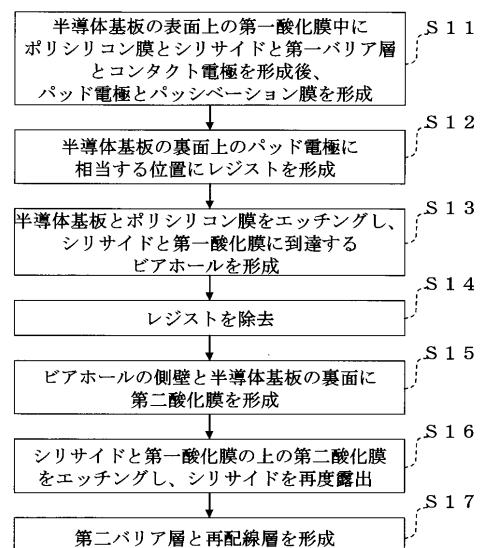
【図4F】



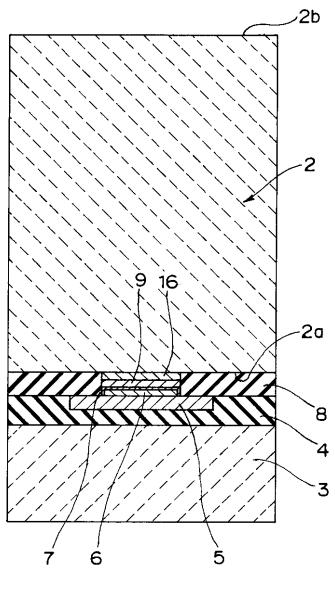
【図5】



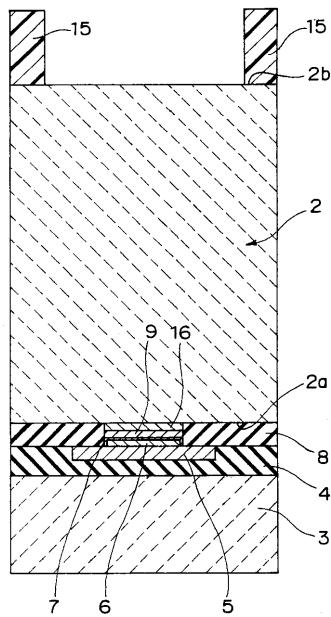
【図6】



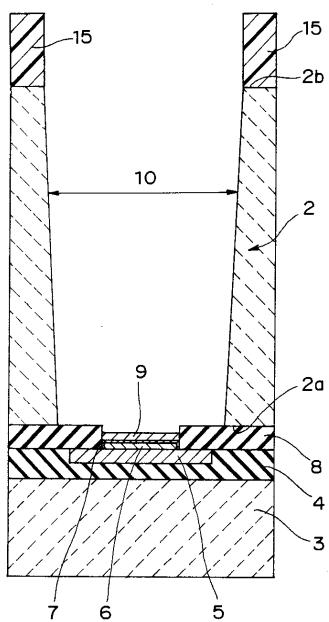
【図 7 A】



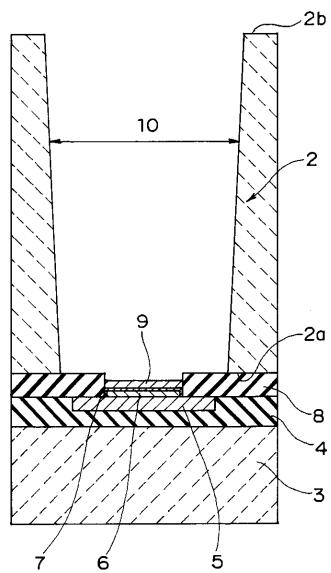
【図 7 B】



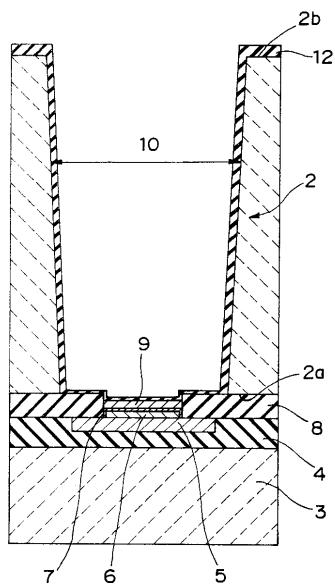
【図 7 C】



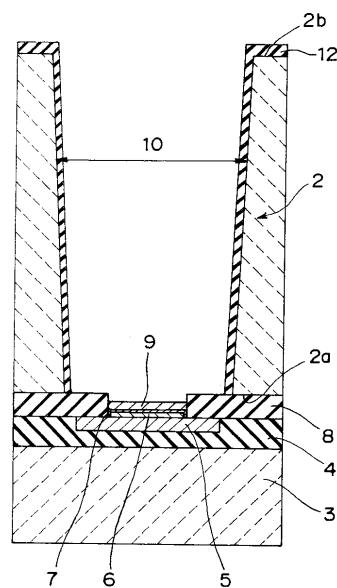
【図 7 D】



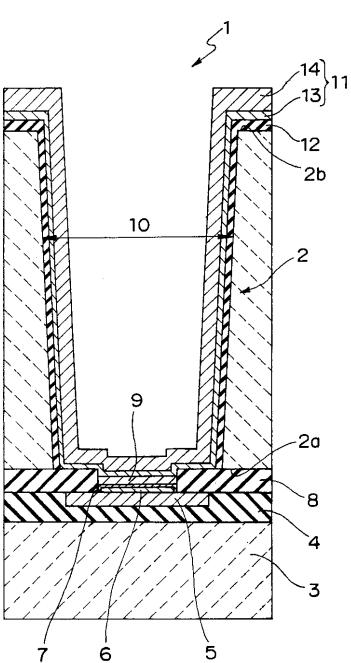
【図 8 A】



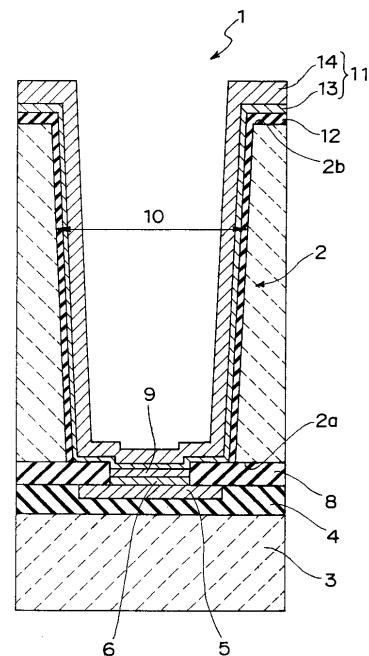
【図 8 B】



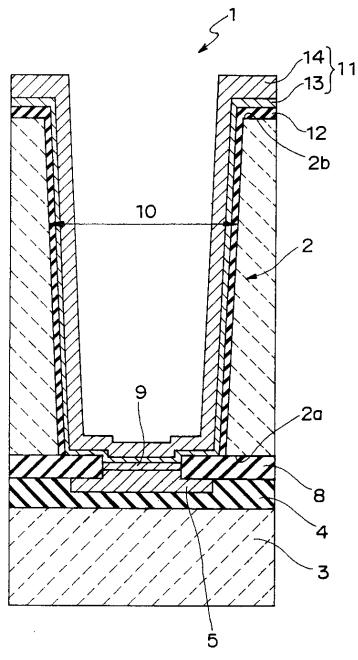
【図 8 C】



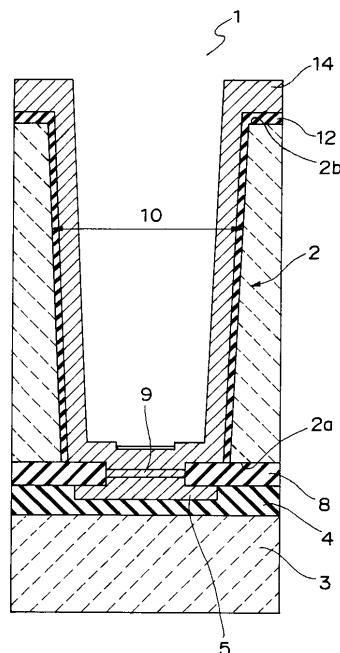
【図 8 D】



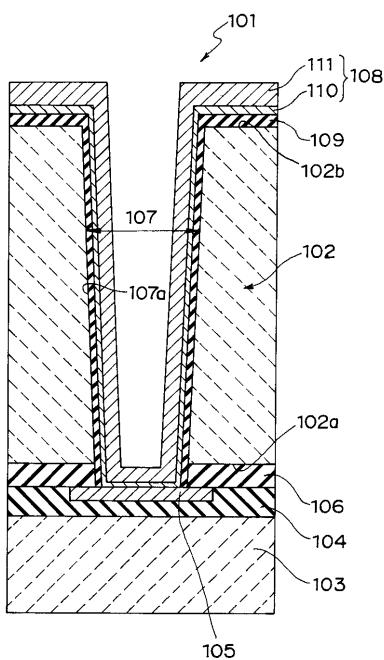
【図 8 E】



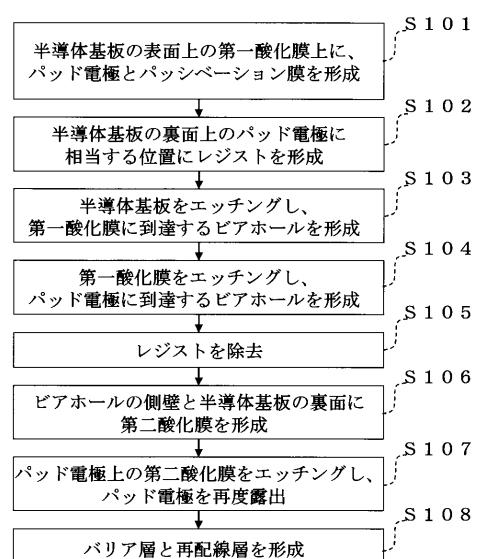
【図 8 F】



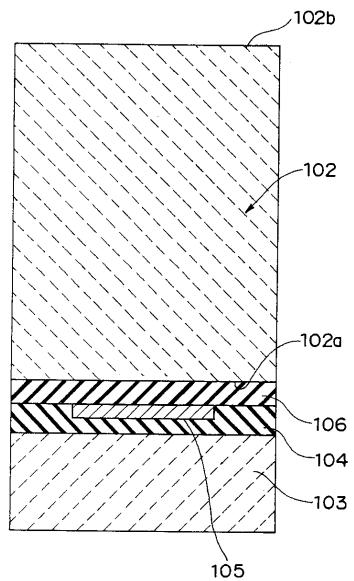
【図 9】



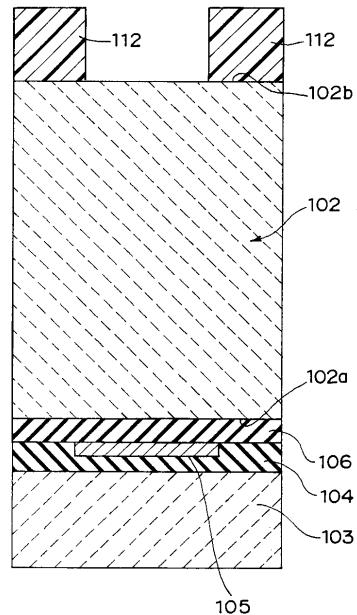
【図 10】



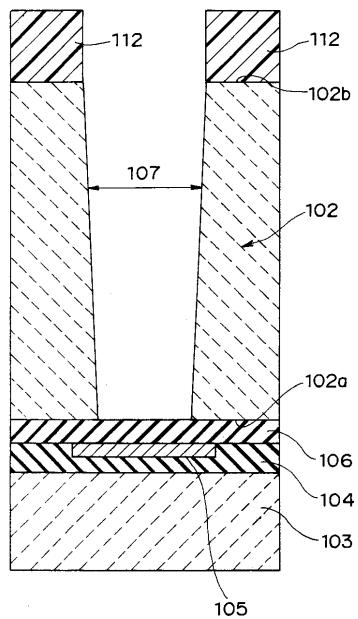
【図 1 1 A】



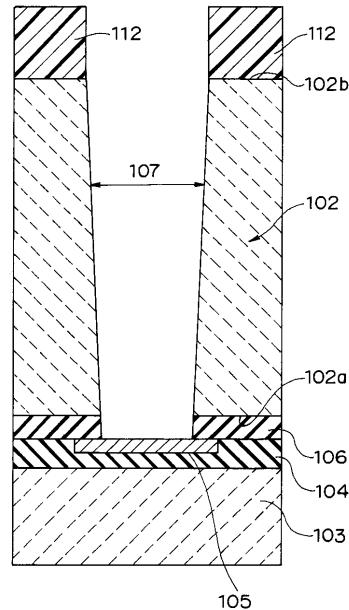
【図 1 1 B】



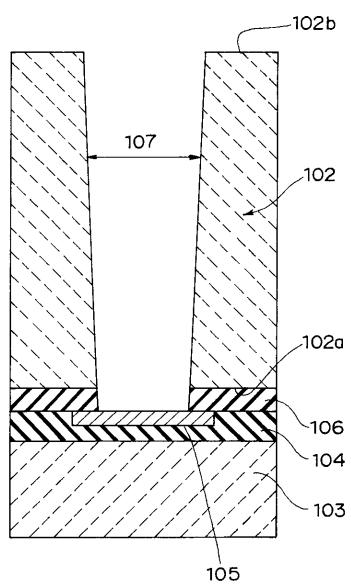
【図 1 1 C】



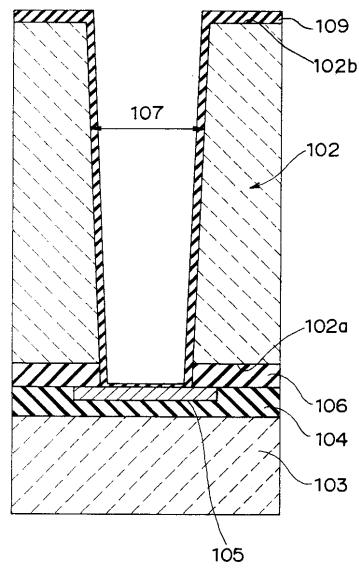
【図 1 1 D】



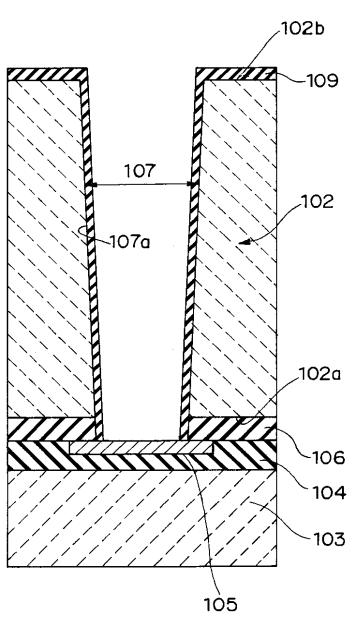
【図 1 2 A】



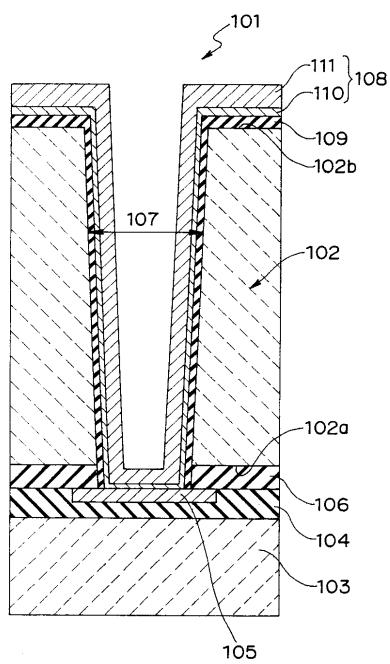
【図 1 2 B】



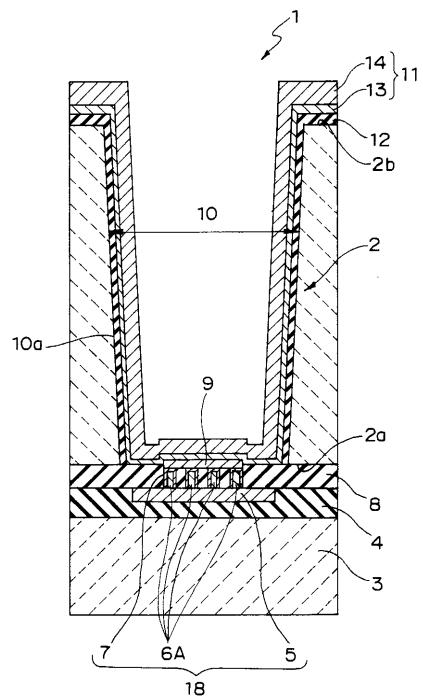
【図 1 2 C】



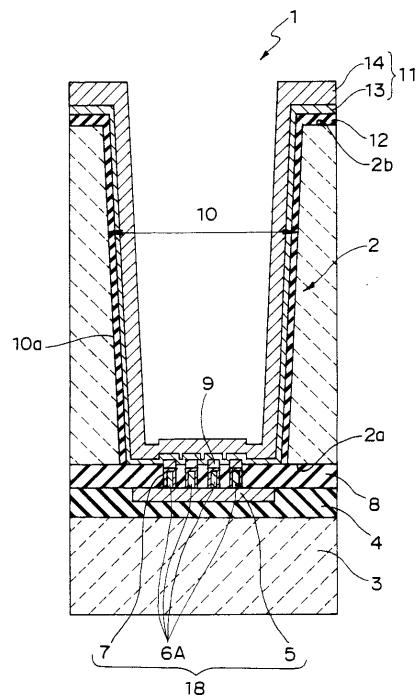
【図 1 2 D】



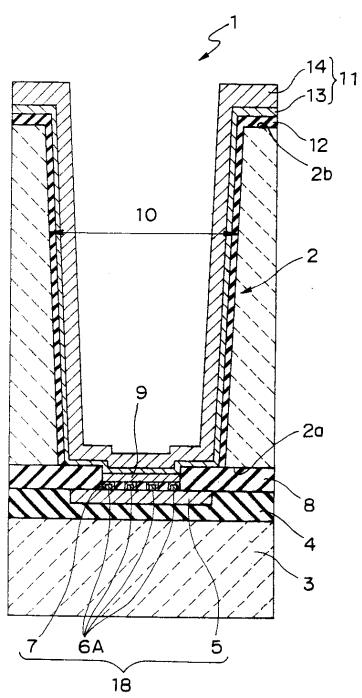
【図13】



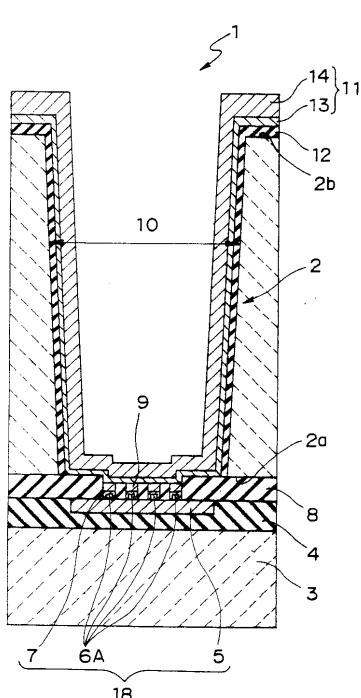
【図14】



【図15】



【図16】



---

フロントページの続き

(72)発明者 甲斐 隆行  
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 大熊 崇文  
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 山西 斎  
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 正山 旭

(56)参考文献 特開2005-276877(JP,A)  
特開2006-032699(JP,A)  
特開2005-109347(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/768

H01L 23/12

H01L 23/522

H01L 23/532