

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06F 13/364

G06F 13/30



[12] 发明专利说明书

专利号 ZL 02809465.4

[45] 授权公告日 2005 年 12 月 7 日

[11] 授权公告号 CN 1230758C

[22] 申请日 2002.5.15 [21] 申请号 02809465.4

[30] 优先权

[32] 2001.6.23 [33] US [31] 09/888,278

[86] 国际申请 PCT/US2002/018358 2002.5.15

[87] 国际公布 WO2003/001388 英 2003.1.3

[85] 进入国家阶段日期 2003.11.6

[71] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯州

[72] 发明人 威廉·C·莫耶

审查员 王 欢

[74] 专利代理机构 中原信达知识产权代理有限责任公司

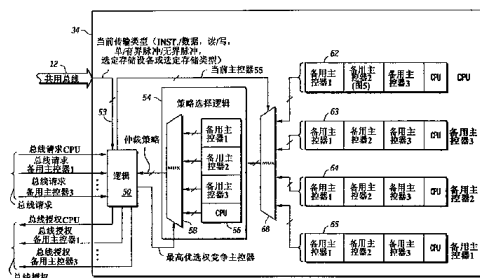
代理人 谢丽娜 张天舒

权利要求书 2 页 说明书 11 页 附图 4 页

[54] 发明名称 在高速缓存脉冲周期期间控制总线仲裁的系统和方法

[57] 摘要

总线仲裁器(34)在信息脉冲处理期间监测通过共用数据总线(12)传送的与信息类型有关的特征。可通过解码后的值来对用户控制仲裁策略寄存器(56)进行编程,从而控制是否允许由于总线主控器请求而中断。可使用不同因素确定中断允许。这些因素的例子包括请求设备的类型,脉冲处理是有界还是无界,系统存储器是读还是写处理以及请求总线控制权的特定设备的标识。



1. 一种用于控制对通信总线的使用的系统，其包括：

5 耦合到通信总线的多个通信总线主控制器，当所述多个通信总线主控制器中的至少一个被给予通信总线所有权从而作为总线主控制器时，所述多个通信总线主控制器中的该至少一个通过所述通信总线在脉冲周期中传送信息；和

10 一个总线仲裁器，其连接至所述通信总线，且响应所述多个通信总线主控制器中任意一个需要主控所述通信总线，所述总线仲裁器执行仲裁策略以有选择地允许所述多个通信总线主控制器中的一个单独访问所述通信总线，所述总线仲裁器具有用户控制电路，用于接收控制信息，该控制信息在信息脉冲传输期间的任意时刻可再分配通信总线控制权给所述多个通信总线主控制器中的任意之一而不必等到当前通信总线上的当前脉冲通信完成，所述控制信息基于当前在所述通信总线上的脉冲传输的类型是有界脉冲还是无界脉冲来确定所述仲裁策略。

15

2. 如权利要求 1 所述的系统，其中，所述用户控制电路进一步包括：

20 一个或多个寄存器，用于存储由用户确定的至少一个预定的控制信号，所述预定控制信号规定了所述仲裁策略。

3. 如权利要求 2 所述的系统，其中，所述总线仲裁器进一步包括：

25 连接至所述一个或多个寄存器的逻辑电路，所述逻辑电路实施所述仲裁策略，作为对所述至少一个预定控制信号和由所述通信总线正传送的当前脉冲传输的预定特征的响应。

4. 一种用于控制系统中通信总线的使用的方法，该方法包括：

30 通过用户控制装置提供控制值给总线仲裁器，在信息脉冲传输期间，所述控制值选择预定的多个仲裁策略之一；和
根据由所述控制值确定的仲裁策略并且基于所述通信总线的当前

总线主控器的特征在多个总线主控器中选择总线所有权。

5. 如权利要求 4 所述的方法，进一步包括：

5 将当前的传输类型信号从所述通信总线提供给所述总线仲裁器的逻辑电路，所述状态信号包括当前脉冲传输类型信息，所述当前脉冲传输类型信息提供与通过所述通信总线传送的当前脉冲传输有关的类型信息；以及

在当前的总线主控器的信息脉冲传输期间的任意时刻，有选择地将通信总线控制权进行再分配而不必等到所述当前脉冲通信完成。

10

6. 如权利要求 4 所述的方法，进一步包括：

根据在所述通信总线上的当前传送的脉冲传输的时序特征，使用所述控制值来选择多个总线主控器中的一个。

15

7. 如权利要求 4 所述的方法，进一步包括：

将所述控制值存储在作为用户控制装置的控制寄存器中，所述控制寄存器通过使用集成电路引脚或者执行用户提供的软件指令来由用户进行控制。

20

8. 如权利要求 4 所述的方法，进一步包括：

提供多个用户确定的控制信号，所述多个用户确定的控制信号中的每一个单独地确定用于所述多个总线主控器中的预定一个的总裁策略。

25

在高速缓存脉冲周期期间控制总线仲裁的系统和方法

5 该申请在 2001 年 6 月 23 日已经在美国申请，专利申请号为 09/888,278。

技术领域

10 本发明一般涉及数据处理系统，更特别涉及数据处理系统中的通信总线控制仲裁。

背景技术

15 在包括多个通信总线主控器的数据处理系统中，使用总线仲裁逻辑以选定几个请求的主控器之一获得总线所有权。总线主控器的选定可用多种已知方法得出。用于完成选定的现有算法的例子包括用循环排序、公平性或严格分配的优先权完成选定。在许多数据处理系统中，希望一个总线主控器在与高速缓存（cache）线路占用或回写操作有关的脉冲传送期间保持共用通信总线的所有权，不中断总线所有权，以提高存储系统的运行效率。

20 典型地，通过提供一些指示（例如脉冲标志）给正突发或传送的传输的初始部分，共用通信总线在这样操作期间专用于一个总线主控器。这样的属性在系统内是公认的，总线仲裁控制电路防止通信总线所有权的再分配。一旦获得总线控制，当前总线主控器将会在脉冲传输期间保持总线所有权。

25

 另一用于保持总线所有权的技术是控制总线的设备维护（assert）一个总线锁定信号。该技术的一个缺点是系统中的任何其它临界中断（critical interrupt）被锁在使用总线之外直至撤回锁定信号。专用锁定比特的使用是以前关于此种锁定信号使用的一种实现。

30

其它已知系统规定脉冲传输可被中断，并要求一旦重新获得总线所有权，中断的总线主控器就重新启动被中断的脉冲传输。该技术的一个缺点是中断的总线主控器必须重建总线传输序列，因此降低了整个系统效率并增加了总线协议的复杂性。

在某些特殊情况下，高速缓存线路占用长度可能超过时间临界的备用总线主控器的最大所需等待时间。虽然这种类型中断的发生频率通常较低，但是此种备用总线主控器可能需要立即访问总线。这种情况下，虽然此种现存脉冲传输的中断肯定会降低存储系统以及与当前脉冲传输有关的处理器的效率，但是当前脉冲序列先暂时中断然后恢复是很重要的。

附图说明

本发明以例子进行说明，但不限于附图，其中相同标记表示相同组件。

图 1 以框图形式示出与本发明一起使用的示范性处理系统；

图 2 以时序图形式示出有界和无界脉冲传输的特征格式；

图 3 以时序图形式示出与不同类型存储设备相关的信息脉冲特征格式；

图 4 以框图形式示出根据本发明的图 1 中的总线仲裁器的示范性实例；

图 5 以表格形式示出图 4 所示控制寄存器控制域编码；以及

图 6 以表格形式示出图 4 所示控制寄存器控制域另外的编码。

本领域技术人员应该理解，附图中元件仅为简单、清楚起见，不必符合比例绘制。例如，附图中某些组件的尺寸相对于其它组件被放大，以帮助增进对于本发明实施例的理解。

具体实施方式

对于需要多个通信总线主控器的数据处理系统，需要一个改进的总线所有权协议，特别是关于使用信息脉冲传输在系统中传递总线控制。在包括多个通信总线主控器的数据处理系统中，使用总线仲裁逻辑来选定几个请求的主控器之一获得总线所有权。总线主控器的选择可以使用许多已知方法得出。优先权方案是经常采用的一种技术，用来决定给予哪个系统资源以总线控制。在许多数据处理系统中，一旦获得总线控制，当前主控器在脉冲传输期间保持所有权。

图 1 示出需要总线仲裁的一个示范性数据处理系统 10。共用总线 12 是数据处理系统 10 内的通信中心。共用总线 12 具有用于传送数据、地址和控制信息的导线（未示出）。中央处理单元或 CPU 14 连接至共用总线 12。CPU 14 具有连接至共用总线 12 和高速缓存 18 的总线接口 16。总线接口 16 也连接到 CPU 14 的其它所有电路（未示出）。系统存储器 20，系统存储器 22 和系统存储器 24 每个都连接到共用总线 12。每个系统存储器代表一个不同类型的存储器。系统存储器 20 指定为实现类型 A，系统存储器 22 指定为实现类型 B，系统存储器 24 指定为实现类型 C。存储器的类型的例子包括 DRAM（动态随机存取存储器），闪存（Flash），ROM（只读存储器）以及 SRAM（静态随机存取存储器）。预定数目的外围设备连接至共用总线 12。第一外围设备是外围设备 28，其连接到共用总线 12，以及第 N 个外围设备是外围设备 30，其连接到共用总线 12。外设 28 至 30 可以是不同类型的外围设备，包括存储器控制器，图形控制器，显示器，键盘等等。在图示中，N 是一个预定的整数值。总线仲裁器 34 连接到共用总线 12。此外，其它预定数目的备用总线主控器连接到共用总线 12。在图示中，备用总线主控器 36，备用总线主控器 38 和备用总线主控器 40 每一个都连接到共用总线 12。

在运行时，CPU 14 与各外围设备、存储器以及备用总线主控器一同运行以执行预定系统功能或操作。系统 10 所需的以及系统 10 产

生的选定信息由系统存储器 20、22 和 24 提供和存储。由于在系统 10 内多路操作同时进行，总线仲裁器 34 必须起到控制对共用总线 12 的访问的功能。为最小化 CPU 14 访问系统存储器的需要，CPU 14 具有内部高速缓存 18，其通常比任何系统存储器存储容量小得多。高速缓存 18 可以是一个统一的高速缓存，保存指令以及数据，或实现分离的高速缓存模块以在不同模块中保存指令和数据。典型地，高速缓存 18 存储来自系统存储器 20，系统存储器 22 和系统存储器 24 的信息的副本。高速缓存 18 用高速缓存脉冲传输从系统存储器 20，系统存储器 22 和系统存储器 24 获得信息并回写信息。典型地，高速缓存脉冲传输经共用总线 12 在脉冲序列中传递由多个数据字信息组成的信息的“一块”或“一行”。许多在数据处理系统中实施的存储器经信息脉冲传输通信，其中该信息以快速、连续脉冲进行传送。

脉冲传输可被分为两种类型：有界脉冲和无界脉冲。在图 2 中以时序图形式示出两种类型脉冲传输的例子，用于解释有界和无界脉冲之间的区别。有界脉冲通常与高速缓存存储器有关，其中脉冲是一个固定长度且通常具有为 2 的幂数的许多“脉动(beat)”。例如，使用行长为 4 字的高速缓存将执行由四个脉动构成的高速缓存脉冲，每个脉动对应于 4 字中的一个。图 2 的有界脉冲在各图示高速缓存脉冲中有四个脉动。一个无界脉冲的例子可包括诸如直接存储存取 (DMA) 控制器 (DMAC) 的备用总线主控器，上述备用主控器编程用于传输任意数目的信息字节或字。如图 2 所示，无界脉冲长度不定，因此总线仲裁器不能可靠预计何时将发生 DMA 控制器释放总线控制。

图 3 以时序图形式示出使用信息脉冲传输以及具有不同脉冲类型的不同类型存储设备的特性。示出一个具有初始脉冲或脉动、持续时间长于随后立即跟随的脉动的脉冲模式设备。例如，初始脉动可以是 3 个时钟脉冲长而随后脉动可能每个持续时间是 1 个时钟脉冲。脉冲模式设备可以支持如图所示的无界脉冲，或有界脉冲。普通脉冲模式设备的例子包括 DRAM 以及闪存。示出一个低速脉冲设备，具有相

同时钟持续时间的长（即低速）连续脉动。作为一个例子，显示每个脉动持续时间为 4 个时钟周期。低速脉冲设备的脉冲存取可以是无界或有界的。一个普通低速脉冲设备的例子是 ROM。相反的，一个快速脉冲设备显示一个信息短脉动的连续流。在图 3 的例子中，每个脉动持续时间都显示仅有一个时钟周期。正如脉冲模式设备以及低速脉冲设备一样，快速脉冲设备的脉冲存取可以是如图所示的无界的，或是有界的。

图 4 示出根据本发明的图 1 的总线仲裁器 34 的一个详细实施例。为便于理解，图 1 和图 4 相同的组件标记相同。逻辑电路 50 有一个连接至共用总线 12 用于接收当前传输类型信号的第一输入。当前传输类型信号 53 可以包括多种与经共用总线 12 正在传送的存在的或当前的传输有关的信息。信息类型的例子包括（但不限于）标识当前经共用总线 12 传输的是指令（即程序）信息还是数据信息的信息。其它当前传输类型信息可以包括当前传输是一个读传输还是一个写传输，当前传输是单个传输还是一个多路脉冲，当前传输是有界脉冲还是无界脉冲，哪一个选定的存储设备与当前传输有关，以及哪一种类型的存储设备与当前传输有关。逻辑电路 50 还有多个总线请求输入，用于分别接收来自 CPU 14 和备用总线主控器 36、38 和 40 中每个的总线请求信号。总线请求信号可以直接从各个请求设备传送（即点对点），也可以经共用总线 12 传送。逻辑电路 50 还有多个总线授权输出，分别连接至 CPU 14 和备用总线主控器 36、38 和 40 中的每个。策略选择逻辑电路 54 产生一个连接至逻辑电路 50 的第二输入的仲裁策略信号。策略选择逻辑电路 54 有一个具有多个预定位宽度字段的控制寄存器 56。在图示中，控制寄存器 56 具有与第一备用总线主控器 36，第二备用总线主控器 38，第三备用总线主控器 40 以及 CPU 14 相关的字段。控制寄存器 56 的每个字段连接到一个多路复用器（Mux）58 的一个输入上。多路复用器 58 的输出连接到逻辑电路 50 的第二输入上以提供仲裁策略信号。逻辑电路 50 的输出连接至多路复用器 58 的控制输入用于选择使用控制寄存器 56 的哪一个字段。如果需要，

可以提供额外的控制寄存器。从下面的操作描述中将显而易见，控制寄存器 62-65 以及多路复用器 68 是可选电路，为建立脉冲仲裁协议提供额外的用户选择。示出了控制寄存器 62-65，其基于备用总线主控器的数目，具有预定数目的字段。在图示中，对于 CPU 14 和备用总线控制器 36，38，40 中的每个，各有一个附加的控制寄存器。此外，各控制寄存器 62-65 都有一个对应于 CPU 和备用总线控制器 36、38 和 40 的字段。每个控制寄存器 62-65 连接至多路复用器 (Mux) 68 的一个预定输入。多路复用器 68 的输出连接至策略选择逻辑电路 54 的控制寄存器 56。

在操作时，总线仲裁器 34 起到控制数据处理系统 10 中的哪个设备是共用总线 12 的主控器的作用。虽然总线仲裁器 34 在数据处理系统 10 中单独、清楚地显示，应当认识到总线仲裁功能可以合并到 CPU 14 或数据处理系统 10 的其它部分中，无需一个执行总线仲裁的单独模块。当接收到一个或多个使用共用总线 12 的总线请求时，总线仲裁器 34 使用关于当前传输的信息进行共用总线 12 的控制决定。当逻辑电路 50 从 CPU 14 和备用总线控制器 36，38 和 40 中的任一个接收到一个或多个总线请求时，在逻辑电路 50 内部基于某些关于将首先服务哪个总线请求的预定标准来做出决定。在一种形式中，基于优先权做出决定，但应该理解，也可以使用不包括优先权在内的其它标准，例如循环选择。逻辑电路 50 给多路复用器 58 提供一个指明最高优先权竞争主控制器（即对应于被选定对其服务的总线请求）的信号，多路复用器 58 使用该信号以选择控制寄存器 56 与该最高优先权主控制器相关的控制字段。通过用户编程或用户控制编码（即一个控制值）对控制寄存器 56 的控制字段编码，该用户编程或用户控制编码确定总线仲裁器 34 使用用于该特定请求设备的仲裁策略。通过使用由总线仲裁器 34 控制或由用户提供的软件指令的数据处理系统 10 内的运行所控制的集成电路的集成电路引脚上的信号或电压，用户可以创建或引起控制值的创建。然后逻辑电路 50 解码选定的控制寄存器 56 的控制字段，并确定在一个未完成脉冲传输期间是否授权数据处理系统 10

内部最高优先权竞争总线主控制器获得共用总线 12 的总线所有权，或是否该主控制器必须等待正进行的脉冲传输的完成。逻辑电路 50 基于当前传输类型信号 53 以及寄存器 56 中包括的信息，有条件地维护请求备用总线主控制器 36，38 和 40 之一的总线授权 CPU 信号或总线授权信号。如果总线所有权传送到一个非执行当前传输（即，来自存在或当前传送总线主控制器的传输主控制器状态）的主控制器，当前传输被中断，先前维护的总线授权信息被否定，从而强制放弃共用总线 12，由此在正进行脉冲传输期间允许较高优先权主控制器获得总线所有权。应该理解，控制寄存器 56 可被用户编程以增加数据处理系统的适应性和定制中断总线等待时间的能力。特别地，控制寄存器 56 可通过特定总线仲裁策略编码来编程，从而通过使用去往体现数据处理系统 10 的 IC 的预定集成电路引脚的特定输入信号，或通过数据处理系统 10 内部包括的其它信号，来被逻辑电路 50 中断。在另一可选方案中，控制寄存器 56 借助软件指令控制或由其它用户编程技术来进行用户编程。

图 5 显示用于控制寄存器 56 内各控制字段的示范性编码例子。可使用多个不同编码，并且应该理解，可以容易地修改或扩展在此提供的例子。为说明起见，仅选择一个 3 比特编码字段，从而提供总数为 8 的不同编码。图 5 的编码说明一个仲裁策略，其基于在脉冲周期期间来确定是否允许改变总线控制，基于传送的信息类型（例如与数据信息相对的指令或程序信息）来确定是否允许改变总线控制，基于系统存储器正进行一个读还是写操作来确定是否允许改变总线控制，基于正发生一个高速缓存脉冲（即有界脉冲）还是一个更普通的无界序列脉冲传输来确定是否允许改变总线控制。仲裁策略可以基于其它因素或在此描述的特征的组合。一旦确定共用总线 12 上存在的当前传输类型，就可以构造逻辑电路 50 以最优化响应一个恰当的总线授权信号。例如，在数据处理系统 10 的某些实施例中，如果确定共用总线 12 上当前存在一个高速缓存脉冲，应该允许该高速缓存脉冲的完成优先于将改变总线控制的总线授权信号的发布。然而，如果不存

在高速缓存脉冲，由于与无界序列脉冲相关的不定长度，可能发布一个总线授权信号。高速缓存脉冲与无界序列脉冲传输相区别是因为它们具有有限的、已知的脉动长度，例如典型的四或八脉动。因此，与高速缓存脉冲相关的传输时间是有界的。通过允许优化脉冲存储操作以及通过最小化在 CPU 中伴随阻塞高速缓存的停止周期的数目，在高速缓存线路脉冲（cache line burst）的有限时间间隔内截留总线授权给一个备用主控器可以提高系统性能。

此外，在数据处理系统 10 的某些实施例中，如果正进行一个读操作，从而使来自系统存储器之一的信息正被提供给 CPU 14 的话，该信息被认为足够重要从而可以避免 CPU 14 的潜在停止以在允许总线所有权改变之前完成脉冲处理。然而，如果正进行一个写操作的话，在特定系统应用中可以发生总线控制改变而不会显著恶化系统性能。本发明允许用户能为特殊应用定制与通信总线所有权改变的时间有关的规则。因此，此段中描述的规则可能并不总是对于所有系统都适用，可在控制寄存器 56 中编写适当的编码以优化特定系统应用。

在某些特定情况中，高速缓存线路占用的长度可能超过时间临界的备用主控器的最大所需等待时间。这些主控器需要立即访问总线，这类请求的频率通常较低。对于此类主控器，关键在于中断然后恢复任何脉冲序列而不管请求脉冲的 CPU 和正存取的存储系统的效率降低。期望最小化一个系统中的脉冲中断的发生，并且将脉冲中断限制在有限个数的主控器中。

在另一种形式中，编码 000 表示在任何高速缓存脉冲周期期间都不允许改变总线所有权。此特征便利了包括脉冲传输在内的系统设计。如果在总线主控器正突发信息时规定不允许总线主控器进行系统总线仲裁的话，则总线主控器无需额外的逻辑电路就能实现部分脉冲。另一种极端，编码 111 表示在任意脉冲周期都允许改变总线所有权。编码 001 表示仅当指令高速缓存（I cache）脉冲周期期间或无界

脉冲传输期间允许改变总线所有权。即，仅当总线上的信息类型是程序信息以及脉冲不是无界的（例如它是高速缓存脉冲）或当任何类型的无界脉冲发生时，允许总线所有权。编码 010 表示如果正进行高速缓存脉冲，仅在数据高速缓存（D cache）脉冲读周期期间允许改变总线所有权。因此，用此编码表示 3 个条件：（1）信息是数据；（2）脉冲是高速缓存脉冲；（3）总线上的处理是读处理。编码 011 表示仅当高速缓存脉冲读周期期间或任何类型的无界脉冲发生时允许改变总线所有权。编码 100 表示仅当高速缓存脉冲写周期期间或发生任何类型的无界脉冲时，允许改变总线所有权。编码 101 表示仅当数据高速缓存脉冲写周期或指令高速缓存脉冲周期或发生任何类型的无界脉冲时，允许改变总线所有权。编码 110 表示仅当数据高速缓存脉冲写周期或发生任何类型的无界脉冲时，允许改变总线所有权。因此，当由策略选择逻辑 54 给出特定值时，将提供逻辑电路 50 的逻辑以辨别作为仲裁策略的所规定的限制。响应于编码控制信息，总线仲裁器 34 在共用总线 12 上对于信息脉冲传输至少可以实施两种不同的仲裁策略。该变化为用户提供了设置定制的仲裁策略的能力，上述定制的仲裁策略与期望总线控制并具有在某些预定选择方案下授权的总线控制的系统中各电路模块的脉冲传输有关。应该理解，在此教导的与共用数据总线上的脉冲信息有关的仲裁方法与用于选定几个请求主控器之一的算法是不同的。

图 6 示出使用 2 比特字段的控制寄存器 56 内的字段编码。编码 00 表示在脉冲周期时不允许改变总线所有权，而编码 11 表示在任意脉冲周期期间都允许改变总线所有权。编码 01 表示当访问一个脉冲模式设备时不允许改变总线所有权。编码 10 表示访问一个快速存储设备时不允许改变总线所有权。因此，通过这个例子可以清楚地看到，基于一个请求设备是否在总线控制驻留于包括 DRAM 或闪存的传输时或相对于当传输包括 SRAM 时做出请求，用户可以编写仲裁策略。

此外，控制寄存器 62-65 以及多路复用器 68 可与控制寄存器 56

组合，在每一总线主控器的基础上，以及在每种类型的脉冲的基础上提供选择控制。典型地，由于脉冲传输的类型导向不同设备，设备的特性也会影响协议选择。各控制寄存器 62-65 与特定总线主控器相关，系统中各主控器的控制字段（即，脉冲仲裁策略）基于哪个总线主控器具有当前总线控制以及哪个总线主控器正请求总线控制而变化。多路复用器 68 基于当前主控器信号 55 提供的信息选择控制寄存器 62-65 中的一个。对于每个潜在的总线主控器，基于当前活动的总线主控器，提供控制寄存器 62-65 中选定的一个到策略选择逻辑 54。然后策略选择逻辑 54 可使用提供的控制寄存器 62-65 中的那一个内的控制字段来确定当前总线主控器总线占用期间的仲裁策略。控制寄存器 62-65 可用对于各当前总线主控器唯一的信息编程，从而使得特定总线主控器总线占用期间的总线仲裁策略可相对其它所有主控器总线占用独立编程。在每一主控器的基础上的选择控制允许脉冲仲裁策略在主控器到主控器占用的基础上改变，并可由用户优化从而进一步提高系统性能。

到此为止应该理解，本发明提供了一种当脉冲传输时，在寄存器或其它存储设备或信令机制中使用一组控制比特控制仲裁处理的方法和系统。对系统中每一个潜在的主控器，提供一个控制信息字段，当脉冲传输时控制总线仲裁。在此字段中，可为每个传输类型（例如指令高速缓存占用，数据高速缓存 占用，数据高速缓存复录（写）等等）提供控制。在另一个可选实施例中，控制字段包括对应于选定设备的以及该设备支持的脉冲传输类型的控制信息。在脉冲传输时，如果一个备用主控器请求使用总线，通过正在处理的传输类型以及相应的有关控制字段设置对该请求进行限制。

因为实现本发明的设备（在很大程度上）是由本领域技术人员熟知的电子元件以及电路组成的，为理解和认识到本发明潜在概念以及不偏离本发明的教导或对其不感到困惑，不再对电路细节做出比上述被认为是必须的解释更详细的解释。

在前述说明中，参考特定实施例对本发明进行了说明。然而，本领域普通技术人员将理解，在不违反本发明所附权利要求阐述的范围的前提下可作出不同修改以及改变。例如，可以使用与本发明有关的任何类型的存储器以及任何类型的高速缓存。基于特定系统可以编码不同脉冲策略。可通过前述使用的控制寄存器之外的方法或结构提供控制策略信息。此外，即使系统中仅有一个总线主控器可以使用脉冲处理，也可以使用本发明。因此，本说明书以及附图应当被看作为说明而非限制，并且希望所有这些修改都包括在本发明的范围之内。

10

针对上述特定实施例描述了利益、其它优点以及问题解决方法。然而，利益，优点，问题解决方法以及任何可能引起任何利益、优点或解决方法出现或使其更加显著的因素都不构成任意或所有权利要求的重要的、所需的或必需的特征或因素。如在此使用的，术语“包含（comprises、comprising）”或其它任何变化意旨涵盖非排他性的包含，例如一个包括一系列组件的程序，方法，物品或装置不仅包括上述组件，还可能包括没有明示列出或上述程序，方法，物品或装置固有的其它组件。

15

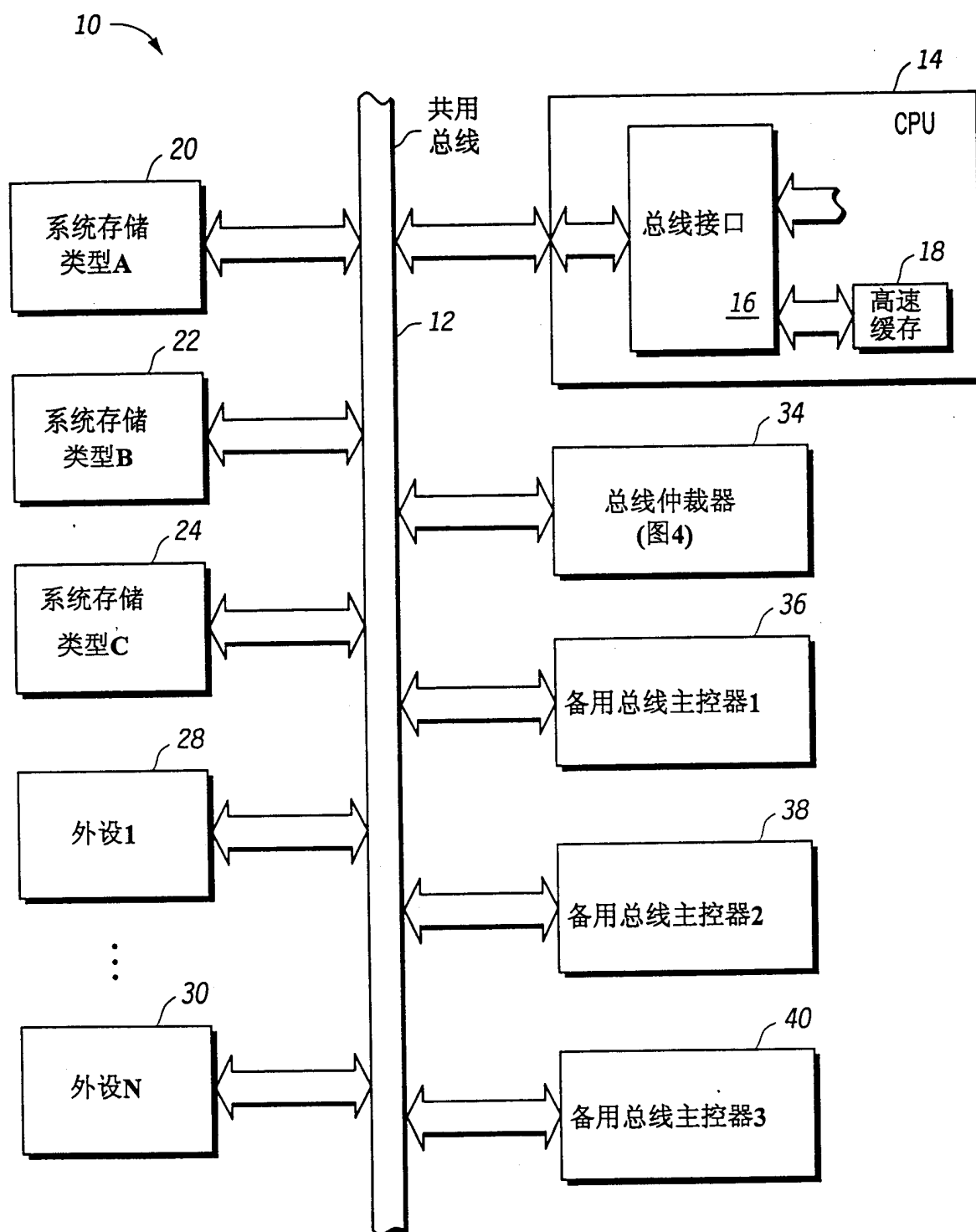
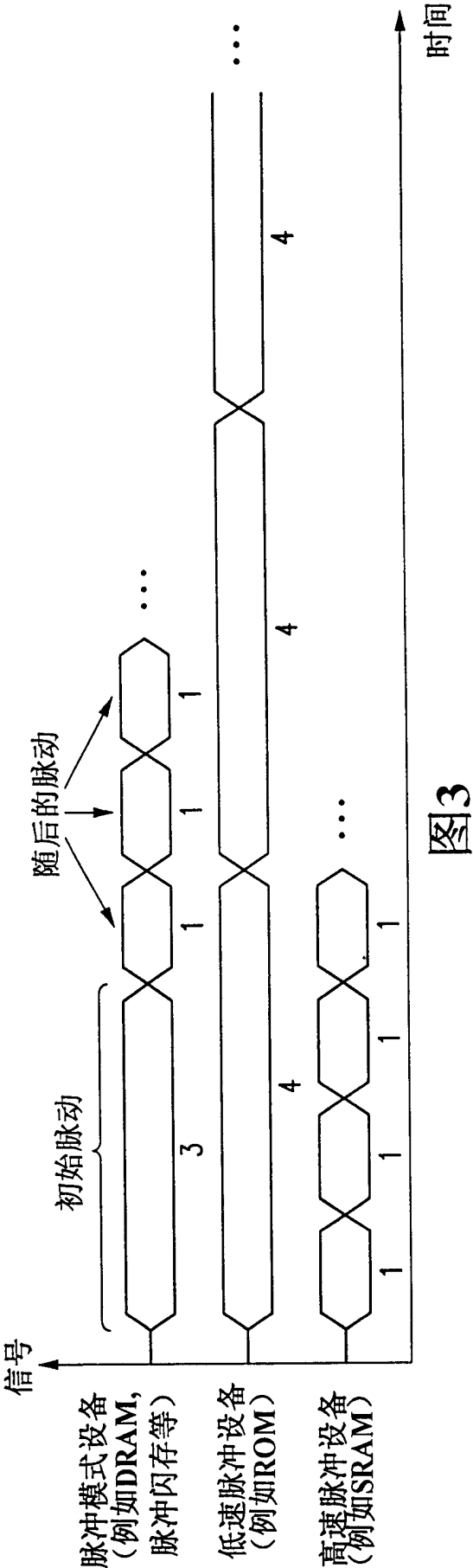
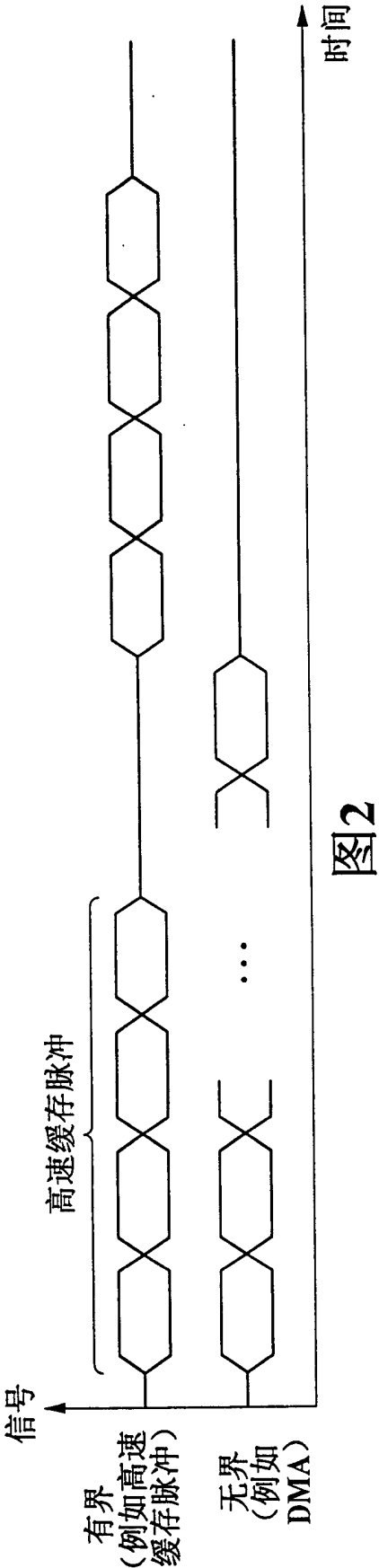
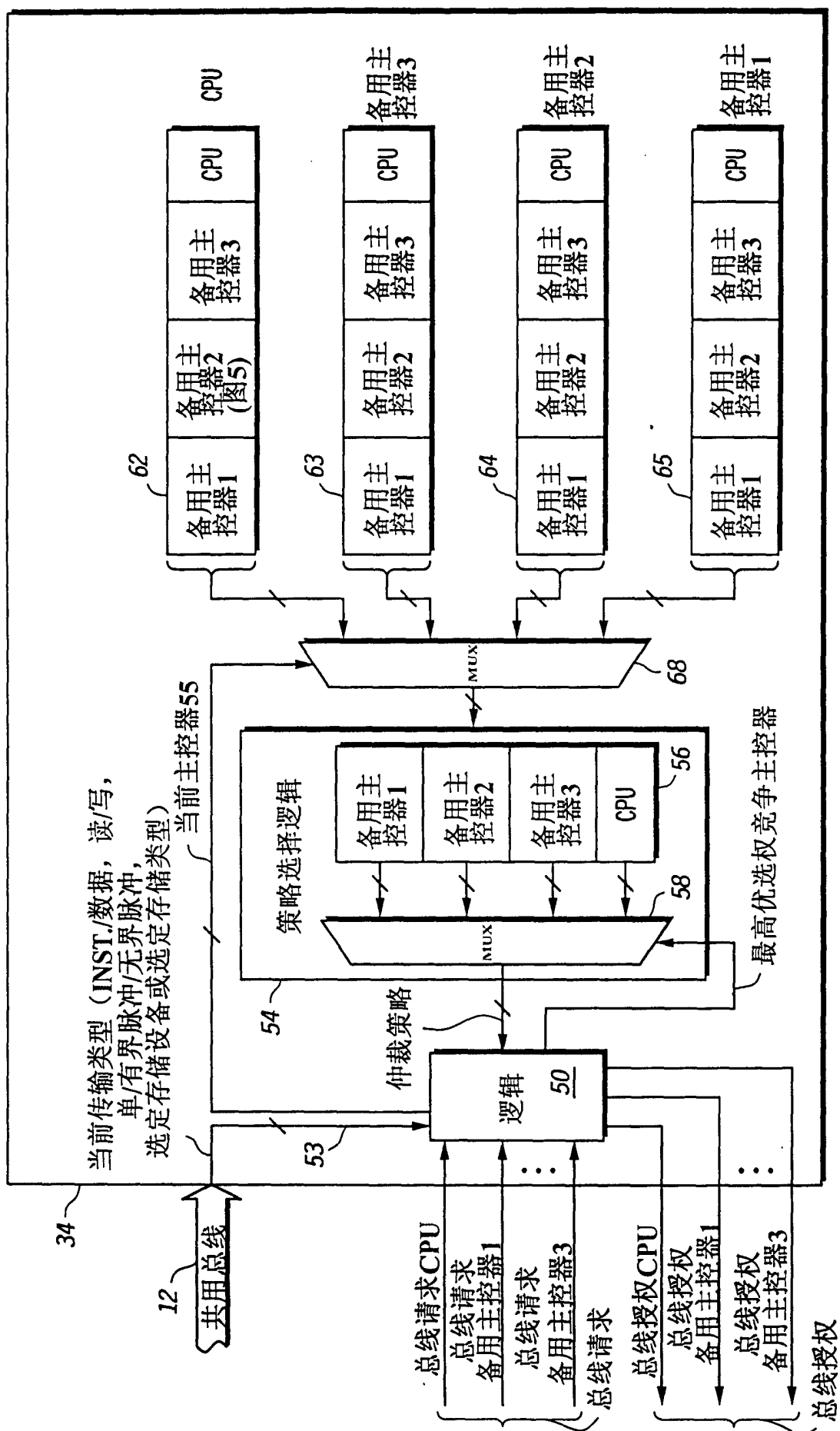


图1



4


控制字段编码
0 0 0 在高速缓存脉冲周期期间不允许改变总线所有权
0 0 1 仅当指令高速缓存脉冲周期期间或无界脉冲周期期间 允许改变总线所有权
0 1 0 仅当数据高速缓存脉冲读周期期间或无界脉冲周期期间 允许改变总线所有权
0 1 1 仅当高速缓存脉冲读周期期间或无界脉冲周期期间 允许改变总线所有权
1 0 0 仅当高速缓存脉冲写周期期间或无界脉冲周期期间 允许改变总线所有权
1 0 1 仅当数据高速缓存脉冲写周期期间或指令高速缓存周期期间或 无界脉冲周期期间允许改变总线所有权
1 1 0 仅当数据高速缓存脉冲周期期间或无界脉冲周期期间 允许改变总线所有权
1 1 1 在任意脉冲周期期间都允许转移总线所有权

图5

控制字段编码
0 0 在脉冲周期期间不允许改变总线所有权
0 1 在访问脉冲模式设备期间不允许改变总线所有权
1 0 在访问快速存储设备期间不允许改变总线所有权
1 1 在任意脉冲周期期间都允许转移总线所有权

图6