(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 29/78 (2006.01)

(45) 공고일자 2006년05월25일
(11) 등록번호 10-0560647
(24) 등록일자 2006년03월07일

(21) 출원번호 10-1998-0040206
(22) 출원일자 1998년09월28일

(65) 공개번호 10-1999-0030194
(43) 공개일자 1999년04월26일

(30) 우선권주장 08/940,237 1997년09월30일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2

(72) 발명자 만델만, 잭 에이.
미국 12582 뉴욕 스톰빌 잼아이 레인 5

휴, 루이스 엘.씨.
미국 12524 뉴욕 피쉬킬 크로스비 코트 7

알스마이어, 요난
미국 12590 뉴욕 와핑거스 폴스 매를린 드라이브 4

톤티, 윌리엄 알.
미국 05452 버몬트 에섹스 정션 블루스턴 로드 4

(74) 대리인 남상선

심사관 : 임동우

(54) 반도체소자에서의감소된기생누설

요약

트렌치 커패시터는 기생 MOSFET의 게이트 임계 전압을 향상시키기 위해 칼라에 인접한 확산 영역을 가진다. 이것은 수용 가능한 누설을 얻음과 동시에 얇은 칼라의 사용을 허용한다. 실시예에 있어서, 확산 영역은 자기 정렬된다.

대표도

도 3e

명세서

도면의 간단한 설명

도 1은 종래의 트렌치 커패시터 DRAM 셀을 도시한다.

도 2는 본 발명의 실시예에 따른 트렌치 커패시터 DRAM을 도시한다.

도 3a 내지 도 3e는 본 발명의 실시예에 따라 트렌치 커패시터 DRAM셀을 형성하기 위한 공정을 도시한다.

도면의 주요부분에 대한 부호의 설명

110, 460 : 트랜지스터 168, 368 : 칼라

347, 342, 348 : 폴리 349, 440 : 매립 스트랩

303 : 트렌치 465, 470 : 게이트 스택

180, 280 : STI 163, 263 : 노드 유전체

113, 125, 225, 269, 325, 369 : 확산 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 소자 및 소자 제조에 관한 것이며, 보다 구체적으로, 트렌치 커패시터 메모리 셀에 관한 것이다.

집적 회로(IC)는 전하 축적을 목적으로 커패시터를 사용한다. 예를 들어, 다이내믹 램(DRAM)과 같은 RAM을 포함하는 메모리 소자는 커패시터내에 전하를 저장한다. 커패시터내의 전하의 레벨("0" 또는 "1")은 1 비트의 데이터를 나타낸다.

DRAM IC 는 행 및 열에 의해 상호 접속된 일련의 메모리 셀을 포함한다. 일반적으로, 행 및 열 접속은 워드라인 및 비트라인으로 각각 언급된다. 메모리 셀로의 데이터 기록 및 셀로부터의 데이터 판독은 적합한 워드라인 및 비트라인을 활성화시킴으로써 달성된다.

일반적으로, DRAM 메모리 셀은 커패시터에 접속된 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함한다. 상기 트랜지스터는 게이트와 제 1 및 제 2 확산 영역을 포함한다. 상기 제 1 및 제 2 확산 영역은 트랜지스터의 동작에 따라 드레인 또는 소오스로 각각 언급된다. 편의에 따라, 드레인 및 소오스의 용어는 상호 교환 가능하다. 트랜지스터의 게이트는 워드라인에 결합되고, 소오스는 비트라인에 결합된다. 트랜지스터의 드레인은 커패시터 또는 저장 노드(storage node)에 결합된다. 적합한 전압을 게이트에 인가하는 것은 트랜지스터를 스위치 온시켜, 커패시터로의 도전 경로를 형성한다. 이러한 도전 경로는 트랜지스터가 스위치 오프될 때, 닫힌다.

트렌치 커패시터는 DRAM에서 일반적으로 사용된다. 트렌치 커패시터는 실리콘 기판내에 형성된 3차원 구조물이다. 통상적인 트렌치 커패시터는 기판 내부로 에칭된 트렌치를 포함한다. 일반적으로 상기 트렌치는 (저장 노드로 언급된)커패시터의 한 플레이트로 역할을 하는 n+ 도핑된 폴리로 충전된다. "매립플레이트(buried plate)"로 언급되는 커패시터의 제 2 플레이트는, 예를 들어, 도펀트 소오스로부터의 트렌치의 하부 부분을 둘러싸는 기판의 영역으로 n+ 도펀트를 외향 확산(outdiffusing)함으로서 형성된다. 유전체층이 커패시터를 형성하는 두개의 플레이트를 분리시키기 위해 제공된다. 트렌치의 상부 부분을 따라 발생하는 기생 누설(parasitic leakage)을 방지 또는 수용 가능한 레벨까지 감소시키기 위해, 충분한 두께의 산화물 칼라(collar)가 제공된다. 일반적으로, 산화물 칼라는 1fA/셀 이하까지 기생 누설을 감소시키기에 충분한 두께이다.

소자를 축소시키기 위한 계속된 요구는 증가된 밀도와 더 작은 회로 배선폭과 셀 영역을 가진 DRAM의 설계를 촉진시켜왔다. 예를 들어, 설계 규칙은 0.25미크론(㎛)에서 약 0.12nm 이하까지 축소되어왔다. 더 작은 기본 원칙에서, 저장 노드 확

산 영역 및 매립 플레이트 사이의 수직형 기생 MOSFET 누설의 제어는 작아진 트렌치 크기 때문에 문제된다. 이것은 작아진 트렌치 개구부가 트렌치의 충전을 용이하게 하기 위해 칼라 두께에서의 대응하는 감소를 요구하기 때문이다. 그러나, 수용 가능한 레벨 이하로 기생 누설을 감소시키기 위해, 동작 전압 조건에 따라 칼라의 두께는 약 25 내지 70nm일 것을 요구한다. 이같은 두께의 칼라는 작아진 트렌치의 충전을 방해한다.

기생 누설을 감소시키기 위한 다른 기술은 트랜지스터 웰(well)의 도펀트 농도를 증가시키는 것이다. 그러나, 도펀트 농도를 증가시키는 것은 공핍 영역에서의 전기장을 증가시키고, 이것은 정션(junction) 누설에서의 급속한 증가를 야기한다. 이는 특히 실리콘에 결정학적인 결함이 존재할 때 사실이다.

발명이 이루고자 하는 기술적 과제

상술한 설명으로부터, 충분히 낮은 기생 누설을 가지는 작은 트렌치 커패시터를 제공하는 것이 바람직하다.

발명의 구성 및 작용

본 발명은 트렌치 커패시터 메모리 셀에 관한 것이다. 일실시예에 따라, 확산 영역이 칼라 영역에 인접하게 기판에 제공된다. 상기 확산 영역은 칼라 영역에 자기 정렬된다(self-aligned). 상기 확산 영역은 노드 확산 영역, 매립 플레이트 및 칼라에 의해 생성된 기생 MOSFET 트랜지스터의 게이트 임계 전압을 증가시킨다. 게이트 임계 전압을 증가시키므로써, 더 얇은 칼라가 원하는 누설 레벨을 달성하면서 커패시터내에서 사용될 수 있다.

본 발명은 집적 회로(IC)내에서 사용된 트렌치 커패시터 메모리 셀에 관한 것이다. 상기 IC는 예를 들어 랜덤 액세스 메모리(RAM), 다이내믹 RAM(DRAM), 또는 동기화 DRAM(SDRAM)을 포함한다. ASIC(Application Specific IC), (DRAM에 실장된) 통합 DRAM 논리 회로(merged DRAM-logic circuit) 또는 임의의 다른 논리 회로와 같은 IC도 역시 사용된다.

일반적으로, 수많은 IC가 웨이퍼 상에 병렬로 형성된다. 처리가 종료된 후, 웨이퍼는 개별적인 칩으로 상기 IC를 분할하기 위해 다이싱된다. 이어 칩은 패키징되어 예를 들어 컴퓨터 시스템, 셀룰러 폰, PDA 및 다른 전자 제품과 같은 소비 제품에서 사용되는 최종 제품이 된다.

도 1을 참조하면, n-채널 MOSFET를 사용하는 종래의 트렌치 커패시터 DRAM 셀(100)이 본 발명의 설명을 용이하게 하기 위해 도시되었다. 이같은 종래의 트렌치 커패시터 DRAM은, 예를 들어 Nesbit등에 의한 자기 정렬된 매립 스트랩(BEST)을 갖는 0.6㎛^{2} 256 Mb의 트렌치 DRAM 셀, IEDM 93-627에 개시되어 있는데, 이는 본 명세서에 참조로서 편입되어 있다. 일반적으로 일련의 셀들은 워드라인 및 비트라인에 의해 상호 접속되어 DRAM 칩을 형성한다.

DRAM 셀(100)은 기판에 형성된 트렌치 커패시터(160)를 포함한다. 상기 트렌치는 일반적으로 n-도펀트로 고도핑된 폴리실리콘(poly)(161)을 사용하여 충전된다. 상기 폴리는 "저장 노드"로 언급되는 커패시터의 한 플레이트로 역할을 한다. n-타입의 도펀트를 사용하여 도핑된 매립 플레이트(165)는 트렌치의 하부 부분을 둘러싼다. 트렌치의 상부 부분에는 기생 누설을 감소시키기 위한 칼라(168)가 존재한다. 노드 유전체(163)는 커패시터의 두 플레이트를 분리시킨다. n-타입 도펀트를 포함하는 매립 웰(buried well)(170)이 어레이의 DRAM셀의 매립 플레이트들을 접속시키기 위해 제공된다. 매립 웰 위에는 p 웰(173)이 있다. 상기 p 웰은 낮은 누설 N-FET의 적합한 동작을 위해 정확한 도핑 타입 및 농도를 제공한다.

DRAM 셀은 또한 트랜지스터(110)를 포함한다. 상기 트랜지스터는 게이트(112), 소오스(113) 및 n타입 도펀트를 포함하는 드레인(114) 확산영역을 포함한다. 앞서 설명한 바와 같이, 소오스 및 드레인의 지정은 트랜지스터의 동작에 의존한다. 게이트는 워드라인을 나타낸다. 워드라인은 커패시터로의 접속을 게이팅(gate)하기 때문에, 일반적으로 "활성 워드라인(active wordline)"으로 언급된다. 커패시터로의 트랜지스터의 접속은 "노드 확산 영역(node diffusion)"으로 언급된 확산 영역(125)을 통해 달성된다.

얕은 트렌치 절연체(STI)(180)가 DRAM을 다른 셀 또는 다른 소자로부터 절연시키기 위해 제공된다. 도시된 바와 같이, 워드라인(120)은 트렌치 위에 형성되고 STI에 의해 트렌치로부터 절연된다. 워드라인(120)은 "전송 워드라인(passing wordline)"으로 언급된다. 이같은 구성은 폴디드 비트라인 구조(folded bitline architecture)로 언급된다.

레벨간 유전체층(189)이 상기 워드라인 위에 형성된다. 비트라인을 나타내는 도전 층이 상기 레벨간 유전체층 위에 형성된다. 비트라인 콘택 개구부(186)가 레벨간 유전체층내에 제공되어, 상기 확산 영역(113)을 비트라인(190)에 접속시킨다.

앞서 설명한 바와 같이, 더 작은 트렌치 크기를 생성하는 기본 규칙(groundrule)이 소형화될수록, 폴리를 사용하여 트렌치를 충전시킬 수 있도록 하는 더 얇은 칼라를 요구한다. 그러나, 더 작은 트렌치의 충전을 허용하는 더 얇은 커패시터는 원하는 레벨까지 기생 누설을 감소시키기에 부적절하게 될 수 있다.

도 2를 참조하면, 본 발명에 따른 트렌치 커패시터 DRAM 셀(200)이 도시된다. 도시된 바와 같이, 트렌치 커패시터(160)는 기판(101)에 형성된다. 저장 노드(161)는 제 1 도전형을 가지는 고도핑된 폴리실리콘(poly)으로 충전된다. 일실시예에 있어서, 제 1 도전형은 n 타입이며, n 타입 도펀트는 예를 들어 비소(As) 또는 인(P)을 포함한다. n타입 도핑된 매립 플레이트는 상기 트렌치의 하부를 둘러싼다. 노드 유전체층(263)은 저장 노드와 매립 플레이트를 분리한다.

n타입 매립 웰(270)이 기판 표면 아래에 제공된다. 어레이의 DRAM 셀의 매립 플레이트와 매물 웰을 공통으로 접속하기 위해, 매립 웰내에서의 도펀트의 피크 농도는 대략 매립 플레이트의 최상부 근처에서 존재한다. 매립 n-웰 위에 제 2 도전형을 가지는 도펀트를 포함한 도핑 영역이 있다. 일실시예에 있어서, 제 2 도전형은 붕소와 같은 도펀트를 포함하는 p 타입이다. p-웰의 도핑 영역은 어레이 트랜지스터의 적절한 도핑을 제공하도록 역할을 하며, 일반적으로 웰 내에서 약 3 내지 $8\times10^{17}cm^{-3}$ 의 피크 도펀트 농도를 가진다.

트렌치의 상부 부분에는 유전체 칼라가 제공된다. 상기 칼라는 예를 들어 TEOS 분해에 의해 형성된 산화물을 포함한다. 상기 칼라는 확산 영역(225)과 매립 플레이트 사이에서의 기생 MOSFET의 게이트 산화물이며, 게이트가 트렌치내에 도핑된 폴리로 나타내어지는 기생 트랜지스터를 형성한다. 이에 따라, 칼라는 기생 트랜지스터의 게이트 임계 전압(V_T)을 상승시키기 위해 충분한 두께를 가진다.

본 발명의 실시예에 따라, 확산 영역(269)이 트렌치 커패시터의 칼라 영역 에 인접하게 기판에 제공된다. 상기 확산 영역은 매립 플레이트와 확산 영역(225)의 도펀트와 상반되는 도전형을 가지는 도펀트를 포함한다. 일실시예에 있어서, 확산 영역(269)은 붕소와 같은 p-타입 도펀트를 포함한다. 확산 영역에서의 붕소의 농도는 누설 전류를 감소시키도록 영향을 미치는 기생 트랜지스터의 V_T를 증가시키기에 충분할 정도로 높다. 일실시예에 있어서, 붕소의 농도는 약 $5\times10^{17}cm^{-3}$ 내지 $2\times10^{18}cm^{-3}$의 범위에 속한다. 확산 영역(269)은 원하는 기생 누설 보다 큰 누설을 야기하지 않고서도, 더 얇은 칼라의 사용을 가능하게 한다.

DRAM 셀은 게이트(112), 소오스(113) 및 드레인(114)으로 이루어진 트랜지스터(110)를 더 포함한다. 상기 드레인 및 소오스는 인(P)과 같은 n- 타입 도펀트를 이온주입(implanting)함으로써 형성된다. 트랜지스터를 커패시터에 접속하는 것은 노드 확산 영역(125)에 의해 달성된다.

DRAM 셀을 다른 소자 또는 어레이 내의 다른 셀들로부터 절연시키기 위해, 얕은 트렌치 절연(STI : 280)이 제공된다. 실례로서, STI에 의해 절연된 전송 워드라인(220)이 트렌치 위에 포함되어, 폴디드 비트라인 구조를 형성한다. 오픈(open) 또는 오픈-폴디드(open-folded)와 같은 다른 비트라인 구조도 역시 유용하다.

워드라인 위에 레벨간 유전체층(289)이 제공된다. 레벨간 유전체층은, 예를 들어 BPSG(borophosphosilicate glass)와 같은 도핑된 실리케이트 글래스를 포함한다. PSG(phosphosilicate glass) 또는 BSG(borosilicate glass)와 같은 다른 도핑된 실리케이트 글래스도 역시 사용된다. 대안적으로, TEOS와 같은 도핑되지 않은 실리케이트 글래스도 역시 사용될 수 있다. 비트라인은 유전체층 상부에 형성되어, 비트라인 콘택 개구부를 통해 소오스에 접속한다. DRAM 셀을 액세스하는 것은 적절한 전압을 워드라인과 비트라인에 제공함으로써 달성되며, 트렌치 커패시터에 데이터를 기록하거나 이로부터 데이터를 판독할 수 있게 한다.

도 3a 내지 도 3e는 일실시예에 따른 DRAM 셀을 형성하기 위한 공정을 도시한다. 도시된 바와 같이, 상기 공정은 n-채널 DRAM 셀을 형성한다. 그러나, 본 기술 분야의 당업자는 상기 공정이 p-채널 DRAM 셀을 형성하기 위해 용이하게 채택될 수 있다는 것을 이해할 수 있을 것이다.

도 3a를 참조하면, DRAM 셀이 제조될 기판(301)이 제공된다. 상기 기판은, 예를 들어, 실리콘 웨이퍼이다. SOI(Silicon On Insulator) 또는 다른 반도체 물질과 같은 다른 기판도 역시 사용될 수 있다. 상기 기판은, 예를 들어, 원하는 전기적 특성을 얻기 위해, 미리 결정된 도전형의 도펀트를 사용하여 저도핑되거나 고도핑된다. 기판의 주 표면은 중요하지 않고, (100), (110) 또는 (111)과 같은 적당한 방향면이 사용될 수 있다. 실시예에 있어서, 기판은 붕소(B)과 같은 p-타입의 도

펀트(p^-)를 사용하여 저도핑된다. 붕소의 농도는 약 1 내지 $2\times10^{16}cm^{-3}$이다. 기판에는 또한 P 또는 As 도펀트를 포함하는 n-타입 매립 웰(370)이 형성된다. 매립 웰을 형성하기 위한 다양한 기술이 공지되었다. 절연 칼라 산화물의 최하부가 존재하는 기판 영역 아래에서, 대략 $1\times10^{17}cm^{-3}$ 내지 $2\times10^{18}cm^{-3}$이 되는 n-타입 도펀트의 피크 농도가 된다.

패드 스택(395)은 기판의 표면 상에 형성된다. 패드 스택은 예를 들어 패드 산화물층(396), 연마 정지(polish stop)층(397) 및 하드 마스크층(398)을 포함한다. 상기 연마 정지층은 예를 들어, 질화물을 포함하며, 하드 마스크는 TEOS을 포함한다. BPSG, BSG, SAUSG와 같은 다른 물질도 역시 하드 마스크층에 적합하다.

상기 하드 마스크층은 일반적인 리소그래피 기술을 사용하여 패터닝되어, 저장 트렌치가 형성되는 영역(315)을 한정한다. 이같은 기술은 포토레지스트층(399)을 증착하는 단계, 및 노출 소오스 및 마스크와 함께 상기 층(399)을 선택적으로 노출시키는 단계를 포함한다. 레지스트가 포지티브 타입 레지스트인지, 네가티브 타입의 레지스트인지에 따라, 레지스트의 노출된 부분 또는 노출되지 않은 부분이 현상 동안 제거된다. 결과적으로, 영역(315)의 패드 스택은 레지스트층에 의해 보호되지 않는다. 이어 영역(315)의 패드 스택(하드 마스크, 패드 질화물 및 패드 산화물)은 제거되어, 아래의 실리콘 기판을 노출시킨다. 패드 스택 층의 제거는 예를 들어 반응성 이온 에칭(RIE)에 의해 달성된다.

포토레지스트 및 패드 스택층을 이온 주입 마스크로서 사용하여, 수직형 기생 트랜지스터의 임계 전압(V_T)을 증가시키기 위해, 도펀트가 기판에 이온 주입된다. 기판에 이온 주입되는 도펀트는 매립 플레이트에 대해 사용되는 도전형과 상반되는 도전형의 도펀트이다. 일실시예에 있어서, 상기 도전형은 붕소(B)을 포함하는 p-타입이다. 상기 이온 주입은 붕소(B) 도펀트의 피크 농도를 트렌치 커패시터의 칼라 영역에 위치시키기에 충분한 주입량과 에너지를 사용하여 수행된다. 이에 따라, 기생 트랜지스터의 임계 전압(V_T)을 증가시킬 수 있어서, 기생 누설을 원하는 레벨까지 감소시키게 된다. 상기 기생 누설은 1fa/셀 이하로 감소된다. 일실시예에 있어서, 주입량과 에너지는 약 1.5 내지 $3.5\times10^{13}cm^{-2}$와 200 내지 350 keV이며, 바람직하게는 1.5 내지 $2.5\times10^{13}cm^{-2}$와 220 내지 300keV이다. 이와 같이, 기생 트랜지스터의 임계 전압(V_T) 조정 이온 주입은 유용하게 자기 정렬된다. 즉, V_T 이온 주입은 이온 주입 마스크로서 패드 스택을 사용하므로, 확산 영역을 형성하기 위한 추가적인 리소그래피 단계가 요구되지 않는다.

이온 주입 이후, 상기 레지스트층은 제거된다. 기판은 트렌치 영역의 측방향으로 B 도펀트를 확산시키기에 충분할 정도로 오래 어닐링되어, 확산 영역(369)을 형성한다. 도시된 바와 같이, 확산 영역(369)은 트렌치 측벽 형상을 나타내는 수직 점선을 넘어 측방향으로 확장된다. 점선을 넘어 확장된 확산 영역 부분은 기생 트랜지스터의 V_T를 증가시키기 위해 사용된다. 상기 어닐링은 (점선(368)으로 도시된) 측벽으로부터 20 내지 150nm정도 도펀트를 이동시키기는 데에 충분하다. 일반적으로, 어닐링은 약 850 내지 950℃에서 약 1 내지 10분 정도 수행되며, 바람직하게는 850℃에서 약 5분 정도 수행된다. 급속 열적 어닐링(RTA : Rapid Thermal Anneal)도 역시 사용된다.

도 3b를 참조하면, 종래의 기술을 사용하여 트렌치 커패시터 DRAM 셀을 형성하기 위한 처리가 계속된다. 이같은 기술은, 예를 들어 Nesbit 등에 의한 자기 정렬된 매립 스트랩(BEST)을 가지는 $0.6\mu m^2$ 256Mb 트렌치 DRAM 셀, IEEE 93-627에 개시되어 있는데 이는 본 명세서에 참조로서 편입되어 있다. RIE와 같은 이방성 에칭은 패드 스택으로서 RIE 마스크를 사용하여 수행된다. RIE는 기판 물질을 제거하여 깊은 트렌치(303)를 형성한다. 도시된 바와 같이, 확산 영역(369)은 칼라가 형성되는 기판 영역에 잔존하게 된다. 이온이 주입되는 기판 영역이 RIE에 의해 제거되기 때문에, 소자의 활성 영역에 있어서의 이온 주입 손상(implant damage)에 관하여 고려할 필요가 없다. 이와 같이, 실리콘 결함을 야기하는 블랭킷(blanket) 이온 주입처럼 이온 주입은 매립 스트랩 정션 누설에 불리하게 영향을 미치지 않는다.

도 3c를 참조하면, n-타입 매립 플레이트(365)가 형성된다. 매립 플레이트는 예를 들어 도펀트 소오스 및 외향 확산(outdiffusing) 도펀트를 기판에 제공함으로써, 형성된다. 이것은 도펀트 소오스로서 비소 실리케이트 글래스(ASG) 층을 사용하여 상기 트렌치를 라이닝(lining)하는 단계를 포함한다. 얇은 TEOS 층이 상기 ASG상에 형성된다. 상기 TEOS는 트렌치를 충전시키는 레지스트의 부착을 허용한다. 그 후에 상기 트렌치는 레지스트를 사용하여 충전된다. 상기 레지스트는 연속적으로 리세스되어 트렌치 상부 부분에서의 ASG 층을 노출시킨다. 상기 노출된 ASG는 습식 에칭 처리에 의해 제거된다. 레지스트의 나머지 부분은 ASG에 대해 선택적인 트렌치로부터 제거된다. 예를 들어 TEOS을 포함하는 유전체층은 상기 트렌치 위에 증착된다. 상기 TEOS 층은 As가 실리콘 측벽의 노출된 부분을 자동 도핑(autodoping)하는 것을 방지한다. 어닐링은 ASG 층으로부터 실리콘으로 As를 외향 확산시키기 위해 수행되어, 매립 플레이트(365)를 형성한다. 매립 플레이트를 형성하기 위한 다른 기술도 역시 유용하다.

유전체층(363)이 웨이퍼의 표면 상에 형성되어, 트렌치의 내부를 덮는다. 상기 유전체층은 커패시터의 플레이트를 분리시키기 위해 사용되는 노드 유전체로서 역할을 한다. 일실시예에 있어서, 상기 유전체층은 증착된 질화물에 연이어 있는 산화물을 포함한다. 상기 질화물층은 예를 들어 FTP 장치내의 CVD에 의해 형성된다. 이후, 열적 산화막이 약 900℃의 온도에서 성장된다. 상기 질화물/산화물(NO)층의 사용은 노드 유전체의 질을 향상시킨다. 그후에 n- 타입으로 고도핑된 폴리(347)가 증착되어, 트렌치를 충전시키고 기판의 표면을 덮는다.

일반적으로 기판의 표면은 노드 유전체층까지 평탄화되어, 노드 유전체층 및 폴리와 동일한 평면의 표면을 제공한다. 그 후에 기판 표면 상의 노드 유전체 및 하드 마스크 층은 습식 에칭을 사용하여 제거된다. 습식 에칭은 질화물 및 폴리에 대해 선택적이며, 패드 질화물층 위로 뻗어 있는 폴리 스터드(stud)를 남긴다. 그 후에 폴리는 예를 들어 화학적 기계적 연마(CMP)에 의해 패드 질화물층까지 연마된다.

도 3d를 참조하면, 질화물에 대해 선택적인 RIE는 트렌치 내의 폴리를 리세스 하기 위해 수행된다. 상기 폴리는 칼라가 존재할 최하부까지 리세스된다. 연속하여, 노드 유전 층은 습식 에칭에 의해 제거된다. 습식 에칭은 실리콘에 대해 선택적이다. 이와 같이, 노드 절연층은 폴리를 제거하지 않고 제거된다.

유전체층은 기판 및 트렌치의 표면 위에 형성된다. 일실시예에 있어서, 유전체층은 먼저 얇은 층을 열적으로 성장시킨 후, 그 위에 TEOS 층을 증착하므로써, 형성된다. 상기 유전체층은, 예를 들어, RIE에 의해 에칭된다. 상기 RIE는 패드 질화물 스택의 표면과 리세스의 최하부에서 유전체층을 제거하여, 도핑된 폴리를 노출시킨다. 유전체층은 실리콘 측벽 상에 남아서 칼라(368)를 형성한다. 확산 영역(369)의 존재로 인하여, 유전체층은 원하는 레벨 까지 기생 누설을 감소시키기 위한 두께까지 요구되지 않는다. 예를 들어 유전체 칼라는 약 15 내지 25nm 의 두께일 수 있다.

n-타입으로 고도핑된 폴리(348)의 제 2 층이 증착되어 기판의 트렌치와 표면을 충전시킨다. 폴리(348) 및 패드 질화물층(342)으로 동일 평면의 표면을 제공하기 위해, CMP가 수행된다. 그 후에 상기 폴리는 질화물 및 산화물에 대해 선택적으로 리세스된다. 리세스의 깊이는 도핑된 폴리(342) 위에 매립 스트랩(strap)의 형성을 가능하게 할 정도이다. 이후, 산화물 칼라의 상부는 도핑된 폴리로부터 기판까지의 도펀트 확산을 가능하게 하기 위해 리세스된다. 이어 진성(intrinsic) 폴리층이 기판의 표면 상에 증착되어, 패드 질화물을 덮고 트렌치를 충전시킨다. 그 후에 상기 폴리는 연마되고 RIE에 의해 리세스되어 매립 스트랩(349)을 형성한다.

도 3e를 참조하면, DRAM 셀의 활성 영역이 한정된다. 셀의 비활성 영역은 예를 들어 RIE에 의해 이방성 에칭되어 STI를 위한 얕은 트렌치를 제공한다. 도시된 바와 같이, 얕은 트렌치는 트렌치의 약 절반 이하 정도를 오버랩(overlap)하며, 바람직하게 트렌치의 약 절반을 오버랩하여야 한다. 이어 얕은 트렌치는 예를 들어 TEOS와 같은 SiO_2로 이루어진 유전체 물질로 충전된다. 질화물 라이너(liner)는, 실리콘 및 폴리 측벽으로 산소 확산을 방지하기 위해 얕은 트렌치를 라이닝하도록 제공된다. 상기 유전체 물질은 상기 라이너를 조밀하게 하도록 어닐링될 수 있다. 어닐링은 또한 스트랩(349)을 통해 트렌치내의 도핑된 폴리로부터의 도펀트를 외향 확산시켜, 확산 영역(325)을 형성한다.

산화물층이 상기 웨이퍼 표면 상에 형성된다. "희생 게이트(gate sacrificial)층"으로 언급되는 상기 산화물층은 후속의 이온 주입에 대한 스크린 산화물로서 역할을 한다. 그 후에 DRAM 셀의 n-채널 액세스 트랜지스터를 위한 p-타입의 웰이 형성된다. p-타입의 웰을 형성하기 위해, 레지스트층이 산화물층 최상부에 증착되고 p-웰 영역을 노출시키도록 적절하게 패터닝된다. 도시된 바와 같이, 붕소와 같은 p-타입 도펀트가 상기 웰 영역으로 이온 주입된다. 상기 도펀트는 펀치쓰루(punch through)를 방지하고 단면 저항을 감소시키기에 충분한 깊이까지 이온 주입된다. 도펀트 프로파일은 예를 들어 게이트 임계 전압(V_T)등의 원하는 전기적 특성을 얻기 위해 테일러(tailor)된다.

더욱이, n채널 지원 회로용 p-타입 웰이 또한 형성된다. 상보형 금속 산화물 실리콘(CMOS) 소자에 있어서의 상보형 웰을 위해, n-웰이 형성된다. n-타입의 웰을 형성하는 것은 부가적인 리소그래피 및 n-타입 웰을 한정하고 형성하기 위한 이온 주입 단계를 요구한다. p-타입 웰에서 처럼, n-타입 웰의 프로파일은 PFET의 원하는 전기적 특성을 달성하도록 테일러된다. 웰이 형성된 후, 희생 게이트 층은 제거된다.

액세스 트랜지스터의 여러 층은 기판 표면 상에 형성된다. 이것은 게이트 산화물층, n-도핑된 폴리층 및 에칭 정지 역할을 하는 질화물층을 포함한다. 선택적으로 상기 폴리층은 폴리층 위에 실리사이드(silicide)층을 포함하는 폴리사이드(polycide)층을 포함할 수 있다. WSi_X와 같은 다양한 금속 실리사이드가 사용될 수 있다. 이어 이러한 층은 DRAM 셀의 트랜지스터(460)를 위한 게이트 스택(465)을 형성하기 위해 패터닝된다. 일반적으로 전송 게이트 스택(470)은 트렌치의 상부에 형성되며 STI에 의해 트렌치와 절연된다. 드레인(472) 및 소오스(471)는 P 또는 As와 같은 n 타입 도펀트를 이온주

입하므로써 형성된다. 일실시예에 있어서, P는 소오스 및 드레인 영역으로 이온 주입된다. 이온 주입량과 에너지는, 단락 채널 효과 및 정션 누설을 최소화하는 것과 같은 원하는 동작 특성을 달성하는 도펀트 프로파일을 생성하도록 선택된다. 게이트에 대한 소오스와 드레인의 확산과 정렬을 향상시키기 위해, 질화물 스페이서(spacer)(도시되지 않음)가 사용된다. 트랜지스터를 트렌치에 접속하기 위해, 노드 정션(441)은 스트랩(440)을 통한 도펀트의 외향 확산에 의해 생성된다.

유전체층(488)이 웨이퍼 표면의 위에 형성되어 게이트 및 기판 표면을 덮는다. 상기 유전체층은 예를 들어 BPSG를 포함한다. TEOS와 같은 다른 유전 층이 사용될 수도 있다. 도시된 바와 같이, 경계가 없는 콘택 개구부(482)는 소오스(461)를 노출시키도록 에칭된다. 그 후에 콘택 개구부는 n^+도핑된 폴리실리콘과 같은 도전 물질로서 충전되어, 내부에 콘택 스터드를 형성한다. 비트라인을 나타내는 금속 층이 상기 유전체층 위에 형성되어, 콘택 스터드를 통해 소오스와 콘택을 형성한다.

대안적인 실시예에 있어서, 수직형 기생 누설을 감소시키기 위해, 비-자기 정렬(non-self alined) 공정이 기생 MOSFET의 임계 전압(V_T)을 증가시키는 확산 영역을 형성하는 데에 사용된다. 비-자기 정렬 공정은 예를 들어, 패드 스택 형성에 앞서, 기판의 표면 상에 포토레지스트층을 형성하는 단계를 포함한다. 상기 레지스트는, 예를 들어 트렌치 커패시터를 형성하기 위해 사용되는 트렌치를 한정하는 마스크와 노출 소오스를 사용하여 선택적으로 노출된다. 현상 이후에, 레지스트 부분은 제거되어, 트렌치가 형성되어야 하는 영역의 기판 표면을 노출시킨다. 상기 기판은, 원하는 프로파일을 달성하기 위해, 적합한 도펀트, 주입량 및 에너지를 사용하여 이온 주입된다. 레지스트는 이온 주입 이후에 제거된다. 도펀트의 확산을 야기하고 원하는 대로 확산 영역을 확장시키는 어닐링이 수행된다. 이후, 패드 스택이 기판의 표면 상에 형성되고 공정은 트렌치 커패시터 메모리 셀을 형성하도록 계속된다.

본 발명이 여러 실시예를 참조하여 도시되고 설명되었을지라도, 본 발명의 범주를 벗어나지 않고 수정 및 변형이 가능하다는 것이 기술 분야의 당업자에게 이해될 것이다. 이에 따라, 본 발명의 범주는 상기 설명을 기준으로 하지 않고, 첨부된 청구 범위를 기준으로 하여 결정되어야 한다.

발명의 효과

본 발명에 따라 트렌치 커패시터에 기생 MOSFET의 게이트 임계 전압을 향상시키기 위해 칼라에 인접한 확산 영역을 형성함으로써, 수용 가능한 누설을 얻음과 동시에 얇은 칼라를 사용할 수 있게 한다.

(57) 청구의 범위

청구항 1.

메모리 셀로서,

게이트, 제 1 확산 영역 및 제 2 확산 영역을 포함하는 트랜지스터;

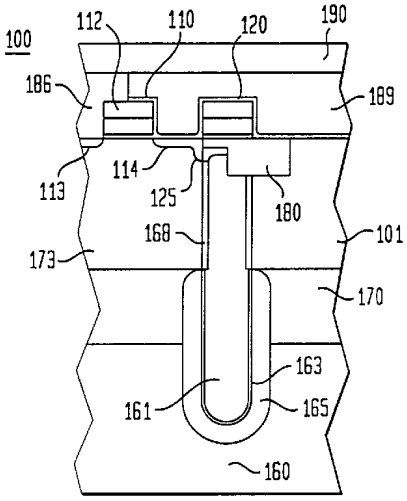
기판에 형성되는 트렌치(trench) 커패시터로서, 트렌치의 상부 영역에서의 유전체 칼라(collar), 상기 트렌치 커패시터의 하부를 둘러싸는 기판의 매립 확산(buried diffusion) 영역 및 상기 트랜지스터와 커패시터를 전기적으로 연결하는 칼라 위의 노드 확산(node diffusion) 영역을 포함하는 트렌치 커패시터; 및

제 3 확산 영역을 포함하며, 상기 제 3 확산 영역은 상기 칼라에 인접해 있으며, 누설을 감소시키기 위해 상기 칼라, 상기 매립 확산 영역 및 상기 노드 확산 영역에 의해 형성된 기생(parasitic) 트랜지스터의 게이트 임계 전압을 증가시키기에 충분한 5×10^{17} 내지 $2\times10^{18}cm^{-3}$의 농도를 가진 붕소를 포함한 도펀트를 포함하는, 메모리 셀.

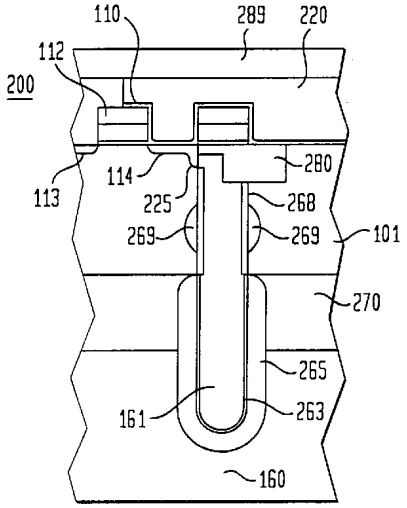
도면

도면1

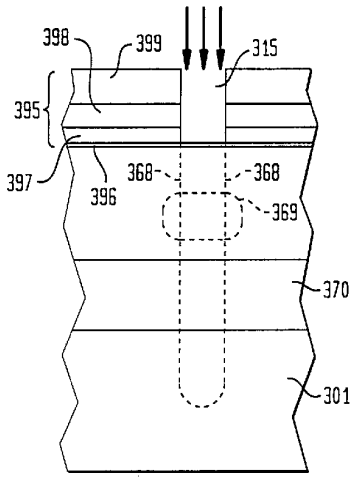
(종 래 기 술)



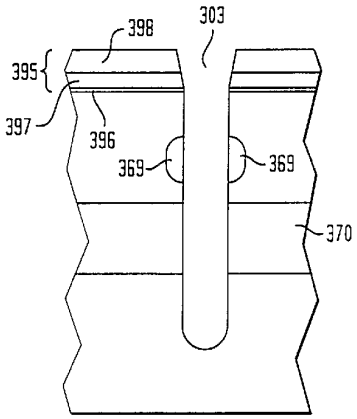
도면2



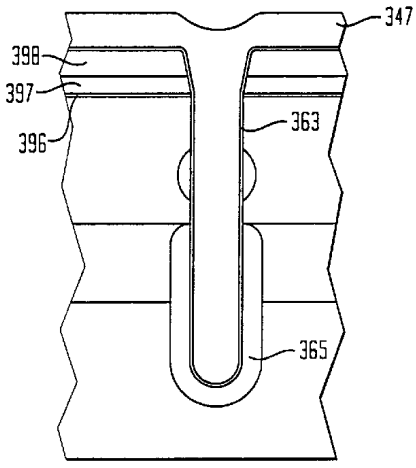
도면3a



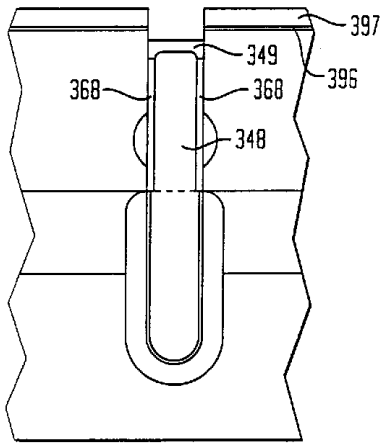
도면3b



도면3c



도면3d



도면3e

