

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2018년 11월 15일 (15.11.2018) WIPO | PCT



(10) 국제공개번호

WO 2018/207972 A1

(51) 국제특허분류:

H01L 45/00 (2006.01)

(21) 국제출원번호:

PCT/KR2017/008409

(22) 국제출원일:

2017년 8월 3일 (03.08.2017)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0058293 2017년 5월 10일 (10.05.2017) KR

(71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, 고려대학교 (안암동5가), Seoul (KR).

(72) 발명자: 김태근 (KIM, Tae Geun); 13568 경기도 성남시 분당구 양현로 88 이매촌동부코오롱아파트 503동 1403호, Gyeonggi-do (KR). 이병룡 (LEE, Byeong Ryong); 02578 서울시 동대문구 무학로49길 38 206호, Seoul (KR).

(74) 대리인: 특허법인 주원 (B&IP-JOOWON PATENT AND LAW FIRM); 06050 서울시 강남구 언주로 711, 건설회관 9층 (논현동), Seoul (KR).

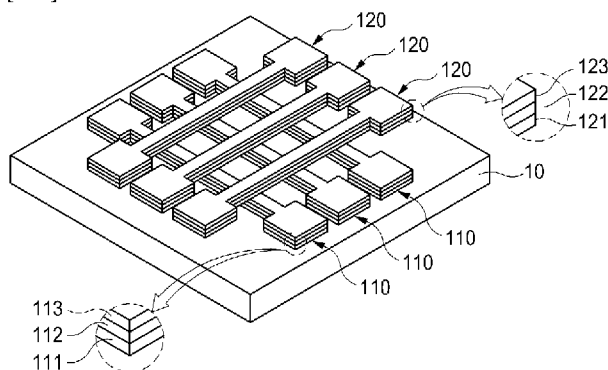
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: TRANSPARENT AND FLEXIBLE RESISTIVE SWITCHING MEMORY AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 투명하고 유연한 저항 변화 메모리 및 그 제조방법

[도2]



(57) Abstract: The present invention relates to a transparent and flexible resistive switching memory to which a transparent electrode having an OMO structure is applied, and a method for manufacturing the same. In addition, the present invention may comprise: a lower electrode laminated on a substrate and formed to have a structure in which an oxide layer, a metal layer, and an oxide layer are sequentially laminated; and an upper electrode laminated on the lower electrode while intersecting the lower electrode, and formed to have a structure in which an oxide layer, a metal layer, and an oxide layer are sequentially laminated, wherein the oxide layers disposed between the metal layer of the lower electrode and the metal layer of the upper electrode at the intersection of the lower electrode and the upper electrode function as resistive switching layers, thereby providing a resistive switching memory which is flexible and transparent while ensuring excellent electrical conductivity.

(57) 요약서: 본 발명은 OMO 구조의 투명 전극이 적용된 투명하고 유연한 저항 변화 메모리 및 그 제조방법에 관한 것이다. 또한, 본 발명은 기판 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하게 함으로써, 우수한 전기전도도를 확보하면서 유연하고 투명한 저항 변화 메모리를 제공할 수 있다.

[다음 쪽 계속]

WO 2018/207972 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 투명하고 유연한 저항 변화 메모리 및 그 제조방법 기술분야

[1] 본 발명은 OMO 구조의 투명 전극이 적용된 투명하고 유연한 저항 변화 메모리 및 그 제조방법에 관한 것이다.

[2]

배경기술

[3] 일반적으로, 실리콘(silicon) 기반의 플래시 메모리(flash memory)는 금속-산화물-반도체(metal-oxide-semiconductor) 구조의 전계 효과 트랜지스터(field-effect-transistor)로 구성되어 있는데, 메모리 소자의 미세화(scaling) 한계가 예상됨에 따라, 이를 대체할 수 있는 차세대 메모리를 개발하기 위한 시도가 다양하게 이루어지고 있는 실정이다.

[4] 최근, 차세대 메모리로 유력하게 대두되고 있는 소자는, 강유전체 메모리(ferroelectric random-access memory, FeRAM), 자기 저항 메모리(magnetic random-access memory, MRAM), 상변화 메모리(phase-change randomaccess memory, PCRAM) 및 저항 변화 메모리(resistive switching memory, ReRAM)가 있다.

[5] 특히, 전술한 저항 변화 메모리는 비교적 간단한 구조를 갖고, 비휘발성이며, 스위칭이 빠르고, 수명(endurance) 및 메모리 리텐션(retention) 특성이 우수한 장점이 있기 때문에 차세대 메모리 중에서 가장 주목받고 있다.

[6] 한편, 미래의 전자 시스템에 중요한 이슈로 떠오르고 있는 투명하고 유연한 메모리 소자를 구현하고자, 차세대 메모리인 저항 변화 메모리에 투명 전극인 ITO, IZO 및 GZO를 적용하려는 시도가 이루어지고 있으나, 종래의 투명 전극인 ITO, IZO 및 GZO가 휨에 의해 쉽게 깨지는 특성이 있기 때문에, 투명하고 유연한 저항 변화 메모리의 개발을 곤란하게 하는 문제점이 있다.

[7] 아울러, 종래의 투명 전극인 ITO, IZO 및 GZO의 전기전도도가 낮다는 점도 투명하고 유연한 저항 변화 메모리의 개발을 어렵게 하는 요인으로 지목되고 있다.

[8]

발명의 상세한 설명

기술적 과제

[9] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 빛에 대한 투과도가 높고 전도성이 우수하면서 유연한 특성을 갖는 저항 변화 메모리 및 그 제조방법을 제공하는데 그 목적이 있다.

[10] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을

것이다.

[11]

과제 해결 수단

[12] 상기와 같은 목적을 달성하기 위한 본 발명은 기판 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.

[13] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.

[14] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.

[15]

[16] 또한, 본 발명은 기판 상부에 적층되고, 산화물층 및 금속층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.

[17] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.

[18] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.

[19]

[20] 또한, 본 발명은 기판 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의

교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.

- [21] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.
- [22] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.
- [23]
- [24] 바람직한 실시예에 있어서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층은, 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함한다.
- [25] 바람직한 실시예에 있어서, 상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함한다.
- [26]
- [27] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; (3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 하부 전극을 형성하는 단계; (4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계; (5) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및 (6) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계 및 상기 제 (4)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.
- [28] 바람직한 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능한다.
- [29] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에

전도성 필라멘트가 생성되거나 소실된다.

- [30] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.

[31]

- [32] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하여 상기 하부 전극을 형성하는 단계; (3) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계; (4) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및 (5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.

- [33] 바람직한 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능한다.

- [34] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.

- [35] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.

[36]

- [37] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; (3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 하부 전극을 형성하는 단계; (4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 금속층을 패터닝하는 단계; 및 (5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.

- [38] 바람직한 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능한다.

- [39] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.
- [40] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.
- [41]
- [42] 바람직한 실시예에 있어서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층은, 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함한다.
- [43] 바람직한 실시예에 있어서, 상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO_2), 삼산화텅스텐(WO_3), 산화하프늄(HfO_2), 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 산화몰리브덴(MoO_3), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y , Zr_xO_y , Co_xO_y , Cr_xO_y , V_xO_y , Nb_xO_y , ZnMgBeO, Mg_xO_y , Mg_xN_y , Ti_xN_y , In_xN_y , Ga_xN_y , Ga_xO_y , boron nitride(BN), Ni_xN_y , Si_xN_y , Al doped ZnO(AZO), $\text{Mg}_x\text{Zn}_y\text{O}_x$ 및 Cu_xO_y 중 적어도 하나를 포함한다.

[44]

발명의 효과

- [45] 전술한 과제해결 수단에 의해 본 발명은 기판 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하게 함으로써, 우수한 전기전도도를 확보하면서 유연하고 투명한 저항 변화 메모리를 제공할 수 있는 효과가 있다.
- [46] 또한, 본 발명은 저항 변화층을 형성하는 별도의 공정이 요구되지 않으므로, 제조 공정을 단순화할 수 있고 제조 비용을 절감할 수 있다.
- [47] 또한, 본 발명은 OMO 구조를 갖는 다양한 투명 전극을 하부 전극과 상부 전극으로 활용할 수 있어 기술의 구현이 용이한 효과가 있다.

[48]

도면의 간단한 설명

- [49] 도 1 및 도 2는 본 발명의 제 1 실시예에 따른 저항 변화 메모리를 설명하기 위한 도면.
- [50] 도 3은 본 발명의 제 1 실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면.

- [51] 도 4는 본 발명의 제 1실시에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
- [52] 도 5 및 도 6은 본 발명의 제 2실시에 따른 저항 변화 메모리를 설명하기 위한 도면.
- [53] 도 7은 본 발명의 제 2실시에 따른 저항 변화 메모리의 단면을 나타내는 도면.
- [54] 도 8은 본 발명의 제 2실시에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
- [55] 도 9 및 도 10은 본 발명의 제 3실시에 따른 저항 변화 메모리를 설명하기 위한 도면.
- [56] 도 11은 본 발명의 제 3실시에 따른 저항 변화 메모리의 단면을 나타내는 도면.
- [57] 도 12는 본 발명의 제 3실시에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
- [58] 도 13은 본 발명의 제 1실시에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.
- [59] 도 14는 본 발명의 제 2실시에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.
- [60] 도 15는 본 발명의 제 3실시에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.

[61]

발명의 실시를 위한 형태

- [62] 하기의 설명에서 본 발명의 특정 상세들이 본 발명의 전반적인 이해를 제공하기 위해 나타나 있는데, 이들 특정 상세들 없이 또한 이들의 변형에 의해서도 본 발명이 용이하게 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.
- [63] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도 1 내지 도 15를 참조하여 상세히 설명하되, 본 발명에 따른 동작 및 작용을 이해하는데 필요한 부분을 중심으로 설명한다.
- [64]
- [65] 도 1 및 도 2는 본 발명의 제 1실시에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 3은 본 발명의 제 1실시에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 4는 본 발명의 제 1실시에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.
- [66] 도 1 내지 도 4를 참조하면, 본 발명의 제 1실시에 따른 저항 변화 메모리는, 기판(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(110) 및 그 하부 전극(110)의 상부에 적층되고 하부 전극(110)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(120)을

포함하여 구성된다.

[67] 즉, 본 발명의 제 1 실시예에 따른 저항 변화 메모리는, 하부 전극(110)과 상부 전극(120)이 서로 직교하는 형태의 크로스바 어레이(cross bar array) 구조로 구현될 수 있다.

[68] 하부 전극(110)은 기판(10) 위에 산화물층(111), 금속층(112) 및 산화물층(113)이 순차적으로 적층되는 OMO(oxide-metal-oxide) 구조로 형성될 수 있다.

[69] 하부 전극(110)의 금속층(112)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(110)의 산화물층(111, 113)은 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.

[70] 상부 전극(120)은 하부 전극(110)의 상부에 산화물층(121), 금속층(122) 및 산화물층(123)이 순차적으로 적층되는 OMO 구조로 형성되고, 상부 전극(120)의 금속층(122)은 전술한 전도성 금속 물질로 형성될 수 있으며, 상부 전극(120)에 형성되는 산화물층(121, 123)의 경우에도 전술한 저항 변화 물질로 형성될 수 있다.

[71] 그리고, 하부 전극(110)과 상부 전극(120) 간의 교차점(130)에 위치하는 상부 전극(120) 최하단의 산화물층(121)과 하부 전극(110) 최상단의 산화물층(113)은 서로 접촉하는 구조로 형성될 수 있다. 이때, 서로 접촉하는 산화물층(113, 121)은 동일한 저항 변화 물질로 형성됨이 바람직하다.

[72] 이러한, 하부 전극(110)과 상부 전극(120) 간의 교차점(130)은, 하부 전극(110)의 금속층(112), 하부 전극(110)의 산화물층(113)과 상부 전극(120)의 산화물층(121), 그리고, 상부 전극(120)의 금속층(122)이 순차적으로 적층되어 있는 구조를 형성하게 된다.

[73] 이로 인해, 하부 전극(110)의 금속층(112)과 상부 전극(120)의 금속층(122) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(113, 121)이 저항 변화층으로 기능하여, 상부 전극(120)과 하부 전극(110) 사이에 인가된 전압에 의해 국소적인 전도성 경로인 전도성 필라멘트(F)가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정이 이루어질 수 있다.

[74] 또한, 저항 변화층으로 기능하는 산화물층(113, 121)에 리셋 펄스 전압이 인가되면, 고저항 상태로 다시 돌아가게 되는데, 이는, 전술한 전도성 필라멘트(F)가 소실됨을 뜻한다. 즉, 저항 변화층으로 기능하는 산화물층(113,

- 121)의 저항 상태에 따라 ‘1’과 ‘0’에 해당하는 1비트(bit) 정보를 저장할 수 있는 것이다.
- [75] 따라서, 본 발명의 제 1실시예에 따른 저항 변화 메모리는 서로 직교하는 하부 전극(110)과 상부 전극(120)의 사이에 저항 변화층을 형성하는 별도의 공정을 수행하지 않더라도, 하부 전극(110)의 일부와 이에 접촉하는 상부 전극(120)의 일부가 저항 변화층으로 기능하는 구조를 제공함으로써, 제조 공정의 단순화를 가능하게 하고 제조 비용도 절감할 수 있다.
- [76] 아울러, 본 발명의 제 1실시예에 따른 저항 변화 메모리는 OMO 구조의 하부 전극(110)과 상부 전극(120)이 적용됨으로써, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고 투명하면서 유연한 메모리 소자를 구현할 수 있는 것이다.
- [77] 한편, 소정의 열처리를 통해 하부 전극(110)과 상부 전극(120)의 투과도를 향상시키거나, 하부 전극(110)과 상부 전극(120)에 각각 형성되는 산화물층(111, 113, 121, 123)과 금속층(112, 122)의 두께를 조절하는 방식으로 투과도를 더 개선시킬 수도 있다.
- [78] 또한, 하부 전극(110)과 상부 전극(120)에 형성되는 각각의 산화물층(111, 113, 121, 123)은, 하나의 층으로만 형성될 수 있는 것이 아니라, 적어도 두 개의 층으로 적층된 멀티 레이어 구조로 형성될 수도 있다.
- [79] 이하에서는, 본 발명의 제 2실시예에 따른 저항 변화 메모리에 대해 설명한다.
- [80]
- [81] 도 5 및 도 6은 본 발명의 제 2실시예에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 7은 본 발명의 제 2실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 8은 본 발명의 제 2실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.
- [82] 도 5 내지 도 8을 참조하면, 본 발명의 제 2실시예에 따른 저항 변화 메모리는, 기판(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(210) 및 그 하부 전극(210)의 상부에 적층되고 하부 전극(210)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(220)을 포함하여 구성된다.
- [83] 즉, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(110)과 상부 전극(120)이 서로 직교하는 형태의 크로스바 어레이 구조로 구현된다는 점에서, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리와 유사한 점이 있으나, 하부 전극(210)에 1개의 산화물층(211)이 형성되고 상부 전극(220)에는 2개의 산화물층(221, 223)이 형성된다는 점에서 그 차이가 있을 수 있다.
- [84] 하부 전극(210)은 기판(10) 위에 산화물층(211) 및 금속층(212)이 순차적으로 적층되는 구조로 형성될 수 있다.
- [85] 아울러, 하부 전극(210)의 금속층(212)은 금(Au), 은(Ag), 구리(Cu),

몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(210)의 산화물층(211)은 산화아연(ZnO), 산화타이타늄(TiO_2), 삼산화텅스텐(WO_3), 산화하프늄(HfO_2), 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 산화몰리브덴(MoO_3), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y , Zr_xO_y , Co_xO_y , Cr_xO_y , V_xO_y , Nb_xO_y , ZnMgBeO , Mg_xO_y , Mg_xN_y , Ti_xN_y , In_xN_y , Ga_xN_y , Ga_xO_y , boron nitride(BN), Ni_xN_y , Si_xN_y , Al doped ZnO(AZO), $\text{Mg}_x\text{Zn}_y\text{O}_x$ 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.

- [86] 상부 전극(220)은 하부 전극(210)의 상부에 산화물층(221), 금속층(222) 및 산화물층(223)이 순차적으로 적층되는 OMO 구조로 형성되고, 상부 전극(220)의 금속층(222)은 전술한 전도성 금속 물질로 형성될 수 있으며, 상부 전극(220)의 산화물층(221, 223)의 경우에도 전술한 저항 변화 물질로 형성될 수 있다.
- [87] 따라서, 하부 전극(210)과 상부 전극(220) 간의 교차점(230)은, 하부 전극(210)의 금속층(212), 상부 전극(220)의 산화물층(221) 및 상부 전극(220)의 금속층(222)이 순차적으로 적층되어 있는 구조를 형성하게 된다.
- [88] 이로 인해, 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(221)이 저항 변화층으로 기능하여, 상부 전극(220)과 하부 전극(210) 사이에 인가된 전압에 의해 국소적인 전도성 경로인 전도성 필라멘트(F)가 생성되어 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정이 이루어지거나, 리셋 펄스 전압이 인가되면 그 저항 상태가 저저항 상태에서 고저항 상태(High Resistance State, HRS)로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.
- [89] 즉, 저항 변화층으로 기능하는 산화물층(221)의 저항 상태에 따라 '1'과 '0'에 해당하는 1비트(bit) 정보를 저장할 수 있는 것이다.
- [90] 따라서, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 경우에도 별도의 저항 변화층을 형성하는 공정이 요구되지 않으므로, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고 투명하면서 유연한 메모리 소자를 구현하면서, 제조 공정의 단순화 및 제조 비용의 절감을 가능하게 한다.
- [91] 이하에서는, 본 발명의 제 3실시예에 따른 저항 변화 메모리에 대해 설명한다.
- [92]
- [93] 도 9 및 도 10은 본 발명의 제 3실시예에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 11은 본 발명의 제 3실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 12는 본 발명의 제 3실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.
- [94] 도 9 내지 도 12를 참조하면, 본 발명의 제 3실시예에 따른 저항 변화 메모리는,

기관(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(310) 및 그 하부 전극(310)의 상부에 적층되고 하부 전극(310)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(320)을 포함하여 구성된다.

- [95] 즉, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(310)과 상부 전극(320)이 서로 직교하는 형태의 크로스바 어레이 구조로 구현될 수 있다. 다만, 본 발명의 제 3실시예에 따른 저항 변화 메모리는, 하부 전극(310)에서 2개의 산화물층(311, 313)이 형성되고, 상부 전극(320)에는 1개의 산화물층(322)이 형성되게 된다.
- [96] 즉, 하부 전극(310)은 기관(10) 위에 산화물층(311), 금속층(312) 및 산화물층(313)이 순차적으로 적층되는 OMO 구조로 형성되는 반면에, 상부 전극(320)은 하부 전극(310)의 상부에 금속층(321) 및 산화물층(322)이 순차적으로 적층된 구조로 형성되게 된다.
- [97] 아울러, 하부 전극(310)과 상부 전극(320)의 금속층(312, 321)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(310)과 상부 전극(320)의 산화물층(311, 313, 322)은 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.
- [98] 한편, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(310)과 상부 전극(320) 간의 교차점(330)에서 하부 전극(310)의 금속층(312), 하부 전극(310)의 산화물층(313) 및 상부 전극(320)의 금속층(321)이 순차적으로 적층되는 구조가 형성될 수 있다.
- [99] 따라서, 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(313)이 저항 변화층으로 기능하면서, 상부 전극(320)과 하부 전극(310) 사이에 인가된 전압에 의해 전도성 필라멘트(F)가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있으며, 저항 변화층으로 기능하는 산화물층(313)의 저항 상태에 따라 '1'과 '0'에 해당하는 1비트(bit) 정보를 저장할 수 있게 된다.
- [100] 따라서, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고

투명하면서 유연한 메모리 소자를 구현하는 동시에, 별도의 저항 변화층을 형성하는 공정이 요구되지 않아 제조 공정의 단순화 및 제조 비용의 절감을 가능하게 한다.

[101]

[102] 도 13은 본 발명의 제 1 실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.

[103] 도 13을 참조하여 설명하면, 먼저, 저항 변화 메모리를 형성할 기판(10)을 준비한다(도 13의 (a)).

[104] 다음으로, 그 기판(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(111)을 패터닝하고 그 위에 동일한 패턴으로 금속층(112)을 패터닝한 후 다시 동일한 패턴으로 산화물층(113)을 패터닝하여 하부 전극(110)을 형성하게 된다(도 13의 (b)).

[105] 그 다음에는, 하부 전극(110)의 상부에 그 하부 전극(110)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 산화물층(121)을 패터닝하고 그 위에 동일한 패턴으로 금속층(122)을 패터닝한 후 다시 동일한 패턴으로 산화물층(123)을 패터닝하여 상부 전극(120)을 형성하게 된다(도 13의 (c)).

[106] 이때, 하부 전극(110)과 상부 전극(120)의 금속층(112, 122)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로 형성될 수 있고, 하부 전극(110)과 상부 전극(120)의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.

[107] 그리고, 하부 전극(110)과 상부 전극(120)은 서로 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 하부 전극(110)과 상부 전극(120) 간의 교차점에는 하부 전극(110)의 금속층(112), 하부 전극(110)의 산화물층(113)과 상부 전극(120)의 산화물층(121), 그리고, 상부 전극(120)의 금속층(122)이 순차적으로 적층된 구조가 형성된다.

[108] 따라서, 하부 전극(110)과 상부 전극(120) 간의 교차점에서, 하부 전극(110)의 금속층(112)과 상부 전극(120)의 금속층(122) 사이에 위치한 산화물층(113, 121)이 저항 변화층으로 기능하여, 상부 전극(120)과 하부 전극(110) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.

- [109] 즉, 하부 전극(110)과 상부 전극(120) 간의 교차점에 위치하여 저항 변화층으로 기능하는 산화물층(113, 121)의 저항 상태에 따라 '1'과 '0'에 해당하는 1비트(bit) 정보를 저장할 수 있는 저항 변화 메모리를 제조할 수 있다.
- [110] 이하에서는, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법에 대해 설명한다.
- [111]
- [112] 도 14는 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.
- [113] 도 14를 참조하면, 먼저, 저항 변화 메모리를 형성할 기관(10)을 준비한다(도 14의 (a)).
- [114] 다음으로, 그 기관(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(211)을 패터닝하고 그 위에 동일한 패턴으로 금속층(212)을 패터닝하여 하부 전극(110)을 형성한다(도 14의 (b)).
- [115] 그 다음에는, 하부 전극(210)의 상부에 그 하부 전극(210)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 산화물층(221)을 패터닝하고 그 위에 동일한 패턴으로 금속층(222)을 패터닝한 후 다시 동일한 패턴으로 산화물층(223)을 패터닝하여 상부 전극(220)을 형성할 수 있다(도 14의 (c)).
- [116] 한편, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서와 동일한 전도성 금속 물질로 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222)을 형성할 수 있고, 전술한 저항변화 물질로 하부 전극(210)의 산화물층(211)과 상부 전극의 산화물층(221, 223)을 형성할 수 있다.
- [117] 아울러, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서와 동일하게, 하부 전극(210)과 상부 전극(220) 간의 교차점에서 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222) 사이에 위치한 산화물층(221)이 저항 변화층으로 기능하여, 상부 전극(220)과 하부 전극(210) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.
- [118] 따라서, 하부 전극(210)과 상부 전극(220) 간의 교차점에 위치하여 저항 변화층으로 기능하는 산화물층(221)의 저항 상태에 따라 '1'과 '0'에 해당하는 1비트(bit) 정보를 저장할 수 있는 저항 변화 메모리를 제조할 수 있다.
- [119] 이하에서는, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법에 대해 설명한다.
- [120]

- [121] 도 15는 본 발명의 제 3실시에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.
- [122] 도 15를 참조하면, 먼저, 저항 변화 메모리를 형성할 기판(10)을 준비한다(도 15의 (a)).
- [123] 그 다음, 그 기판(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(311)을 패터닝하고 그 위에 동일한 패턴으로 금속층(312)을 패터닝한 후 다시 동일한 패턴으로 산화물층(313)을 패터닝하여 하부 전극(310)을 형성하게 된다(도 15의 (b)).
- [124] 다음에는, 하부 전극(310)의 상부에 그 하부 전극(310)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 금속층(321)을 패터닝한 후, 그 위에 동일한 패턴으로 산화물층(322)을 패터닝하여 상부 전극(320)을 형성하게 된다(도 15의 (c)).
- [125] 즉, 본 발명의 제 3실시에 따른 저항 변화 메모리의 제조방법은, 하부 전극(310)의 형성 시 산화물층(311, 313)을 패터닝하는 공정이 2회 수행되고, 상부 전극(320)의 형성 시 산화물층(322)을 패터닝하는 공정이 1회 수행된다.
- [126] 한편, 본 발명의 제 3실시에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시에 따른 저항 변화 메모리의 제조방법에서 언급된 전도성 금속 물질로 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321)을 형성할 수 있고, 전술한 본 발명의 제 1실시에 따른 저항 변화 메모리의 제조방법에서 언급된 저항변화 물질로 하부 전극(310)의 산화물층(311, 313)과 상부 전극의 산화물층(322)을 형성할 수 있으므로, 이에 대한 중복되는 설명은 생략하고자 한다.
- [127] 아울러, 본 발명의 제 3실시에 따른 저항 변화 메모리의 제조방법을 통해 제조된 저항 변화 메모리는, 하부 전극(310)과 상부 전극(320) 간의 교차점에서 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321) 사이에 위치한 산화물층(313)이 저항 변화층으로 기능하여, 상부 전극(320)과 하부 전극(310) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있고, 저항 변화층으로 기능하는 산화물층(313)의 저항 상태에 따라 '1'과 '0'에 해당하는 1비트(bit) 정보를 저장할 수 있다.
- [128] 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이와 같은 특정 실시예에만 한정되는 것은 아니며, 특허청구범위에 기재된 범주 내에서 적절하게 변경 가능한 것이다.

[129]

산업상 이용가능성

[130] 본 발명은 투명하고 유연한 저항 변화 메모리를 제조하는 용도로 사용될 수 있다.

[131]

[132]

청구범위

- [청구항 1] 기판 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 2] 제 1항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 3] 제 2항에 있어서,
상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 4] 기판 상부에 적층되고, 산화물층 및 금속층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 5] 제 4항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 6] 제 5항에 있어서,

- 상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 7] 기관 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 8] 제 7항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 9] 제 8항에 있어서,
상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리.
- [청구항 10] (1) 기관 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;
(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계;
(3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 하부 전극을 형성하는 단계;
(4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계;
(5) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및
(6) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고,

상기 제 (3)단계 및 상기 제 (4)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.

[청구항 11] 제 10항에 있어서,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

[청구항 12] 제 11항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

[청구항 13] 제 12항에 있어서,
상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

[청구항 14] (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;
(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하여 상기 하부 전극을 형성하는 단계;
(3) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계;
(4) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및
(5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고,
상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.

[청구항 15] 제 14항에 있어서,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

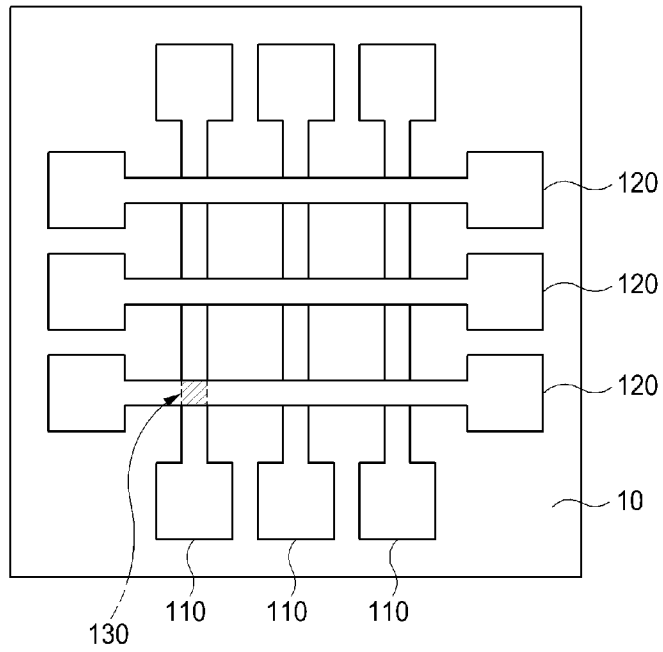
[청구항 16] 제 15항에 있어서,
상기 저항 변화층은,

상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

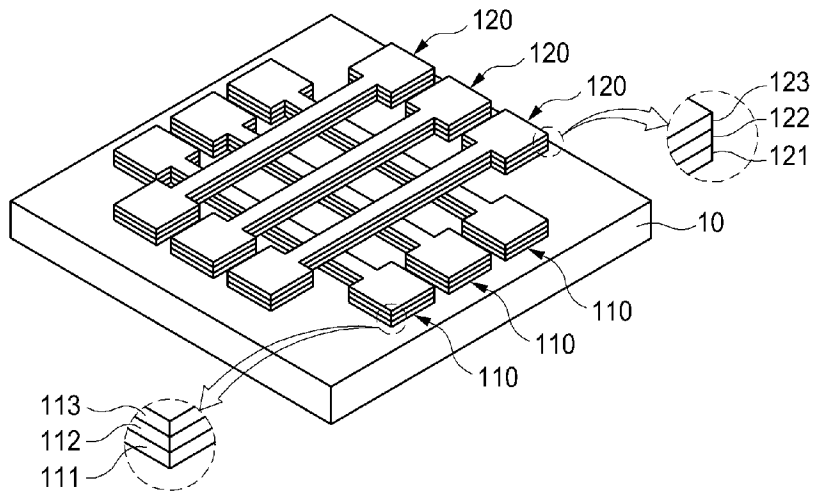
- [청구항 17] 제 16항에 있어서,
상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.
- [청구항 18] (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;
(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계;
(3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 하부 전극을 형성하는 단계;
(4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 금속층을 패터닝하는 단계; 및
(5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고,
상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.
- [청구항 19] 제 18항에 있어서,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리의 제조방법.
- [청구항 20] 제 19항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.
- [청구항 21] 제 20항에 있어서,
상기 하부 전극은,
소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,
상기 상부 전극은,
상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로

패터닝되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

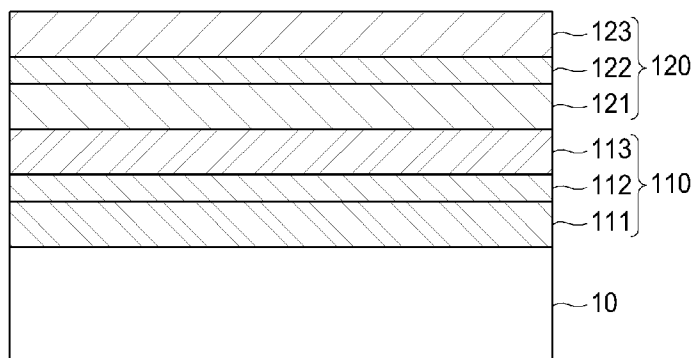
[도1]



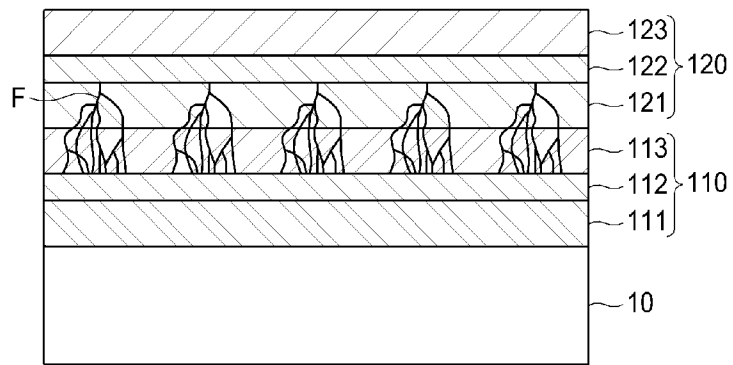
[도2]



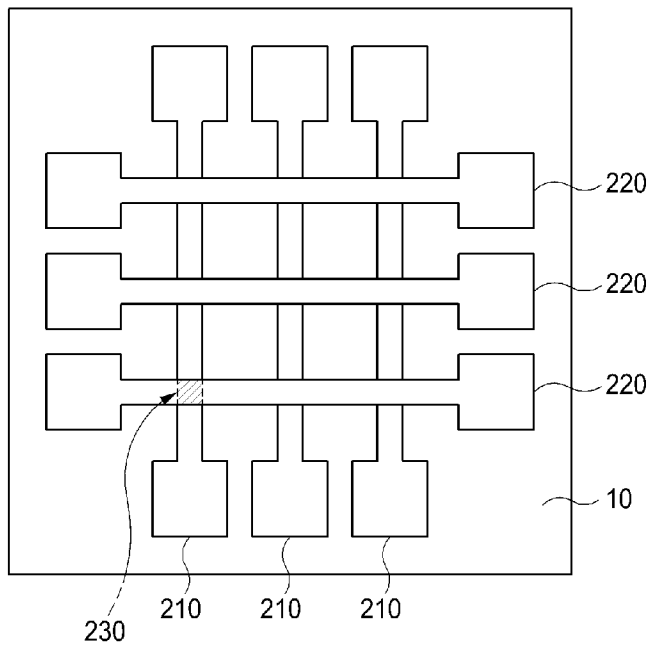
[도3]



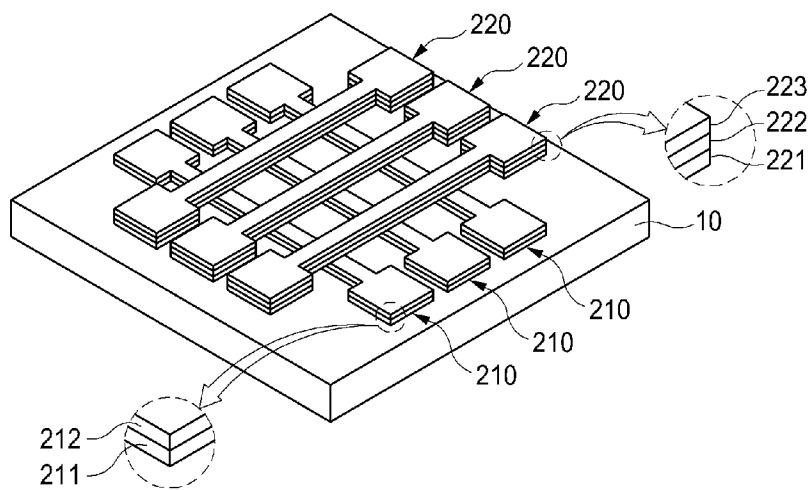
[도4]



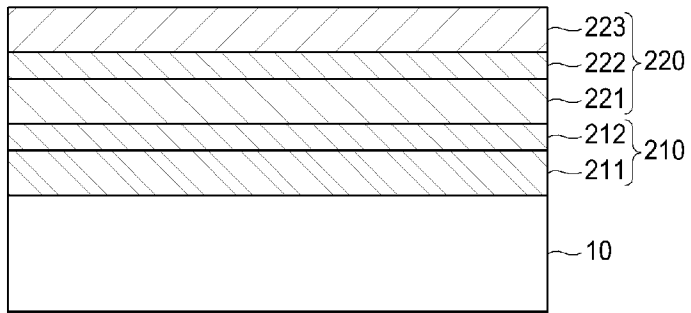
[도5]



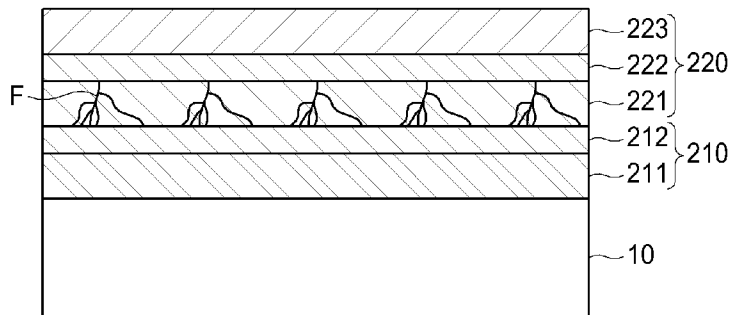
[도6]



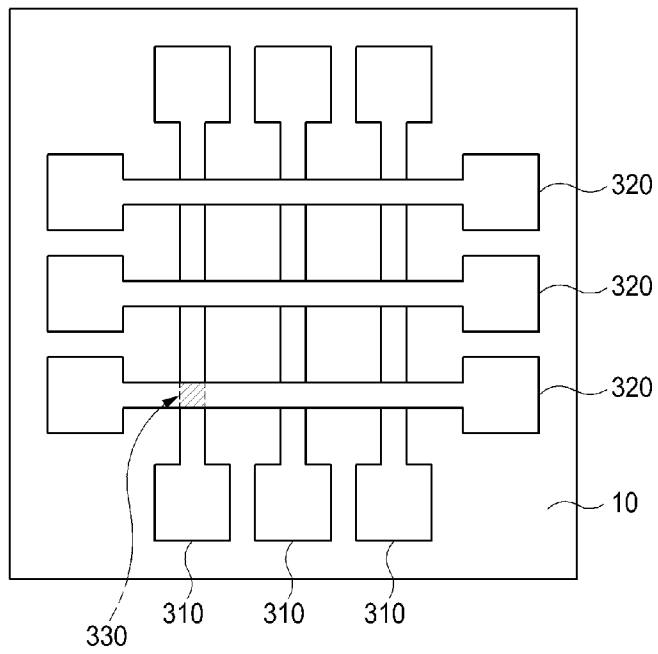
[도7]



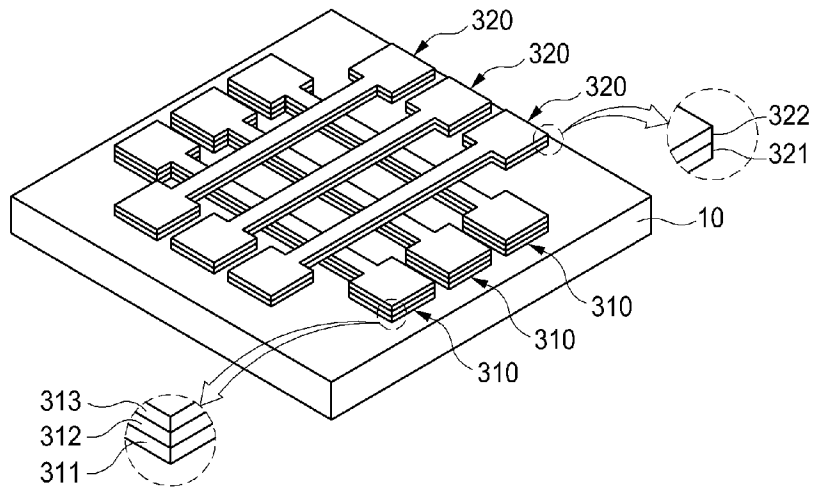
[도8]



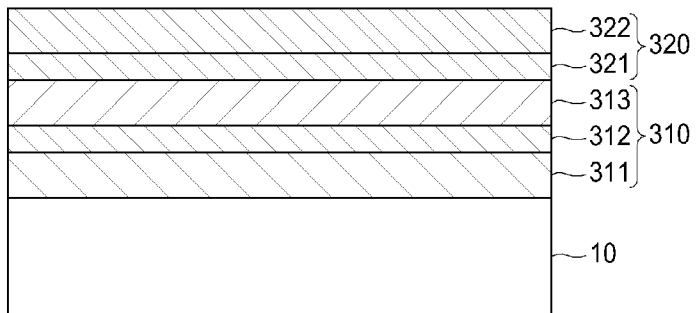
[도9]



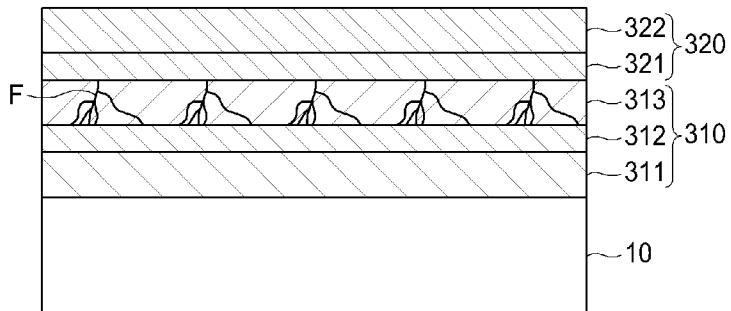
[도10]



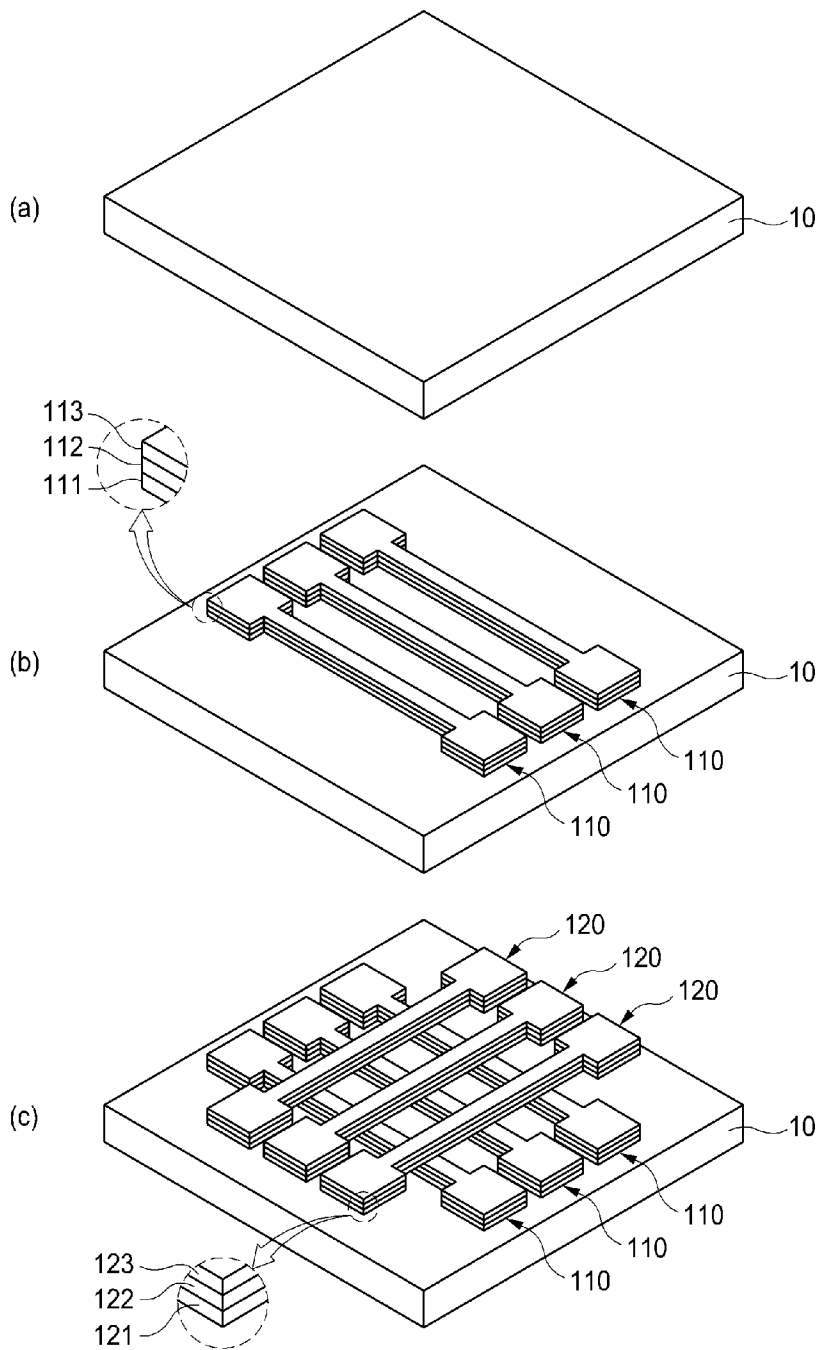
[도11]



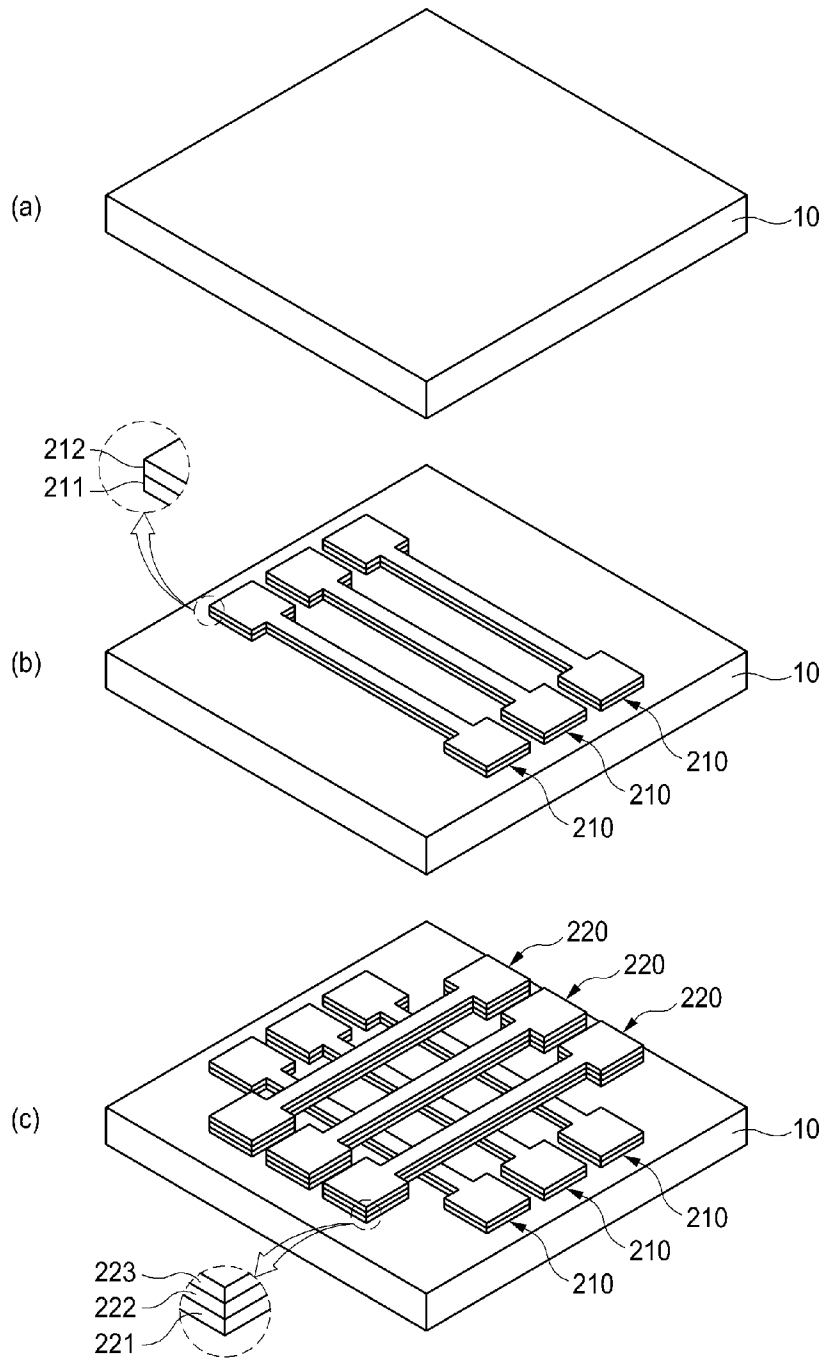
[도12]



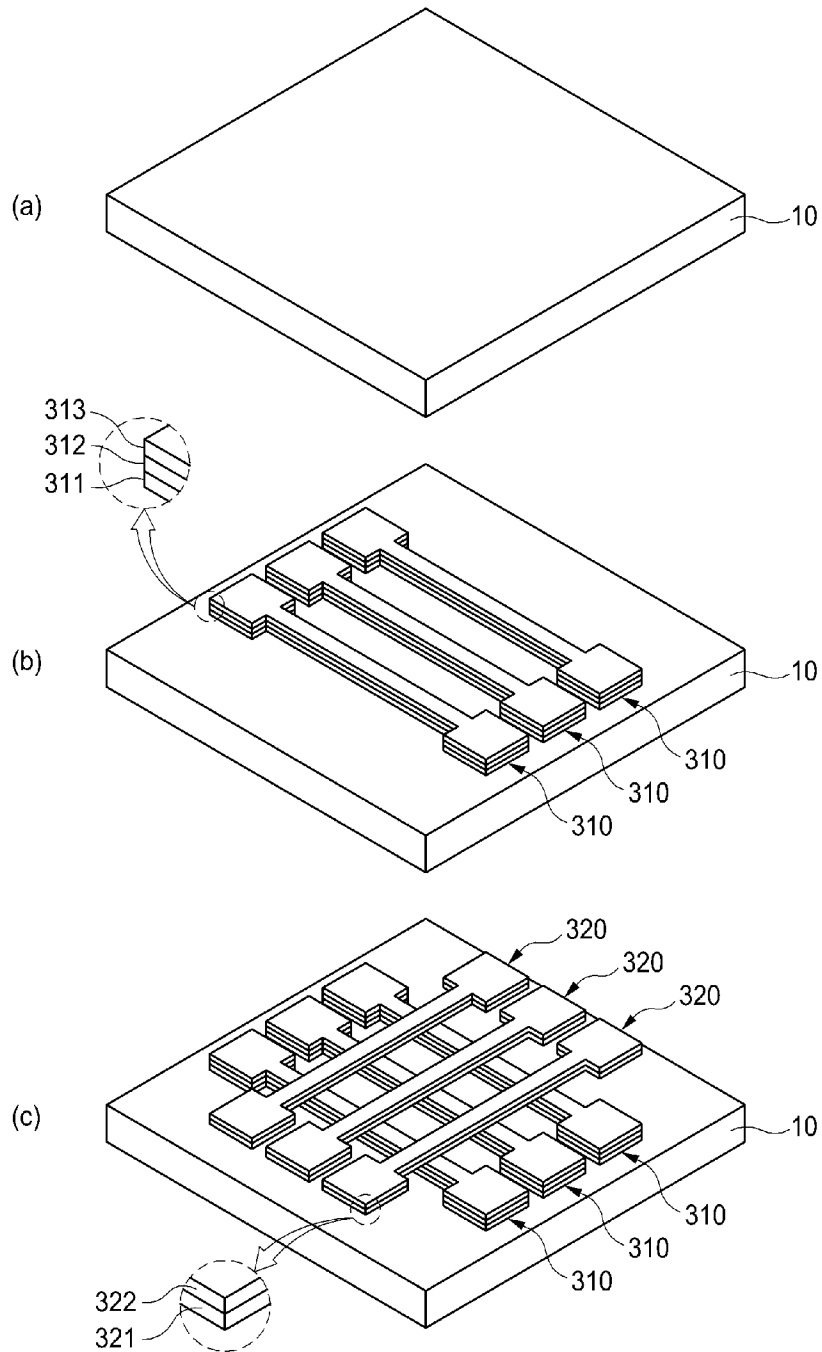
[도13]



[도14]



[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/008409

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 45/00; H01L 27/115; H01L 43/08; H01L 27/105; H01L 21/02; H01L 21/8247; G11C 13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: resistance change memory, oxide layer, metallic layer, crossing

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-534719 A (MICRON TECHNOLOGY, INC.) 03 December 2015 See paragraphs [0036], [0039], [0042]; and figure 8.	1-21
Y	KR 10-2014-0013364 A (SK HYNIX INC.) 05 February 2014 See paragraphs [0016]-[0018], [0040]; claims 1-3, 10, 12; and figure 4.	1-21
A	KR 10-2014-0116264 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 02 October 2014 See paragraphs [0017]-[0035]; and figures 1-3.	1-21
A	KR 10-2016-0066971 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 13 June 2016 See paragraphs [0049]-[0062]; and figures 5-8.	1-21
A	US 2011-0193051 A1 (NAM, Kyung Tae et al.) 11 August 2011 See paragraphs [0023]-[0033]; and figures 1A-2.	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 JANUARY 2018 (30.01.2018)

Date of mailing of the international search report

01 FEBRUARY 2018 (01.02.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/008409

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2015-534719 A	03/12/2015	CN 104685626 A	03/06/2015
		CN 104685626 B	15/03/2017
		EP 2891181 A1	08/07/2015
		JP 6195927 B2	13/09/2017
		KR 10-2015-0048856 A	07/05/2015
		TW 201417259 A	01/05/2014
		US 2014-0061568 A1	06/03/2014
		US 2016-0086664 A1	24/03/2016
		US 9224945 B2	29/12/2015
		WO 2014-036264 A1	06/03/2014
KR 10-2014-0013364 A	05/02/2014	NONE	
KR 10-2014-0116264 A	02/10/2014	CN 105144383 A	09/12/2015
		KR 10-2014-0116265 A	02/10/2014
		US 2016-0043142 A1	11/02/2016
		WO 2014-148872 A1	25/09/2014
KR 10-2016-0066971 A	13/06/2016	US 2016-0163979 A1	09/06/2016
US 2011-0193051 A1	11/08/2011	KR 10-1699769 B1	25/01/2017
		KR 10-2011-0092092 A	17/08/2011
		US 8581364 B2	12/11/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 45/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 45/00; H01L 27/115; H01L 43/08; H01L 27/105; H01L 21/02; H01L 21/8247; G11C 13/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 저항 변화 메모리, 산화물층, 금속층, 교차

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2015-534719 A (MICRON TECHNOLOGY, INC.) 2015.12.03 단락 [0036], [0039], [0042]; 및 도면 8 참조.	1-21
Y	KR 10-2014-0013364 A (에스케이하이닉스 주식회사) 2014.02.05 단락 [0016]-[0018], [0040]; 청구항 1-3, 10, 12; 및 도면 4 참조.	1-21
A	KR 10-2014-0116264 A (한양대학교 산학협력단) 2014.10.02 단락 [0017]-[0035]; 및 도면 1-3 참조.	1-21
A	KR 10-2016-0066971 A (삼성전자주식회사 등) 2016.06.13 단락 [0049]-[0062]; 및 도면 5-8 참조.	1-21
A	US 2011-0193051 A1 (KYUNG TAE NAM 등) 2011.08.11 단락 [0023]-[0033]; 및 도면 1A-2 참조.	1-21

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 01월 30일 (30.01.2018)

국제조사보고서 발송일

2018년 02월 01일 (01.02.2018)

ISA/KR의 명칭 및 우편주소



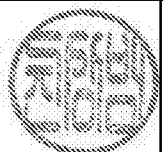
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

진상범

전화번호 +82-42-481-8398



국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

JP 2015-534719 A	2015/12/03	CN 104685626 A CN 104685626 B EP 2891181 A1 JP 6195927 B2 KR 10-2015-0048856 A TW 201417259 A US 2014-0061568 A1 US 2016-0086664 A1 US 9224945 B2 WO 2014-036264 A1	2015/06/03 2017/03/15 2015/07/08 2017/09/13 2015/05/07 2014/05/01 2014/03/06 2016/03/24 2015/12/29 2014/03/06
KR 10-2014-0013364 A	2014/02/05	없음	
KR 10-2014-0116264 A	2014/10/02	CN 105144383 A KR 10-2014-0116265 A US 2016-0043142 A1 WO 2014-148872 A1	2015/12/09 2014/10/02 2016/02/11 2014/09/25
KR 10-2016-0066971 A	2016/06/13	US 2016-0163979 A1	2016/06/09
US 2011-0193051 A1	2011/08/11	KR 10-1699769 B1 KR 10-2011-0092092 A US 8581364 B2	2017/01/25 2011/08/17 2013/11/12