(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월12일
(11) 등록번호 10-1006826
(24) 등록일자 2011년01월03일

(51) Int. Cl.
H03G 3/10 (2006.01)
(21) 출원번호 10-2004-7014043
(22) 출원일자(국제출원일자) 2003년02월27일
심사청구일자 2008년02월27일
(85) 번역문제출일자 2004년09월07일
(65) 공개번호 10-2004-0091702
(43) 공개일자 2004년10월28일
(86) 국제출원번호 PCT/US2003/006370
(87) 국제공개번호 WO 2003/077416
국제공개일자 2003년09월18일
(30) 우선권주장
10/092,968 2002년03월07일 미국(US)
(56) 선행기술조사문헌
JP11195942 A*
US06353401 B1*
US4704584 A
US6353401 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
마나프라가다프라벤
미국 텍사스 78671 라운드 록 에반스 로드 7018
도우스티븐,더블유.
미국 텍사스 78739 오스틴 로스트 오아시스 할로우 3409
(74) 대리인
장훈

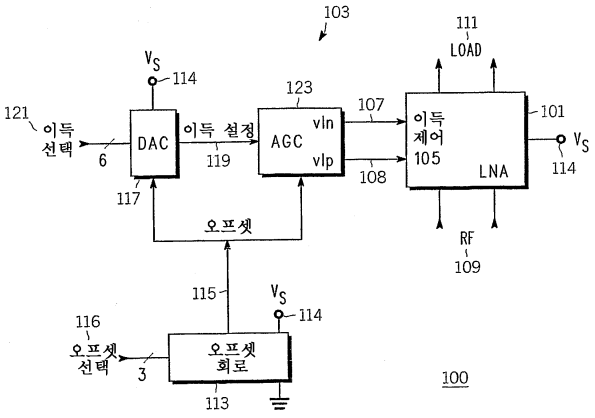
전체 청구항 수 : 총 4 항 심사관 : 정병홍

(54) 개선된 조정 가능한 이득 제어 시스템 및 그 방법

(57) 요 약

이득 제어 정확도가 개선된 조정 가능한 이득 제어(AGC) 시스템(100) 및 그 방법이 개시된다. 시스템은 선택 가능한 오프셋 신호를 제공하기 위한 오프셋 회로(113)와, 원하는 이득 및 상기 오프셋 신호에 의존하는 이득 설정 신호를 제공하기 위한 이득 설정 소스와, 오프셋 신호 및 이득 설정 신호에 결합되고, 이득 제어 신호를 제공하기 위한 AGC 회로로서, 오프셋 신호에 따라, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 이득 제어 신호를 보상하는, 상기 AGC 회로를 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

아날로그 증폭기(101)에 대해 향상된 이득 제어 정확도를 갖는 조정 가능한 이득 제어(AGC) 시스템(103)에 있어서,

선택 가능한 오프셋 신호를 제공하기 위한 오프셋 회로(113),

상기 오프셋 신호 및 이득 선택 신호에 의존하는 이득 설정 신호를 제공하기 위한 이득 설정 소스(117), 및

상기 오프셋 신호 및 상기 이득 설정 신호에 결합되고, 상기 아날로그 증폭기(101)에 이득 제어 신호를 제공하기 위한 AGC 회로(123)를 조합하여 포함하며, 상기 AGC 회로는 상기 오프셋 신호에 따라, 복수의 이득 선택 신호들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 아날로그 증폭기에 제공하기 위해 상기 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상하고,

상기 AGC 회로(123)는 로그 선형 이득 제어 신호(log linear gain control signal)를 제공하기 위한 피드백 루프(505, 511)를 더 구비하고, 상기 복수의 미리 결정된 이득들의 로거리즘(logarithm)은 복수의 원하는 이득들에 대응하는 상기 복수의 이득 선택 신호들의 선형 함수인, 조정 가능한 이득 제어(AGC) 시스템.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 AGC 회로(123)는 상기 선형 함수가 미리 결정된 이득 기울기(gain slope)를 갖도록 상기 로그 선형 이득 제어 신호를 제공하기 위한 상기 피드백 루프를 더 구비하는, 조정 가능한 이득 제어(AGC) 시스템.

청구항 4

제 1 항에 있어서,

상기 로그 선형 이득 제어 신호를 제공하기 위해 상기 피드백 루프를 더 구비하는 상기 AGC 회로(123)는 전압 임계값 및 베이스 이미터 접합 편차 중 하나에 기인한 오프셋들을 보상하도록 상기 오프셋 신호를 사용하는, 조정 가능한 이득 제어(AGC) 시스템.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

조정 가능한 이득 제어(AGC) 시스템(103)에서 아날로그 증폭기(101)에 대한 개선된 이득 제어를 제공하는 방법에 있어서,

선택 가능한 오프셋 신호(OFFSET)를 제공하는 단계,

상기 오프셋 신호 및 이득 선택 신호(GAIN SELECT)에 의존하는 이득 설정 신호(GAIN SET)를 제공하는 단계,

상기 오프셋 신호 및 상기 이득 설정 신호에 응답하여, 상기 아날로그 증폭기에 대한 이득 제어 신호(107, 108)를 생성하고, 상기 오프셋 신호에 따라, 복수의 이득 선택 신호들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 아날로그 증폭기에 제공하도록 AGC 시스템에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상하는 단계, 및

로그 선형 이득 제어 신호(log linear gain control signal)를 제공하기 위해 피드백 루프(505, 511)를 사용하는 단계로서, 상기 복수의 미리 결정된 이득들의 로거리즘(logarithm)은 복수의 원하는 이득들에 대응하는 상기 복수의 이득 선택 신호들의 선형 함수인, 상기 피드백 루프를 사용하는 단계를 포함하는, 아날로그 증폭기에 대한 개선된 이득 제어를 제공하는 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 통신 장비에 관한 것으로, 보다 상세하게는, 개선된 조정 가능한 이득 제어 시스템(improved adjustable gain control system), 상기 시스템을 사용하는 집적 회로 증폭기, 및 그 방법에 관한 것이다.

배 경 기 술

[0002] 이득 제어를 사용하거나 요구하는 수신기들 및 전송기들 같은 통신 장비가 공지되어 있다. 여러 표준들에 의해 정의되고 여러 캐리어(carrier)들에 의해 배치된 갖가지 통시 시스템들 및 복수의 상기 시스템들에서 동작하는 필드 장비(field equipment)에 대한 요구때문에, 조정 가능한 이득 제어 방법들에 대한 요구 또는 수요가 증가하고 있다. 현재 및 장래의 많은 시스템들은 간섭이 제한적이도록 설계된다. 상기 시스템들에서, 신호 레벨들은 실제에 근접하게 제어될 필요가 있다. 결국, 이는 상기 시스템에 배치된 장비에서 사용된 신호 처리 라인업(line-up)의 증폭 및 이득이 또한 중요하다는 것을 의미한다. 따라서, 조정 가능한 이득 제어 시스템에 대한 정확성 및 반복성에 대한 요구가 더 엄격해지고 있다. 동시에 장비의 복잡성뿐만 아니라 크기 및 비용에 대한 압력들은 가능한 많이 집적된 기능의 사용을 요구한다.

[0003] 따라서, 이득이 제어되어야 하는 대부분의 조정 가능한 이득 제어 시스템들 및 증폭기들은 집적 회로의 형태로 되어 있다. 이득 제어 시스템들 대부분은 큰 신호 전류 이득들 등의 몇몇의 성능 변수들, 및 온도 등의 몇몇 환경 변수들에 대해 여러 형태의 보상을 갖는다. 그러나, 공지된 이득 제어 시스템들은 처리 변수들의 임의의 부정합에 기인하고 처리 변화도(process gradient)들의 임의의 부정합에 기인한 부정확성을 경험하였다. 따라서, 공지의 시스템들은 다중 이득 설정(gain setting)들에 대해 그리고 동일 시스템의 다중의 카피들(copies)에 걸쳐 공지의 미리 결정된 이득 제어 레벨들을 반복적으로 제공하고 있다. 확실히 개선된 조정 가능한 이득 제어 시스템 및 그 방법들에 대한 필요성이 존재한다.

발명의 상세한 설명

[0004] 본 발명은 조정 가능한 이득 제어를 위한 통신 장비, 개선된 장치들 및 방법에 관한 것이다. 본 발명의 한 특징은 아날로그 증폭기에 대한 이득 제어 정확도가 향상된 조정 가능한 이득 제어(AGC) 시스템이다. AGC 시스템은, 선택 가능한 오프셋 신호를 제공하기 위한 오프셋 회로와, 오프셋 신호 및 원하는 이득에 의존하여 이득 설정 신호(gain set signal)를 제공하기 위한 이득 설정 소스와, 상기 오프셋 신호 및 상기 이득 설정 신호에 결합되고, 아날로그 증폭기에 이득 제어 신호를 제공하기 위한 AGC 회로로서, 상기 오프셋 신호에 따라, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상하는 상기 AGC 회로를 포함한다.

[0005] 본 발명의 다른 한 특징은 조정 가능한 이득 특성을 갖는 집적 회로 증폭기이고, 여기서, 상기 집적 회로는 출력 신호를 제공하기 위해 상기 이득 제어 신호에 따라 입력 신호를 증폭하기 위해 이득 제어 신호에 결합된 이득 제어 입력을 갖는 저노이즈 증폭기(low noise amplifier)(LNA)와, 상기 이득 제어 신호를 제공하기 위해 조정 가능한 이득 제어(AGC)를 구비한 이득 제어 시스템을 포함한다. 상기 이득 제어 시스템은 선택 가능한 오프셋 신호를 제공하기 위한 오프셋 회로와, 상기 오프셋 신호 및 원하는 이득에 의존하는 이득 설정 신호를 제공하기 위한 이득 설정 소스와, 상기 LNA에 상기 이득 제어 신호를 제공하기 위해 상기 오프셋 신호 및 상기 이득 신호에 결합되고, 상기 오프셋 신호에 따라, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상한다.

[0006] 본 발명의 방법적인 측면은 조정 가능한 이득 제어(AGC) 시스템에서 아날로그 증폭기에 대한 개선된 이득 제어를 제공하는 방법이다. 상기 방법은 선택 가능한 오프셋 신호를 제공하는 단계와, 상기 오프셋 신호 및 원하는 이득에 의존하는 이득 설정 신호를 제공하는 단계와, 상기 오프셋 신호 및 상기 이득 설정 신호에 응답하여 상기 아날로그 증폭기에 대한 이득 제어 신호를 생성하고, 상기 오프셋 신호에 따라, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 증폭기에 제공하도록 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상하는 단계를 포함한다.

[0007] 첨부된 도면들은 본 발명에 따라 다양한 실시예들을 예시하고, 다양한 원리들 및 이점들을 설명하며, 여기서, 동일한 참조 번호들은 모든 도면들을 통해 동일하거나, 기능적으로 유사한 요소들을 나타낸다.

실 시 예

[0015] 개략적으로 본 발명은 유저들에 대한 서비스를 제공하는 통신 장비를 인에이블링하는 방법 및 장치에 관한 것이다. 더욱 상세하게는 개선된 조정 가능한 이득 제어 시스템들에 대한 방법들, 장치들, 및 집적 회로(IC)들에서 구체화된 여러 발명의 개념 및 원리가 기술 및 개시될 것이다. 특히 중요한 통신 장비는 핸드 설정들, 장치들, 통신 기기들 내에서 신호 처리 기능을 위한 다중의 엄밀히 제어되는 이득들을 요구하는 셀룰러 장치들 또는 핸드 설정들 등이다. 상기 환경은 예컨대 GSM, CDMA, 및 전통적인 셀룰러 시스템들, 또는 GSM, GPRS, 및 3G 시스템들에서 동작하는 셀룰러 폰 또는 핸드 설정 등에서 조우할 것이다.

[0016] 본 발명의 개시내용은 본 발명에 따른 여러 실시예들을 제조 및 사용하는 최선의 양태, 및 방법들을 더 설명하기 위해서 제공된다. 본 개시내용은 본 발명을 한정하기 보다는 본 발명의 원리들 및 장점들에 대한 이해 및 인식을 향상시키기 위해 더 제공된다. 본 발명은 본 출원의 계류중에 이루어지는 어떠한 변형예, 및 특허됨에 따른 상기 청구범위의 모든 등가 실시예를 포함하고 있는 첨부된 청구범위에 의해서만 한정된다.

[0017] 제 1 및 제 2, 상하 등의 관련 용어들의 사용은, 실제의 관련성 또는 실물(entity) 또는 동작들 사이의 순서를 반드시 요구하거나 함축함이 없이 다른 실물 또는 동작을 단지 구별하기 위해서 사용된다는 점을 이해하여야 한다. 본 발명의 많은 기능 및 본 발명의 많은 원리들은 다양한 반도체 회로들 및 공정들에서 최적으로 실시될 수 있다. 통상의 당업자라면, 본 발명이 개시하는 개념 및 원리들에 의해 유도되는 경우에 예컨대 가용 시간, 현재의 기술, 및 경제적인 고려에 의해 촉발된 상당한 노력 및 많은 설계 선택들에도 불구하고, 최소의 실험으로 적절한 반도체 공정들의 설계 룰에 따라 상기 회로들을 용이하게 생산할 수 있다는 것이 예견된다. 따라서, 상기 회로들 및 공정들에 대한 논의는 본 발명의 원리들 및 개념들을 흐리게 하는 위험성을 모두 최소화하고 단순화하기 위해 양호한 실시예들의 본질에 한정될 것이다.

[0018] 도 1에서 증폭기 및 조정 가능한 이득 제어 시스템의 양호한 실시예의 블록도가 기술될 것이다. 상기 블록도는 이득 제어 시스템(103)에 의해 제공 또는 제어되는 조정 가능한 이득 또는 이득 제어 특성을 갖는 증폭기(101)를 도시한다. 양호하게는, 상기 증폭기는 저노이즈 증폭기(low noise amplifier ; LNA) 또는 조정 가능한 이득 제어 특성이 있는 다른 아날로그 증폭기 등의 집적 회로 증폭기이다. 상기 이득 특성이 원하는 또는 선택된 이득들과, 복수의 유닛 및 환경들에서 반복적이며 정확하게 생성될 수 있는 증폭기에 의해 실제 생성된 이득들과

의 사이의 미리 결정된 관계(relation)가 되는것이 양호한다.

[0019] 집적 회로 증폭기는 양호하게는 이득 제어 신호(107, 108)에 결합된 이득 제어 입력(105)을 구비하는 저노이즈 증폭기(LNA)(101), 양호하게는 입력 신호(109)를 증폭하기 위한 차동 신호(differential signal), 양호하게는 출력 신호(111)를 제공하기 위해 이득 제어 신호(107, 108)에 따른 고주파 신호, 양호하게는 고주파 믹서(mixer) 등의 부하(load)에 대한 차동 출력 신호를 포함하면 양호하다. 또한, 이득 제어 신호를 제공하고 이득 제어 특성이 획득됨을 본질적으로 보장하기 위한 조정 가능한 이득 제어(AGC)를 갖는 이득 제어 시스템(103)이 포함된다. 양호한 형태로서, 상기 증폭기 및 상기 이득 제어 시스템은 i.250 GSM/GPRS Platform 등의 여러가지 지정(designation)에 따라 Motorola사에 의해 제안된 고주파 집적 회로 등과 같은 회로에 의해 공통 집적 회로 내에서 집적될 것이다. 상기 집적된 회로는 스펙(specifics)이 여기에 개시된 원리들 및 개념들과 관련성이 있는 경우를 제외하고는 더이상 설명되지 않는 일반적으로 공지된 바와 같은 공정들로서 실리콘 게르마늄, 바이폴라 및 CMOS(BiCMOS)상에 제조하기가 적합하다.

[0020] 이득 제어 시스템은 선택 입력(116)에서 선택 신호 또는 오프셋 선택 신호를 경유하여 양호하게 선택 가능한 오프셋 신호(115)를 제공하기 위한 오프셋 회로(113)를 포함한다. 도 2를 참조하여 이하에서 보다 상세하게 논의되는 바와 같이, 오프셋 회로는 Vs(114) 및 접지(ground)로 참조되고, 양호하게는 반도체 공정들에서 발견된 온도 및 공정 그라디언트들(process gradients)의 편차에서 공지된 바와 같은 비교적 안정적인 미리 결정된 저항기 비율들(resistor ratios)에 따라, 복수의 가용 오프셋 신호(available offset signal)들을 생성한다. 상기 구성은 양호하게는 ac 접지 또는 Vs/2에 동등한 공칭 오프셋 신호(nominal offset signal)를 제공한다. 상기 가용 오프셋 신호들은 양호하게는 Vs/2에서 20mV의 배수이다. 동작시에 그리고 선택된 신호를 경유하여 나타낸것처럼 오프셋 회로는 오프셋 신호(115)를 제공하기 위해 116에서 3 비트 선택 신호에 따라 상기 8개의 오프셋 신호들 중의 1개를 선택한다. 오프셋 회로에 대한 양호한 방법 및 장치들은 디지털 선택 신호를 수신하고 그에 응답하여 오프셋 신호를 제공하는 디지털-아날로그 컨버터이다.

[0021] 조정 가능한 이득 제어 시스템에서, 양호하게는 입력(121) 및 오프셋 신호(115)에 양호하게 이득 선택 신호로서 제공된 원하는 이득에 의존하는 이득 설정 신호(119)를 제공하기 위한 이득 설정 소스(gain setting source; 117)가 더 포함된다. 도 3을 참조하여 이하에서 보다 상세하게 논의되는 바와 같이, 이득 설정 소스는 공지된 반도체 공정들에서 안정성에 제공되고, 가용 이득 설정 신호들이 오프셋 신호(115)에 의존하는 경우 미리 결정된 저항기 비율에 따라 복수의 가용 이득 설정 신호들을 양호하게 생성한다. 이득 설정 소스는 Vs와 위에서 언급된 바와 같은 Vs/2+/-n(20mV)인 오프셋 전압 사이에서 참조된다. 2.75 볼트의 공칭 Vs가 주어지면, 가용 이득 설정 신호들은 개략 22mvs 마다 이격된다. 한 실시예에서, 이득 설정 소스는 이득 선택 신호(119)를 제공하기 위해 6 비트의 선택 신호에 따라 상기 64개의 가용 이득 설정 신호들 중의 1개를 선택한다. 한 실시예에 있어서, 이득 설정 소스(117)는 입력(121)에서 디지털 이득 선택 신호를 수신하고 그에 응답하여 119에서 이득 설정 신호를 제공하는 디지털-아날로그 컨버터를 포함한다.

[0022] 도 1에 도시된 집적 회로의 조정 가능한 이득 제어 시스템의 하나의 최종 블록은 LNA(101)용 이득 제어 신호(107, 108)를 제공하기 위한, 오프셋 신호(115) 및 이득 설정 신호(119)에 결합된 AGC 회로(123)이다. 상기 AGC 회로는 이득 선택 신호들에 의해 지시된 바와 같은 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 이득 제어 신호를 오프셋 신호에 따라 보상한다. 도 5를 참조하여 이하에서 보다 더 설명되는 바와 같이, AGC 회로는 로그 선형 이득 제어 신호(log linear gain control signal)를 제공하도록 피드백 루프를 포함하고, 상기 복수의 미리 결정된 이득들의 로거리즘(logarithm)은 상기 복수의 원하는 이득들의 선형 함수이다. 피드백 루프를 구비한 AGC 회로는 로그 선형 이득 제어 신호를 정확하게 반복적으로 제공하여 선형 함수가 미리 결정된 이득 기울기(gain slope), 양호하게는 볼트당 50dB를 갖도록 할 수 있다. 피드백 루프를 갖는 AGC 회로는 전압 임계값 및 베이스 이미터 접합 편차 등의 변수들에 기인한 오프셋 또는 부정합을 보상하기 위해 오프셋 신호를 사용함으로써 로그 선형 이득 제어 신호를 제공한다.

[0023] 도 2는 도 1의 시스템에서 사용하는 오프셋 회로의 양호한 실시예의 블록도이다. 오프셋 회로는 선택 가능한 오프셋 신호(115)를 제공한다. 오프셋 회로(113)는 미리 결정된 저항율들에 따라 복수의 가용 오프셋 신호들을 생성하도록, 본질적으로 그리고 양호하게는 여기의 원리들 및 개념들에 따라 변형된 디지털-아날로그(DAC) 회로(201)이어서, 이 신호들이 이하에서 언급되는 바와 같이 서로 적절한 원하는 미리 결정된 성질 및 관계를 갖는다. 오프셋 회로에는 R-래더 회로(R-ladder circuit)(203)가 포함된다. 상기 R-래더 회로(203)는 Vs(114)와 접지(207) 사이에 접속된 복수의 직렬 접속 저항들이다. 복수의 가용 오프셋 신호들 각각은 탭(0 - 7) 중의 하나에서 이용 가능하다. 공지된 바와 같이, 탭 4등의 탭에서의 전압 또는 신호는 그 탭에서의 전류 부하가 무시할

수 있다는 것을 가정하면, R-래더 회로 양단의 전압 또는 전위에, 탭 4(211)로부터 접지(207)까지의 저항을 R-래더 회로(203)의 총 저항으로 나눈 비율(ratio)을 곱한것에 비례할 것이다. 저항값이 표시되었다고 가정하면, 전압은 탭 4에서 Vs×128K/256K = 0.5Vs 또는 개략 Vs/2일 것이다. 탭에서 작은 전류 부하를 가정하면, 탭 4에서의 공칭 전압은 양호한 실시예에서 기술된 바와 같이 AC 접지 또는 Vag라고 하는 Vs/2 또는 1/2 서플라이(supply)이다. Vs = 2.8V에서, 각각의 탭이 가장 가까운 이웃 탭들로부터 전위가 20밀리-볼트이도록 예컨대, n×20mv 만큼 Vag 또는 Vs/2 보다 더 크거나 더 작도록 저항값이 선택된다. 예컨대, 탭 5(213)은 Vag 보다 20mv 더 크고, 탭 3(215)은 Vag 보다 20mv 더 작다. 8개의 가용 오프셋 신호들은 오프셋 신호(115)를 제공하기 위해 입력(116)에서 선택 신호 또는 3비트의 디지털 오프셋 선택 신호에 따라 탭(0 - 7)들에서 8개의 가용 오프셋 신호들 중의 1개를 선택하는 8:1 멀티플렉서 또는 mux(209)에 결합된다. 오프셋 신호 또는 가용 오프셋 신호들의 성질들 및 특성들은 적절한 갯수의 가용 오프셋 신호들, 가용 오프셋 전압들의 범위, 및 이하에서 보다 더 설명되는 바와 같은 이득 제어 신호의 보상을 위해 요구되는 가용 오프셋 신호들 사이의 스텝 사이즈(step size)를 제공하도록, 어드레스 공간 및 그 변경의 임플리케이션(implication)에 주의하여 선택된다.

[0024] 도 3은 도 1의 시스템에서 사용하기에 적합한 이득 설정 소스(117)의 양호한 실시예의 블록도이다. 이득 설정 소스는 121에서의 원하는 이득 및 오프셋 신호(115)에 의존하는 이득 설정 신호(119)를 제공한다. 본질적으로 양호하게는, 이득 설정 소스(117)는 오프셋 신호(115)에 의존하는 복수의 가용 이득 설정 신호들을 생성하기 위해 본 개념들 및 원리들에 따라, 및 미리 결정된 저항률들에 따라 변형된 DAC 회로(301)이어서, 이 신호들이 이하에서 언급되는 바와 같은 적절한 원하는 미리 결정된 성질들 및 관계들을 갖는다. 오프셋 회로에는 R-래더 회로(303)가 포함되어 있다. R-래더 회로(303)는 도시된 바와 같이 Vs(114)와 오프셋 신호(115) 사이에 접속된 (R0 - R64)로 표시되며, 양호하게는 300 오옴(ohm)의 직렬 접속된 복수의 저항들이다. 복수의 가용 이득 설정 신호들 각각은 탭(0 - 63)들 중의 하나에서 사용 가능하다. 공지된 바와 같이, 탭 0(311) 등과 같은 탭에서의 전압 또는 신호는 그 탭에서의 전류 부하가 무시할 수 있다는 것을 가정하면, R-래더 회로 양단의 전압에, 탭 4(311)으로부터 참조 전위 또는 여기서는 오프셋 신호(115)까지의 저항을 R-래더 회로(303)의 총 저항으로 나눈 비율에 곱하고, 참조 전위 또는 여기서는 오프셋 신호(115)를 더한 것에 비례할 것이다. 저항값이 표시된다고 가정하면, 탭 0에서의 전압은 오프셋 신호(115) + (Vs-(오프셋 신호 = Vag +/- nx20mv = Vs/2 +/- nx20mv))×300/65x300이 될 것이다. 따라서, n=0이면, 오프셋 신호= Vs/2이고, Vs= 2.8볼트라고 가정하면, R0 양단의 전압은 Vs/130 또는 개략 22mv이다. Vs= 2.8V에서, 저항값들 및 저항율들은 각각의 탭이 이웃 탭보다 더 크거나 더 작은 그 가장 가까운 이웃 탭으로부터의 전위가 개략 22 밀리볼트가 되도록 선택된다. 예를 들어, 탭 1(313)은 탭 0(311)보다 22mv 더 크다. 오프셋 신호는 20mv의 증분으로 상하로 변하기 때문에, 주어진 탭에서의 전압은 관련된 저항기 비율에 따라 상기 20mv에 비례하여 또한 변할 것이다. 예컨대, 오프셋 신호의 20mv의 변화는 탭 0이 20mv의 64/65 만큼 변하게 하고, 탭 63(315)은 단지 20mv의 증가의 1/65 만큼 변할 것이다. 64개의 가용 이득 설정 신호들은 이득 설정 신호(119)를 제공하기 위해 입력(121)에서 이득 선택 신호 또는 6비트의 디지털 이득 선택 신호에 따르며 그에 응답하여 탭(0 - 64)들에서 64개의 가용 이득 설정 신호들 중의 하나를 선택하는 64:1 멀티플렉서 또는 mux(309)에 결합된다. 이득 설정 신호(119) 또는 가용 이득 설정 신호들의 상기 성질들 및 특성들은 적절한 갯수의 가용 이득 설정 신호들, 가용 이득 설정 전압들의 범위, 및 이하에서 보다 더 설명되는 바와 같은 이득 제어 신호의 보상을 위해 요구되는 가용 이득 설정 신호들 사이의 스텝 사이즈(step size)를 공급하기 위해, 어드레스 공간 및 그 변경의 임플리케이션에 주의하여 선택된다. 비록 언급되지 않았지만, 오프셋 선택 및 이득 선택 신호들은 공지의 기술들에 따라 이득 제어 시스템을 인터페이스 접속하도록 배치된 컨트롤러에 의해 제공되는 것이 예상된다.

[0025] 도 4는 도 1의 시스템에서 사용하기에 적합한 증폭기의 개략도이다. 이는 아날로그 증폭기, 양호하게는 일반적으로 공지된 LNA(101)의 관련부의 단수화된 기능도이다. LNA는 양호하게는 트랜지스터들(401, 403)에 결합된 고주파 신호인 109에서 사용 가능한 상이한 입력 신호를 증폭하도록 구성된다. 트래지스터들(401, 403) 각각은 트랜지스터의 쌍들(405, 407 및 411, 409) 각각에 대해 그 각각의 컬렉터들에서 결합된다. 이들 트랜지스터 쌍들(405, 407 및 411, 409)은 베이스 단자들에서 이득 제어 신호(107, 108)에 각각 결합되어 vln(107)은 트랜지스터들(405, 411)로 들어가고 vlp(108)은 트랜지스터들(407, 409)로 들어간다. 트랜지스터(405, 411)들은 믹서(mixer) 등의 부하에 대해 111에서 출력 신호를 제공하도록 동작한다. 이득 제어 신호(vlp- vln)는, 2개의 트랜지스터의 상이한 쌍들을 경유하여 LNA의 증폭을 제어하고 그에 의해 트랜지스터(401, 403)로부터의 RF 신호 전류 및 DC 전류 성분들을 부하 또는 서플라이(Vs)에 조향(streering)함에 의해 조정 가능한 이득 특성을 제공하는 차동 신호이다. 이득 제어 신호가 증감함에 따라, 평균 vlp는 증가하고 vln은 감소하고, 트랜지스터들(405, 411)의 바이어스 전류는 감소하고, 그 반면에 Vs(114)로부터 트랜지스터들(407, 409)를 경유하여 입력하는 바이어스 전류는 증가하고, 그에 따라, LNA의 이득을 감소시키거나 또는 이득 제어 신호의 이전 상태 동안에 제공되

었던 이득에 비례하여 제공된 감쇄량(amount of attenuation)을 증가시킨다.

[0026] 도 5는 도 1의 시스템에서 사용하기에 적합한 AGC 기능 또는 회로(123)의 양호한 실시예의 상세 블록도이다. AGC 회로(123)는 입력에서 이득 설정 신호(119) 및 Vag 또는 표시된 극성들을 갖는 Vs/2에 결합되고, 약 27dB의 이득을 제공하도록 동작하는 AGC 차동 증폭기(501)를 포함하여, LNA 또는 아날로그 증폭기에 제공될 이득 제어 신호 또는 감쇄 신호(vlp - vnp)(108 - 107)를 제공하기 위해 503에서 (vlp 및 vnp에 대해 +/- 180mv의 신호 스윙을 차지하도록 약 2.63V 내지 1.9V로부터) 추후에 dc 레벨 천이되는 레벨 천이된 이득 제어 신호를 제공한다. 상기 AGC 회로는 121에서 제공된 바와 같은 복수의 원하는 이득들에 각각 대응하는 증폭기에 대한 복수의 미리 결정된 이득들을 제공하기 위해, 제조 분야들 및 반도체 설계에서 당업자에 의해 공지된 길이 대 폭의 비율의 편차 및 다른 임계값 및 부정합 변수들 등의 처리 변수들에 대한 이득 제어 신호를 오프셋 신호에 따라 보상하도록 동작한다. 이는 차동 신호(vdbp - vdbn)(507, 509)를 AGC_gm 증폭기(511)의 입력(510, 512)에 결합하는 출력(504, 506)을 구비한 dB 생성기(505)를 포함하는 피드백 루프에 이득 제어 신호를 결합함으로써 달성된다. AGC_gm 증폭기는 iout 신호(513)를 AGC 차동 증폭기(501)의 양(positive)의 노드에 다시 제공하는 출력을 구비하며, 여기서 이득 선택 신호(119)는 저항(Rin)(515)을 통해 결합된다. 피드백 루프를 포함하는 AGC 회로는 로그 선형 이득 제어 신호(log linear gain control signal)를 제공하도록 동작하며, 여기서 상기 복수의 미리 결정된 이득들의 로거리즘은 복수의 원하는 이득들의 선형 함수이다. 또한, 피드백 루프를 구비하는 AGC 회로는 선형 함수가 미리 결정된 이득 기울기(gain slope)를 갖도록 로그 선형 이득 제어 신호를 제공한다. 이는 예컨대, 전압 임계값 및 베이스 이미터 결합 편차에 기인하거나, 또는 결과되거나, 또는 초래되는 오프셋들을 보상하도록 AGC-gm 증폭기에 결합된 바와 같이 오프셋 신호(115)를 사용함으로써 달성된다.

[0027] 도 6 및 도 7은 도 5의 AGC 회로내에서 사용하기에 적합한 dB 생성기(505) 및 AGC_gm 증폭기(511)에 대한 양호한 실시예의 각각의 단순화된 개략도를 도시한다. 도 6은 dB 생성기(505)에 대한 개략도이고, 108 및 107에서 차동 이득 제어 신호(vlp - vln)에 결합된다. 주목할 점은 이득 설정 신호(119)에 응답하여 vlp가 증가하고 vln이 감소함에 따라, dBn(506)의 전압(509)은 증가하고 dBp(504)의 전압(507)은 감소할 것이라는 점이다. 이는 도 7을 참조하여 이하에서 설명되는 AGC_gm 증폭기를 구동하는 차동 전압 신호(vdbp - vdbn)(507, 509)를 형성한다. 차동 트랜지스터 쌍(Q7, Q8)은 컬렉터 전류(Ic7, Ic8)의 증가 및 감소를 각각 경험하며 상기 2개의 전류의 합은 It가 된다. 주목할 점은 vlp - vln이 LNA를 구동하기 때문에, 트랜지스터(405, 411)의 바이어스 또는 컬렉터 전류의 본질적으로 동일한, 대응하는 감소 및 트랜지스터(407, 409)의 컬렉터 전류의 증가가 있을 것이다. 이는 LNA의 이득을 감소시키거나 LNA의 현재 감쇄량을 증가시킬 것이다. 공지된 바와 같이, 차동 전압(vdbp - vdbn)은 전류 비율(Ic8/It 또는 Ic7/It)에 dB가 비례하고 제 1의 비율은 LNA에 대한 감쇄의 증가 또는 이득의 감소에 대응하고, 후자는 감쇄의 감소 또는 이득의 증가에 대응한다. 주목할 점은 Ic8 + Ic7 = It이기 때문에, 이 비율들은 1 미만이라는 점이다. 이는 상기 비율의 각각의 단위 변화(unit change)가 차동 전압의 임의의 많은 dB 변화를 방생시킨다는 것을 의미하는 로그 선형 함수이다. 주목할 점은 dB 생성기의 전류의 동일한 비율 및 변화는 양쪽 모두가 동일한 신호에 의해 구동되고 동일한 방식으로 구성되기 때문에 LNA에서 발생된다는 점이다. 식 (vdbp - vdbn) = V_T*ln(Ic8/It)에서, 여기서 V_T는k*T/q이고 k=볼쯔만 상수이고, T= 켈빈 온도이고 q = 전자의 전하이다. T = 300K에서 V_T = 26mV이다. 주목할 점은 vdbp가 음으로 될 때까지 vdbp = vdbn이기 때문에, vdbp - vdbn은 Ic8이 감소함에 따라 크기가 증가하는 음수라는 점이다.

[0028] 도 7은 차동 전압(vdbp - vdbn)을 AGC 차동 증폭기(501)의 양의 입력 노드에서 합산되는 전류, iout(513)으로 변환하기 위해, 이득이 gm인 트랜스-컨덕턴스 증폭기(trans-conductance amplifier)로서 동작하는 AGC_gm 증폭기(511)의 단순 개략도이다. 공지된 바와 같이, 상기 노드에서의 전류는 합이 0이 되어야 한다. Rin(515)를 통하는 전류는 Rin에 의해 나누어진 Rin 양단의 전압이다. 이하에서 Vogs로도 언급되는 Rin 양단의 전압은 Vag = Vs/2 보다 더 작은 이득 설정 신호이고, 여기서 이득 설정 신호는 앞서 설명된 바와 같이 오프셋 신호(115)에 의존할 것이고, 오프셋 신호(115) 및 121에서 선택된 원하는 이득에 의존하여 그 범위는 개략 Vs/2로부터 개략 Vs까지일 것이다. 따라서, Vogs/Rin + (vdbp - vdbn)*gm = 0 또는 Vogs/Rin = -(vdbp - vdbn)*gm이다. (vdbp - vdbn)을 상기로부터 치환하면, Vogs/Rin = -V_T*ln(Ict8/It)*gm이다. 따라서, Vogs의 증가에 따라서 Rin을 통하는 전류가 증가함에 따라, Ic8은 감소하고 전류 비율의 ln은 iout이 보다 큰 것을 의미하는 보다 큰 음수가 되어, 우리가 예상하는 바와 같이 AGC 차동 증폭기의 노드로부터 흘러 나간다. 이는 이하와 같이 다시 쓸 수 있다.

[0029] $$\ln(Ic8/It) = -Vogs/V_T*Rin*gm$$

[0030] 따라서, 전류 스티어링 트랜지스터(current steering transistor)들 또는 스테이지(405, 407 및 411, 409)들에

의해 제공된 LNA에서의 dB의 감쇄는 증가하는 이득 설정 신호에 대해 선형 관계이고 또는 dB의 이득은 감소하는 이득 설정 신호에 대해 선형 관계이다. 따라서, 피드백 루프를 포함하는 AGC 회로는 로그 선형 이득 제어 신호를 제공하고, 여기서 복수의 미리 결정된 이득들의 로거리즘은 복수의 원하는 이득들의 선형 함수이다.

[0031] 도 7를 참조하여, 차동 전압(vdbp - vdbn)은 입력(vm 512, vp 510)에 결합된다. vdbp의 감소 및 vdbn의 증가(vdbp - vdbn은 점점 더 큰 음의 크기가 됨)를 발생시키는 vlp의 증가 및 vln의 감소라는 시나리오에 따라 계속하여, vm은 증가하고 vp는 감소할 것이다. vm이 증가함에 따라, 인버터(721)의 출력은 감소할 것이고 in1(722)은 감소할 것이다. 유사하게 vp 감소에 대해, 인버터(723)의 출력은 증가할 것이고 in2는 증가할 것이다. 따라서, Q1의 컬렉터 전류는 감소할 것이고 Q2에서는 증가할 것이다. Q1의 컬렉터 전류가 감소함에 따라 FET 트랜지스터(P1)을 통하는 전류는 감소할 것이고 이는 P2에서의 감소에 의해 반영(mirroring)될 것이다. P2를 통하는 전류의 감소 및 Q2를 통하는 전류의 증가는 iout에 의해 제공되어야 한다. 따라서, iout은 보다 큰 음의 값일 것이다.

[0032] 오프셋 신호(115)는 이하와 같이 AGC_gm 증폭기 내에서 사용된다. 오프셋 신호(115)가 어떤 레벨로 설정되어도, 인버터(701)로부터의 출력은 결과적으로 레지스터(705) 양단의 전압 강하에 대해 충분한 트랜지스터(703)를 통하는 컬렉터 전류를 유발하여, 컬렉터에 결합된 701의 다른 비-반전 입력은 오프셋 전압과 동등한 전압을 가질 것이다. 트랜지스터들(703, 707)은 매치(match)되기 때문에, 트랜지스터(707)는 동등하게 구동될 것이고 트랜지스터(703)와 매우 유사한 동일한 컬렉터 전류를 가질 것이다. 트랜지스터(707)의 컬렉터의 전류는 AGC_gm 증폭기에 대한 gm, 및 그에 따른 이득 기울기 또는 로그 선형 이득 제어 신호의 기울기를 확립한다. 오프셋 신호는 Q1 내지 Q4 사이의 베이스 이미터 부정합들 뿐만 아니라 P1 및 P2 사이의 임계값 전압의 부정합들을 극복하기 위해 선택될 수 있다. 또한, 오프셋 신호는 이득 설정 신호에 영향을 끼치기 때문에, P2 및 P1의 임계값 전압의 부정합들 또는 오프셋들에 대한 보정에 대한 별로 크지 않은 편차(modest variaton)는 루프의 결과로부터 상쇄될 것이다. 오프셋 신호를 조정함으로써, 알맞은 기울기 및 원점(origin)이 원하는 이득 제어 곡선에 대해 설정된다. 이 방법에서, 피드백 루프를 갖는 AGC 회로는 양호하게는 미리 결정된 이득 기울기를 갖는 로그 선형 이득 제어 신호를 제공하고, 여기서 복수의 미리 결정된 이득들의 로거리즘은 복수의 원하는 이득들의 선형 함수이다. 오프셋 신호(115)는 전압 임계값과 베이스 이미터 접합 편차들 중의 하나에 기인한 오프셋들을 보상하기 위해 사용된다.

[0033] 도 8 및 9는 도 1의 시스템의 실험예에 대한 실행 결과들을 도시한다. 도 8은 수평축상의 이득 선택 6비트 입력, 및 수직축상의 LNA 감쇄 또는 이득 감소를 도시하는 이상적인 이득 곡선(801)을 도시한다. 또한, 로그 선형이지만 곡선(805)에 대해 +80mv의 오프셋, 및 곡선(803)에 대해 -60mv의 오프셋되는 두개의 다른 이득 곡선들이 도시된다. 관찰에 의해, 2개의 오프셋 곡선들 사이의 거리는 개략 10dB이다. 또한, 위에서 언급된 원리 및 개념들과 동일한 곡선들인 곡선(803', 805')가 도시된다. 이들 곡선들은 개략적으로 16 마이크로초 당 한번씩 이득 선택 신호를 증가시킴으로써 생성되었다. 도 9는 도 8에서의 곡선와 동일한 곡선을 도시하지만, 제 1의 8개의 이득 선택에 관하여 수직축은 보다 큰 분해능(resolution)을 위해 연장된다. 관찰에 의해, 보상된 곡선들(803', 805')이 분해능들에서도 이상적인 곡선(801)를 얼마나 접근하게 따르고 있는지를 알 수 있을 것이다. 커패시터(517)에 기인한 저역 통과 응답(low pass response)은 이득 선택 입력이 시간에 따라 변화함에 따라 라운딩된 성질(rounded nature)의 곡선이 될 것이다.

[0034] 상기 설명은 도 1의 시스템과 같은 LNA 등의 아날로그 증폭기에 대해 사용될 수 있는 이득 제어 정확도가 개선된 조정 가능한 이득 제어(AGC) 시스템을 설명하였다. AGC 시스템은 설명한 바와 같이, 선택 가능한 오프셋 신호를 제공하기 위한 오프셋 회로와, 원하는 이득 및 상기 오프셋 신호에 의존하는 이득 설정 신호를 제공하기 위한 이득 설정 소스와, 이득 제어 신호를 제공하기 위해 상기 오프셋 신호 및 상기 이득 설정 신호에 결합되고, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를, 상기 오프셋 신호에 따라, 보상하는 AGC 회로를 포함한다.

[0035] 오프셋 회로는 미리 결정된 저항율들에 따라 복수의 가용 오프셋 신호들을 생성하고, 오프셋 신호를 제공하기 위해 3비트 선택 신호에 따라 8개의 가용 오프셋 신호들 중의 1개를 선택한다. 양호한 형태의 오프셋 회로는 3비트 디지털 선택 신호를 수신하고 그에 응답하여 오프셋 신호를 제공하기 위해 언급된 바와 같이 변형된 DAC이다. 유사하게, 이득 설정 소스는 미리 결정된 저항기 비율들에 따라 오프셋 신호에 의존하는 복수의 가용 이득 설정 신호들을 생성하고, 이득 설정 신호를 제공하기 위해 6비트 이득 선택 신호에 따라 64개의 가용 이득 설정 신호들 중의 1개를 선택한다. 6비트 이득 선택 신호을 수신하고 그에 응답하여 이득 설정 신호를 제공하도록 변

형된 DAC는 양호하다.

[0036] 상기 AGC 회로는 바로 위에서 설명되었다. 우리의 초기의 논의는 출력 신호를 제공하기 위해 이득 제어 신호에 따라 입력 신호를 증폭하기 위한 이득 제어 신호에 결합된 이득 제어 입력을 갖는 저노이즈 증폭기(LNA)를 포함한 조정 가능한 이득 제어 특성을 갖는 집적 회로 증폭기에 관한 것이었다.

[0037] 조정 가능한 이득 제어(AGC) 시스템에서 아날로그 증폭기에 대한 개선된 이득 제어를 제공하는 방법은, 선택 가능한 오프셋 신호를 제공하는 단계와, 원하는 이득 및 상기 오프셋 신호에 의존하는 이득 설정 신호를 제공하는 단계와, 상기 오프셋 신호 및 상기 이득 설정 신호에 응답하여 상기 아날로그 증폭기에 대한 이득 제어 신호를 생성하고, 상기 오프셋 신호에 따라, 복수의 원하는 이득들에 각각 대응하는 복수의 미리 결정된 이득들을 상기 증폭기에 제공하기 위해 AGC 회로에 대응하는 처리 변수들에 대한 상기 이득 제어 신호를 보상하는 단계를 포함한다.

[0038] 상기 오프셋 신호를 제공하는 단계는 미리 결정된 저항기 비율들에 따라 복수의 가용 오프셋 신호들을 공급하고, 디지털 선택 신호에 기초하여, 상기 오프셋 신호를 제공하기 위해 상기 복수의 가용 오프셋 신호들 중의 하나를 선택하는 단계를 포함한다. 상기 이득 설정 신호를 제공하는 단계는 미리 결정된 저항기 비율들에 따라 상기 오프셋 신호에 의존하는 복수의 가용 이득 설정 신호들을 생성하고, 상기 이득 설정 신호를 제공하도록 상기 복수의 가용 이득 설정 신호들 중의 하나를, 디지털 이득 선택 신호에 기초하여, 선택하는 단계를 더 포함한다.

[0039] 상기 이득 제어 신호를 생성하는 단계는 로그 선형 이득 제어 신호를 제공하는 단계를 더 포함하고, 상기 복수의 미리 결정된 이득들의 로거리즘은 상기 복수의 원하는 이득들의 선형 함수이다. 상기 제인 제어 신호를 생성하는 단계는 예컨대, 전압 임계값 오프셋들 및 베이스 이미터 접합 편차들에 기인하여 AGC 시스템에서 오프셋들을 보상하기 위해 오프셋 신호를 사용하는 단계를 더 포함한다.

[0040] 위에서 언급된 공정들 및 본 발명의 원리들은 종래 기술에 의한 조정 가능한 이득 제어 시스템들에 의해 발생된 문제점들을 완화시켜줄 것이다. 처리 변수들을 보상하기 위해 오프셋 신호들을 생성하고 사용하는 것은 구성 요소들 및 단말 통신 장비 등의 제조를 단순화하여 보다 양호하고 보다 재현성이 있는 전면적인 조정 가능한 이득 제어 기능을 제공할 수 있다. 예상되는 것은 본 발명에 따른 상기 시스템, 방법, 및 집적 회로의 실시예 또는 다른 실시예들은 광역 및 국부 영역 네트워크에 배치되는 많은 현재 및 장래의 제품들에 적용될 것이다. 여기서 개시된 본 발명의 원리들 및 개념들의 사용은 많은 유닛들 및 제조 변수들의 많은 편차에 대해 정확한 이득 제어를 허여하거나 제공할 것이다.

[0041] 본 발명의 개시는 본 발명의 본질 및 범위를 한정하려는 것이 아니고 본 발명에 따른 여러 실시예들을 어떻게 제조하고 사용하는가을 설명하고자 했다. 본 발명은 특허를 위해 본 출원의 계류중에 수정될 수도 있는 첨부된 청구항, 및 모든 그 등가적인 내용에 의해서만 한정된다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 따른 조정 가능한 이득 제어 시스템 및 증폭기의 양호한 실시예의 블록도.

[0009] 도 2는 본 발명에 따른 도 1의 시스템에서 사용하기 위한 오프셋 회로의 양호한 실시예의 블록도.

[0010] 도 3은 본 발명에 따른 도 1의 시스템에서 사용하기에 적합한 이득 설정 소스의 양호한 실시예의 블록도.

[0011] 도 4는 도 1의 시스템에서 사용하기에 적합한 증폭기의 개략도.

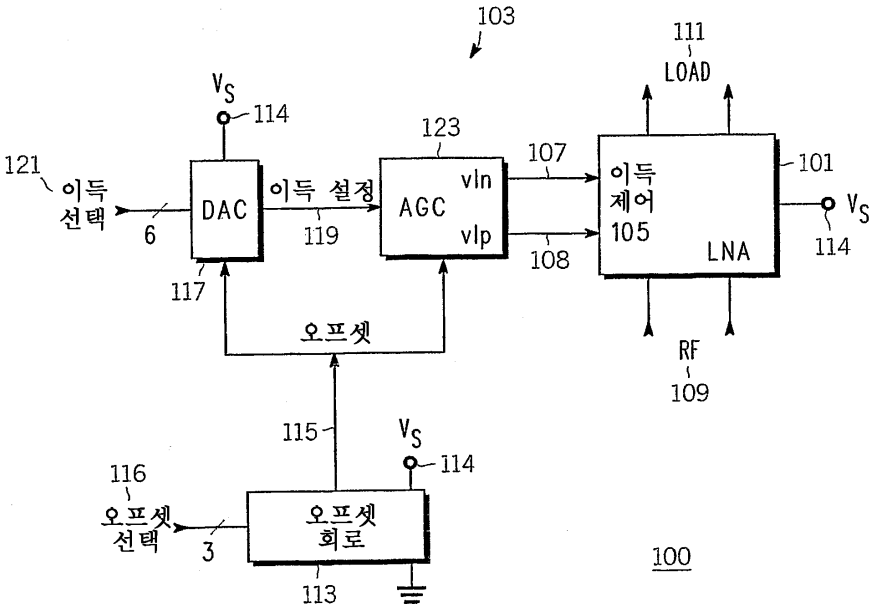
[0012] 도 5는 본 발명에 따른 도 1의 시스템에서 사용하기에 적합한 AGC 기능(function)의 양호한 실시예의 상세 블록도.

[0013] 도 6 및 7은 도 5의 AGC 기능내의 기능 블록들에 대한 양호한 실시예의 대표적인 개략도.

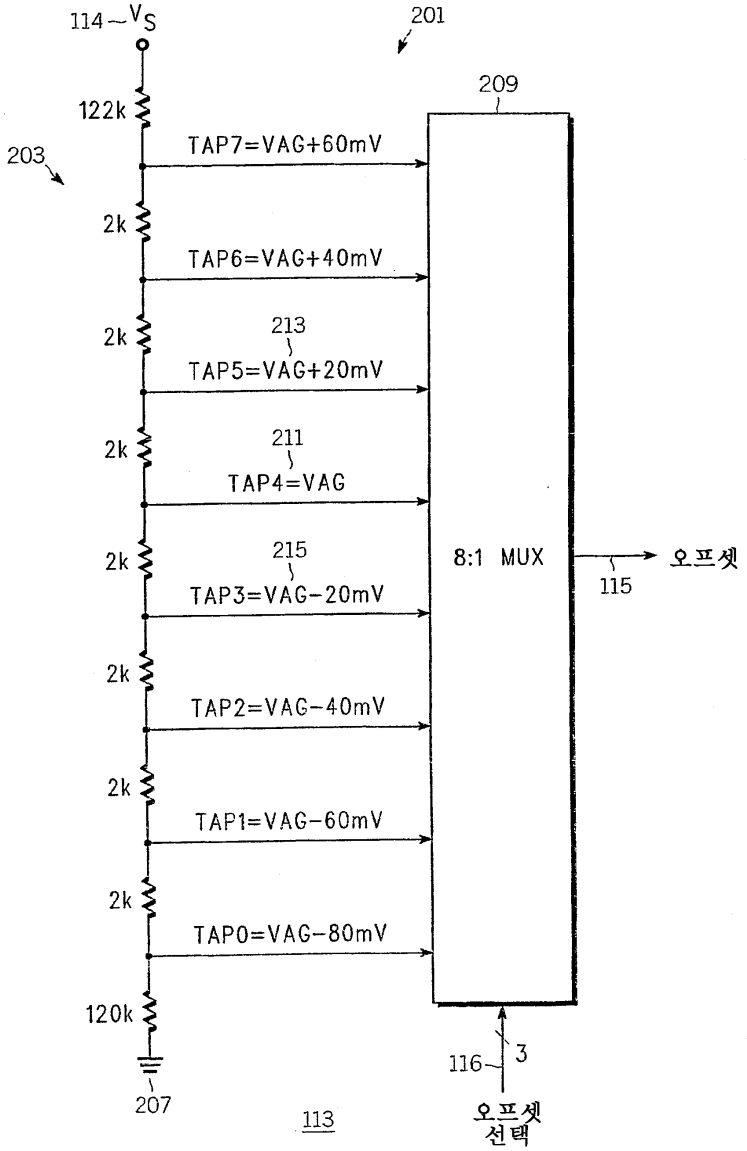
[0014] 도 8 및 9는 도 1의 시스템의 실시예에 대한 성능 결과들을 도시하는 도면.

도면

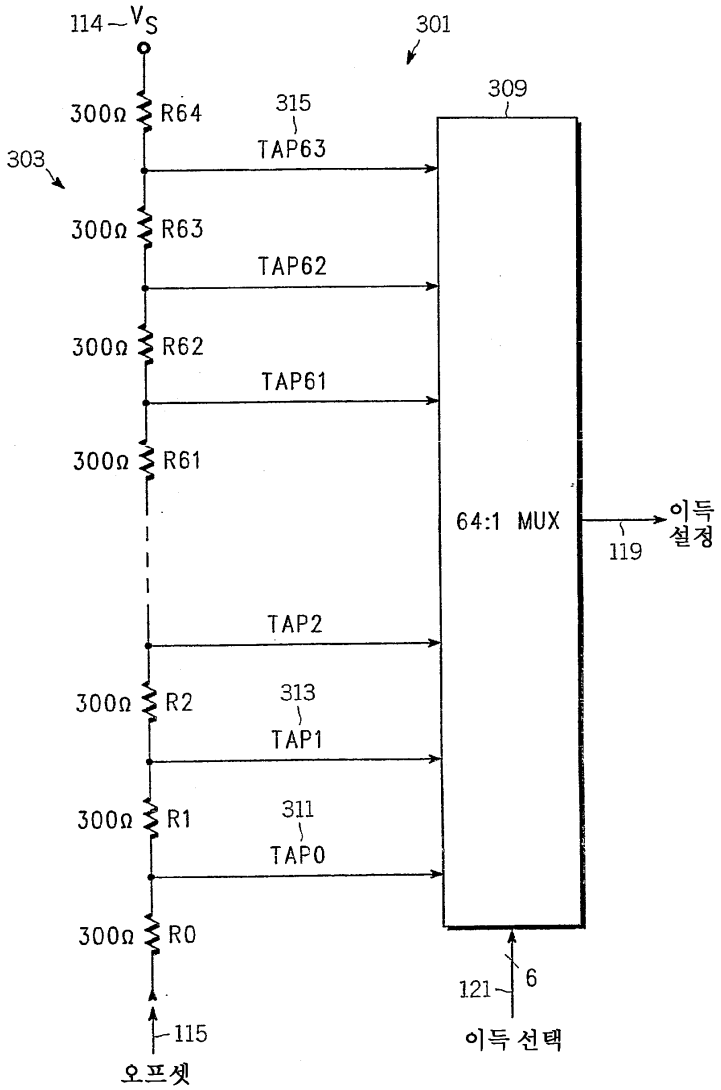
도면1


103
111
LOAD
V_S
114
123
107
121
이득
선택
DAC
이득 설정
AGC
vin
vip
이득
제어
105
101
LNA
V_S
114
6
119
108
117
오프셋
RF
109
115
V_S
114
116
오프셋
선택
3
오프셋
회로
113
100

도면2

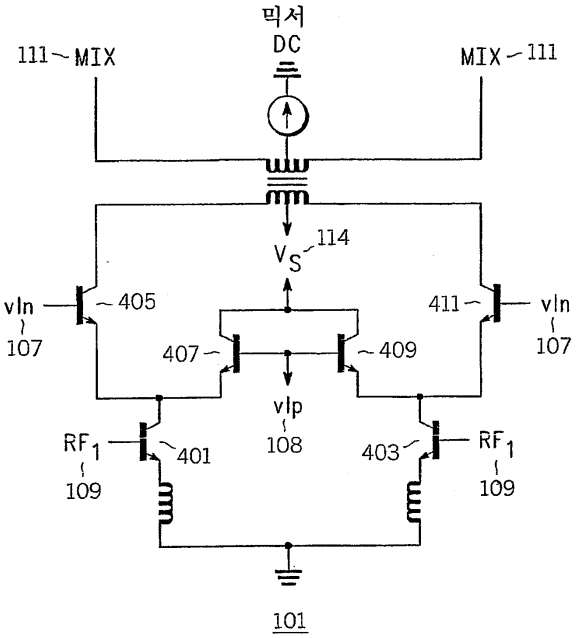

114
V_S
201
209
122k
203
TAP7=VAG+60mV
2k
TAP6=VAG+40mV
2k
213
TAP5=VAG+20mV
2k
211
TAP4=VAG
2k
215
TAP3=VAG-20mV
8:1 MUX
오프셋
115
2k
TAP2=VAG-40mV
2k
TAP1=VAG-60mV
2k
TAP0=VAG-80mV
120k
207
113
116
3
오프셋
선택

도면3

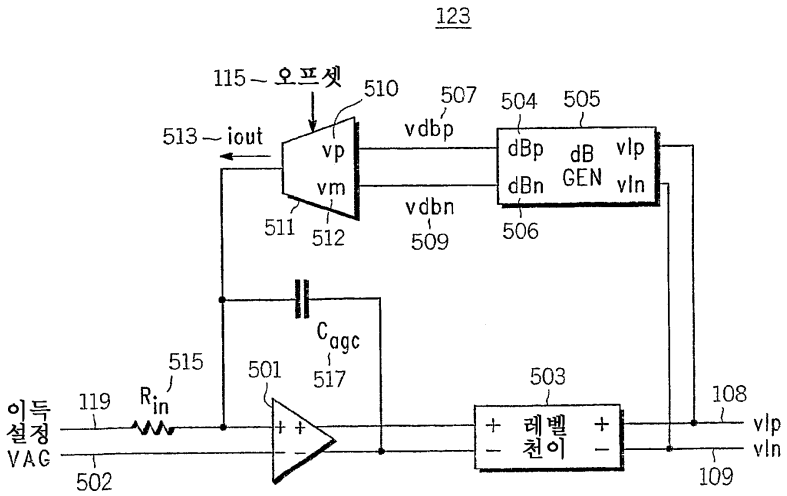

114
V_S
301
309
315
TAP63
303
300Ω R64
300Ω R63
TAP62
300Ω R62
TAP61
300Ω R61
64:1 MUX
이득 설정
119
TAP2
313
300Ω R2
TAP1
311
300Ω R1
TAP0
300Ω R0
121
6
115
오프셋
이득 선택

117

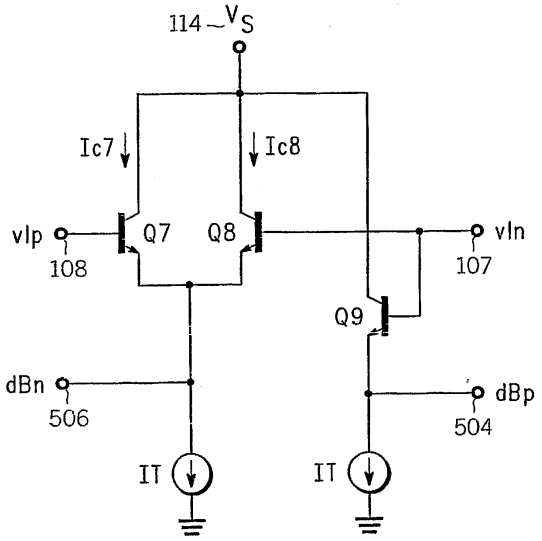
도면4


믹서
DC
111
MIX
MIX
111
114
V_S
vln
107
405
411
vln
107
407
409
vlp
108
RF_1
109
401
403
RF_1
109
101

도면5

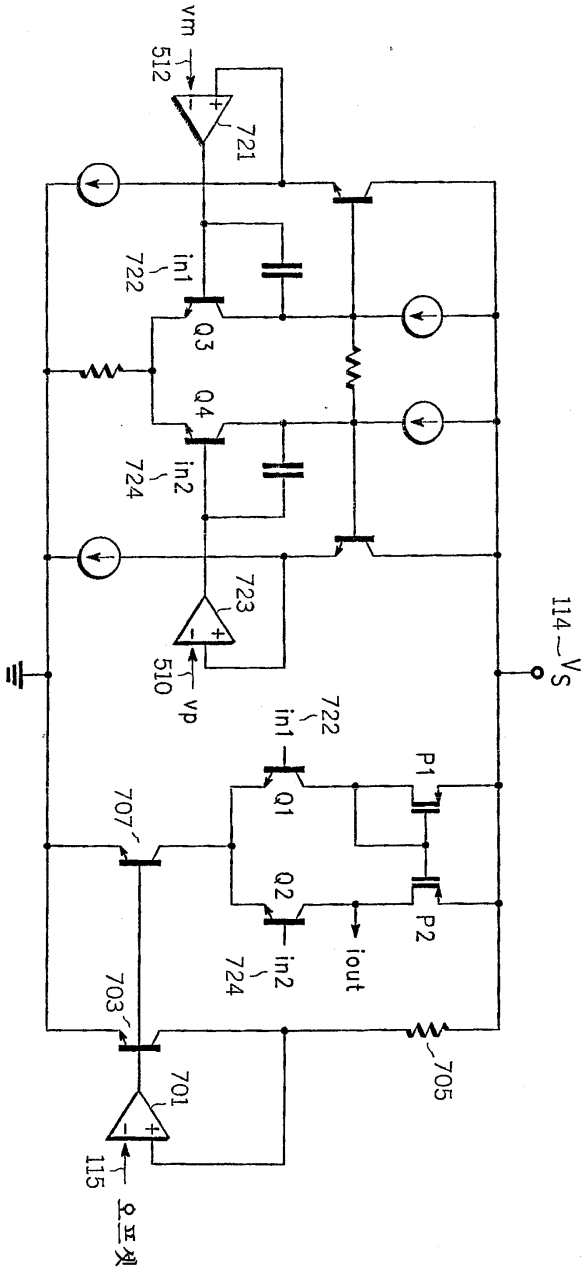

123
115
오프셋
510
507
504
505
513
iout
vp
vm
vdbp
vdbn
dBp
dBn
dB
GEN
vlp
vln
511
512
509
506
C_{agc}
517
515
501
503
108
119
R_{in}
이득
설정
VAG
502
레벨
천이
vlp
vln
109

도면6

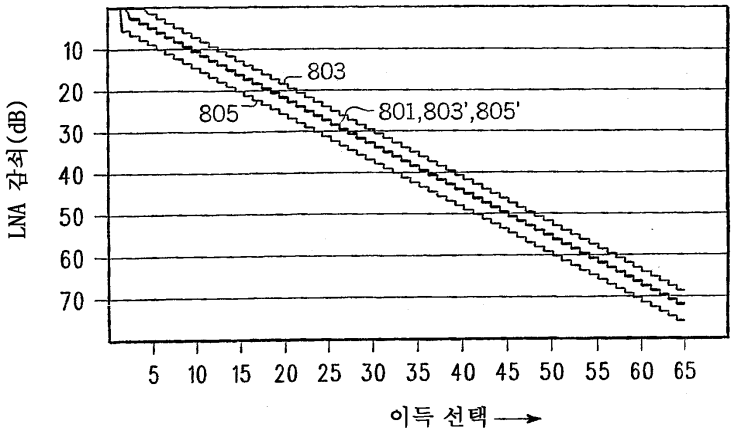


505

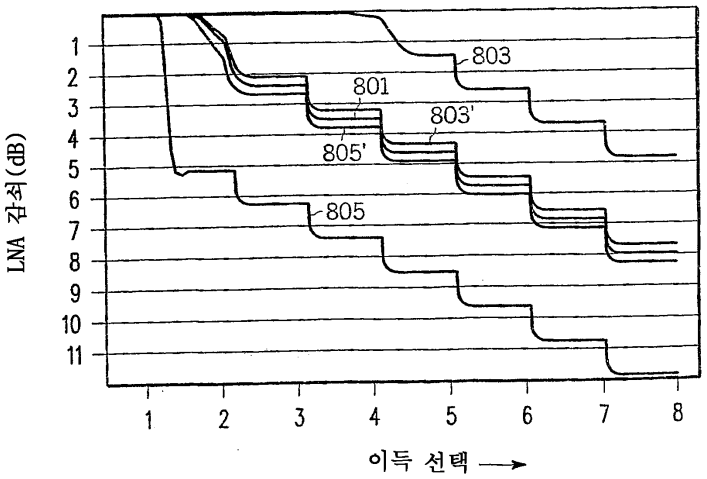
도면7


vm
512
721
in1
722
Q3
Q4
in2
724
723
510
vp
114
Vs
722
in1
Q1
P1
707
Q2
P2
iout
in2
724
703
705
701
115
오프셋

도면8


LNA 감쇠(dB)
10
20
30
40
50
60
70
803
805
801,803',805'
5 10 15 20 25 30 35 40 45 50 55 60 65
이득 선택

도면9


LNA 감쇠(dB)
1
2
3
4
5
6
7
8
9
10
11
803
801
803'
805'
805
1 2 3 4 5 6 7 8
이득 선택