

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 29/78	(11) 공개번호 특 1994-0016902	(43) 공개일자 1994년 07월 25일
(21) 출원번호	특 1992-0024909	
(22) 출원일자	1992년 12월 21일	
(71) 출원인	금성일렉트론 주식회사 문정환 충청북도 청주시 향정동 50번지	
(72) 발명자	신형순 서울특별시 용산구 이촌동 렉스아파트 11-903 김영관 성남시 중원구 은행 1동 1932-6 현대아파트 103-101호	
(74) 대리인	김용인, 심창섭	
심사청구 : 있음		

(54) 모스(MOS) 트랜지스터 제조방법

요약

본 발명은 자기 정렬된 얇은 P⁻-LDD(Lightly Doped Drain) 접합형성에 적합하도록 한 모스 트랜지스터 제조방법에 관한 것으로 저농도 불순물층(4)을 얇게접합시켜 쇼트 채널효과를 줄일수 있는 MOS 트랜지스터 제조방법을 제공함에 그 목적이 있다.

본 발명은 상기 목적을 달성하기 위하여 기판(1)상에 절연막(2)을 형성하고 폴리실리콘(3)과 산화막(4)을 증착하여 패터닝함으로써 게이트전극을 형성하는 제 1 공정, 상기 게이트(3) 측벽과 기판(1)상에 산화막을 형성하고 불순물을 증착, 상기 게이트(3) 측벽에만 남도록 식각함으로써 게이트 측벽 불순물층(8)을 형성하는 제 2 공정, 상기 산화막(7)을 통해 보론을 기판(1)에 확산시켜 저농도 불순물층(9)을 형성하는 이온주입으로 고농도 불순물층(6)을 형성하는 제 3 공정으로 이루어짐을 특징으로 한다.

대표도

도2

명세서

[발명의 명칭]

모스(MOS) 트랜지스터 제조방법

[도면의 간단한 설명]

제 2 도는 본 발명의 일실시예를 나타내는 공정순서도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기판(1)상에 절연막(2)을 형성하고 폴리실리콘(3)과 산화막(4)을 증착하여 패터닝함으로써 게이트 전극을 형성하는 제 1 공정, 상기 게이트(3) 측벽과 기판(1)상에 산화막(8)을 형성하고 불순물을 증착, 상기 게이트(3) 측벽에만 남도록 식각하여 게이트측벽 불순물층(9)을 형성하는 제 2 공정, 상기 산화막(8)을 통해 보론을 기판(1)에 확산시켜 저농도 불순물층(10)을 형성한후 이온주입으로 고농도 불순물층(7)을 형성하는 제 3 공정으로 이루어짐을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 3 공정중 보론 확산 방법은 RTP(Rapid Thermal Process)법을 이용함을 특징으로 하는 모스 트랜지스터 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

