



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월14일
(11) 등록번호 10-1328208
(24) 등록일자 2013년11월05일

(51) 국제특허분류(Int. Cl.)
G06F 17/50 (2006.01) H03K 3/00 (2006.01)
H01L 23/535 (2006.01)
(21) 출원번호 10-2008-7017299
(22) 출원일자(국제) 2006년12월22일
심사청구일자 2011년11월25일
(85) 번역문제출일자 2008년07월16일
(65) 공개번호 10-2008-0089597
(43) 공개일자 2008년10월07일
(86) 국제출원번호 PCT/CA2006/002118
(87) 국제공개번호 WO 2007/073599
국제공개일자 2007년07월05일
(30) 우선권주장
11/322,160 2005년12월29일 미국(US)
(56) 선행기술조사문헌
US6617621 A
US20030062949 A1

(73) 특허권자
모사이드 테크놀로지스 인코퍼레이티드
캐나다 케이2케이 2엑스1 온타리오 오타와 스위트
203 하인스 로드 11
(72) 발명자
마이, 토니
캐나다, 케이2케이 3에이6 온타리오, 카나타, 휘
손 예비뉴 9
밀러, 부르스
캐나다, 케이2엑스 1비6 온타리오, 스티츠빌, 편
뱅크 로드 6066
(뒷면에 계속)
(74) 대리인
한양특허법인

전체 청구항 수 : 총 22 항

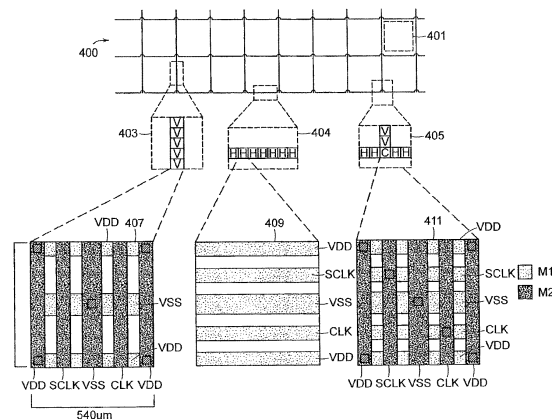
심사관 : 안지현

(54) 발명의 명칭 클락 및 파워 그리드 표준 셀을 사용한 ASIC 설계

(57) 요약

ASIC 소프트웨어 설계 툴을 사용하여 배치되고 라우팅될 수 있는 집적된 파워 및 클락 그리드에 관한 것이다. 집적된 그리드는 파워 레일과 클락 라인을 갖는 3가지 유형의 그리드 유닛 셀을 포함한다. 파워 레일과 클락 라인은 다른 그리드 유닛 셀에서 다른 방향을 포함한다.

대표도



(72) 발명자

콜맨, 수잔

캐나다, 케이1브이 7브이2 온타리오, 오타와, 그레이스미어크레센트 1688

파이크, 시나

캐나다, 케이2엘 4에이4 온타리오, 카나타, 맥기븐 드라이브 91

특허청구의 범위

청구항 1

복수의 디자인 셀로부터 형성되는 회로로서,

제1 및 제2 방향의 도전 그리드 섹션 및 상기 제1 및 제2 방향의 도전 그리드 섹션들 사이의 규칙적인 크로싱 인터섹션을 갖는 집적된 파워 및 클락 도전 그리드를 형성하기 위하여 함께 타일링되는, 그리드 디자인 셀 - 각 그리드 디자인 셀은 상기 제1 및 제2 방향 중 적어도 하나의 방향으로 상기 그리드 디자인 셀의 길이만큼 연장하는 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 포함함 - ; 및

상기 집적된 파워 및 클락 도전 그리드 내에 이와 결합된 회로를 형성하는 회로 디자인 셀을 포함하는, 회로.

청구항 2

청구항 1에 있어서,

각 그리드 디자인 셀에서 파워와 접지 라인 사이에 디커플링 커패시턴스가 구비되는, 회로.

청구항 3

청구항 1에 있어서,

상기 집적된 파워 및 클락 그리드의 클락 부분은 상기 집적된 파워 및 클락 그리드의 파워 부분에 의해 차폐되는, 회로.

청구항 4

청구항 1에 있어서,

상기 적어도 하나의 파워 레일과 상기 적어도 하나의 클락 라인이 동일 금속층에 포함되는, 회로.

청구항 5

청구항 1에 있어서,

각 그리드 디자인 셀은 상기 제2 방향의 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인과 상기 제1 방향의 적어도 하나의 다른 파워 레일을 포함하는, 회로.

청구항 6

청구항 1에 있어서,

각 그리드 디자인 셀은 상기 제1 및 제2 방향 각각에서 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 포함하는, 회로.

청구항 7

청구항 6에 있어서,

각 상기 그리드 디자인 셀은 상이한 방향의 파워 레일들 및 상이한 방향의 클락 라인들을 상호접속하는, 회로.

청구항 8

청구항 1에 있어서,

각 그리드 디자인 셀은 인접한 그리드 디자인 셀들이 접합부(abutment)의해 서로 전기적으로 결합되도록 형성되는, 회로.

청구항 9

청구항 1에 있어서,

상기 집적된 파워 및 클락 그리드를 형성하기 위해 소프트웨어 툴이 사용되는, 회로.

청구항 10

청구항 9에 있어서,

상기 소프트웨어 툴은 ASIC 소프트웨어 툴인, 회로.

청구항 11

회로 설계의 컴퓨터 구현 방법으로서,

제1 및 제2 방향의 도전 그리드 섹션 및 상기 제1 및 제2 방향의 도전 그리드 섹션들 사이의 규칙적인 크로싱 인터섹션을 갖는 집적된 파워 및 클락 도전 그리드를 설계하는 단계 - 함께 타일링되는 개별 그리드 디자인 셀에서, 각 그리드 디자인 셀은 상기 제1 및 제2 방향 중 적어도 하나의 방향으로 상기 그리드 디자인 셀의 길이만큼 연장하는 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 포함함 - ; 및

상기 집적된 파워 및 클락 도전 그리드 내에 이와 결합된 개별 회로 디자인 셀의 회로를 컴퓨터를 사용하여 설계하는 단계를 포함하는, 컴퓨터 구현 방법.

청구항 12

청구항 11에 있어서,

소프트웨어 툴을 사용하여 상기 개별 그리드 디자인 셀을 배치시키는 단계; 및

상기 소프트웨어 툴을 사용하여 상기 개별 회로 디자인 셀을 배치시키는 단계를 더 포함하는, 컴퓨터 구현 방법.

청구항 13

청구항 12에 있어서,

상기 소프트웨어 툴은 ASIC 소프트웨어 툴인, 컴퓨터 구현 방법.

청구항 14

청구항 11에 있어서,

상기 집적된 파워 및 클락 그리드의 클락 부분을 상기 집적된 파워 및 클락 그리드의 파워 부분으로 차폐하는 단계를 더 포함하는, 컴퓨터 구현 방법.

청구항 15

청구항 11에 있어서,

상기 집적된 파워 및 클락 그리드의 파워 부분을 사용하여 디커플링 커패시턴스를 제공하는 단계를 더 포함하는, 컴퓨터 구현 방법.

청구항 16

청구항 11에 있어서,

상기 적어도 하나의 파워 레일과 상기 적어도 하나의 클락 라인을 동일 금속층에 제공하는 단계를 더 포함하는, 컴퓨터 구현 방법.

청구항 17

청구항 11에 있어서,

상기 개별 그리드 디자인 셀은 제2 방향의 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인과 제1 방향의 적어도 하나의 다른 파워 레일을 포함하는, 컴퓨터 구현 방법.

청구항 18

청구항 11에 있어서,

상기 개별 그리드 디자인 셀은 상기 제1 및 제2 방향 각각에서 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 포함하는, 컴퓨터 구현 방법.

청구항 19

청구항 18에 있어서,

상호접속을 제공하는 단계를 더 포함하되, 상기 그리드 디자인 셀은 상이한 방향의 파워 레일들 및 상이한 방향의 클락 라인들을 상호접속하는, 컴퓨터 구현 방법.

청구항 20

청구항 19에 있어서,

상기 상호접속은 인접한 그리드 디자인 셀들의 접합부에 의해 제공되는, 컴퓨터 구현 방법.

청구항 21

집적된 파워 및 클락 그리드를 제공하는 컴퓨터 구현 방법으로서,

컴퓨터를 사용한 ASIC 톨을 이용하여 개별 그리드 디자인 셀을 배치하는 단계 - 상기 그리드 디자인 셀은 제1 및 제2 방향의 도전 그리드 섹션 및 상기 제1 및 제2 방향의 도전 그리드 섹션들 사이의 규칙적인 크로싱 인터섹션을 갖는 집적된 파워 및 클락 도전 그리드를 형성하기 위하여 전압 및 클락 소자를 포함하며, 각 그리드 디자인 셀은 제1 및 제2 방향 중 적어도 하나의 방향으로 상기 그리드 디자인 셀의 길이만큼 연장하는 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 더 포함함 - ; 및

컴퓨터를 사용한 ASIC 톨을 이용하여 개별 회로 디자인 셀을 배치하는 단계를 포함하는, 컴퓨터 구현 방법.

청구항 22

디자인 시스템으로서,

적어도 하나의 회로 디자인 셀;

제1 및 제2 방향의 도전 그리드 섹션 및 상기 제1 및 제2 방향의 도전 그리드 섹션들 사이의 규칙적인 크로싱 인터섹션을 갖는 집적된 파워 및 클락 도전 그리드를 형성하는 복수개의 그리드 디자인 셀 - 각 그리드 디자인 셀은 제1 및 제2 방향 중 적어도 하나의 방향으로 상기 그리드 디자인 셀의 길이만큼 연장하는 적어도 하나의 파워 레일 및 적어도 하나의 클락 라인을 더 포함함 - ;

상기 복수개의 그리드 디자인 셀 및 적어도 하나의 회로 디자인 셀을 배치하는 배치 소프트웨어; 및

상기 복수개의 그리드 디자인 셀들 사이, 상기 적어도 하나의 회로 디자인 셀과 상기 복수개의 그리드 디자인 셀들 사이, 및 적어도 하나의 회로 디자인 셀과 적어도 하나의 다른 회로 디자인 셀 사이의 상호접속을 제공하는 라우팅 소프트웨어를 포함하는, 디자인 시스템.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

명세서

배경 기술

- [0001] ASIC(Application Specific Integrated Circuit)는 특정 용도로 맞춤 설계된 집적 회로이고, 또한 SoC(System on Chip)으로 칭해진다. ASIC 실시의 몇개 예를 휴대폰, 자동차 컴퓨터 및 PDA(personal data assistants)에서 찾아볼 수 있다. 상기 기재된 예들은 제한된 기능성을 가지므로, 특정 업무를 행하도록 사용된다. ASIC 설계의 대조적인 예는 마이크로 프로세서이다. 마이크로 프로세서는 많은 목적에 맞게 설계된다.
- [0002] ASIC 설계의 첫 번째 단계는, 제조할 ASIC의 기능적 요구사항을 결정하는 설계 엔지니어 팀에 의해 시작된다. 요구되는 기능이 결정되면, 설계 팀은 HDL(hardware description language)을 사용하여 ASIC의 설계를 구성한다. 이 단계의 제조 공정은 RTL(Register Transfer Level) 설계로 통상적으로 지칭된다. HDL은 회로의 동작, 그 설계 및 시뮬레이션을 통해 그 동작을 검증하는 테스트를 설명하도록 사용된다. Synopsys에 의한 Design Compiler™ 등의 논리 합성 툴이 사용되어 표준 셀로 불리는 저레벨 구성물의 대규모 집합으로 RTL 설계를 변형할 수 있다.
- [0003] 표준 셀은 ASIC의 기본 빌딩 블록이다. 일반적으로 라이브러리로부터 취해진 표준 셀은 게이트의 미리-특성화된 집합으로 구성된다. ASIC 설계에서 사용되는 표준 셀은 ASIC 설계의 의도된 기능에 고유한 것이다. 필요한 전기적 접속을 제공하는, 표준 셀과 파워 그리드의 결과의 집합은 게이트-레벨 네트리스트라고 불린다. 게이트 레벨 네트 리스트는 배치 툴에 의해 처리되고, 배치 툴은 개별 표준 셀을 파워 그리드 내의 지정된 영역에 하나씩 배치한다. 표준 셀은 셀 설계의 복잡도에 근거하여 셀내에 로컬 라우팅을 위한 가변 수의 금속 층을 사용한다. 표준 셀의 배치는 다양한 특정 제약을 받는다. 그러므로, 모든 표준 셀이 요구된 높이와 동일한 높이 또는 그 몇 배의 높이를 가지도록, 일반적으로 표준 셀에는 높이 요구가 설정된다.
- [0004] ASIC 제조의 최종 단계 동안, 라우팅 툴은 표준 셀과 파워 그리드 사이에 전기 접속을 형성한다. 지연, 클락 스큐, 기생 저항 및 용량, 및 파워 소비에 대한 추정치 또한 행해져서 테스트의 최종 단계에서 사용된다. 이 단계의 테스트 동안, 장치의 성능을 향상시키기 위해 설계의 변화가 이루어질 수 있다. 테스트가 완료되면, 칩 제조를 위한 설계가 최종적으로 공개된다.
- [0005] ASIC를 설계할 때 중요한 영역 중 하나는 클락 분배이다. ASIC 클락 분배 네트워크는 사용된 레이아웃 영역, 클락 삽입 지연 및 클락 스큐를 특징으로 한다. 클락 스큐는 동기화 회로에서 보여지는 현상으로, 클락 신호가 다른 시간에 회로의 다른 구성 성분에 도달할 때, 즉, 클락 소스로부터의 클락 삽입 지연이 각 구성 성분에 대해 다를 때 발생한다. 클락 신호는 클락 회로에 의해 발생되고, 클락 버퍼와 금속 라우팅의 균형된 네트워크에서 ASIC를 통해 분배되어 있다. ASIC 클락 분배 네트워크에 대한 2개의 일반적인 구조는 클락 트렁크(Clock Trunk)와 클락 트리(Clock Tree)이며, 각각은 다른 물리적, 전기적 특성을 가지며, 애플리케이션에 의거하여, 애플리케이션에서 사용하는데 하나의 클락 구조가 다른 것보다 유익할 수 있다.
- [0006] 클락 트렁크 구조는 그 설계에서 큰 중앙 컨덕터 또는 트렁크를 통합하여, 트렁크의 양쪽의 ASIC 구성 성분에 클락 신호를 분배하기 위해 트렁크로부터 수직으로 연장하는 더 작은 브랜치 컨덕터로, 하나 또는 양 끝으로부터 구동된다. 트렁크 클락 분배 네트워크는 클락 소스로부터 구동된 구성 성분까지 동일하지 않은 금속 경로를 갖기 때문에, 원래 불균형하여, 각 구성 성분으로의 금속 경로에서 다른 RC 지연으로 인해 클락 분배에 소량의 클락 스큐를 도입한다.
- [0007] 도 1은 클락 트렁크 구조(150)의 예를 나타낸다. 클락 트렁크 구조(150)는 컨덕터의 양측의 ASIC 구성 성분에

클락 신호(112)를 분배하기 위해 중앙 컨덕터로부터 수직으로 연장되는 더 작은 브랜치 컨덕터(113)를 포함하는 중앙 컨덕터(110)를 포함한다. 클락 신호 CLK(112)는 처음에 버퍼(116)를 통과하여 클락 신호 CLK'(117)가 된다. 신호 CLK'(117)는 버퍼(115, 111)를 통해 컨덕터(110)의 양측을 통과한다. 버퍼(111)는 클락 스큐를 최소화하기 위해 사용된 선택적인 버퍼이다.

[0008] 트리 구조는 설계상으로 클락 소스로부터 구성 성분까지 동일한 경로를 갖는, 균형잡힌 클락 분배 체계이다. 트리 구조는 클락을 구성 성분에 분배하기 위해 중앙 분배점, 대칭 브랜칭, 버퍼링 및 서브 브랜칭을 사용한다. 클락 트리는 루트와 트렁크를 가지며 클락 소스를 제1 분기점으로 전달한다. 클락 트리의 각 브랜치의 금속 컨덕터는 통상적으로 그 자신이 클락 분배 네트워크에 무시할 정도의 클락 스큐를 도입하도록 밀접하게 정합되어 있다. 그러나, 클락 트리가 낮은 스큐를 나타내기 때문에, 네트워크 내의 모든 클락 버퍼는 밀접하게 정합된 특성을 가져야 하고, 이들 버퍼에 주어지는 부하는 균형잡혀야 한다. 클락 트리의 브랜치 대칭은 실용적이 되게 하여 ASIC 툴에 의해 자동적으로 생성된다. 최악의 경우의 스큐 마진에 따르는 완전한 클락 네트워크를 생성하는데 빠르기는 하지만, 이들 ASIC 툴은 맞춤 클락 트리 설계에서 얻을 수 있는 레벨까지 클락 스큐를 최소화하는 것에 실패한다.

[0009] 도 1a는 내장된 클락 트리(107)의 특징을 나타내는 단순화된 로우-기반 셀 레이아웃(100)을 나타낸다. 셀 레이아웃(100)은 파워 그리드를 형성하는 2개의 전원 레일 VDD(101)와 VSS(103)를 포함한다. 표준 셀(105)이 전원 레일(101, 103) 사이의 파워 그리드에 놓여진다. 클락 회로(109)는 클락 트리(107)의 목적지, 즉, 노드(111, 113, 115, 117)에 보내진 클락 신호를 생성한다. 클락 회로(109)에서 시작된 클락 신호는 노드(113)까지 주행하는데 있어서 노드(111, 115, 117)까지 주행하는 것과 동일한 거리를 가져야 한다. 클락 신호가 노드(113)에 도달하는데 걸린 시간이 노드(111, 115, 117)에 도달하는데 걸린 시간보다 크거나 작으면, 클락 스큐가 존재한다. 각 노드에 이르는 시간 차이가 클수록, 클락 스큐가 커진다.

[0010] 클락 트리의 보다 상세한 도면이 도 2a에 도시된다. H클락 트리(200)가 ASIC 설계에 일반적으로 사용된다. 클락 트리(200)는 4개의 리프(leaf), 즉 노드(201, 202, 203, 204)를 포함한다. 클락 트리(200)는 일련의 금속 와이어(210)와 버퍼(211)를 사용하여 만들어진다. 클락 신호 clk는 트리를 통해 보내져서, 노드 202에서 신호 clk', 노드 204에서 신호 clk"가 된다.

[0011] 도 2b의 타이밍도는 클락 신호 clk, clk', clk"를 도시한다. 타이밍도에서 볼 수 있는 것같이, 신호 clk', clk"의 상승 에지의 삽입 지연이 현저하게 달라서, 스큐를 발생시킨다. 이러한 차이는 설계의 타이밍 설계에서 고려될 필요가 있다.

발명의 상세한 설명

[0012] 복수의 디자인 셀로 회로가 형성된다. 디자인 셀은 제1 및 제2 방향으로 레일을 가지며 함께 클락 그리드를 형성하는 그리드 셀과, 클락 내에서 클락과 연결된 회로를 형성하는 회로셀을 포함한다.

[0013] 그리드 셀은 파워 그리드를 형성하기 위해 사용될 수 있고, 파워 그리드는 각 그리드 셀에서 파워와 접지선 사이에 디커플링 커패시턴스를 제공할 수 있다. 파워 그리드는 클락 그리드에 대해 실딩을 또한 제공할 수 있다. 각 그리드 셀은 동일한 금속 층에서 적어도 하나의 파워 레일과 적어도 하나의 클락 라인을 더 포함할 수 있다. 적어도 하나의 파워 레일과 적어도 하나의 클락 라인은 제1 및 제2 방향중 하나에 있을 수 있다.

[0014] 다중 유형의 그리드 셀이 가능하다. 이들은 각 방향의 파워와 클락 라인을 제공하고, 다른 방향의 레일을 제공하여 상호 연결한다. 하나의 유형의 그리드 셀은 제1 방향의 적어도 하나의 파워 레일과 적어도 하나의 클락 라인을 포함할 수 있다. 다른 유형은 제2 방향의 적어도 하나의 파워 레일과 적어도 하나의 클락 라인 및 제1 방향의 적어도 하나의 다른 파워 레일을 포함할 수 있다.

[0015] 제3 유형의 그리드 셀은 제1 및 제2 방향의 각각에서 적어도 하나의 파워 레일과 적어도 하나의 클락 라인을 포함할 수 있다. 제3 그리드 셀 유형은 다른 방향의 파워 레일과 다른 방향의 클락 라인을 상호 연결할 수 있다.

[0016] 회로를 형성하는 방법은 개별 그리드 셀의 클락 그리드를 설계하는 것과 클락 내에서 클락과 결합된 개별 표준 셀의 회로를 설계하는 것을 포함한다. 이 방법은 또한 집적된 파워와 클락 그리드를 제공할 수 있다. 이 방법은 파워 및 클락 소자를 포함하는 개별 그리드 셀을 ASIC 툴로 배치하는 것과, 개별 표준 셀을 ASIC 툴로 배치하는 것을 포함하고, 여기서 ASIC 툴은 소프트웨어 툴이다.

[0017] 또한, 설계 시스템이 형성될 수 있다. 설계 시스템은 적어도 하나의 표준 셀과, 복수의 그리드 유닛 셀과, 복수의 그리드 유닛 셀과 적어도 하나의 표준 셀을 배치하는 배치 소프트웨어와, 라우팅 소프트웨어를 포함한다. 라

우팅 소프트웨어는 복수의 그리드 유닛 셀 사이, 적어도 하나의 표준 셀과 복수의 그리드 유닛 셀사이 및 적어도 하나의 표준셀과 적어도 하나의 다른 표준 셀 사이의 상호접속을 제공한다.

[0018] 설계 시스템은 제1 방향의 클락과 파워라인을 제공하는 제1 방향 셀수단과, 제2 방향의 클락과 파워라인을 제공하는 제2 방향 셀수단과, 제1 방향의 클락과 파워라인 및 제2 방향의 클락과 파워라인을 제공하여 상호 접속하는 상호 접속 셀 수단을 포함한다.

[0019] 파워 및 클락 그리드의 집적은 ASIC 틀에 의해 쉽게 실행되는 애플리케이션에서 클락 스큐를 감소시키고, ASIC 설계에 추가 장치를 부가하지 않고 필요한 디커플링 및 실딩(shielding)을 제공한다. 집적된 클락 및 파워 그리드는 더 적은 금속 층상에 제조될 수 있으므로, ASIC 설계의 복잡도를 크게 저하시킬 수 있다.

실시예

[0035] 본 발명의 바람직한 실시예의 설명은 다음과 같다.

[0036] H-클락 트리에서 최소의 스큐를 얻기 위해서, 도 2에 도시된 것같이, 노드(201~204)가 균형잡혀야 한다. 각 노드(201~204)가 다른 부하를 가지기 때문에, 노드의 균형을 잡는 것은 어려운 작업이 된다.

[0037] 클락 트렁크 및 클락 트리 구조의 대체물로서 클락 그리드 구조가 있다. 그리드 구조는 그리드를 따라서 일정한 간격으로 놓여진 복수의 정합된 클락 버퍼에 의해 구동된 상호 접속된 와이어의 직교 어레이를 특징으로 한다. 클락 그리드는 단일 로우-스큐 클락 네트워크를 형성하고, 부하를 균형잡게 하기 위한 필요성을 미연에 방지할 수 있다. 레이아웃에서, ASIC 설계에서 모든 클락된 구성 성분을 포함하기 위해 그리드는 연장되어야 한다. ASIC 클락 그리드는 일반적으로 맞춤 설계로서, 설계의 자동배치배선(place-and-rout) 영역에 통합되어야 한다. 클락 그리드를 자동적으로 생성하기 위한 상업적으로 유용한 ASIC 틀이 현재 존재하지 않는다. 맞춤 클락 그리드를 셀 크기의 유닛으로 서브분할하여 이들 유닛을 Standard Cell Libraries와 호환되게 함으로써, 자동적인 클락 그리드 생성이 ASIC에 대해 실행가능하고 실용적이라고 본 발명자는 믿고 있다. 자동 클락 그리드 생성 능력이 현재의 ASIC 틀 세트에는 없다는 생각을 가지고, 본 발명자는 Standard Cell 기반의 클락 그리드 셀이 이익이 있고, Standard Cell의 레이아웃으로 쉽게 배치될 수 있고, 고성능 클락 분배를 산출하기 위해 현존 ASIC 설계 흐름에 심리스하게 고정될 수 있다고 본 발명자는 믿는다.

[0038] 도 3a는 도전 그리드(301) 및 버퍼(211)로 구성된 클락 그리드(300)를 나타낸다. 다수의 노드를 포함하는 대신에, 클락 트리(200)에서 도시된 것같이, 도 3a의 클락 그리드(300)는 하나의 공통 노드, 즉 도전 그리드(301)를 포함한다. 그러므로, 클락 신호(clk)가 클락 그리드(300)로 송신되면, 하나의 공통 노드만이 있기 때문에, 클락 그리드(300)의 다른 부분은 대략 동일한 시간에 신호(clk', clk")를 수신한다. 클락 그리드 상에서 수신된 다른 클락 신호는, 도 3b의 타이밍도에 도시된 것같이, 대략 동일한 시간에 상승 및 하강한다. 그러므로, 클락 그리드 시스템을 사용하여, 최소의 클락 스큐가 얻어질 수 있다. 도전 그리드를 형성하는 금속 컨덕터는 낮지만 한정된 저항을 가진다. 클락 그리드와 부하 커패시턴스의 구성에 의거하여, 작은 RC 기반 클락 스큐가 도전 그리드의 다른 부분들 사이에 존재한다.

[0039] 맞춤 설계된 집적 회로에서 이전에 사용되는 클락 그리드 시스템을 ASIC 설계에 실행하고자 할 때 문제가 발생된다. 배치 및 라우팅 틀이 클락 그리드를 통합하도록 설계되어 있지 않으므로, ASIC 설계에 그들을 포함시키는 능력을 갖지 못한다. 즉, 배치 및 라우팅 틀은 표준 셀을 배치시키고 배치된 표준 셀 사이의 상호 접속을 라우팅하도록 구성된다.

[0040] 여기에 개시된 파워 및 클락 설계는 최소한의 클락 스큐를 허가하고, 또한 다양한 ASIC 설계 틀과 호환가능하다. 그리드 유닛 셀을 포함하는 클락 그리드와 집적된 파워가 도 4에 도시되어 있다. 집적된 클락 및 파워 그리드(400)는 집적된 파워 및 클락 그리드(400)의 빌딩 블록으로서 기능하는 복수의 그리드 유닛 셀로 이루어진다. ASIC 설계의 표준 셀과 유사한 방식으로, 그리드 유닛 셀은 하나씩 배치가능하고, 집적된 파워 및 클락 그리드(400)를 형성하도록 함께 타이링될 수 있다. 그래서, 그리드 유닛 셀은 ASIC 배치 및 라우팅 틀이 표준 셀에 대해 사용되는 것과 정확히 유사한 방식으로 이들 틀에 의해 취급 및 배치될 수 있다.

[0041] 도 4에 도시된 것같이, 본 발명의 실시예에 따르면, 집적된 파워 및 클락 그리드(400)는 수직 섹션(403), 수평 섹션(404), 수직 및 수평 섹션의 인터섹션(405)으로 구성된다. 또한, 그리드 섹션(403, 404, 405)은 3개의 다른 유형의 그리드 유닛 셀로 구성된다. 더 구체적으로, 수직 섹션(403)은 복수의 수직 그리드 유닛 셀(407)을 포함하고, 수평 섹션(404)은 복수의 수평 유닛 셀(409)을 포함하고, 인터섹션(405)은 코너 그리드 유닛 셀(411)을 포함한다. 즉, 수직 그리드 유닛 셀(407)은 그리드(400)의 수직 섹션(403)을 구성하는데 사용되고, 수평 그리드

유닛 셀(409)은 그리드(400)의 수평 섹션(404)을 구성하는데 사용된다. 코너 그리드 유닛 셀(411)은 수평 및 수직 섹션(404, 403)사이의 인터섹션(405)을 구성하도록 설계되므로, 인터섹션(405)에서 수평 및 수직 그리드 유닛 셀(409)에 대해 각각 상호 접속 커플러로서 기능한다.

[0042] 도 4로부터 알 수 있는 것같이, 그리드(400)의 수평 섹션(404)은 수평 그리드 유닛 셀(409)을 수평 방향으로 선형 배열함으로써 제조된다. 유사하게, 그리드(400)의 수직 섹션(407)은 수직 그리드 유닛 셀(407)을 수직 방향으로 선형 배열함으로써 제조된다. 코너 그리드 유닛 셀(411)은, 그리드의 수직 섹션(403)에서 사용되는 수직 그리드 유닛 셀(407)과 그리드의 수평 섹션(404)에서 사용되는 수평 그리드 유닛 셀(409)을 상호 접속하는 방식으로 그리드(400)의 인터섹션(405)에서 사용된다.

[0043] 여기서, "수평" 및 "수직"은 설명을 간단히 하기 위해 사용되었지만, 실질적으로 서로 수직이지만 하면 임의의 2개의 다른 방향을 포함할 수 있다.

[0044] 각각의 그리드 유닛셀에 대해 간단한 분해도를 제공하는 도 6 내지 12를 참조하여, 수직 그리드 유닛 셀(407), 수평 그리드 유닛 셀(409) 및 코너 그리드 유닛 셀(411)을 이후 더 설명한다.

[0045] 도 5는 도 4의 집적된 파워 및 클락 그리드(400)를 포함하는 ASIC를 설계하는 단계를 나타내는 플로우차트(500)이다. 우선, 단계(501)는 배치 툴을 사용하여 원하는 그리드 형성으로 그리드 유닛 셀을 조직하는 것에 관련한다. 도 4는 그리드 유닛 셀이 배치되는 방법의 도시 예를 나타낸다.

[0046] 집적된 파워 및 클락 그리드를 형성하는 다음 단계는 단계 502에 도시된 것같이, 배치툴을 사용하여 표준 셀을 배치하는 것이다. 단계(501, 502)에서 사용된 배치툴은 종래의 ASIC 배치 툴이거나 그리드 유닛 셀(407, 409, 411) 및 표준 셀을 배치하기 위해 특수하게 설계될 수 있다. 표준셀은 만들 ASIC 장치의 논리를 제공하며, 그리드 개구(401)에 배치된다. 다중 표준 셀은 각각의 그리드 개구에 배치될 수 있다.

[0047] 결국, 전기 상호접속이 개별 그리드 유닛 셀 사이, 즉 개별 표준 셀과 그리드 유닛 셀의 사이 및 다양한 개별 표준 셀의 사이에 설치될 수 있다(단계 503)). 전기적 상호 접속은 라우팅 툴을 사용하여 만들어지고, 라우팅 툴은 종래의 ASIC 소프트웨어 툴이 또한 가능하다.

[0048] 본 발명의 일 특징에 따르면, 클락 및 파워 그리드를 형성하기 위해 ASIC에 배치될 때, 클락 및 파워 그리드 셀이 접착부에 의해 그들을 상호접속한다. 즉, 클락 및 파워 그리드 셀을 서로 상호 접속하기 위해 ASIC 자동배치 배선 툴에 의한 라우팅은 요구되지 않는다. 더 구체적으로, ASIC 레이아웃의 원하는 위치에 그리드 셀을 간단히 배치함으로써 접합부를 통해 인접하는 셀이 전기적으로 서로 접속될 수 있도록 클락 및 파워 그리드 셀이 구성될 수 있다. 그러나, 클락 및 파워 그리드 구조 내에 포함된 표준 논리 셀과 배치에 의해 형성된 그리드 사이에서 클락 및 파워가 라우팅된다.

[0049] 수평 그리드 유닛(409)의 평면도가 도 6에 도시되어 있고, 단면도(A-A')가 도 7a 및 7b에 도시되어 있고, 사시도가 도 8에 도시되어 있다. 수평 그리드의 구성 성분은 커패시터로서 사용되는 비기능성 트랜지스터를 형성한다. 도 7a는 PMOS 실시예를 나타내고, 도 7b는 NMOS 실시예를 나타낸다.

[0050] 도 6 내지 8을 참조하면, 제1 도전성의 mos-fet 웰(601)이 기판에 형성되고, 제1 웰(601) 내에 2개의 소스/드레인 확산이 형성된다. NMOS 및 PMOS 실시예에서, 2개의 n+ 확산(615) 또는 웰탭이 웰(601) 내에 형성된다. 웰탭(615)은 웰이 적절한 전위에 있음을 확실하게 한다. NMOS 실시예, 도 7b에서, 웰탭(615)은 비기능성 n채널 트랜지스터의 소스/드레인으로서 기능한다. PMOS 실시예는 비기능성 p채널 트랜지스터에 대해 소스/드레인으로서 기능하는 추가의 p+ 확산(603)을 포함한다. p+ 및 n+ 확산(603, 615)은 각각 제1 수평 파워 레일(608a, 608b) 및 제2 수평 파워 레일(609)을 따라서 수평 방향으로 연장되어 있다.

[0051] 산화 게이트(604)는 NMOS 실시예에 있어서 소스/드레인 확산(615) 사이에 형성되어 있고, PMOS 실시예에 있어서 산화 게이트(604)가 소스/드레인 확산(603) 사이에 형성되어 있다. 산화 게이트(604)는 mos-fet 게이트(604a)를 형성하는 도전 폴리 실리콘 물질에 의해 덮여있다. 전자 분리를 제공하도록 좁은 트렌치 분리(617)가 장치의 외부 주위에 형성된다.

[0052] 제1 수평 파워 레일(608a, 608b), 예를 들면 VDD 전압 레일이 접촉자(605)에 의해 소스/드레인(603)에 전기적으로 접속되어 있고, 제2 수평 파워 레일(609), 예를 들면 VSS 전압 레일이 접촉자(607)에 의해 게이트(604a)에 전기적으로 접속되어 있다. PMOS 실시예에서, 제1 수평 파워 레일(608a, 608b)은 접촉자(619)에 의해 웰 탭(615)에 전기적으로 접속되어 있다. 임의의 수의 접촉자가 사용될 수 있는 것으로 고려되어야 한다.

[0053] 제1 수평 클락 라인(611), 예를 들면 sclk가 2개의 파워 레일(608a, 608b) 사이에 놓여지고, 제2 수평 클락 라

인(610), 예를 들면, clk가 2개의 파워 레일(608b, 609) 사이에 놓여진다. 임의의 수의 VDD 또는 VSS 파워 레일이 설치될 수 있지만, 2개의 VDD 레일이 장치의 소스와 드레인을 묶을 때 디커플링 효과가 발생되므로, 커패시터형 특성을 제공하는 것으로 고려되어야 한다.

[0054] 수평 파워 레일(608, 609) 및 수평 클락 라인(610, 611)이 제1 금속화층(M1) 위에 모두 제조된다. 파워 레일 사이에 배치된 클락 라인은 DC 신호에 의해 3면이 둘러 싸이고 차폐되어 전자기 간섭을 ASIC에서 인접하는 신호로 감소시키고, 다른 ASIC 신호로부터 클락으로 전자기 간섭을 감소시킨다.

[0055] 그리드 유닛 셀은 VDD-VSS 디커플링 커패시턴스를 제공하도록 구성된다. PMOS 트랜지스터 실시예의 디커플링 커패시턴스를 보다 상세히 논의한다. n웰(601), 웰탭(615), p+확산(603)은 도 7a에 도시된 것같이 PMOS 트랜지스터 구조를 형성한다. 즉, p+확산(603)은 트랜지스터의 소스와 드레인이다. 게이트가 VSS에 연결되어 있고, 소스, 드레인 및 n웰이 VDD에 연결되고, p채널 트랜지스터는 소스와 드레인 사이에 컨덕터를 형성하기 위해 채널 물질이 완전히 반전되는 상태로 언제나 유지된다. 여기서, 게이트(604a)는 커패시터의 하나의 판을 구성하고, 소스/드레인(603) 및 형성된 p채널은 2개의 판 사이의 유전 물질을 구성하는 산화 게이트(604)를 갖는 다른 판을 구성한다. 또한, VDD 전위에 있는 n웰(601)과 VSS 전위에 있는 실리콘기판(600) 사이에 형성된 결합 커패시턴스는 PMOS 트랜지스터에 의해 제공된 게이트 커패시턴스에 현저하게 추가된다. 이 구성에서 PMOS 트랜지스터는 각각의 그리드 유닛 셀에서 파워와 접지선 사이에 효과적인 디커플링 커패시턴스를 제공한다.

[0056] 디커플링은 ASIC 설계에서 중요한 요인이다. 상당한 양의 스위칭이 회로에서 발생하면 집적 회로의 전압은 불안정하게 되는 경향이 있다. VDD와 VSS 사이에 커패시턴스를 가지고, 개별 그리드 유닛 셀을 통해 ASIC에 걸쳐 분배되어 있고, 전압 VDD를 안정하게 유지하고, ASIC에서 발생하는 큰 실수를 방지한다.

[0057] ASIC 설계에서 전압을 안정화하는 종래 방법은 클락 트리의 각 노드에 디커플링 커패시터를 추가하는 것과 관련되고, 표준 실시에서 디커플링 커패시터는 클락 드라이버에 배치된다. 이 해결책은 ASIC 장치에서 다량의 표면적을 요구한다. 보다 간단한 ASIC 설계가 바람직하고, 집적된 그리드(400)의 파워 그리드는 추가의 외부 장치 필요없이 필요한 디커플링 커패시턴스를 제공한다.

[0058] 수직 그리드 유닛 셀(407)의 상세한 평면도가 도 9에 도시되고, 그 사시도는 도 10에 도시된다. 도 9 및 10에 도시된 것같이, 수직 그리드 유닛 셀(407)은 2개의 제1 수직 파워 레일(801a, 801b) 예를 들면, VDD 전압 레일 및 제2 수직 파워 레일(802), 예를 들면, 2개의 제1 수직 파워 레일(801a, 801b) 사이에 배치된 VSS 전압 레일을 포함한다. 2개의 수직 클락 라인(804, 806)(예를 들면, 각각 클락 clk 및 sclk)이 제1 수직 파워 레일(801a, 801b)와 제2 수직 파워 레일(802) 사이에 배치된다. 특히, 클락 라인 clk(804)은 제1 수직 파워 레일(801a)과 제2 수직 파워 레일(802) 사이에 위치한다. 클락 라인 sclk(806)은 제1 수직 파워 레일(801b)과 제2 수직 파워 레일(802) 사이에 위치한다. 수직 파워 레일과 클락 라인은 제2 금속화층(M2) 위에 모두 형성되어, 제1 금속화층(M1) 보다 높은 레벨에서 제조된다. 제2 금속화층(M2) 위의 수직 파워 레일과 클락 라인에 추가하여, 수직 그리드 유닛 셀(407)은 제1 금속화층(M1)에서, 로컬 수평 VDD 및 VSS 파워 레일(708, 709)을 각각 포함한다. 수직 그리드 유닛 셀(407)의 수직 파워 레일과 클락 라인은 로컬 수평 VDD, VSS 파워 레일(708, 709)에 직교한다. 제2 금속화층(M2)의 제1 수직 파워 레일(801a, 801b)은 비아(901)를 통해 각각 수평 로컬 VDD 파워 레일(708a, 708b)에 전기적으로 접속되어 있고, 제2 수직 파워 레일(802)은 비아(903)를 통해 수평 로컬 VSS 파워 레일(709)에 전기적으로 연결되어 있다.

[0059] 수직 그리드 유닛 셀(407)에서, 로컬 수평 파워 레일(708, 709) 및 웰 구조(703, 701)는 일반적으로, 클락 라인을 포함하지 않는 것을 제외하고, 수평 그리드 유닛 셀(409)과 유사한 방식으로 구성된다. 수직 그리드 유닛(407)의 로컬 수평 파워 레일 및 클락 라인은 수평 그리드 유닛 셀(409)의 수평 파워 레일과 동일한 높이이고, 제1 금속화층(M1) 위에서 모두 조립된다. 표준 셀은 제1 금속화층(M1)과 동일한 높이인 로직을 또한 포함한다. 집적된 파워 및 클락 그리드(400)에 걸쳐서 배치되는 각종 표준 셀에 파워를 제공하도록, 이러한 모든 수직 그리드 유닛 셀은 제1 금속화층(M1) 위에 전압 소자를 포함해야 한다.

[0060] 도 6 ~ 8의 수평 그리드 유닛 셀(409)의 PMOS 트랜지스터의 실시예와 유사하게, 수직 그리드 유닛 셀(407)은 2개의 p+ 소스/드레인 확산(703)과 거기에 배치된 2개의 n+ 확산(715)을 포함한다. 수직 그리드 유닛 셀(407)은 NMOS 트랜지스터 구성을 또한 포함할 수 있는 것에 주의한다. 산화 게이트(704)의 층은 2개의 p+ 소스/드레인(703) 사이에 배치되고, mos-fet 게이트(704a)를 형성하는 도전 폴리 실리콘 물질로 덮여 있다. 로컬 수평 VDD 파워 레일(708a, 708b)은 제1 금속화층(M1) 위에 조립되어 있고, 접촉자(705)로 p+ 확산(703)에 접속되어 있고, 접촉자(706)로 n+ 확산(715)에 접속되어 있다. 또한 제1 금속화층(M1) 위에 조립되어 있는 로컬 수평 VSS 파워 레일(709)은 접촉자(707)에 의해 게이트(704a)에 접속되어 있다.

- [0061] 제1 수직 파워 레일(801a, 801b)은 로컬 수평 VDD 파워 레일(708a, 708b)에 대해 수직 방향으로 제2 금속화층(M2) 위에 조립되어 있고, 비아(901)에 의해 로컬 수평 VDD 파워 레일(708a, 708b)에 전기적으로 접속되어 있다. 제2 수직 파워 레일(802)은 로컬 수평 VSS 파워 레일(709)에 대해 수직 방향으로 제2 금속화층(M2) 위에 조립되어 있고, 비아(903)에 의해 로컬 수평 VSS 파워 레일(709)에 전기적으로 접속되어 있다. 수직 클락 라인(804, 806)은 제2 금속화층(M2) 위에 조립되어 있고, 제1 수직 파워 레일(801a, 801b)과 제2 수직 파워 레일(802) 사이에 위치한다.
- [0062] 도 11은 코너 그리드 유닛 셀(411)의 평면도를 나타내고, 도 12는 코너 그리드 유닛 셀(411)의 사시도를 나타낸다. 코너 그리드 유닛 셀(411)은 수평 및 수직 양 방향으로 파워 및 클락 소자를 포함한다. 수평 방향을 포함하는 모든 소자는 제1 금속화층(M1) 위에 조립되어 있고, 수직 방향을 포함하는 모든 소자는 제2 금속화층(M2) 위에 조립되어 있다. 2개의 p+ 소스/드레인(803)과 2개의 n+ 웰탭(815)이 n형 웰(805)로 확산된다. 산화 게이트(807)는 2개의 p+ 소스/드레인(803) 사이에 배치되고, mos-fet 게이트(807a)를 형성하는 도전 폴리 실리콘 물질로 덮여있다. 코너 그리드 유닛 셀(411)은 NMOS 트랜지스터 구성을 또한 포함할 수 있음을 고려하여야 한다.
- [0063] 제1 수평 파워 레일(905a, 905b), 예를 들면 VDD 전압 레일은 제1 금속화층(M1) 위에 조립되어, 접촉자(809)를 통해 p+ 소스/드레인(803)에 접속되고, 접촉자(810)를 통해 n+웰 탭(815)에 또한 접속된다. 제2 수평 파워 레일(907), 예를 들면 VSS 전압 레일은 제1 금속화층(M1) 위에 또한 조립되어, 접촉자(811)를 통해 게이트(807a)에 접속된다. 수평 클락 라인(911, 909), 예를 들면 sclk, clk는 각각 파워 레일(905, 907) 사이의 금속층(M1) 위에 위치된다. 특히, 클락 라인 911, sclk는 파워 레일(905b, 907) 사이에 위치한다. 클락 라인 909, clk는 파워 레일(905a, 907) 사이에 위치한다.
- [0064] 제1 수직 파워 레일(1001a, 1001b), 예를 들면 VDD 전압 레일은, 금속층(M2) 위에 조립되어, 비아(913)를 통해 제1 수평 파워 레일(905a, 905b)에 접속된다. 제2 수직 파워 레일(1003), 예를 들면 VSS 전압 레일은 제2 금속화층(M2) 위에 조립되어, 비아(915)에 의해 수평 파워 레일(907)에 접속되어 있다. 수직 클락 라인 1005, clk 및 1007, sclk는 비아(919, 917)를 통해 수평 클락 라인 909, clk 및 911, sclk에 접속되어 있다.
- [0065] 코너 그리드 유닛(411)은 수직 및 수평 그리드 유닛(407, 409) 모두에서 각각 발견된 모든 소자를 각각 포함하기 때문에, 그러므로 코너 그리드 유닛은 수직 및 수평 그리드 유닛 셀을 결합할 수 있다.
- [0066] 지금까지 제공된 예들은 2개의 파워 VDD 레일, 하나의 파워 VSS 레일 및 2개의 클락 라인 sclk, clk를 포함한다. 다른 수의 전압 레일과 클락 라인과 관련된 다른 조합이 사용될 수 있는 것을 고려하여야 한다. 다른 방향과 관련된 조합이 또한 실시될 수 있다. M1, M2의 방향이 또한 변화할 수 있다.
- [0067] 파워 및 클락 그리드의 집적은 ASIC 틀에 의해 쉽게 실행되는 애플리케이션에서 클락 스큐를 감소시킬 뿐 아니라, ASIC 설계에 부가 장치를 추가하지 않고 디커플링 및 실당도 제공한다. 집적된 클럭 및 파워 그리드의 다른 장점은, 더 적은 금속 층위에 조립할 수 있어서 ASIC 설계의 복잡도를 크게 낮출 수 있는 것이다.
- [0068] 본 발명은 바람직한 실시예를 참조하여 특히 도시되고 서술되었지만, 첨부된 청구범위에 의해 포함된 본 발명의 범위를 벗어나지 않으면, 형태와 상세 사항에 여러 가지 변경이 행해질 수 있는 것으로 본 발명에서 숙련된 자에 의해 이해된다.

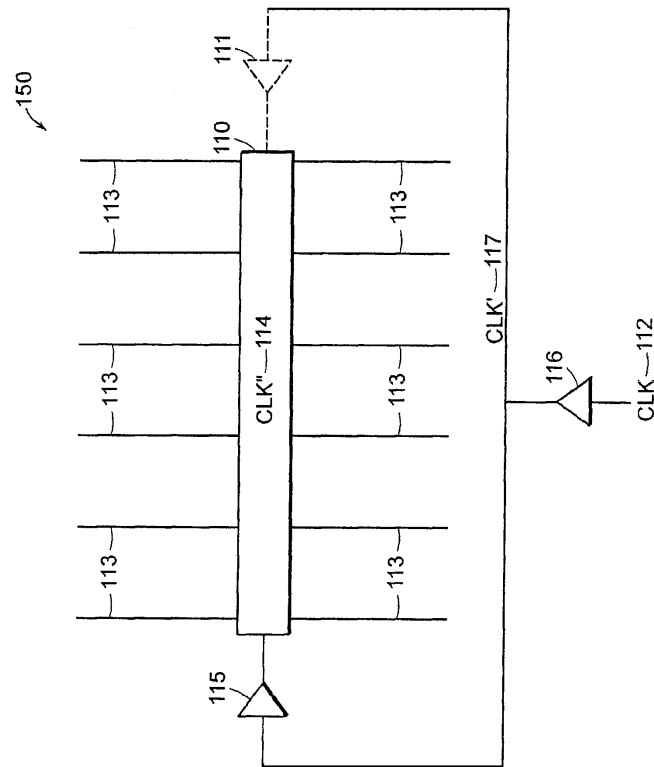
도면의 간단한 설명

- [0020] 본 발명의 상기 및 다른 목적, 특징 및 장점은, 동일한 도면 부호가 다른 도면들에 걸쳐서 동일한 부분을 지칭하는 첨부 도면에 도시되어 있는 것같이, 다음의 본 발명의 바람직한 실시예의 보다 상세한 설명으로부터 분명해진다.
- [0021] 도 1은 클락 트렁크의 개략도이다.
- [0022] 도 1a는 단순화된 로우기반 셀 레이아웃을 나타낸다.
- [0023] 도 2a는 클락 트리의 개략도이고, 도 2b는 클락 트리의 스큐를 나타내는 타이밍도이다.
- [0024] 도 3a는 클락 그리드의 개략도이고, 도 3b는 클락 그리드의 스큐를 나타내는 타이밍도이다.
- [0025] 도 4는 수평, 수직 및 코너 그리드 유닛 셀을 통합한 그리드 시스템의 실행을 나타낸다.
- [0026] 도 5는 그리드 설계 단계를 설명하는 플로우도이다.

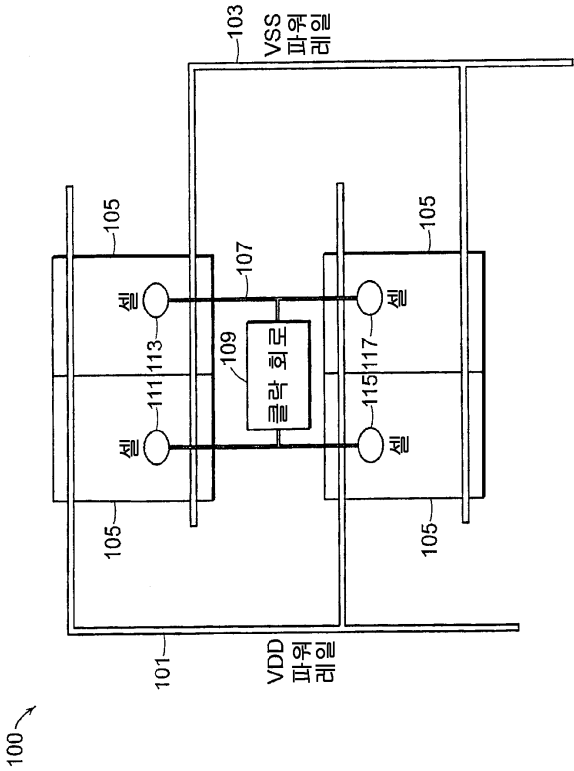
- [0027] 도 6은 수평 그리드 유닛 셀의 평면도이다.
- [0028] 도 7a는 도 6의 PMOS 수평 그리드 유닛 셀의 단면도를 나타낸다.
- [0029] 도 7b는 도 6의 NMOS 수평 그리드 유닛 셀의 단면도를 나타낸다.
- [0030] 도 8은 도 6의 수평 그리드 유닛 셀의 사시도이다.
- [0031] 도 9는 수직 그리드 유닛 셀의 평면도이다.
- [0032] 도 10은 도 9의 수직 그리드 유닛 셀의 사시도이다.
- [0033] 도 11은 코너 그리드 유닛 셀의 평면도를 나타낸다.
- [0034] 도 12는 도 11의 코너 그리드 유닛 셀의 사시도를 나타낸다.

도면

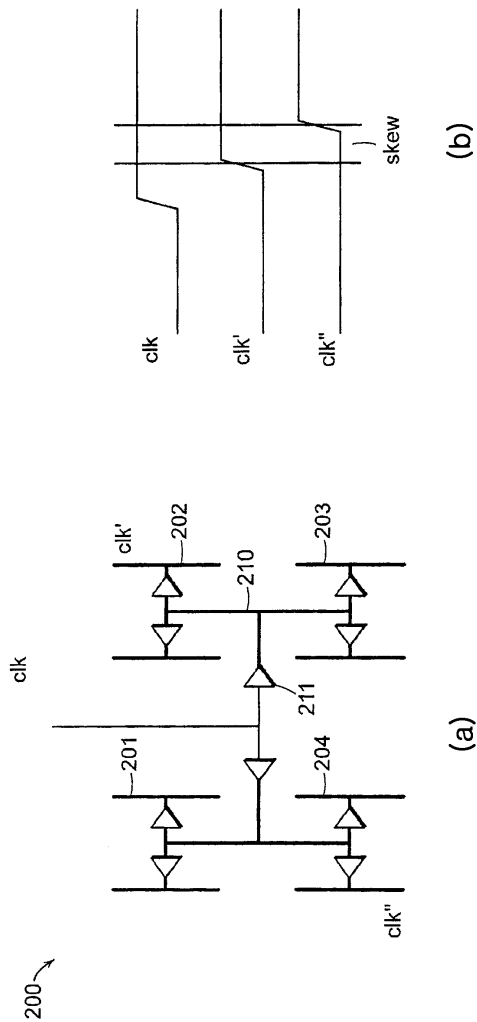
도면1



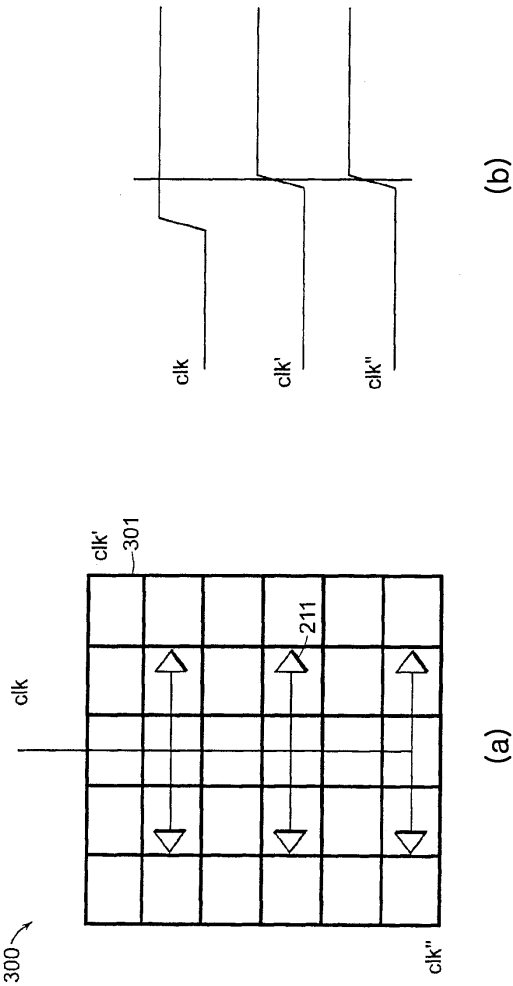
도면1a



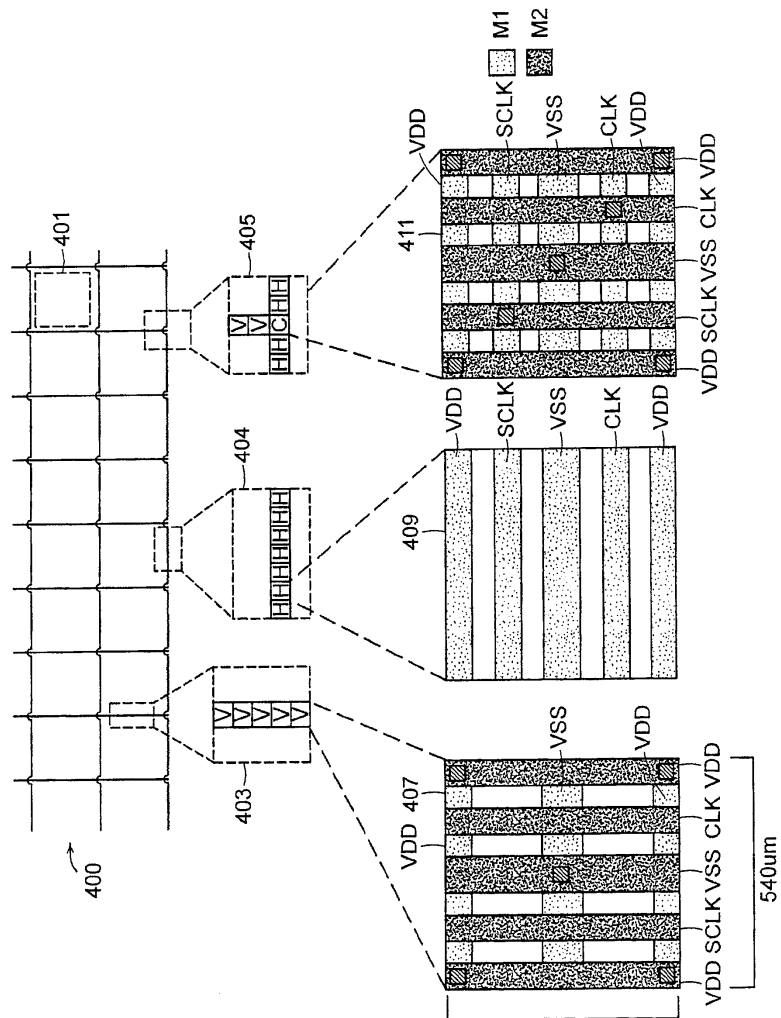
도면2



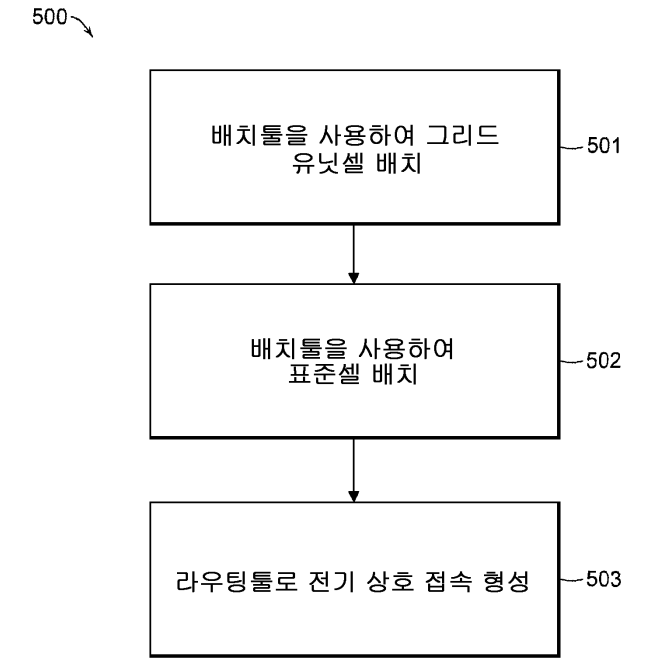
도면3



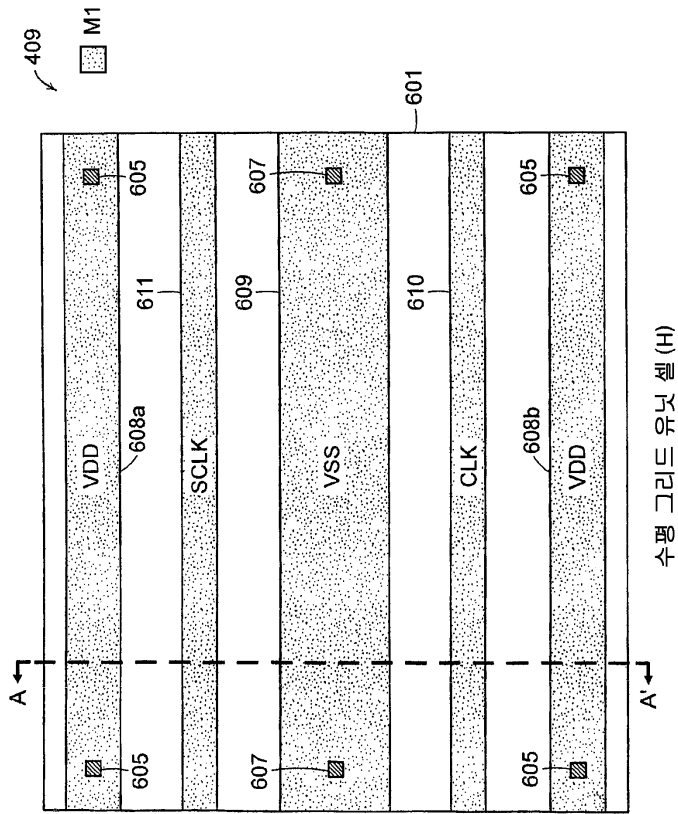
도면4



도면5



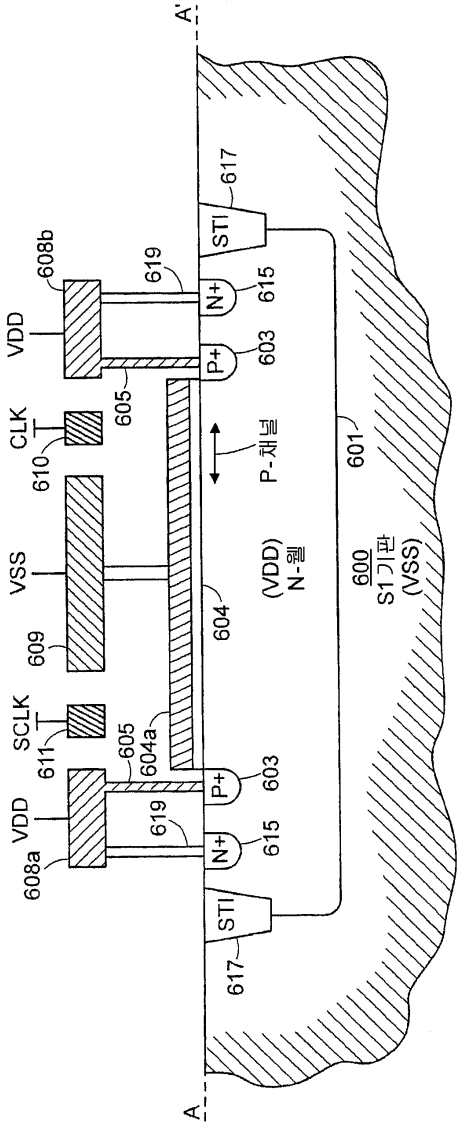
도면6



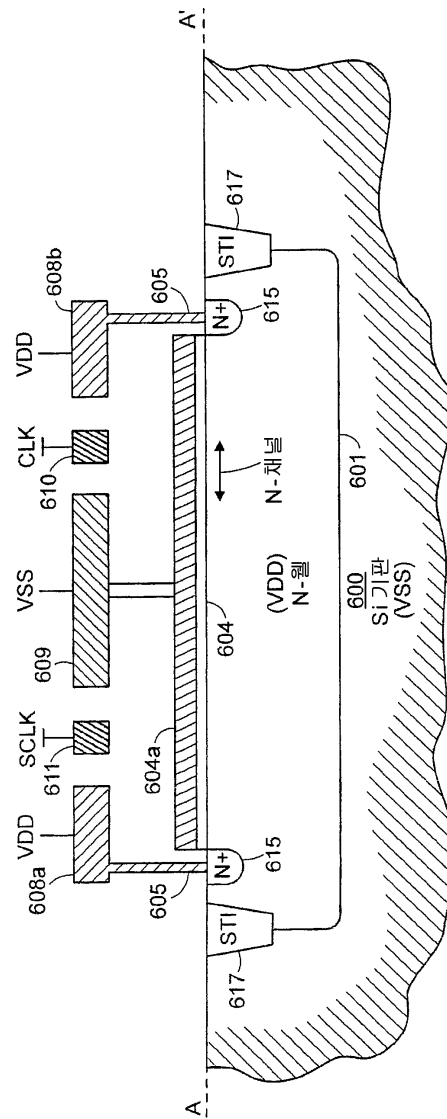
도면7a

클락 파워 그리드 표준 셀

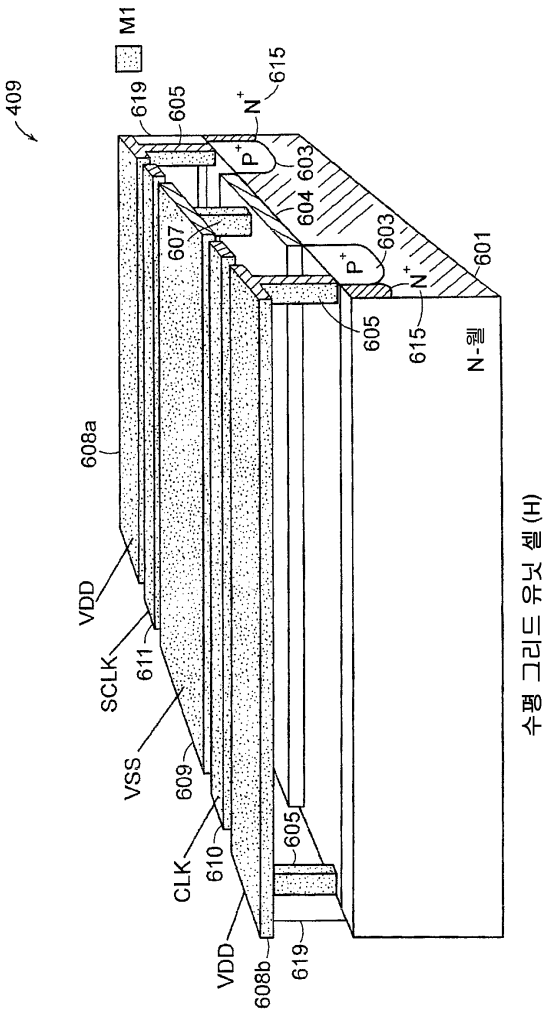
유형 1 - N-웰에서 P-FET



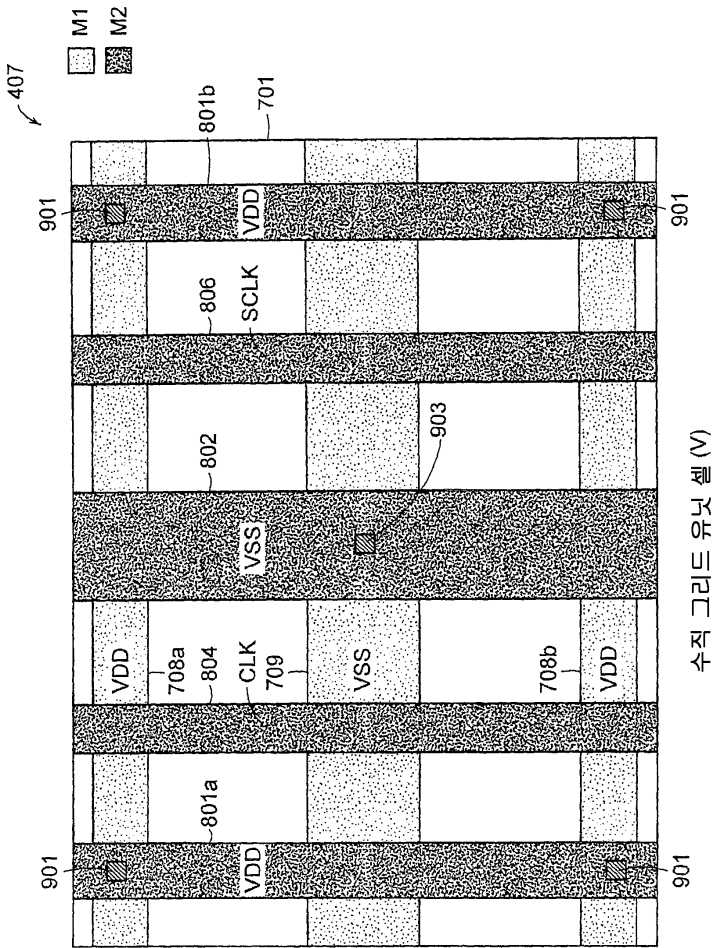
양평2-N-웰에서 N-FET



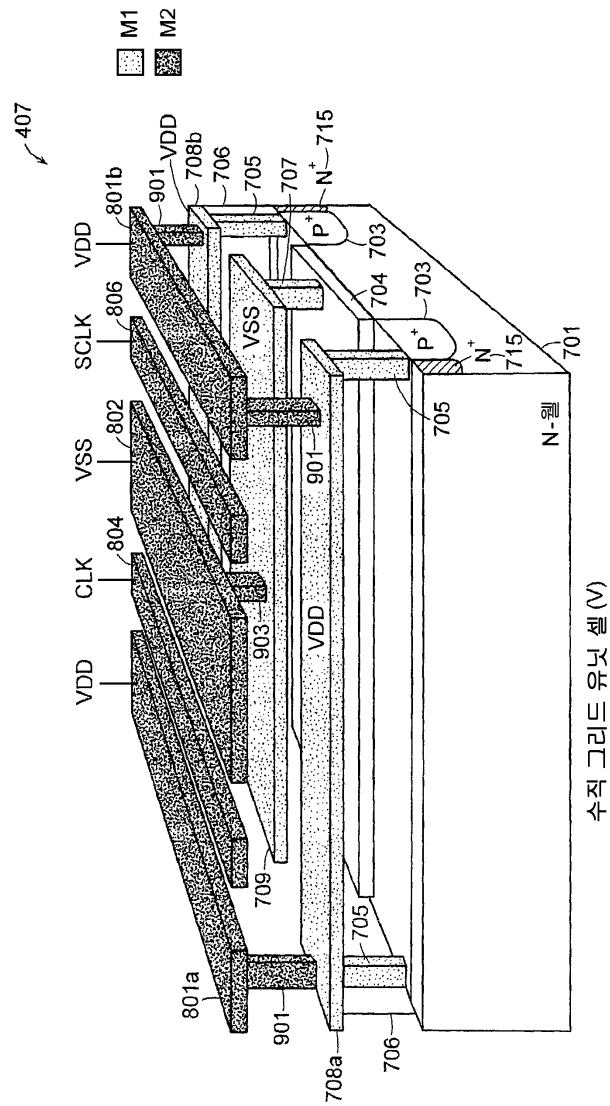
도면8



도면9



도면10



도면11

