

(12) 发明专利申请

(10) 申请公布号 CN 103165570 A

(43) 申请公布日 2013.06.19

(21) 申请号 201210539484.8

(22) 申请日 2012.12.13

(30) 优先权数据

13/324,740 2011.12.13 US

(71) 申请人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 M·拉希德 I·Y·林 S·索斯

J·金 C·阮 M·泰拉比

S·约翰逊 S·坎格瑞

S·文卡特桑

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/522(2006.01)

H01L 23/528(2006.01)

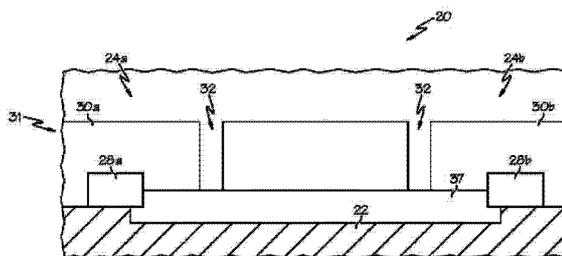
权利要求书2页 说明书6页 附图7页

(54) 发明名称

具有晶体管区域互连的半导体设备

(57) 摘要

本发明揭露一种具有晶体管区域互连的半导体设备,其中提供一种用于实现至少一个逻辑组件的半导体设备。该半导体设备包含半导体衬底,其具有形成于该半导体衬底上的第一晶体管与第二晶体管。所述晶体管各包含源极、漏极与栅极。沟槽硅化物层使该第一晶体管的源极或漏极中之一电气连接至该第二晶体管的源极或漏极中之一。



1. 一种半导体设备,包含:
半导体衬底;
形成于该半导体衬底上的第一晶体管及第二晶体管;
所述晶体管各包含源极、漏极与栅极;以及
沟槽硅化物层,其将该第一晶体管的该源极或该漏极之一电气连接至该第二晶体管的该源极或该漏极之一。
2. 如权利要求 1 所述的半导体设备,其中,该第一晶体管的该栅极与该第二晶体管的该栅极呈线性延伸。
3. 如权利要求 2 所述的半导体设备,其中,该沟槽硅化物层配置在该第一及该第二晶体管的所述栅极的一侧上。
4. 如权利要求 1 所述的半导体设备,其中,该沟槽硅化物层将该第一晶体管的该漏极电气连接至该第二晶体管的该漏极。
5. 如权利要求 4 所述的半导体设备,其中,该第一晶体管为 n 型场效晶体管 FET,以及该第二晶体管为 p 型 FET。
6. 如权利要求 5 所述的半导体设备,其中,该第一晶体管的该栅极与该第二晶体管的该栅极呈线性延伸。
7. 如权利要求 6 所述的半导体设备,其中,该沟槽硅化物层配置在该第一及该第二晶体管的所述栅极的一侧上。
8. 如权利要求 1 所述的半导体设备,进一步包含电气连接至所述晶体管的各个栅极的单边接触。
9. 如权利要求 1 所述的半导体设备,进一步包含电气连接至该沟槽硅化物层的 CA 层。
10. 如权利要求 1 所述的半导体设备,其中,该沟槽硅化物层包含钨。
11. 一种半导体设备,包含:
半导体衬底;
配置于该衬底上的第一晶体管及第二晶体管;
所述晶体管各包含源极、漏极与栅极;
电气连接至该第一晶体管的该栅极的第一 CB 层;
电气连接至该第二晶体管的该栅极的第二 CB 层;以及
在第一端及第二端之间纵向延伸的 CA 层;其中,
该第一 CB 层与该 CA 层的该第一端邻接地电气连接;以及
该第二 CB 层与该 CA 层的该第二端邻接地电气连接。
12. 如权利要求 11 所述的半导体设备,其中,该第一晶体管的该栅极沿着第一线纵向延伸,以及该第二晶体管的该栅极沿着第二线纵向延伸,其中,该第一线及该第二线大体相互平行以及彼此隔开。
13. 如权利要求 12 所述的半导体设备,其中,该 CA 层配置于所述栅极之间。
14. 如权利要求 13 所述的半导体设备,其中,该 CA 层对于所述线大体平行地延伸。
15. 如权利要求 14 所述的半导体设备,进一步包含具有沿着该第一线纵向延伸的栅极的第三晶体管,以及具有沿着该第二线纵向延伸的栅极的第四晶体管。
16. 如权利要求 15 所述的半导体设备,其中,该第一及该第三晶体管的所述栅极以间

隙而分离,以及该第二及该第四晶体管的所述栅极以间隙而分离。

17. 如权利要求 16 所述的半导体设备,其中,该 CA 层延伸越过该间隙。

18. 一种半导体设备,包含:

半导体衬底;

配置于该衬底上的第一晶体管及第二晶体管;

所述晶体管各包含栅极,其中,所述栅极大体相互平行地纵向延伸;以及

电气连接该第一及该第二晶体管的所述栅极的 CB 层;其中,

该 CB 层形成锯齿形状。

19. 如权利要求 18 所述的半导体设备,进一步包含相对于该衬底配置于该 CB 层上方的金属层。

20. 如权利要求 19 所述的半导体设备,进一步包含通孔,该通孔夹在该金属层与该 CB 层之间并且将该金属层电气连接至该 CB 层。

具有晶体管区域互连的半导体设备

技术领域

[0001] 本发明大体涉及半导体设备,且更特别的是,涉及半导体设备的晶体管区域互连(local interconnect)。

背景技术

[0002] 随着半导体设备的尺寸持续减小,制作标准单元库逻辑设备(例如,扫描D正反器(scan-D flip-flop)与多任务器)的能力变得越来越困难。特别是在20纳米(nm)节点的情形下,微影的限制导致标准单元库设备的缩放(scaling)不足。晶体管的交互耦合对于关键标准单元库设备的缩放很重要。若无交互耦合,逻辑缩放会占用更多半导体设备的面积。此外,利用标准金属层的传统交互耦合也会占据大量的面积。由于会导致半导体设备更大或半导体设备的机能更少,所以这两种情形都不合意。

[0003] 因此,最好提供晶体管的交互耦合而不依赖标准金属层即可产生标准单元库设备同时保留半导体设备面积。此外,由以下结合附图、背景技术及所描述的详细说明和随附权利要求书可明白本发明的其它合意特征及特性。

发明内容

[0004] 本发明提供一种用于实现至少一个逻辑组件的半导体设备。在本发明的一实施例中,该半导体设备包含半导体衬底,其具有形成于该半导体衬底上的第一晶体管与第二晶体管。所述晶体管各包含源极、漏极与栅极。沟槽硅化物层使该第一晶体管的源极或漏极中之一电气连接至该第二晶体管的源极或漏极中之一。

[0005] 在本发明的另一实施例,该半导体设备包含半导体衬底,其具有配置于该衬底上的第一晶体管与第二晶体管。所述晶体管各包含源极、漏极与栅极。第一CB层电气连接至该第一晶体管的栅极。第二CB层电气连接至该第二晶体管的栅极。CA层在第一端、第二端之间纵向延伸。该第一CB层与该CA层的该第一端邻接地电气连接。该第二CB层与该CA层的该第二端邻接地电气连接。

[0006] 在本发明的又一态样,半导体设备包含半导体衬底,其具有配置于该衬底上的第一晶体管与第二晶体管。所述晶体管各包含栅极,其中,所述栅极大体相互平行地纵向延伸。CB层使该第一及该第二晶体管的栅极电气连接以及形成锯齿形状(zig-zag shape)。

附图说明

[0007] 以下结合附图描述本发明,其中类似的组件用相同的组件符号表示,且

[0008] 图1为半导体设备的一部份的侧视截面图;

[0009] 图2为半导体设备的一个具体实施例的上视图,其显示晶体管的栅极、各个区域互连层及沟槽硅化物层;

[0010] 图3为半导体设备的另一具体实施例的上视图,其显示配置于晶体管的栅极上方的金属层以及各个区域互连层;

- [0011] 图 4 为半导体设备的第一具体实施例的部份上视图；
- [0012] 图 5 为半导体设备的第二具体实施例的部份上视图；
- [0013] 图 6 为半导体设备的第四具体实施例的部份上视图；
- [0014] 图 7 为根据图 6 的直线 7-7 绘出半导体设备的第四具体实施例的侧视截面图；
- [0015] 图 8 为半导体设备的第五具体实施例的部份上视图；
- [0016] 图 9 为半导体设备的第六具体实施例的部份上视图；以及
- [0017] 图 10 为根据图 2 的直线 10-10 绘出半导体设备的第七具体实施例的部份侧视图。
- [0018] 主要组件符号说明
- | | | |
|--------|------------|---------|
| [0019] | 20 | 半导体设备 |
| [0020] | 22 | 半导体衬底 |
| [0021] | 24 | 晶体管 |
| [0022] | 24a | 第一晶体管 |
| [0023] | 24b | 第二晶体管 |
| [0024] | 24c | 第三晶体管 |
| [0025] | 24d | 第四晶体管 |
| [0026] | 26、26a、26b | 源极 |
| [0027] | 28、28a、28b | 漏极 |
| [0028] | 30、30a-d | 栅极 |
| [0029] | 31 | 线性条带 |
| [0030] | 31b | 第一线性条带 |
| [0031] | 31b | 第二线性条带 |
| [0032] | 32 | 间隙 |
| [0033] | 32a | 第一间隙 |
| [0034] | 32b | 第二间隙 |
| [0035] | 33 | 金属层 |
| [0036] | 34、36 | 区域互连层 |
| [0037] | 34 | CA 层 |
| [0038] | 34a | 第一 CA 层 |
| [0039] | 36 | 第二区域互连层 |
| [0040] | 36 | CB 层 |
| [0041] | 36a | 第一 CB 层 |
| [0042] | 36b | 第二 CB 层 |
| [0043] | 37 | 沟槽硅化物层 |
| [0044] | 38 | 通孔 |
| [0045] | 40 | 第一端 |
| [0046] | 42 | 第二端 |
| [0047] | 44 | 中央 |
| [0048] | 44 | 绝缘层 |
| [0049] | 46 | 末端 |

[0050] 48

第二 CA 层。

具体实施方式

[0051] 以下的详细说明在本质上只是示范而非旨在限制本发明或本发明的应用或用途。此外,希望不受【背景技术】或【实施方式】中的任何理论约束。

[0052] 在此描述半导体设备 20,其显示于附图,其中类似的组件用相同的组件符号表示。本领域技术人员周知,半导体设备 20 可为集成电路(未个别编号)的一部份。

[0053] 请参考图 1,半导体设备 20 包含半导体衬底 22。半导体设备 20 包含多个晶体管 24。具体而言,在图示的具体实施例中,晶体管 24 为场效晶体管(FET),且更特别的是,金属氧化物半导体场效晶体管(MOSFET)。晶体管 24 各包含源极 26、漏极 28 与栅极 30。

[0054] 源极 26 及漏极 28 均用本领域技术人员所习知的技术形成于衬底 22 中及/或上。在图示的具体实施例中,源极 26 及漏极 28 经形成为凸起源极 26 及漏极 28,亦即,源极 26 及漏极 28 至少有一部份形成于衬底 22 上方。在显示于图 1 的配置中,凸起源极 26 及漏极 28 各高出衬底 22 约 15 纳米。不过,可替换地实现其它尺寸。本领域技术人员明白可用嵌入式硅/锗(eSiGe)技术来形成凸起源极 26 及漏极 28。当然,可实施其它的技术以形成凸起源极 26 及漏极 28。此外,在其它具体实施例中(未显示),可能不使源极 26 及漏极 28 凸出衬底 22。

[0055] 栅极 30 通常使用本领域技术人员所习知的技术形成于衬底 22 上方。在图示的具体实施例中,配置衬底 22 上方的栅极 30 主要由常被称作多晶硅或以 PolySi 简称的复晶硅形成。不过,栅极 30 也可由其它的材料形成,例如,高 k 金属。在显示于图 1 的配置中,栅极 30 高出衬底 22 约 35 纳米。不过,可替换地实现栅极 30 的其它尺寸。

[0056] 参考图 2 可见,栅极 30 形成为大体相互平行的线性条带(linear strip)31。条带 31 中可形成间隙(gap)32 使得沿着各个条带 31 可纵向配置一个以上的晶体管 30。可用本领域技术人员容易明白的切割屏蔽技术(cut mask technique)来形成间隙 32。

[0057] 请参考图 1 及图 3,半导体设备 20 包含配置于晶体管 24 的源极 26、漏极 28 与栅极 30 上方的至少一个金属层 33,如本领域技术人员所知。金属层 33 有助于设备 20 的各个逻辑组件与设备 20 的其它逻辑组件及设备 20 以外的其它系统电气通讯。本领域技术人员也明白,金属层 33 照惯例是以 M1、M2 等等标称。在显示于图 1 的配置中,配置高出衬底 22 约 165 纳米的一个金属层 33。不过,可替换地实现金属层 33 的其它距离及尺寸。

[0058] 半导体设备 20 进一步包含至少一个区域互连层 34、36 以选择性地使晶体管 24 的源极 26、漏极 28 与栅极 30 连接至其它晶体管 24 的其它源极 26、漏极 28 与栅极 30。至少一个区域互连层 34、36 也可选择性地连接至至少一个金属层 33。至少一个区域互连层 34、36 配置于至少一个金属层 33 与衬底 22 之间。换言之,相对于衬底 22,金属层 33 配置于至少一个区域互连层 34、36 上方。图示的具体实施例的至少一个区域互连层 34 主要由钨形成。在其它具体实施例中,至少一个区域互连层 34、36 主要由铜形成。不过,区域互连层 34、36 可由其它元素或化合物形成或包含。

[0059] 以下描述显示于附图的各个半导体设备 20 实施例有不同的形状、排列(arrangement),以及至少一个区域互连层 34、36 的电气连接。第一区域互连层 34 在此被称作 CA 层 34,以及第二区域互连层 36 在此被称作 CB 层 36。当然,半导体设备 20 中可实

现多个 CA 层 34 及多个 CB 层 36 以及也可实现其它的区域互连层（未显示）。通常，CA 层（或数个）34 电气连接至源极 26 或漏极 28 同时 CB 层（或数个）36 电气连接至栅极 30。不过，不应把这类配置视为限制。事实上，在下述具体实施例中的一些中，CA 层（或数个）34 及 / 或 CB 层（或数个）36 可能不连接至源极 26、漏极 28 或栅极 30。

[0060] 利用图示的具体实施例的 CA、CB 层 34、36 可产生各种标准单元，例如，扫描 D 正反器。在背景技术中，金属层常用来提供扫描 D 正反器的连接。利用 CA、CB 层 34、36（经配置成比典型金属层还要靠近衬底），相比于背景技术的设备，所得扫描 D 正反器有减少的面积。

[0061] 半导体设备 20 可进一步包含一个或多个沟槽硅化物层 37。沟槽硅化物层 37 可用来使晶体管 24 的源极 26 及 / 或漏极 28 电气连接至 CA 或 CB 层 34、36 中的一个，通常为 CA 层，如图 1 所示。因此，沟槽硅化物层 37 夹在 CA 或 CB 层 34、36 中的一个与晶体管 24 的源极 26 或漏极 28 中的至少一个之间。沟槽硅化物层 37 的形成通过切割深至衬底 22 的电介质（未显示）沟槽（未个别编号）以及用自对准硅化物材料（salicide material）填满沟槽。例如，该自对准硅化物材料可为金属，例如镍、钴或钨。

[0062] 图 1 配置的沟槽硅化物层 37 有约 50 纳米的高度。图 1 的 CA 层 34 用沟槽硅化物层 34 支撑以及有约 40 纳米的高度。图 1 的 CB 层 36 有约 70 纳米的高度。图 1 的 CA 层 34 及 CB 层 36 对于衬底 22 大体同高。此外，由图 1 可见，图示的具体实施例的 CA、CB 层 34、36 高出衬底 22 不超过 105 纳米。当然，在取决于任意多个因素的替代具体实施例中，沟槽硅化物层 37、CA 层 34 及 CB 层 36 的高度及尺寸可不同。

[0063] 半导体设备 20 可包含多个通孔 38 以选择性地提供 CA 或 CB 层 34、36 与至少一个金属层 33 的电气连接。因此，通孔 38 中的一个可配置于至少一个金属层 33 与 CA 或 CB 层 34、36 中的一者之间。通孔 38 主要由金属形成，例如铜。不过，也可使用其它的金属或导电材料。图 1 的配置的通孔 38 有约 60 纳米的高度。

[0064] 在第一具体实施例中，如图 4 所示，半导体设备 20 至少包含第一晶体管 24a 与第二晶体管 24b。半导体设备 20 包含 CA 层 34 与 CB 层 36。CA 层 34 电气连接至第一晶体管 24a 的源极 26a 或漏极 28a 中的至少一者。CB 层 36 电气连接至晶体管 24a、24b 的栅极 30 中的至少一者。取决于特定应用，CB 层 36 可电气连接至晶体管 24a、24b 的栅极 30。第一及 CB 层 34、36 也可相互电气连接。

[0065] 在第一具体实施例中，CA 层 34 在第一端 40 和第二端 42 之间延伸。CB 层 36 大体配置于 CA 层 34 在末端 40、42 之间的中央 44。更特别的是，CB 层 36 的末端 46 大体配置在 CA 层 34 的中央 44。因此，从上面俯视，第一及 CB 层 34、36 形成一长 ‘T’ 形状。

[0066] 半导体设备 20 的第二具体实施例与第一具体实施例实质类似，但是进一步包含配置在 CA 层 34 与第一晶体管 24a 的源极 26 或漏极 28 中的至少一者之间的沟槽硅化物层 37。此排列也可再参考图 1。

[0067] 在第三具体实施例中，如图 5 所示，半导体设备 20 至少包含第一晶体管 24a 与第二晶体管 24b。半导体设备 20 包含第一 CA 层 34a 与 CB 层 36。第一 CA 层 34a 电气连接至第一晶体管 24a 的源极 26a 或漏极 28a 中的至少一者。CB 层 36 电气连接至晶体管 24a、24b 的栅极 30a、30b 中的至少一者。取决于特定应用，CB 层 36 可电气连接至晶体管 24a、24b 的栅极 30a、30b。第一及 CB 层 34、36 也相互电气连接。

[0068] 在第三具体实施例中,如同第一具体实施例,CA层 34 在第一端 40、第二端 42 之间延伸。不过,在第三具体实施例中,CB层 36 经配置成与末端 40、42 中的一个邻接。因此,从上面俯视,第一及 CB层 34、36 形成长‘L’形状。第三具体实施例的长‘L’形状允许把 CB层 36 配置成与第二 CA层 48 分离以防 CB层 36 与第二 CA层 48 之间的导电。

[0069] 请参考图 6 及图 7,半导体设备 20 的第四具体实施例包含形成于衬底 22 上的第一晶体管 24a、第二晶体管 24b 及第三晶体管 24c。所述晶体管 24 由第一晶体管 24a 至第三晶体管 24c 依序配置。设备 20 可进一步包含第四晶体管 24d,其中,所述晶体管 24 由第一晶体管 24a 至第四晶体管 24d 依序配置。

[0070] 第一 CB层 36a 电气连接至第一晶体管 24a 的栅极 30a,以及第二 CB层 36b 电气连接至第三晶体管 24c 的栅极 30c。CA层 34 使第一 CB层 36a 与第二 CB层 36b 相互电气连接。因此,第一晶体管 24a 的栅极 30 与第三晶体管 24c 的栅极 30c 通过 CB层 36a、36b 及 CA层 34 相互电气连接。

[0071] CA层 34 与第二晶体管 24b 的栅极 30b 电气隔离。因此,CA层 34 形成跨过第二晶体管 24b 的栅极 30b 的“桥状物 (bridge)”或“跳线 (jumper)”。一个或多个绝缘层 44 可夹在 CA层 34 与第二晶体管 24b 的栅极 30 之间。一个或多个绝缘层 44 也可夹在 CA层 36 与衬底 22 之间。

[0072] 取决于特定逻辑组件的需要,第二 CB层 36b 也可电气连接至第四晶体管 24d 的栅极 30。此外,CA层 34 也可电气连接至晶体管 24a、24b、24c 中的一个的源极 26 或漏极 28 中的至少一者。如图 6 及图 7 所示,相对于衬底 22,CA层 34 及 CB层 34a、34b 配置于晶体管 24a、24b、24c、24d 的栅极 30 上方。

[0073] 在第五具体实施例中,半导体设备 20 包含半导体衬底 22,其具有配置于衬底 22 上的第一晶体管 24a 及第二晶体管 24b,如图 8 所示。第一 CB层 36a 电气连接至第一晶体管 24a 的栅极 30a,以及第二 CB层 36b 电气连接至第二晶体管 24b 的栅极 30a。CA层 34 在第一端 40、第二端 42 之间纵向延伸。第一 CB层 36a 与 CA层 34 的第一端 40 邻接地电气连接至 CA层 34。第二 CB层 36b 与 CA层 34 的第二端 42 邻接地电气连接至 CA层 34。

[0074] 第一晶体管 24a 的栅极 30a 纵向延伸成为第一线性条带 31a 的一部份,以及第二晶体管 24b 的栅极 30b 纵向延伸成为第二线性条带 31b 的一部份。第一、第二条带 31a、31b 大体相互平行以及彼此隔开。CA层 34 大体垂直于第一、第二 CB层 36a、36b。因此,CA层 34 与条带 31a、31b 大体平行地延伸以及配置于条带 31a、31b 之间。因此,从上面俯视,CA层 34 及 CB层 36a、36b 一起形成锯齿形状或大体 S 形状。

[0075] 第五具体实施例的半导体设备 20 可进一步包含第三晶体管 24c 与第四晶体管 24d。第三晶体管 24c 的栅极 30c 纵向延伸成为第一条带 31a 的一部份,以及第四晶体管 24d 的栅极 30d 纵向延伸成为第二条带 31b 的一部份。间隙 32 使第一晶体管 24a 的栅极 30a 与第三晶体管 24c 的栅极 30c 分离,以及使第二晶体管 24b 的栅极 30 与第四晶体管 24d 的栅极 30 分离。因此,第一、第二晶体管 24a、24b 的栅极 30 彼此在对角线的角落上,而 CA层 34 延伸越过间隙 32。

[0076] 在第六具体实施例中,如图 9 所示,半导体设备 20 包含半导体衬底 22,其具有第一晶体管 24a 与配置于衬底 22 上的第二晶体管 24b。晶体管 24a、24b 的栅极 30a、30b 大体相互平行地纵向延伸。第一栅极 30a 形成为第一线性条带 31a 的一部份,以及第二栅极

30b 形成第二线性条带 31b 的一部份。单一 CB 层 36 电气连接至第一、第二晶体管 24a、24b 的栅极 30。晶体管 24a、24b 的栅极 30a、30b 可能不直接相互邻接。因此，CB 层 36 形成锯齿形以使晶体管 24a、24b 电气连接。

[0077] 具体而言，如图 9 所示，设备 20 包含第三晶体管 24c 与第四晶体管 24d。第三晶体管 24c 的栅极 30c 纵向延伸成为第一条带 31a 的一部份，以及第四晶体管 24d 的栅极 30d 纵向延伸成为第二条带 31b 的一部份。第一间隙 32a 使第一晶体管 24a 的栅极 30a 与第三晶体管 24c 的栅极 30c 分离。第二间隙 32b 使第二晶体管 24b 的栅极 30b 与第四晶体管 24d 的栅极 30d 分离。第六具体实施例的间隙 32a、32b 未彼此对齐。

[0078] 请参考图 2 及图 10，第七具体实施例的半导体设备 20 包含第一晶体管 24a 与第二晶体管 24b。沟槽硅化物层 37 使第一晶体管 24a 的源极 26a 或漏极 28a 电气连接至第二晶体管 24b 的源极 26b 或漏极 28b。具体而言，图 10 显示为 n 型 FET 的第一晶体管 24a 与为 p 型 FET 的第二晶体管 24b，以及晶体管 24a、24b 的凸起漏极 28a、28b 经由沟槽硅化物层 37 相互电气连接。

[0079] 第一晶体管 24a 的栅极 30a 与第二晶体管 24b 的栅极 30b 由共享线性条带 31 形成。因此，栅极 30a、30b 彼此呈线性地延伸。沟槽硅化物层 37 配置在栅极 30a、30b 的一侧。亦即，沟槽硅化物层 37 不越过栅极 30a、30b 或共享线性条带 31 同时仍使晶体管 24a、24b 的漏极 28a、28b 电气连接。换言之，沟槽硅化物层 37 不需要越过由线性条带 31 形成的“复合边界 (poly boundary)”。此排列可用来产生扫描 D 正反器。相比于背景技术的设备，所得的扫描 D 正反器有减少的面积。当然，本领域技术人员明白，此排列可用来制作扫描 D 正反器以外的逻辑设备。

[0080] 第七具体实施例的半导体设备 20 也可包含电气连接至晶体管 24a、24b 的各个栅极 30a、30b 的单边接触（未显示）。利用单边接触，亦即，不延伸遍与栅极 30a、30b 的整个宽度的接触，可减少沟槽硅化物层 37 与栅极 30a、30b 发生介质击穿 (dielectric breakdown) 的风险。

[0081] 尽管已用上文详细说明至少一示范具体实施例，然而应了解，仍有许多变体。也应了解，该（所述）示范具体实施例只是实施例而非旨在以任何方式限制本发明的范畴、适用性或配置。反而，上述详细说明是要让本领域技术人员有个方便的发展蓝图用来具体实现本发明的示范具体实施例，应了解，示范具体实施例提及的组件的功能及配置可做出不同的改变而不脱离如随附权利要求书及其合法等效物所述的范畴。

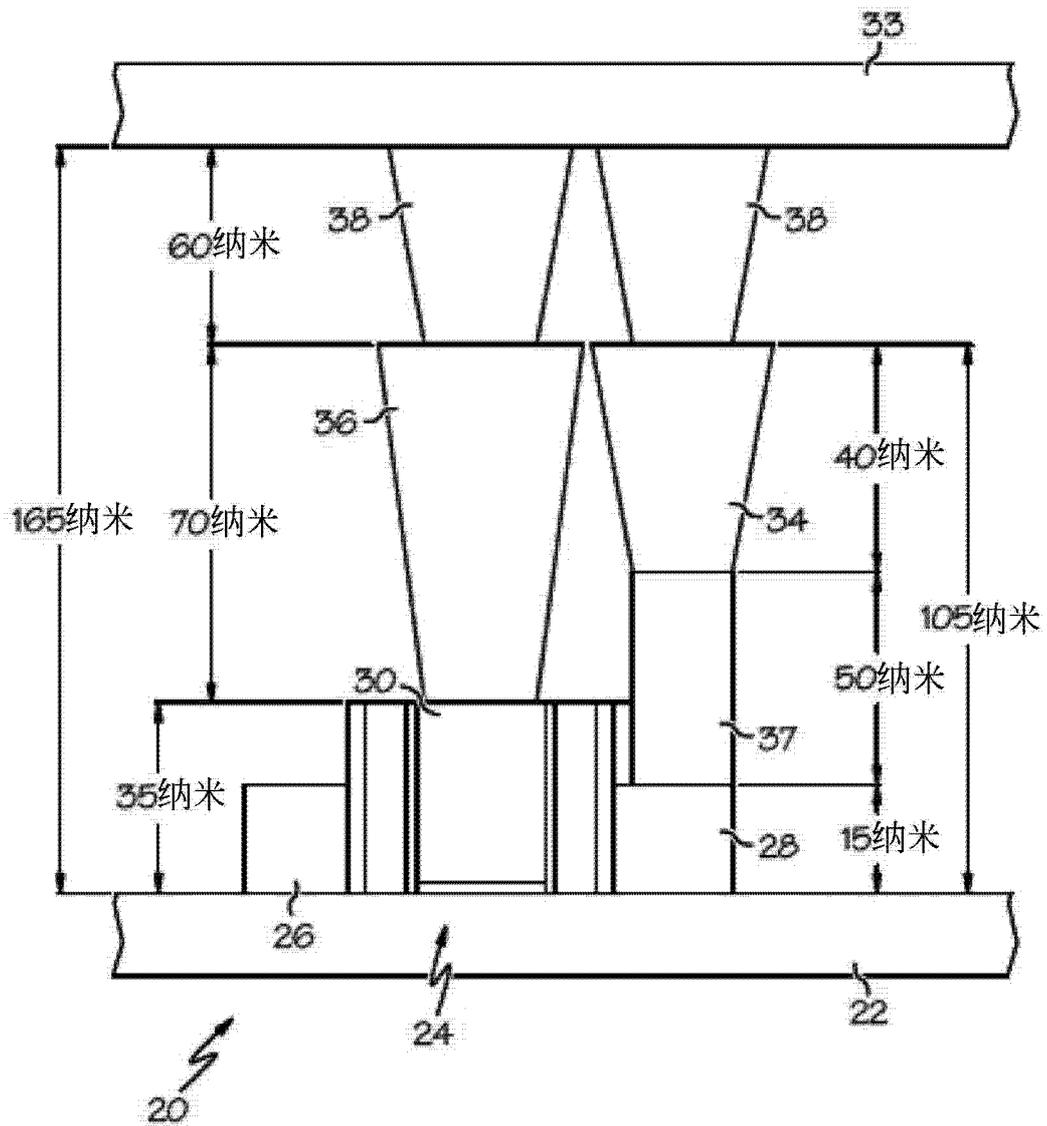


图 1

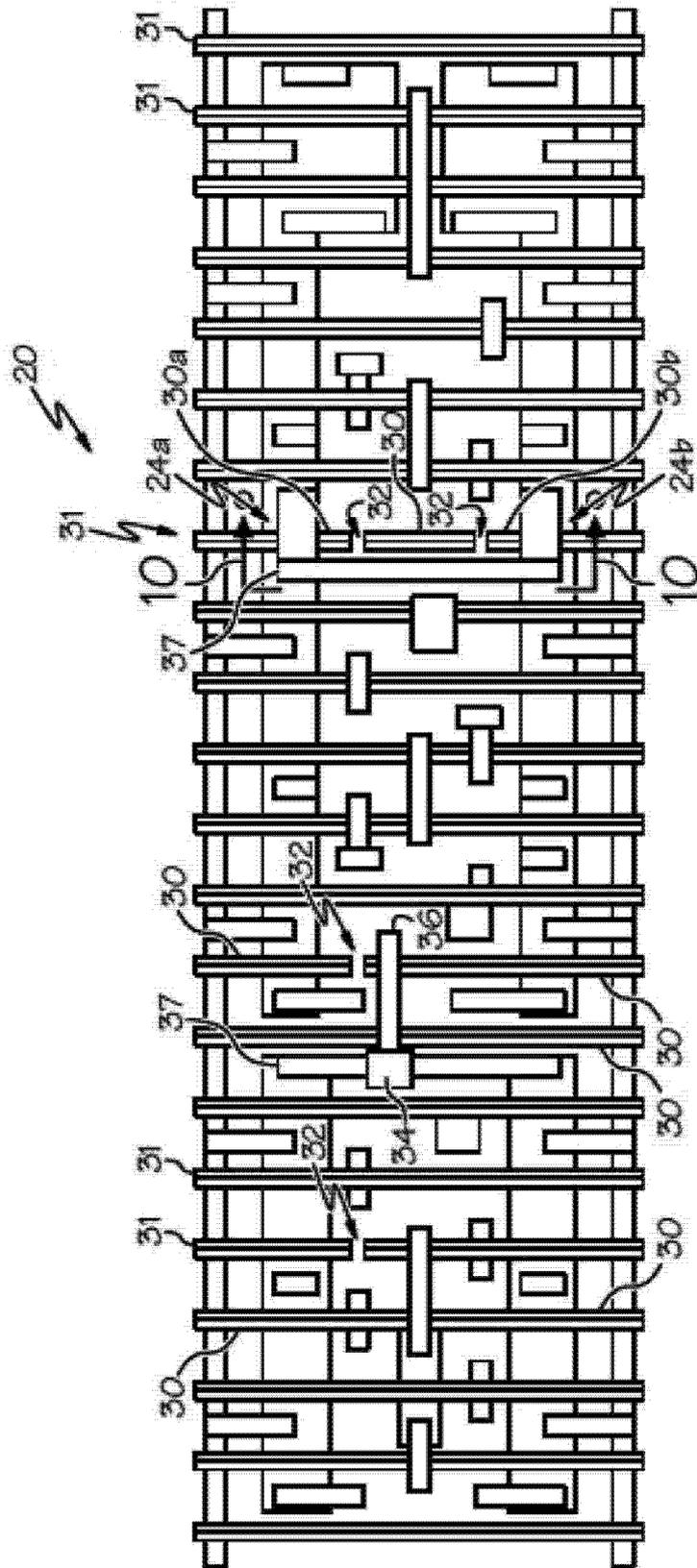


图 2

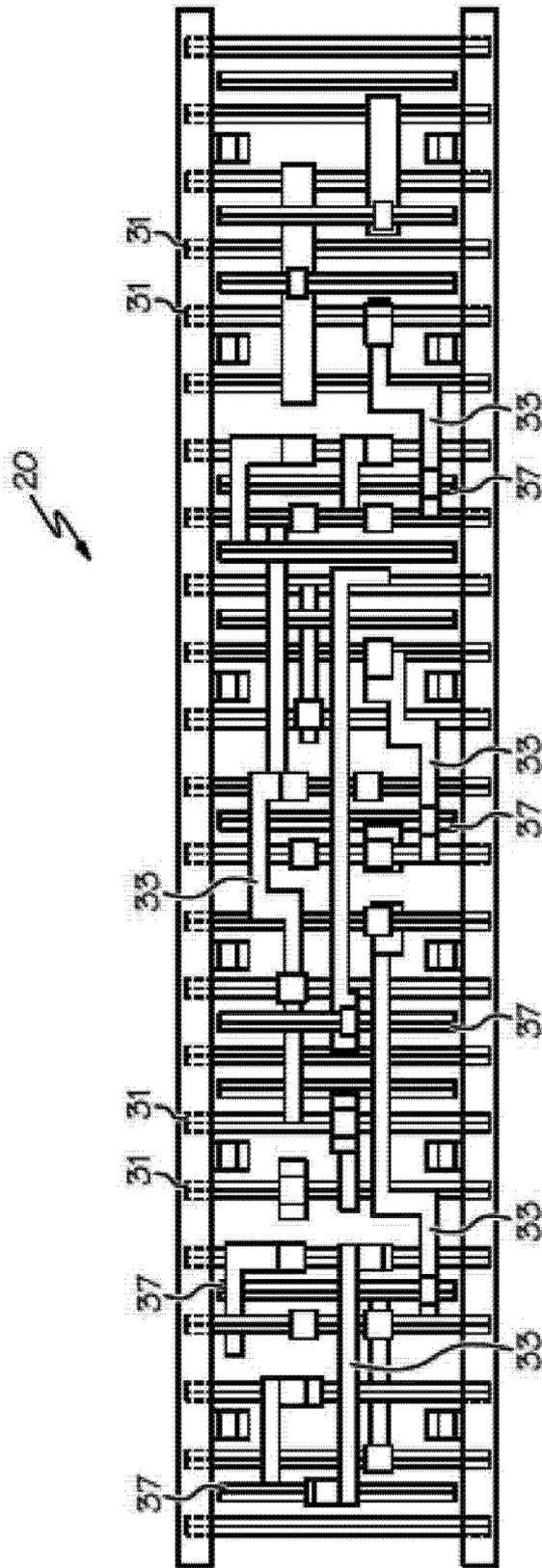


图 3

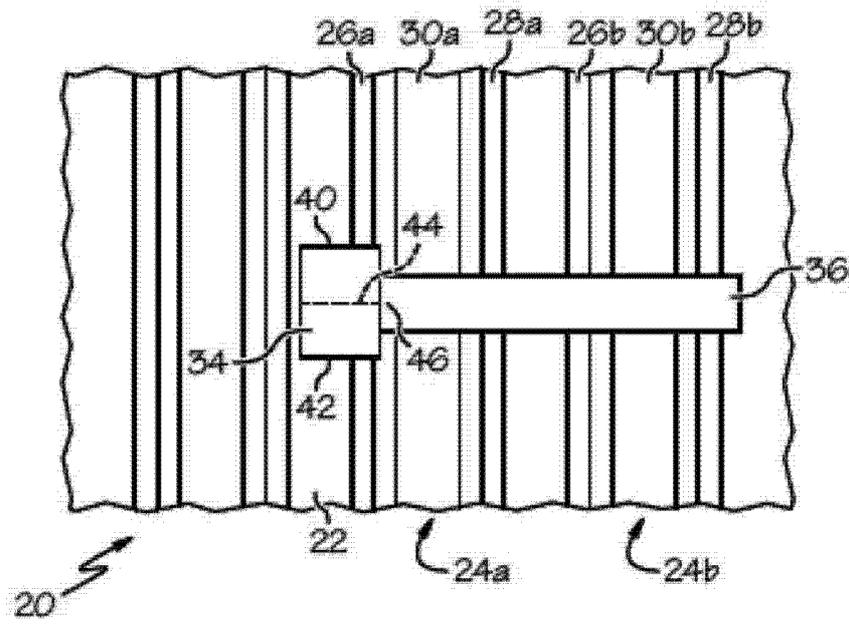


图 4

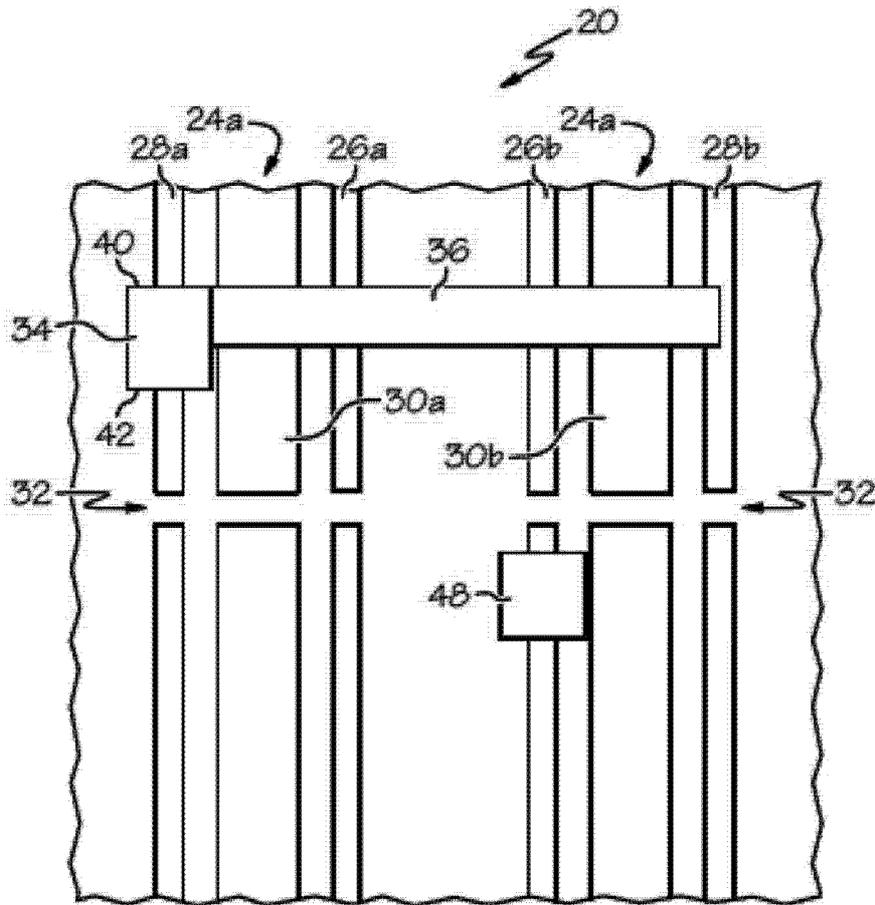


图 5

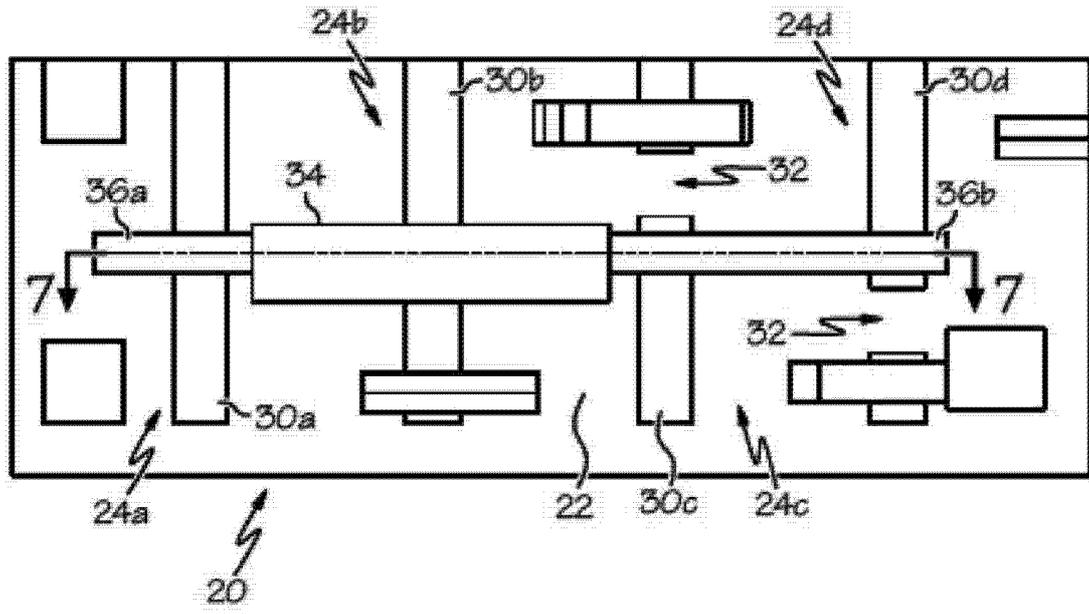


图 6

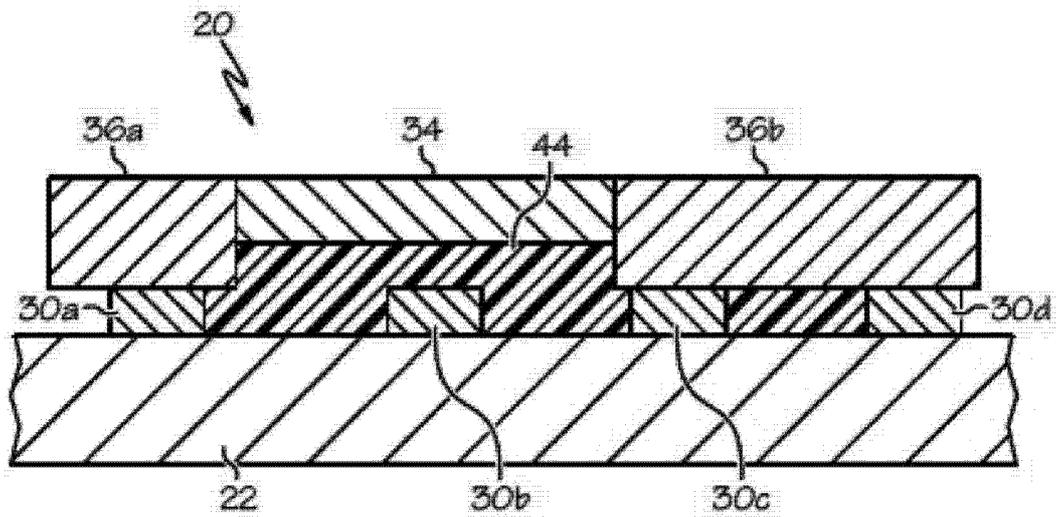


图 7

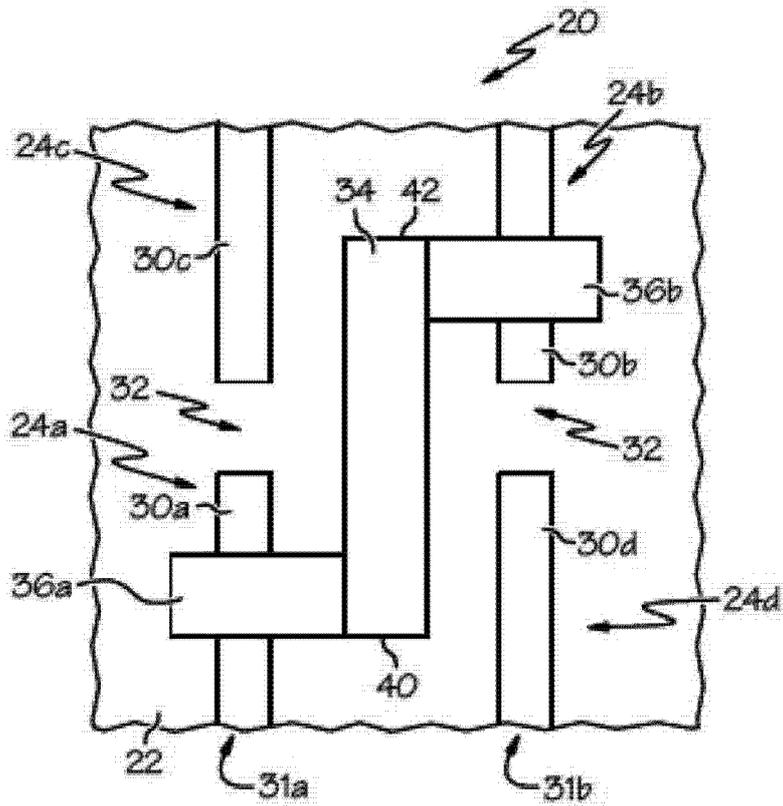


图 8

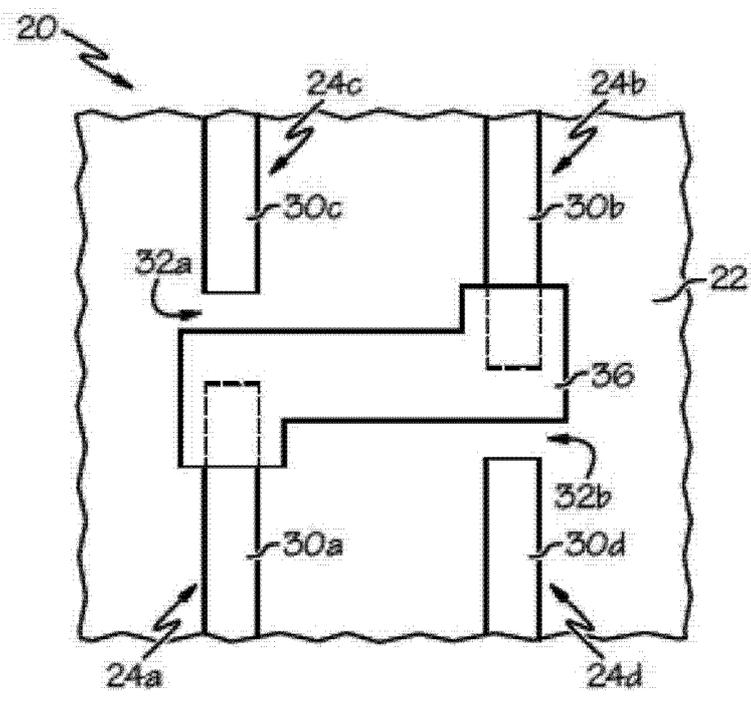


图 9

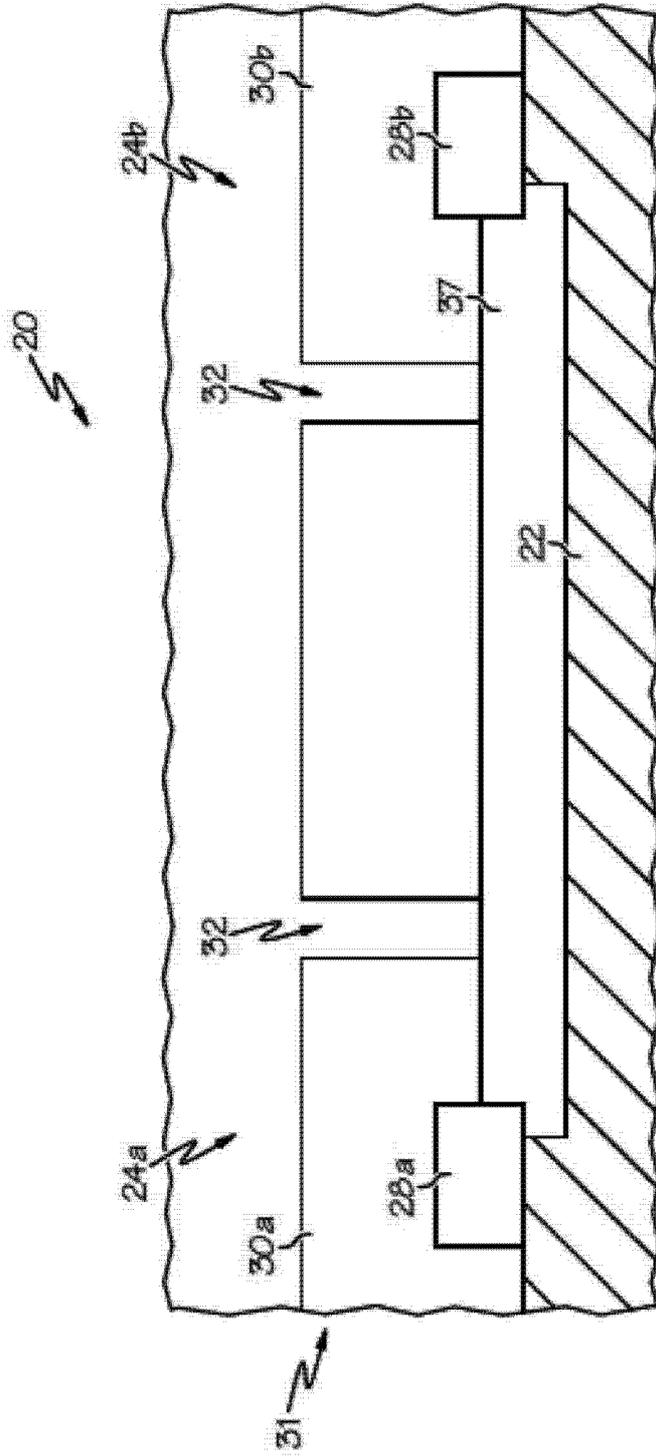


图 10