

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 基板 1 上に、垂直方向に立つ S i 柱 2 の両端にあるソース線 S L に繋がる N⁺層 3 a と、ビット線 B L に繋がる N⁺層 3 b と、N⁺層 3 b に繋がる P⁺層 8 と、S i 柱 2 を囲んだ第 1 のゲート絶縁層 4 a と、第 1 のゲート絶縁層 4 a を囲みプレート線 P L に繋がる第 1 のゲート導体層 5 a と、S i 柱 2 を囲んだゲート H f O₂ 層 4 b を囲んだワード線 W L に繋がる第 2 のゲート導体層 5 b があり、ソース線 S L、プレート線 P L、ワード線 W L、ビット線 B L に印加する電圧を制御して、S i 柱 2 のチャネル領域 7 の内部でインパクトイオン現象、またはゲート誘起ドレインリーク電流により発生した正孔群を保持するデータ保持動作と、そして、この正孔群を、チャネル領域 7 内から除去するデータ消去動作を行う。

明 細 書

発明の名称：半導体素子を用いたメモリ装置と、その製造方法 技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置と、その製造方法に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration)技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照)などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献7を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミックフラッシュメモリに関する。

[0004] 図8に、前述したキャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルの書込み動作と、図9に、動作上の問題点と、図10に、読出し動作を示す（非特許文献7～10を参照）。

[0005] 図8にDRAMメモリセルの書込み動作を示す。図(a)は、“1”書込み状態を示している。ここで、メモリセルは、SOI基板101に形成され

、ソース線SLが接続されるソースN⁺層103（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）、ビット線BLが接続されるドレインN⁺層104、ワード線WLが接続されるゲート導電層105は、MOSトランジスタ110aのフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110aが1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。このMOSトランジスタ110a 1個で構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110aを線形領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層104に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110aを動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102がP型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図（b）には、生成された正孔106でフローティングボディ1

02が飽和充電された様子を示している。

[0006] 次に、図8の図(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110aと“0”書込みのメモリセル110bが存在する。図(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110a(図(b))と、生成された正孔が吐き出されたメモリセル110b(図(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110aのフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、メモリセル110aのしきい値電圧は、メモリセル110bのしきい値電圧よりも低くなる。その様子を図(d)に示す。

[0007] 次に、この1個のMOSトランジスタで構成されたメモリセルの動作上の問題点を図9を用いて、説明する。図(a)に示したように、フローティングボディ102の容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディ102間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード(接点)となるフローティングボディ102の電圧も、その影響を受ける。その様子を図(b)に示している。書込み時にワード線電圧 V_{WL} が0Vから V_{ProgWL} に上昇すると、フローティングボディ102の電圧 V_{FB}

は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へのワード線との容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times C_{ProgWL} \quad (2)\end{aligned}$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、 β をカップリング率と呼ぶ。このようなメモリセルにおいて、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta = 0.8$ となる。ワード線が、例えば、書込み時の 5 V から、書込み終了後に 0 V になると、ワード線とフローティングボディ 102 との容量結合によって、フローティングボディ 102 が、 $5\text{ V} \times \beta = 4\text{ V}$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ “1” 電位と “0” 電位との電位差マージンを十分に取れない問題点があった。

- [0008] 図 10 に読出し動作を示す。図 (a) は、“1” 書込み状態を、図 (b) は、“0” 書込み状態を示している。しかし、実際には、“1” 書込みでフローティングボディ 102 に V_b が書き込まれていても、書込み終了でワード線が 0 V に戻ると、フローティングボディ 102 は、負バイアスに引き下げられる。“0” が書かれる際には、さらに深く負バイアスになってしまうため、書込みの際に “1” と “0” との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本 DRAM メモリセルの大きい問題であった。加えて、この DRAM メモリセルを高密度化する課題がある。

先行技術文献

特許文献

- [0009] 特許文献1：特開平 2－188966 号公報
 特許文献2：特開平 3－171768 号公報
 特許文献3：特許第 3957774 号公報

非特許文献

- [0010] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
- 非特許文献2: H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor(VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)
- 非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)
- 非特許文献4: T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)
- 非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)
- 非特許文献6: M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T 1C1A) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)
- 非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8 : T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” IEEE JSSC, vol.37, No.11, pp1510–1522 (2002).

非特許文献9 : T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10 : E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE IEDM (2006).

非特許文献11 : J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186–191, May 2006.

非特許文献12 : N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17–5, T230–T231, June 2017.

非特許文献13 : H. Jiang, N. Xu, B. Chen, L. Zeng¹, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 (2014) 115021 (7pp).

非特許文献14 : E. Yoshida, and T. Tanaka: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692–697, Apr. 2006.

発明の概要

発明が解決しようとする課題

[0011] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジス型のDRAM（ゲインセル）では、ワード線とフローティング状態のSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、DRAMメモリセルを高密度化する必要がある。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明の半導体素子を用いたメモリ装置は、

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の両端にある第1の不純物層と、第2の不純物層と、

前記半導体母体内にあり、前記第1の不純物層に繋がる位置と、前記第2の不純物層に繋がる位置の一方又は両方の位置に形成され、且つ前記第1の不純物層と前記第2の不純物層と反対導電性を有する第3の不純物層と、

前記第1の不純物層と前記第2の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第1の不純物層に接するか、または、近接した第1のゲート絶縁層と、

前記半導体母体の側面の一部または全てを囲み、前記第1のゲート絶縁層に繋がり、且つ前記第2の不純物層に接するか、または、近接した第2のゲート絶縁層と、

前記第1のゲート絶縁層を覆う第1のゲート導体層と、

前記第2のゲート絶縁層を覆う第2のゲート導体層と、

前記第1のゲート導体層と、前記第2のゲート導体層との間にある第1の絶縁層と、

前記第1の不純物層に接続した第1の配線導体層と、

前記第2の不純物層に接続した第2の配線導体層と、
前記第1のゲート導体層に接続した第3の配線導体層と、
前記第2のゲート導体層に接続した第4の配線導体層と、
前記半導体母体が前記第1のゲート絶縁層で覆われた第1のチャネル半導体層と、前記第2のゲート絶縁層で覆われた第2のチャネル半導体層と、かかるチャネル半導体層と、を有し、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層と、に印加する電圧を制御して、前記第1のチャネル半導体層と前記第2のチャネル半導体層との第1の境界領域、又は第1の不純物層と第1のチャネル半導体層との第2の境界領域、または、第2の不純物層と第2のチャネル半導体層との第3の境界領域で、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流を発生させる動作と、発生させた電子群と正孔群の内、前記電子群を、前記第1の不純物層、または前記第2の不純物層から、除去する動作と、前記正孔群の一部または全てを、前記第1のチャネル半導体層と前記第2のチャネル半導体層との、いずれか、または両方に残存させる動作とを行って、メモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層とに印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、前記正孔群のうちの残存正孔群を抜きとり、メモリ消去動作を行う、

ことを特徴とする（第1発明）。

[0013] 上記の第1発明において、前記第1の不純物層に繋がる配線は、ソース線であり、前記第2の不純物層に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線が、第1の駆動制御線であり、前記第2のゲート導体層と前記第3のゲート導体層に繋がる配線がワード線であり、前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う

ことを特徴とする（第2発明）。

[0014] 上記の第2発明において、前記ビット線に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層が形成され、前記ソース線に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層が形成されていない、
ことを特徴とする（第3発明）。

[0015] 上記の第2発明において、前記ソース線に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層が形成され、前記ビット線に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層が形成されていないことを特徴とする（第4発明）。

[0016] 上記の第1発明において、前記第1のゲート導体層と前記第1のチャネル半導体層との間の第1のゲート容量は、前記第2のゲート導体層と前記第2のチャネル半導体層との間の第2のゲート容量よりも大きいことを特徴とする（第5発明）。

[0017] 上記の第1発明において、
前記半導体母体が基板に対して垂直に形成され、
前記半導体母体の前記基板近傍に形成され前記第1の不純物層と、
前記半導体母体の前記第1の不純物層の上に形成された前記第1のチャネル半導体層と、
前記半導体母体の前記第1のチャネル半導体層の上に形成された前記第2のチャネル半導体層と、
前記半導体母体の前記第2のチャネル半導体層の上に形成された前記第2の不純物層と、
前記第1のチャネル半導体層を囲んだ前記第1のゲート絶縁層と、
前記第2のチャネル半導体層を囲んだ前記第2のゲート絶縁層と、
前記第1のゲート絶縁層を囲んだ前記第1のゲート導体層と、
前記第2のゲート絶縁層を囲んだ前記第2のゲート導体層と、
前記第1のゲート導体層と、前記第2のゲート導体層との間にある前記第1の絶縁層と、

前記半導体母体内にあり、前記第1の不純物層に繋がる位置と、前記第2の不純物層に繋がる位置の一方又は両方の位置に形成され、且つ前記第1の不純物層と前記第2の不純物層と反対導電性を有する前記第3の不純物層と、を有する、

ことを特徴とする（第6発明）。

図面の簡単な説明

[0018] [図1]第1実施形態に係るSGTを有するメモリ装置の構造図である。

[図2]第1実施形態に係るSGTを有するメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図5A]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5B]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5C]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5D]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5E]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5F]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5G]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明する

ための図である。

[図5H]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5I]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図6]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図7]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図8]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図9]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図10]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0019] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリと呼ぶ）の製造方法について、図面を参照しながら説明する。

[0020] （第1実施形態）

図1～図5を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムと製造方法とを説明する。図1を用いて、ダイナミックフラッシュメモリセルの構造を説明する。そして、図2を用いてデータ消去メカニズムを、図3を用いてデータ書き込みメカニズムを、図4を用いてデータ書き込みメカニズムを説明する。図5を用いて、ダイナミックフラッシュメモリの製造方法を説明する。

[0021] 図1に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造を示す。基板1（特許請求の範囲の「基板」の一例である）上に形

成した、P型又はi型（真性型）の導電性を有するシリコン半導体柱2（特許請求の範囲の「半導体母体」の一例である）（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層3a（特許請求の範囲の「第1の不純物層」の一例である）と、N⁺層3b（特許請求の範囲の「第2の不純物層」の一例である）と、が形成されている。このソース、ドレインとなるN⁺層3a、3b間のSi柱2の部分がチャネル領域7（特許請求の範囲の「チャネル半導体層」の一例である）となる。このチャネル領域7を囲むように第1のゲート絶縁層4a（特許請求の範囲の「第1のゲート絶縁層」の一例である）、第2のゲート絶縁層4b（特許請求の範囲の「第2のゲート絶縁層」の一例である）が形成されている。この第1のゲート絶縁層4a、第2のゲート絶縁層4bは、このソース、ドレインとなるN⁺層3a、3bに、それぞれ接するか、または近接している。この第1のゲート絶縁層4a、第2のゲート絶縁層4bを囲むように第1のゲート導体層5a（特許請求の範囲の「第1のゲート導体層」の一例である）、第2のゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例である）がそれぞれ形成されている。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6（特許請求の範囲の「第1の絶縁層」の一例である）により分離されている。そして、N⁺層3bに接して、P⁺層8（特許請求の範囲の「第3の不純物層」の一例である）（以下、アクセプタ不純物を高濃度で含む半導体領域を「P⁺層」と称する）がある。そして、N⁺層3a、3b間のSi柱2の部分であるチャネル領域7は、第1のゲート絶縁層4aで囲まれた第1のチャネル領域7a（特許請求の範囲の「第1のチャネル半導体層」の一例である）と、第2のゲート絶縁層4bで囲まれた第2のチャネル領域7b（特許請求の範囲の「第2のチャネル半導体層」の一例である）と、よりなる。P⁺層8は第2のチャネル領域7bに含まれる。これによりソース、ドレインとなるN⁺層3a、3b、P⁺層8、チャネル領域7、第1のゲート絶縁層4a、第2のゲート絶縁層4b、第1のゲート導体層5a、第2のゲート導体層5bからなるダイナミック

フラッシュ メモリセル 9 が形成される。そして、ソースとなる N⁺層 3 a はソース線 S L（特許請求の範囲の「ソース線」の一例である）に、ドレインとなる N⁺層 3 b はビット線 B L（特許請求の範囲の「ビット線」の一例である）に、第 1 のゲート導体層 5 a はプレート線 P L（特許請求の範囲の「第 1 の駆動制御線」の一例である）に、第 2 のゲート導体層 5 b はワード線 W L（特許請求の範囲の「ワード線」の一例である）に、それぞれ接続している。P⁺層 8 は、ダイナミック フラッシュ メモリが、ソース線 S L、プレート線 P L、ワード線 W L、ビット線 B L に印加される電圧によって、不要な電子がビット線 B L に繋がる N⁺層 3 b よりチャネル領域 7 に流入することを抑圧している。プレート線 P L が接続された、第 1 のゲート導体層 5 a のゲート容量は、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるような構造を有することが望ましい。

[0022] なお、図 1 では、プレート線 P L に接続された第 1 のゲート導体層 5 a のゲート容量が、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるように第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くしている。しかし、その他にも、第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くせずに、それぞれのゲート絶縁層の膜厚を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の膜厚を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の膜厚よりも薄くしてもよい。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の誘電率を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の誘電率よりも高くしてもよい。また、ゲート導体層、5 a、5 b の長さ、ゲート絶縁層 4 a、4 b の膜厚、誘電率のいずれかを組み合わせて、プレート線 P L に接続された第 1 のゲート導体層 5 a のゲート容量が、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくしてもよい。

[0023] 図 2 に、消去動作メカニズムを説明する。N⁺層 3 a、3 b 間のチャネル領域 7 は、電氣的に基板から分離され、フローティングボディとなっている。

図（a）に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群11がチャネル領域7に蓄えられている状態を示す。そして、図（b）に示すように、消去動作時には、ビット線BLの電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、 -3 V である。その結果、チャネル領域7の初期電位の値に関係なく、ソース線SLが接続されているソースとなる N^+ 層3aとチャネル領域7のPN接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域7に蓄えられていた、正孔群11が、ソース部の N^+ 層3aに吸い込まれ、チャネル領域7の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ となる。ここで、 V_b はPN接合のビルトイン電圧であり、約 0.7 V である。したがって、 $V_{ERA} = -3\text{ V}$ の場合、チャネル領域7の電位は、 -2.3 V になる。この値が、消去状態のチャネル領域7の電位状態となる。このため、フローティングボディのチャネル領域7の電位が負の電圧になると、ダイナミックフラッシュメモリセル9のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図（c）に示すように、このワード線WLが接続された第2のゲート導体層5bのしきい値電圧は高くなる。このチャネル領域7の消去状態は論理記憶データ“0”となる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0024] 図3に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの書込み動作を示す。図（a）に示すように、ソース線SLの接続された N^+ 層3aに例えば 0 V を入力し、ビット線BLの接続された N^+ 層3bに例えば 3 V を入力し、プレート線PLの接続された第1のゲート導体層5aに、例えば、 2 V を入力し、ワード線WLの接続された第2のゲート導体層5bに、例えば、 5 V を入力する。その結果、図3（a）で示したように、プレート線PLの接続された第1のゲート導体層5aの内側の第1のチャネル領域7aには、環状の反転層12aが形成され、第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタは線形領域で動作させる。この結

果、プレート線PLの接続された第2のゲート導体層5bの内側の反転層12aには、ピンチオフ点13が存在する。一方、ワード線WLの接続された第2のゲート導体層12bを有する第2のNチャネルMOSトランジスタは飽和領域で動作させる。この結果、ワード線WLの接続された第2のゲート導体層5bの内側の第2のチャネル領域7bには、ピンチオフ点は存在せずに全面に反転層12bが形成される。このワード線WLの接続された第2のゲート導体層5bの内側に全面に形成された反転層12bは、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタの実質的なドレインとして働く。この結果、直列接続された第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の第1の境界領域（特許請求の範囲の「第1の境界領域」の一例である）で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3aからビット線の接続されたN⁺層3bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5aと第2のゲート導体層5bに流れるが、大半はビット線BLの接続されたN⁺層3bに流れる。また、“1”書込みにおいて、GIDL（Gate Induced Drain Leakage）電流を用いて電子・正孔対を発生させ、生成された正孔群でフローティングボディFB内を満たしてもよい（非特許文献14を参照）。

[0025] そして、図3において、図（b）に示すように、生成された正孔群11は、チャネル領域7の多数キャリアであり、チャネル領域7を正バイアスに充電する。ソース線SLの接続されたN⁺層3aは、0Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3aとチャネル領域7との間のPN

接合のビルトイン電圧 V_b （約0.7V）まで充電される。チャンネル領域7が正バイアスに充電されると、第1のNチャンネルMOSトランジスタと第2のNチャンネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図（c）で示すように、ワード線WLの接続された第2のチャンネル領域7bのNチャンネルMOSトランジスタのしきい値電圧は、低くなる。このチャンネル領域7の書き込み状態を論理記憶データ“1”に割り当てる。

[0026] なお、書き込み動作時に、上記の第1の境界領域に替えて、第1の不純物層と第1のチャンネル半導体層との間の第2の境界領域、または、第2の不純物層と第2のチャンネル半導体層との間の第3の境界領域で、インパクトイオン化現象、またはGIDL電流で、電子・正孔対を発生させ、発生した正孔群11でチャンネル領域7を充電しても良い。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい。

[0027] 図4A、図4Bを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作と、これに関係するメモリセル構造を説明する。図4A（a）～図（c）を用いて、ダイナミックフラッシュメモリセルの読出し動作を説明する。図（a）に示すように、チャンネル領域7がビルトイン電圧 V_b （約0.7V）まで充電されると、NチャンネルMOSトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。図（b）に示すように、書き込みを行う前に選択するメモリブロックは、予め消去状態“0”にある場合は、チャンネル領域7がフローティング電圧 V_{FB} は $V_{ERA} + V_b$ となっている。書き込み動作によってランダムに書き込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。図（c）に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0028] 図4Bの図(a)～(d)を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作時の、2つの第1のゲート導体層5aと第2のゲート導体層5bのゲート容量の大小関係と、これに関する動作を説明する。ワード線WLの接続する第2のゲート導体層5bのゲート容量は、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さく設計することが望ましい。図(a)に示すように、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5bの垂直方向の長さより長くして、ワード線WLの接続する第2のゲート導体層5bのゲート容量を、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さくする。図(b)に図(a)のダイナミックフラッシュメモリの1セルの等価回路を示す。そして、図(c)にダイナミックフラッシュメモリの結合容量関係を示す。ここで、 C_{WL} は第2のゲート導体層5bの容量であり、 C_{PL} は第1のゲート導体層5aの容量であり、 C_{BL} はドレインとなるN⁺層3bと第2のチャネル領域7bとの間のPN接合の容量であり、 C_{SL} はソースとなるN⁺層3aと第1のチャネル領域7aとの間のPN接合の容量である。図(d)に示すように、ワード線WL電圧が振幅すると、その動作がチャネル領域7にノイズとして影響を与える。この時のチャネル領域7の電位変動 ΔV_{FB} は、 $\Delta V_{FB} = C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL}) \times V_{ReadWL}$ となる。ここで、 V_{ReadWL} はワード線WLの読出し時の振幅電位である。式(1)から明らかなようにチャネル領域7の全体の容量 $C_{PL} + C_{WL} + C_{BL} + C_{SL}$ に比べて、 C_{WL} の寄与率を小さくすれば、 ΔV_{FB} は小さくなることが分かる。 $C_{BL} + C_{SL}$ はPN接合の容量であり、大きくするためには、例えば、Si柱2の直径を大きくする。しかしメモリセルの微細化に対しては望ましくない。これに対して、プレートPL接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すことなしに、 ΔV_{FB} を更に小さくできる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件

は、読み出し動作を行うための一例であり、読み出し動作ができる他の動作条件であってもよい。

[0029] 図5 A～図5 Iを用いて、本実施形態のダイナミック フラッシュ メモリの製造方法を示す。各図において、(a)は平面図、(b)は(a)のX-X'線に沿った断面図、(c)は(a)のY-Y'線に沿った断面図を示し、図5 F、図5 Gにおいて(d)はX1-X1'線に沿った断面図を示す。

[0030] 図5 Aに示すように、基板10上に、下からN⁺層11、SiよりなるP層12、P⁺層15、N⁺層13を形成する。そして、平面視において円形状のマスク材料層14a、14b、14c、14dを形成する。なお、基板10はSOI (Silicon On Insulator)、単層または複数層よりなるSiまたは他の半導体材料より形成してもよい。また、基板10はN層、またはP層の単層、又は複数層よりなるウエル層であってもよい。

[0031] 次に、5 Bに示すように、マスク材料層14a～14dをマスクにして、N⁺層13、P層12、P⁺層15、そしてN⁺層11の上部をエッチングして、N⁺層11a上にSi柱12a、12b、12c、12d (図示せず)、P⁺層15a、15b、15c、15d (図示せず)、N⁺層13a、13b、13c、13d (図示せず)を形成する。なお、P⁺層15a～15dのアクセプタ不純物濃度は、N⁺層13a～13dのドナー不純物濃度より低いことが望ましい。

[0032] 次に、5 Cに示すように、全体を覆ってゲート絶縁層HfO₂層17を、例えばALD (Atomic Layer Deposition) を用いて形成する。そして、全体にゲート導体層となるTiN層 (図示せず) を覆って形成する。そして、CMP (Chemical Mechanical Polishing) により、上面位置がマスク材料層14a～14dの上面になるように研磨する。そして、RIE (Reactive Ion Etching) により、TiN層を垂直方向における上面位置がSi柱12a～12dの中間位置付近になるようにエッチングして、TiN層18を形成する。なお、HfO₂層17は、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、TiN層18はゲー

ト導体層の機能を持つものであれば、単層、または複数層よりなる他の導体層を用いてもよい。また、TiN層を垂直方向における上面位置はSi柱12a～12dの中間位置より上になるようにエッチングするのが望ましい。

[0033] 次に、図5Dに示すように、SiO₂層23を、TiN層18上に形成する。

[0034] 次に、図5Eに示すように、SiO₂層23より上部のHfO₂層17をエッチングして、HfO₂層17aを形成する。そして、全体にHfO₂層17bを形成する。そして、全体にTiN層（図示せず）をCVD法により被覆する。そして、TiN層をCMP法により上面位置がN⁺層13a～13dの下端付近になるようにRIE法によりエッチングする。そして、N⁺層13a、13b、マスク材料層14a、14bの側面を囲み、且つ繋がったSiN層27aを形成する。同様にN⁺層13c、13d、マスク材料層14c、14dの側面を囲み、且つ繋がったSiN層27bを形成する。そして、SiN層27a、27bをマスクにして、TiN層をエッチングして、TiN層26a、26bを形成する。ここで、Si柱12a、12bを囲むHfO₂層17bの外周線と、X-X'線との交点間の長さL1が、Y-Y'線でのSiN層27a、27bの幅L2の2倍より小さくし、且つSi柱12a、12cを囲むHfO₂層17bの外周線と、Y-Y'線との交点間の長さL3がL2の2倍より大きくすることにより、SiN層27aをSi柱12a、12b間で繋がり、且つSi柱12a、12c間で離れて形成することができた。同様に、SiN層27bをSi柱12c、12d間で繋がり、且つSi柱12a、12c間で離れて形成される。

[0035] 次に、図5Fに示すように、TiN層26a、26bとSiN層27a、27bの側面間、及び周辺に、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31ccを含んだSiO₂層29を形成する。なお、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31ccの上端位置は、図(d)の点線で示すTiN層26a、26bの上端位置より低く形成する。

[0036] 次に、図5 Gに示すように、マスク材料層14 a～14 dをエッチングして、コンタクトホール30 a、30 b、30 c、30 dを形成する。

[0037] 次に、図5 Hに示すように、コンタクトホール30 a、30 cを介して、N⁺層13 a、13 cに繋がったビット線BL1導体層32 aと、コンタクトホール30 b、30 dを介して、N⁺層13 b、13 dに繋がったビット線BL2導体層32 bと、を形成する。そして、ビット線BL1導体層32 a、ビット線BL2導体層32 b間、及び両側に空孔34 a、34 b、34 cを含んだSiO₂層33を形成する。これにより、基板10上にダイナミック フラッシュ メモリが形成される。TiN層26 a、26 bはワード線導体層WL1、WL2となり、TiN層18はゲート導体層を兼ね備えたプレート線導体層PLとなり、N⁺層11 aはソース不純物層を兼ね備えたソース線導体層SLとなる。

[0038] 図5 Iに、図5 Hに示したダイナミック フラッシュ メモリの模式構造図を示す。ソース線導体層SLのN⁺層11 aは、全面に繋がって形成される。そして、PL線導体層PLも全体に繋がって形成される。そして、ワード線導体層WL1に繋がるゲート導体TiN層26 aが隣接したSi柱12 a、12 b間でX方向において互いに繋がり形成される。同じく、ワード線導体層WL2に繋がるゲート導体TiN層26 bが隣接したSi柱12 c、12 d間でX方向において互いに繋がり形成される。そして、N⁺層13 a、13 cに繋がるビット線導体層BL1と、N⁺層13 b、13 dに繋がるビット線導体層BL2と、がX方向と直交するY方向に形成される。

[0039] また、図1では、基板1上に垂直方向に立った第1のSi柱2 aの側面全体を囲んだ第1のゲート絶縁層4 a、第2のゲート絶縁層4 bを設け、第1のゲート絶縁層4 a、第2のゲート絶縁層4 bの全体を囲んで第1のゲート導体層5 a、第2のゲート導体層5 bを有するSGTを例にダイナミック・フラッシュ・メモリ素子を説明した。本実施形態の説明で示したように、本ダイナミック・フラッシュ・メモリ素子は、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生した正孔群7がチャネル領域7に

保持される条件を満たす構造であればよい。このためには、チャネル領域 7 は基板 1 と分離されたフローティング・ボディ構造であればよい。これより、例えば SGT の 1 つである GAA (Gate All Around : 例えば非特許文献 11 を参照) 技術、Nanosheet 技術 (例えば、非特許文献 12 を参照) を用いて、チャネル領域の半導体母体を基板 1 に対して水平に形成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、SOI (Silicon On Insulator) を用いたデバイス構造 (例えば、非特許文献 7 ~ 10 を参照) であってもよい。このデバイス構造ではチャネル領域の底部が SOI 基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティング・ボディ構造となる。このように、本実施形態が提供するダイナミック・フラッシュ・メモリ素子では、チャネル領域がフローティング・ボディ構造である条件を満足すればよい。また、Fin トランジスタ (例えば非特許文献 13 を参照) を SOI 基板上に形成した構造であっても、チャネル領域がフローティング・ボディ構造であれば、本ダイナミック・フラッシュ動作が出来る。

[0040] なお、図 1 において、プレート線 PL の接続する第 1 のゲート導体層 5a の垂直方向の長さを、ワード線 WL の接続する第 1 のゲート導体層 5b の垂直方向の長さより更に長くして、 $C_{PL} > C_{WL}$ とした。しかし、プレート線 PL を付加することだけでも、ワード線 WL のチャネル領域 7 に対する、容量結合のカップリング比 ($C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL})$) が小さくなる。その結果、フローティングボディのチャネル領域 7 の電位変動 ΔV_{FB} は、小さくなる。

[0041] また、プレート線 PL の電圧 $V_{ErasePL}$ は、各動作モードに関わらず、例えば、2V の固定電圧を印加しても良い。また、プレート線 PL の電圧 $V_{ErasePL}$ は、消去時のみ、例えば、0V を印加しても良い。また、プレート線 PL の電圧 $V_{ErasePL}$ は、ダイナミック フラッシュ メモリ動作ができる条件を満たす電圧であれば、固定電圧、または時間的に変化する電圧を与えてもよい。

[0042] また、図 1 において、Si 柱 2 の水平断面形状は、円形状、楕円状、長方

形状であっても、本実施形態で説明したダイナミック フラッシュ メモリ動作ができる。また、同一チップ上に、円形状、楕円状、長方形のダイナミック フラッシュ メモリセルを混在させてもよい。

[0043] また、図1において、垂直方向において、絶縁層6で囲まれた部分のチャネル領域7では、第1のチャネル領域7a、第2のチャネル領域7bの電位分布が繋がって形成されている。これにより、第1のチャネル領域7a、第2のチャネル領域7bのチャネル領域7が、垂直方向において、絶縁層6で囲まれた領域で繋がっている。

[0044] なお、図5Hに示すように、N⁺層11aはソース線SLの配線導体層を兼ねている。また、ソース線SLとしてSi柱12a~12dの底部のN⁺層11a間に形成した例えばW層などの導体層を用いてもよい。また、Si柱12a~12dが更に二次元状に多く形成した領域の外側のN⁺層11aに、例えばW層などの導体層を形成してもよい。

[0045] また、P⁺層15a~15dは、図5Aに示すように、エピタキシャル成長法によるP⁺層15より形成した。これに対し、P⁺層15a~15dは、イオン注入法で形成してもよい。また、N⁺層13の中に、ドナー不純物濃度より低いアクセプタ不純物を含ませ、後の熱工程により、N⁺層13からP層12側に熱拡散して形成してもよい。この場合、アクセプタ不純物として、ドナー不純物より高い熱拡散係数を有する不純物を選ぶ。また、P⁺層15a~15bは、TiN層26aの形成の前、または後に形成してもよい。

[0046] 本実施形態は、下記の特徴を供する。

(特徴1)

本発明の第1実施形態に係るダイナミック フラッシュ メモリセルのプレート線PLはダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線WLの電圧が上下に振幅する。この際に、プレート線PLは、ワード線WLとチャネル領域7との間の容量結合比を低減させる役目を担う。この結果、ワード線WLの電圧が上下に振幅する際の、チャネル領域7の電圧変化の影響を著しく抑えることができる。これにより、論理“0

”と“1”を示すワード線WLのSGTトランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

(特徴2)

図1におけるP⁺層8は、ダイナミック フラッシュ メモリが、ソース線SL、プレート線PL、ワード線WL、ビット線BLに印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がビット線BLに繋がるN⁺層3bよりチャネル領域7に流入することを抑圧している。これにより、ダイナミック フラッシュ メモリが安定した動作が出来、高性能化に繋がる。

[0047] (第2実施形態)

図6を用いて、第2実施形態のダイナミック フラッシュ メモリについて説明する。

[0048] 図6に示すように、図1におけるSi柱2の底部のN⁺層3aに接してP⁺層36を形成する。他は、図1と同じである。

[0049] P⁺層36のアクセプタ不純物濃度は、P⁺層36のアクセプタ不純物濃度と同じ、または、より低いことが望ましい。

[0050] 本実施形態は、下記の特徴を供する。

(特徴1)

P⁺層36は、P⁺層8と同様に、ダイナミック フラッシュ メモリが、ソース線SL、プレート線PL、ワード線WL、ビット線BLに印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がソース線SLに繋がるN⁺層3aよりチャネル領域7に流入することを抑圧している。これにより、ダイナミック フラッシュ メモリが安定した動作が出来、高性能化に繋がる。

(特徴2)

N⁺層3aとP⁺層36との接合容量C_{SL}は、図4に示したようにチャネル領域7の電位変動に寄与する。この観点からは、N⁺層3aとP⁺層36との接合容

量 C_{SL} は小さいのが望ましい。ダイナミック フラッシュ メモリでは、ソース線 SL に繋がった N^+ 層 $3a$ はメモリセルが二次元状に配置され、そしてブロック内のセル間で繋がって形成される。このため、ビット線 BL に繋がった N^+ 層 $3b$ と比べて、隣接したメモリセルからの容量結合による電位変動が少ない。このため、 P^+ 層 8 よりアクセプタ不純物濃度を下げることにより、ソース線 SL 、プレート線 PL 、ワード線 WL 、ビット線 BL に印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がソース線 SL に繋がる N^+ 層 $3a$ よりチャネル領域 7 に流入することを抑圧すると共に、チャネル領域 7 の電位変動を小さくすることができる。これにより、ダイナミック フラッシュ メモリが安定した動作が出来、高性能化に繋がる。

[0051] (第3実施形態)

図7を用いて、第3実施形態のダイナミック フラッシュ メモリについて説明する。

[0052] 図7に示すように、図1における Si 柱2の底部の N^+ 層 $3a$ に接して P^+ 層 37 を形成する。そして、図1における Si 柱2の頂部の N^+ 層 $3b$ に接した P^+ 層 8 は形成しない。他は、図1と同じである。

[0053] 本実施形態は、下記の特徴を供する。

P^+ 層 37 は、ダイナミック フラッシュ メモリが、ソース線 SL 、プレート線 PL 、ワード線 WL 、ビット線 BL に印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がソース線 SL に繋がる N^+ 層 $3a$ よりチャネル領域 7 に流入することを抑圧している。これにより、ダイナミック フラッシュ メモリが安定した動作が出来、高性能化に繋がる。

[0054] (その他の実施形態)

なお、上記実施形態では、 Si 柱2、 $12a \sim 12d$ を形成したが、 Si 以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0055] また、第1実施形態における、N⁺層3 a、3 b、1 1、1 3は、ドナー不純物を含んだS i、または他の半導体材料層より形成されてもよい。また、N⁺層3 a、3 b、1 1、1 3は異なる半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法でN⁺層を形成してもよい。また、P⁺層1 5 a～1 5 bもアクセプタ不純物を含んだS i、または他の半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法でP⁺層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0056] また、第1実施形態では、プレート線P Lと、このプレート線P Lに繋がるゲート導体層5 aとしてT i N層1 8を用いた。これに対して、T i N層1 8に替えて、単層または複数の導体材料層を組み合わせて用いてもよい。同じく、ワード線W Lと、このワード線W Lに繋がるゲート導体層5 bとしてT i N層2 6 a、2 6 bを用いた。これに対して、T i N層1 8、2 6 a、2 6 bに替えて、単層または複数の導体材料層を組み合わせて用いてもよい。また、ゲートT i N層は、その外側を、例えばWなどの配線金属層に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0057] また、第1実施形態では、S i柱1 2 a～1 2 dの平面視における形状は、円形状であった。そして、S i柱1 2 a～1 2 dの平面視における形状は、円形、楕円、一方方向に長く伸びた形状などであってもよい。そして、ダイナミック フラッシュ メモリセル領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるS i柱が混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。

[0058] また、第1実施形態では、消去動作時にソース線S Lを負バイアスにして、フローティングボディF Bであるチャネル領域7内の正孔群を引き抜いていたが、ソース線S Lに代わり、ビット線B Lを負バイアスにして、あるい

は、ソース線SLとビット線BLを負バイアスにして、消去動作を行ってもよい。または、他の電圧条件により、消去動作を行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0059] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0060] 本発明に係る、半導体素子を用いたメモリ装置と、その製造方法によれば、高密度で、かつ高性能のダイナミック フラッシュ メモリが得られる。

符号の説明

[0061] 1、10 基板
2、12a、12b、12c、12d Si柱
3a、3b、11、11a、13、13a、13b、13c、13d N⁺層
15、15a、15b、15c、15d、36、37 P⁺層
4a 第1のゲート絶縁層
4b 第2のゲート絶縁層
5a 第1のゲート導体層
5b 第2のゲート導体層
6 絶縁層
7 チャネル領域
7a 第1のチャネル領域
7b 第2のチャネル領域
SL ソース線
PL プレート線

WL、WL 1、WL 2 ワード線

BL、BL 1、BL 2 ビット線

12 P層

14a、14b、14c、14d マスク材料層

17、17a、17b、33 HfO₂層

18、18a、18b、26a、26b、34、34a、34b TiN層

20、20a、20b、23、SiO₂層

21a、21b、27a、27b、SiN層

30a、30b、30c、30d、31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31cc コンタクトホール

32a、32b ビット線導体層

31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31cc、34a、34b、34c 空孔

請求の範囲

- [請求項1] 基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、
- 前記半導体母体の両端にある第1の不純物層と、第2の不純物層と、
- 、
- 前記半導体母体内にあり、前記第1の不純物層に繋がる位置と、前記第2の不純物層に繋がる位置の一方又は両方の位置に形成され、且つ前記第1の不純物層と前記第2の不純物層と反対導電性を有する第3の不純物層と、
- 前記第1の不純物層と前記第2の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第1の不純物層に接するか、または、近接した第1のゲート絶縁層と、
- 前記半導体母体の側面の一部または全てを囲み、前記第1のゲート絶縁層に繋がり、且つ前記第2の不純物層に接するか、または、近接した第2のゲート絶縁層と、
- 前記第1のゲート絶縁層を覆う第1のゲート導体層と、
- 前記第2のゲート絶縁層を覆う第2のゲート導体層と、
- 前記第1のゲート導体層と、前記第2のゲート導体層との間にある第1の絶縁層と、
- 前記第1の不純物層に接続した第1の配線導体層と、
- 前記第2の不純物層に接続した第2の配線導体層と、
- 前記第1のゲート導体層に接続した第3の配線導体層と、
- 前記第2のゲート導体層に接続した第4の配線導体層と、
- 前記半導体母体が前記第1のゲート絶縁層で覆われた第1のチャンネル半導体層と、前記第2のゲート絶縁層で覆われた第2のチャンネル半導体層と、からなるチャンネル半導体層と、を有し、
- 前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層と、に印加する電圧を制御して、前記第1

のチャネル半導体層と前記第2のチャネル半導体層との第1の境界領域、又は第1の不純物層と第1のチャネル半導体層との第2の境界領域、または、第2の不純物層と第2のチャネル半導体層との第3の境界領域で、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流を発生させる動作と、発生させた電子群と正孔群の内、前記電子群を、前記第1の不純物層、または前記第2の不純物層から、除去する動作と、前記正孔群の一部または全てを、前記第1のチャネル半導体層と前記第2のチャネル半導体層との、いずれか、または両方に残存させる動作とを行って、メモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層とに印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、前記正孔群のうちの残存正孔群を抜きとり、メモリ消去動作を行う、ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2]

前記第1の不純物層に繋がる配線は、ソース線であり、前記第2の不純物層に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線が、第1の駆動制御線であり、前記第2のゲート導体層に繋がる配線がワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項3]

前記ビット線に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層である第4の不純物層が形成されている、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置。

- [請求項4] 前記ソース線に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層である第5の不純物層が形成されている、
ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置。
。
- [請求項5] 前記ソース線に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層である第6の不純物層が形成され、且つ前記ビット線に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層である第7の不純物層が形成されている、
ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置。
- [請求項6] 前記第1のゲート導体層と前記第1のチャネル半導体層との間の第1のゲート容量は、前記第2のゲート導体層と前記第2のチャネル半導体層との間の第2のゲート容量よりも大きい、
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。
。
- [請求項7] 基板上に、立つ第1の半導体柱と、
前記第1の半導体柱の両端にある第1の不純物層と、第2の不純物層と、
前記第1の不純物層と前記第2の不純物層の間の前記第1の半導体柱を囲こみ、前記第1の不純物層に接するか、または、近接した第1のゲート絶縁層と、
前記第1の半導体柱を囲み、前記第1のゲート絶縁層に繋がり、且つ前記第2の不純物層に接するか、または、近接した第2のゲート絶縁層と、
前記第1のゲート絶縁層を囲む第1のゲート導体層と、
前記第2のゲート絶縁層を囲む第2のゲート導体層と、
前記第1の不純物層と、前記第2の不純物層と、前記第1のゲート導体層と、前記第2のゲート導体層と、に印加する電圧を制御して、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオ

ン化現象、またはゲート誘起ドレインリーク電流を発生させる動作と、発生させた電子群と正孔群の内、前記電子群を、前記第1の不純物層、または前記第2の不純物層から、除去する動作と、前記正孔群の一部または全てを、前記第1の半導体柱に残存させる動作と、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、前記正孔群のうちの残存正孔群を抜きとり、メモリ消去動作を行う、半導体メモリ装置の製造方法において、

前記基板に対して垂直に立つ前記第1の半導体柱を形成する工程と、

前記第1の半導体柱の底部に前記第1の不純物層を形成する工程と、

前記第1の半導体柱の下方部を囲んだ前記第1のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層を囲んだ前記第1のゲート導体層を形成する工程と、

前記第1の半導体柱の前記第1のゲート絶縁層に繋がり、前記第1の半導体柱の上方部を囲んだ前記第2のゲート絶縁層を形成する工程と、

前記第2のゲート絶縁層を囲んだ前記第2のゲート導体層を形成する工程と、

前記第1の半導体柱の頂部に前記第2の不純物層を形成する工程と、

前記第1の半導体柱にあり、前記第1の不純物層に繋がる位置と、前記第2の不純物層に繋がる位置の一方又は両方の位置に、前記第1の不純物層と前記第2の不純物層と反対導電性を有する第3の不純物層を形成する工程と、を有する、

ことを特徴とする半導体素子を用いたメモリ装置の製造方法。

[請求項8]

前記第1の不純物層に繋がって、ソース線配線層を形成し、

記第2の不純物層に繋がってビット線配線層を形成し、
前記第1のゲート導体層に繋がって、第1の駆動制御線を形成し、
前記第2のゲート導体層に繋がってワード線配線層を形成し、
前記ソース線配線層と、前記ビット線配線層と、前記第1の駆動制御線配線層と、前記ワード線配線層と、に印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、
ことを特徴とする請求項7に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項9] 前記ビット線配線層に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層である第4の不純物層を形成する工程を有する、
ことを特徴とする請求項8に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項10] 前記ソース線配線層に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層である第5の不純物層を形成する工程を有する、
ことを特徴とする請求項8に記載の半導体素子を用いたメモリ装置の製造方法。

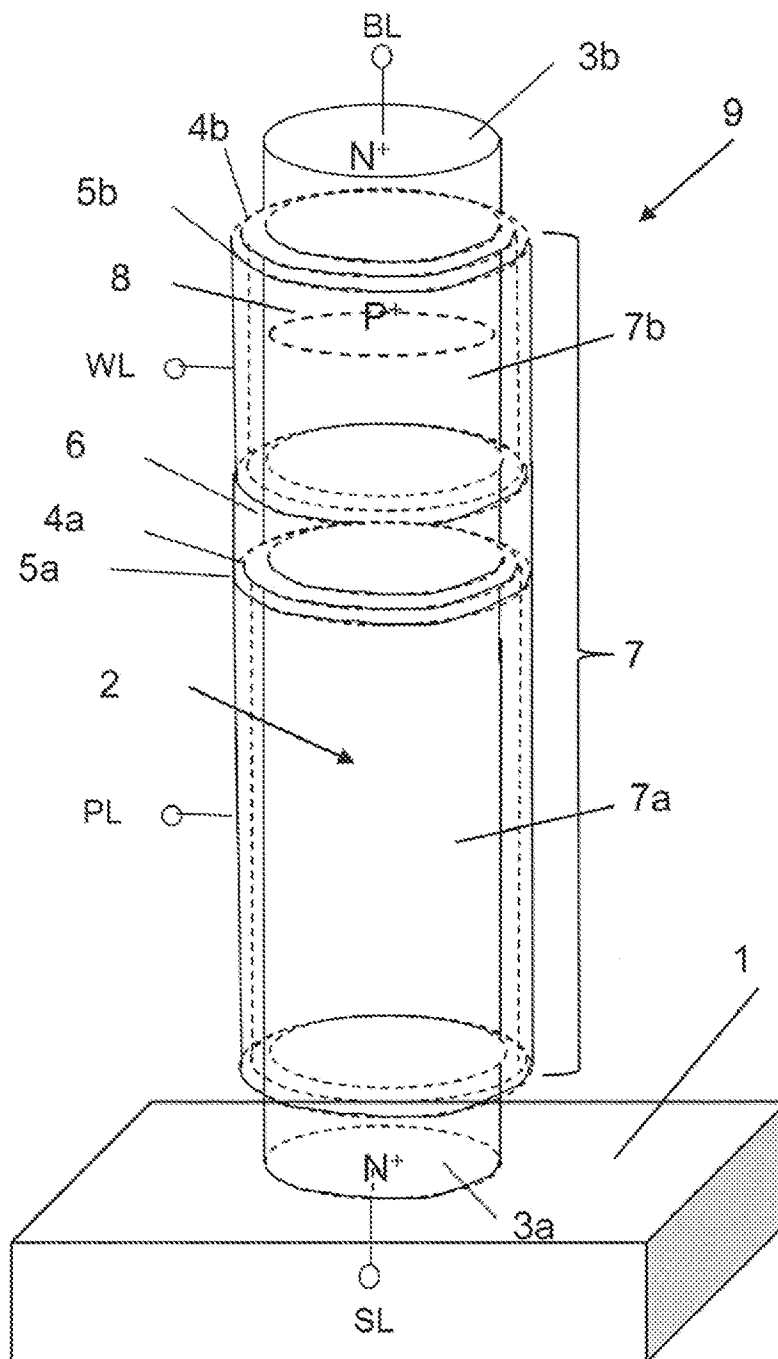
[請求項11] 前記ソース線配線層に接続する前記第1の不純物層に繋がる位置に前記第3の不純物層である第6の不純物層を形成する工程を有し、且つ前記ビット線配線層に接続する前記第2の不純物層に繋がる位置に前記第3の不純物層である第7の不純物層を形成する工程を有する、
ことを特徴とする請求項8に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項12] 前記第1の不純物層と前記第2の不純物層との、一方、または両方にドナー不純物と、前記ドナー不純物濃度より低く、且つ熱拡散係数の大きいアクセプタ不純物を含ませる工程と、
そのあとに、熱処理により、前記第1の半導体柱内に前記第3の不純物層を形成する工程を有する、
ことを特徴とする請求項7に記載の半導体素子を用いたメモリ装置

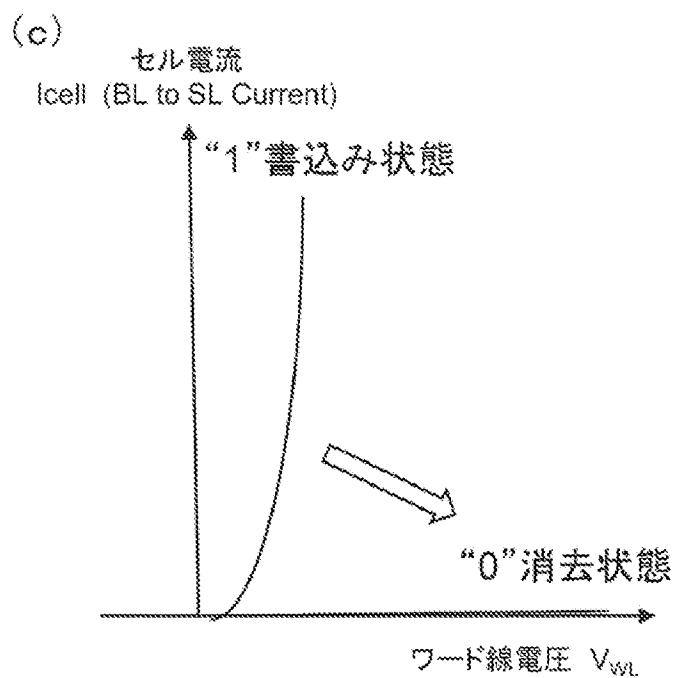
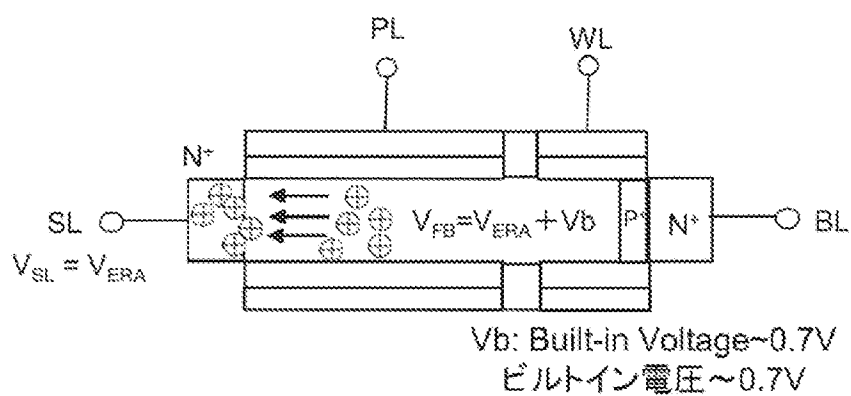
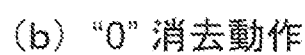
の製造方法。

- [請求項13] 前記第1のゲート導体層と前記第1の半導体柱との間の第1のゲート容量は、前記第2のゲート導体層と前記第1の半導体柱との間の第2のゲート容量よりも大きく形成する、
- ことを特徴とする請求項7に記載の半導体素子を用いたメモリ装置の製造方法。

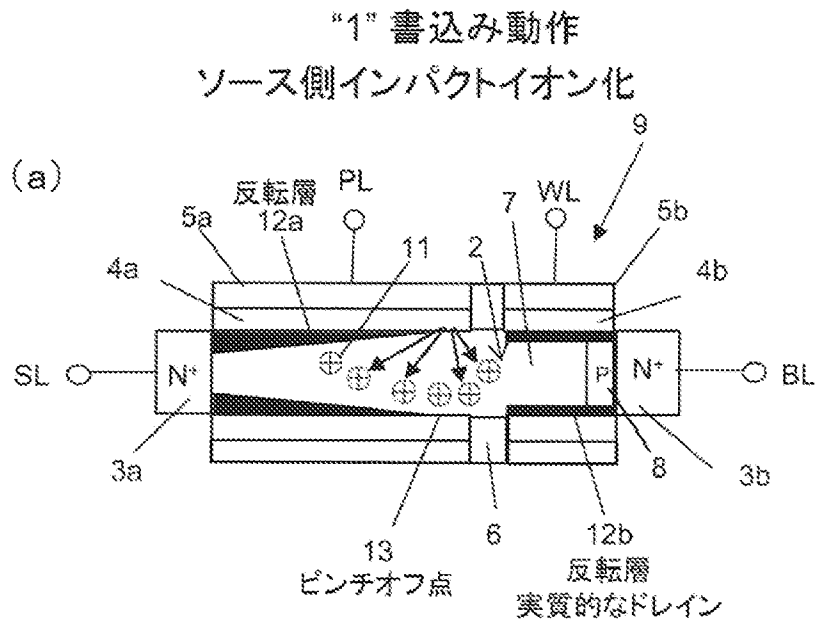
[図1]



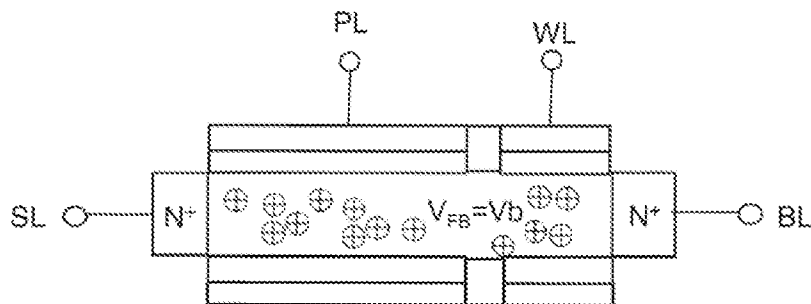
(a) “1” 書込み状態



[図3]

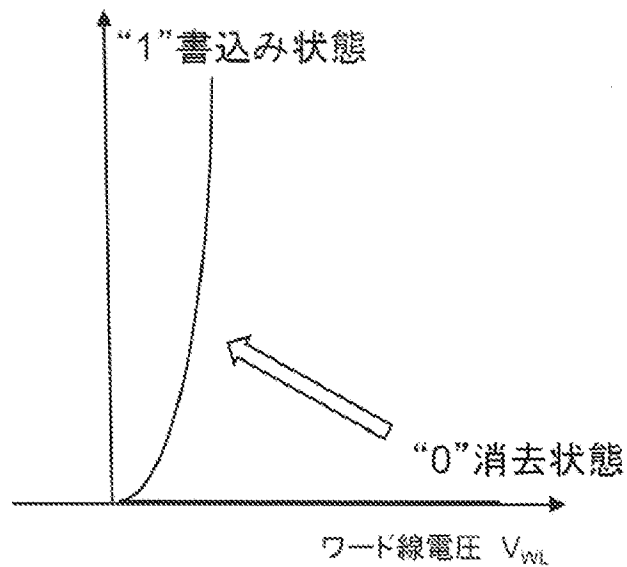


(b) “1” 書込み状態

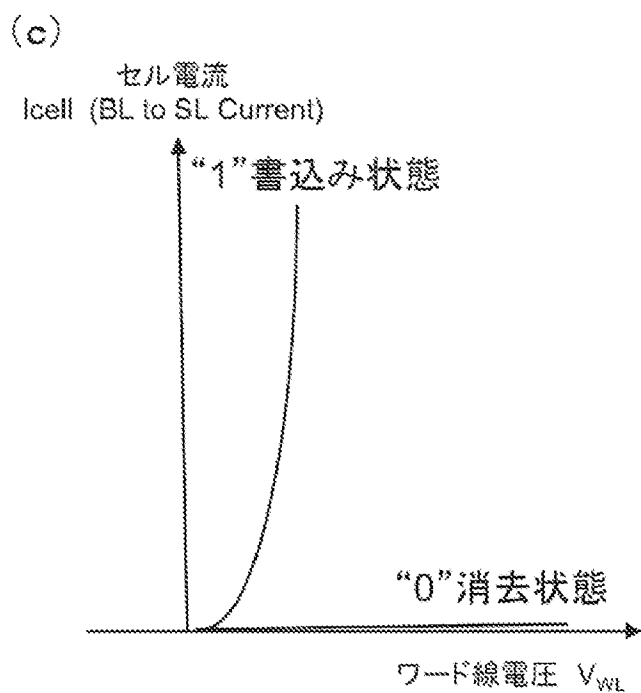
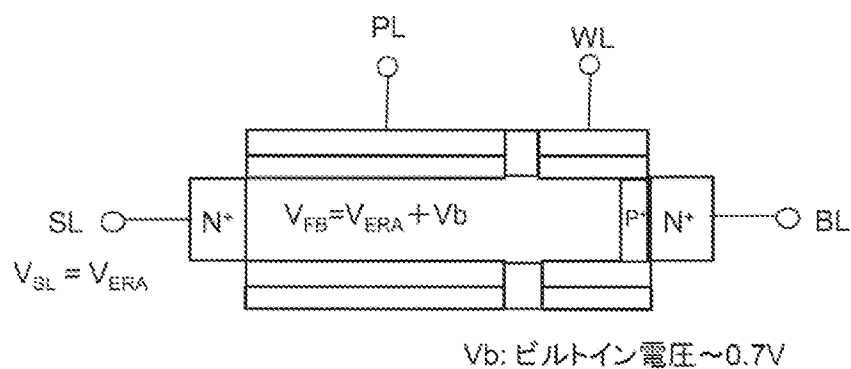


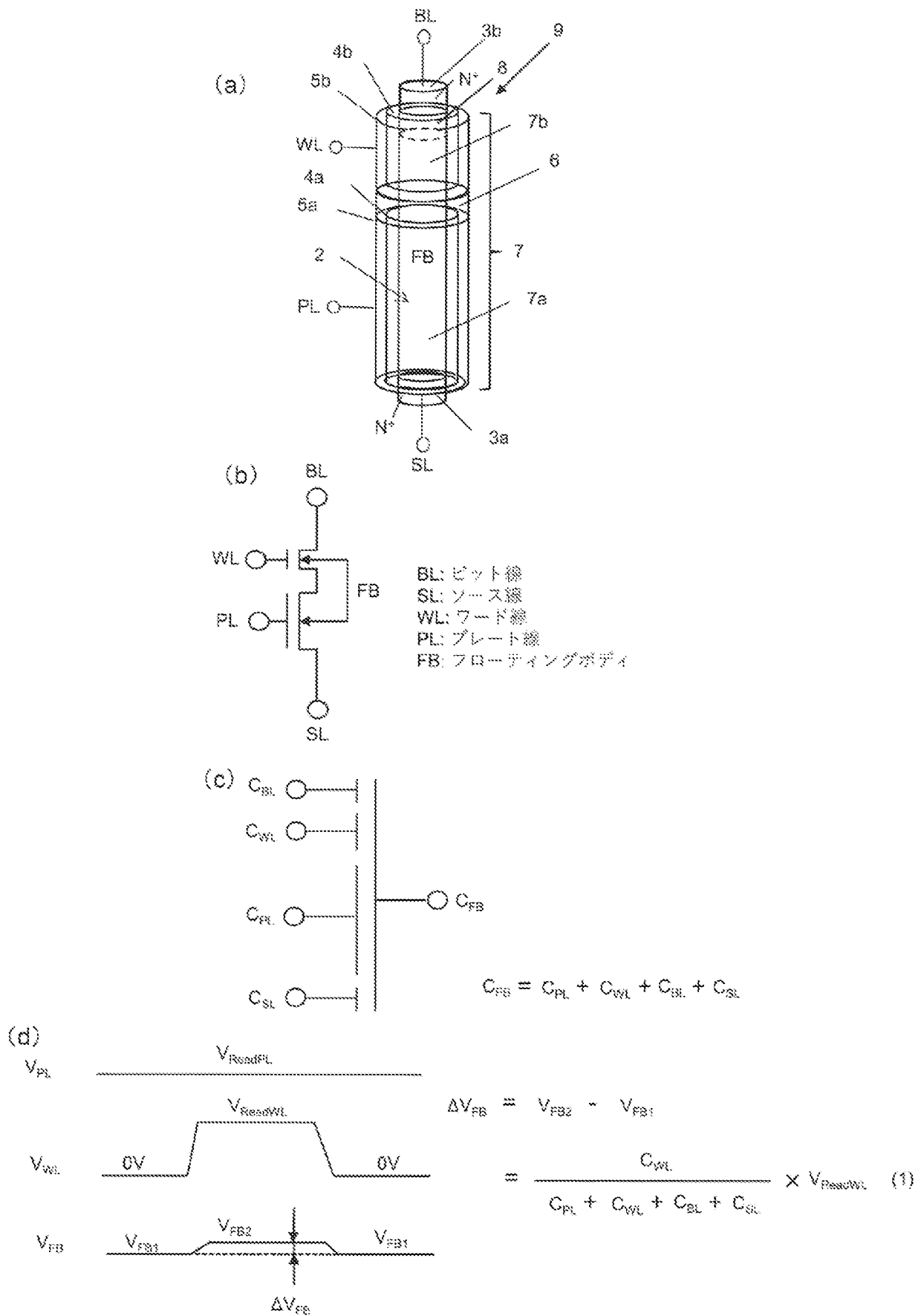
(c)

セル電流
I_{cell} (BL to SL Current)



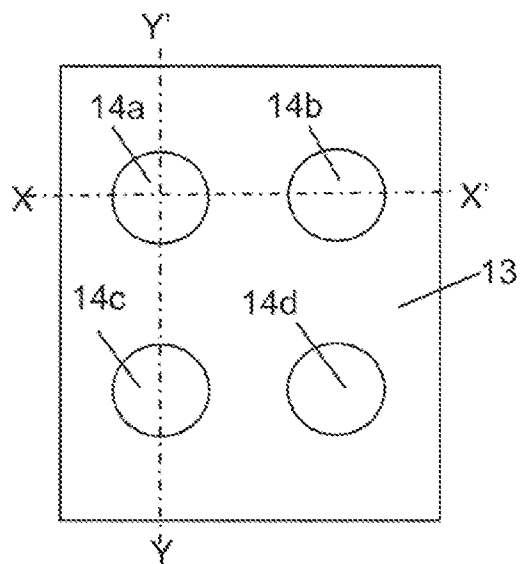
“1” 書込み状態



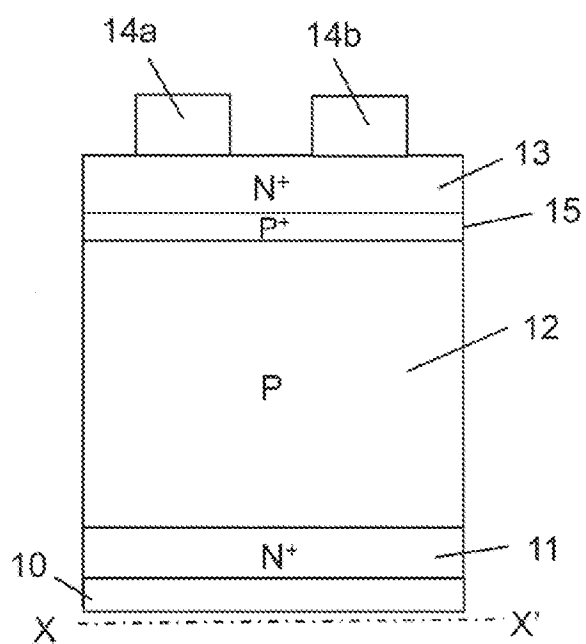


[図5A]

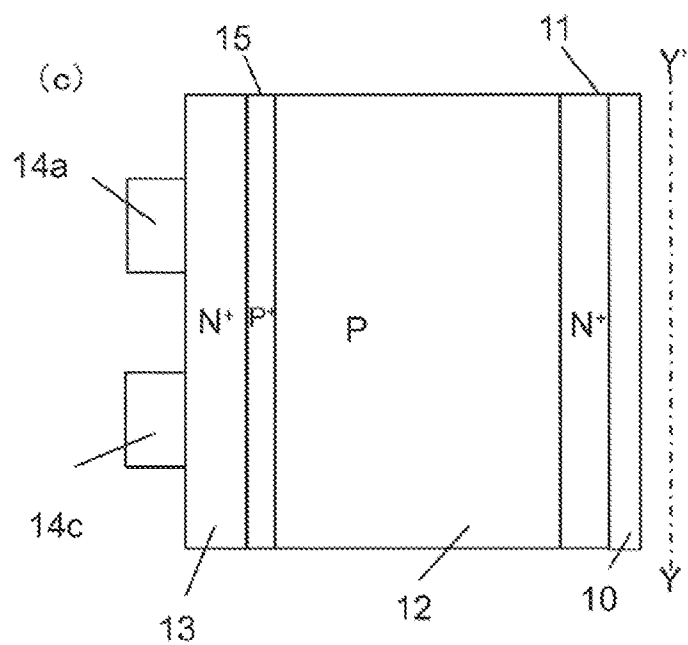
(a)



(b)

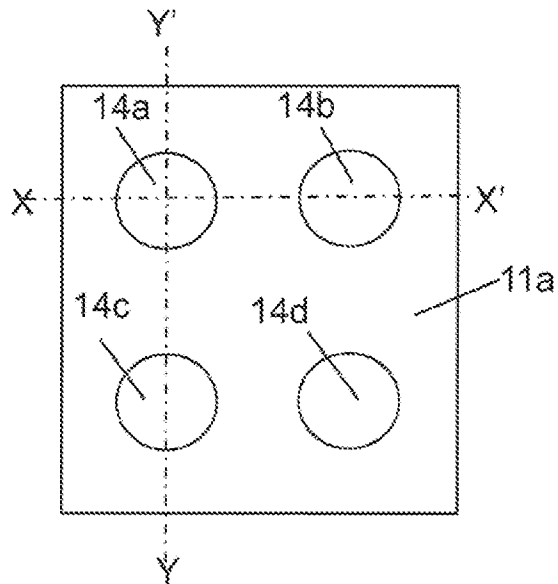


(c)

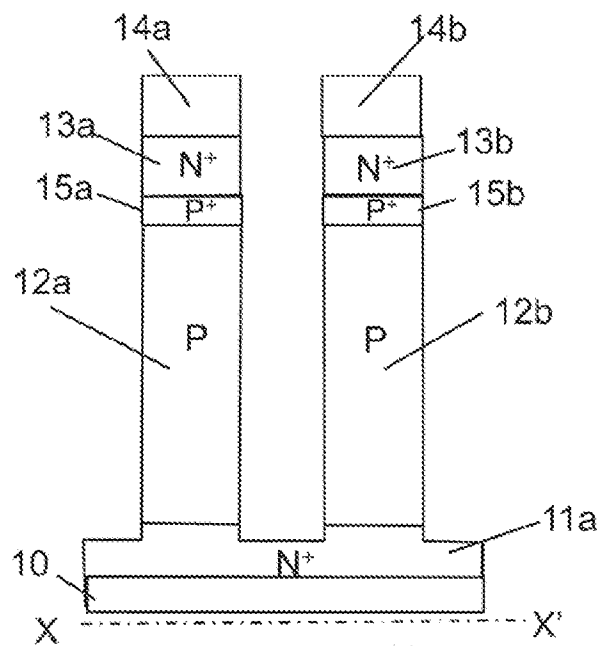


[図5B]

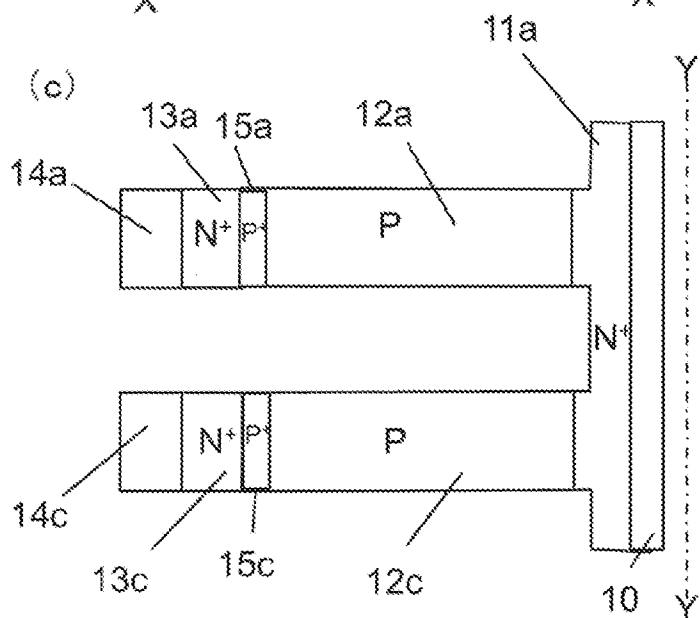
(a)



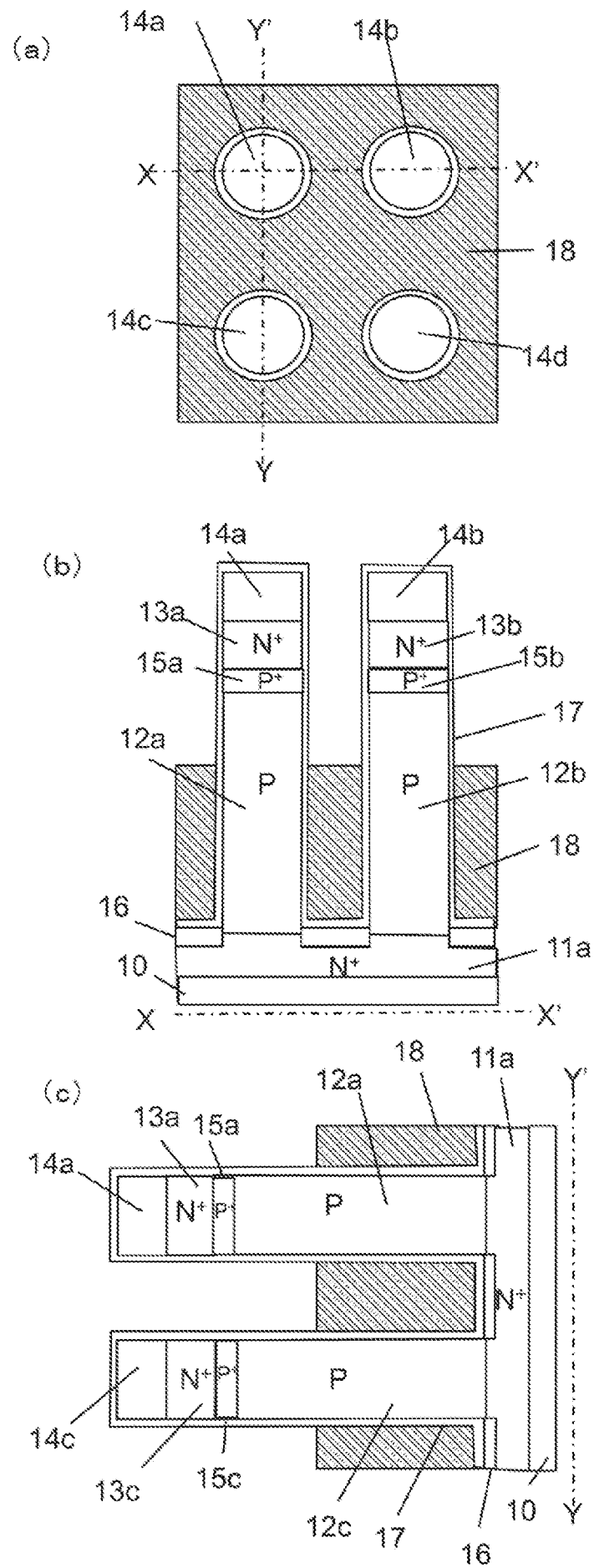
(b)



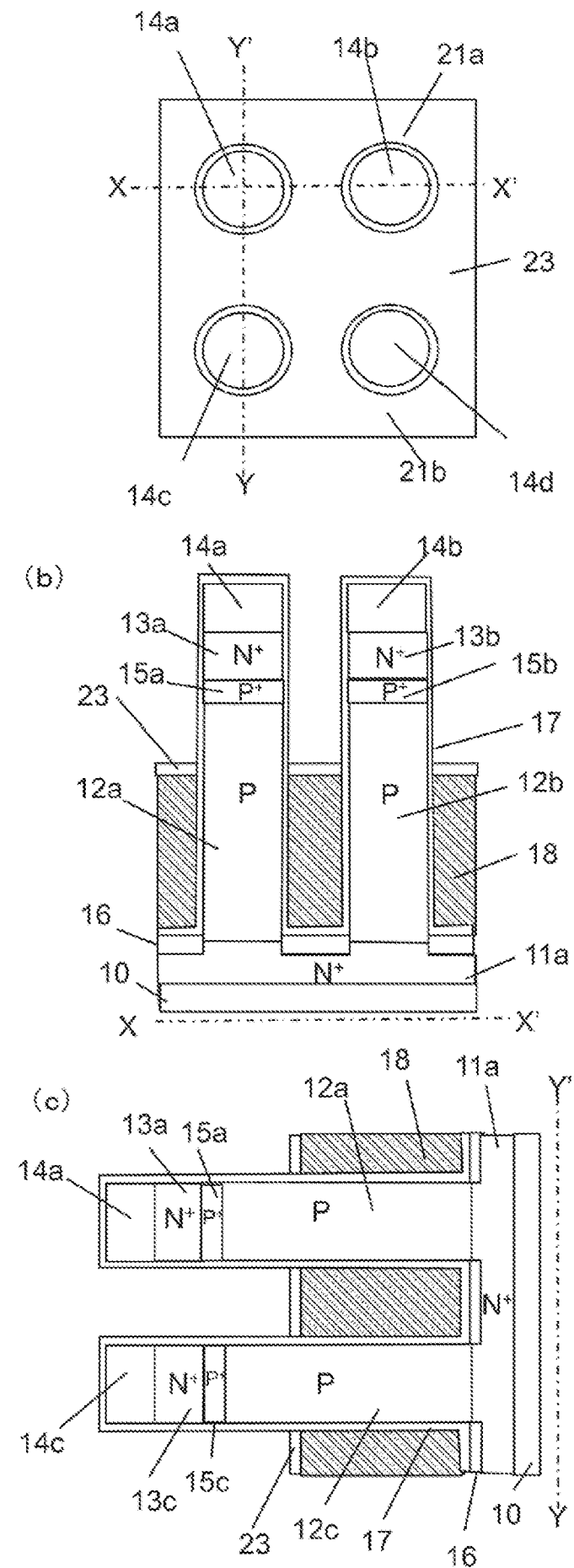
(c)



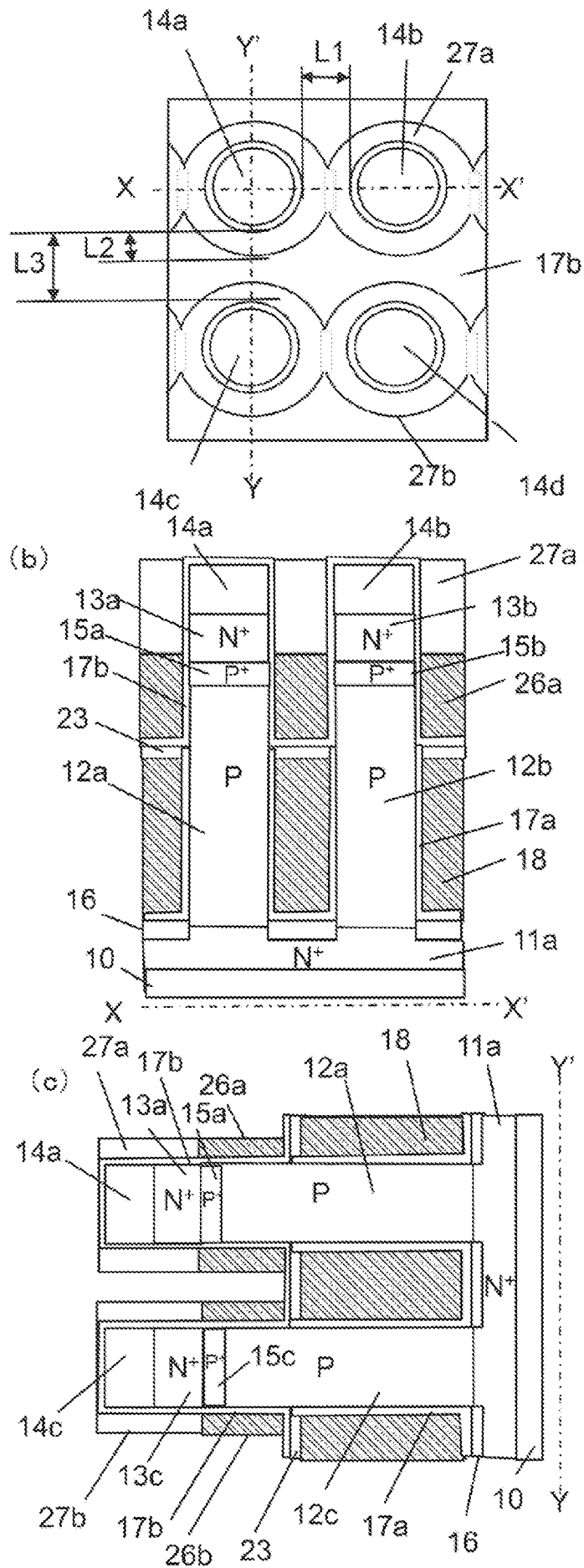
[図5C]



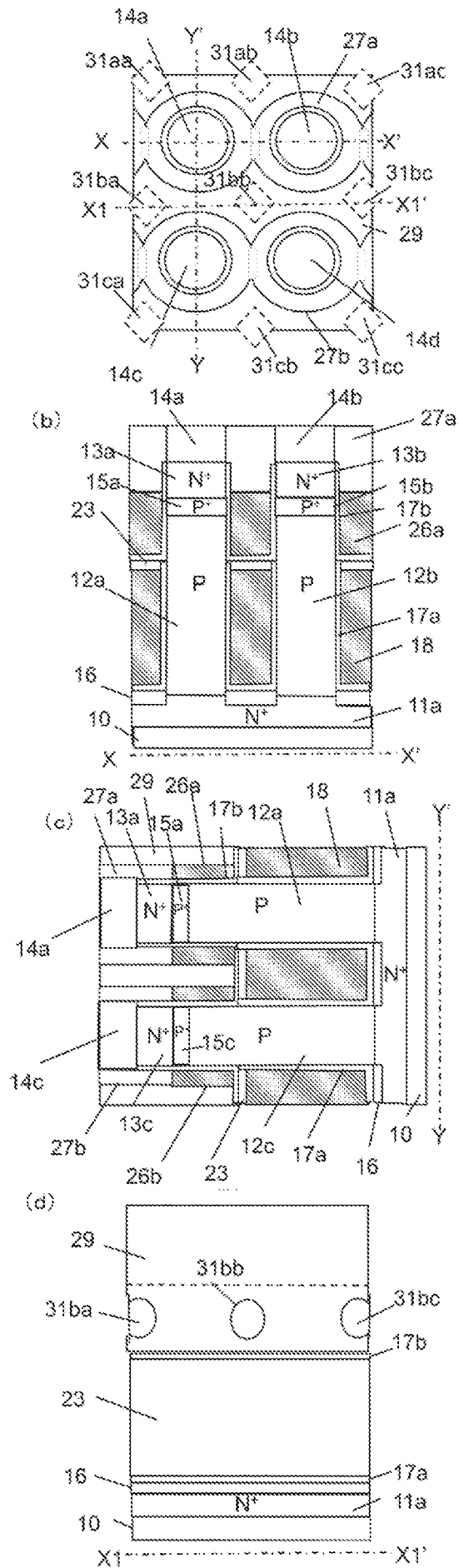
[図5D]



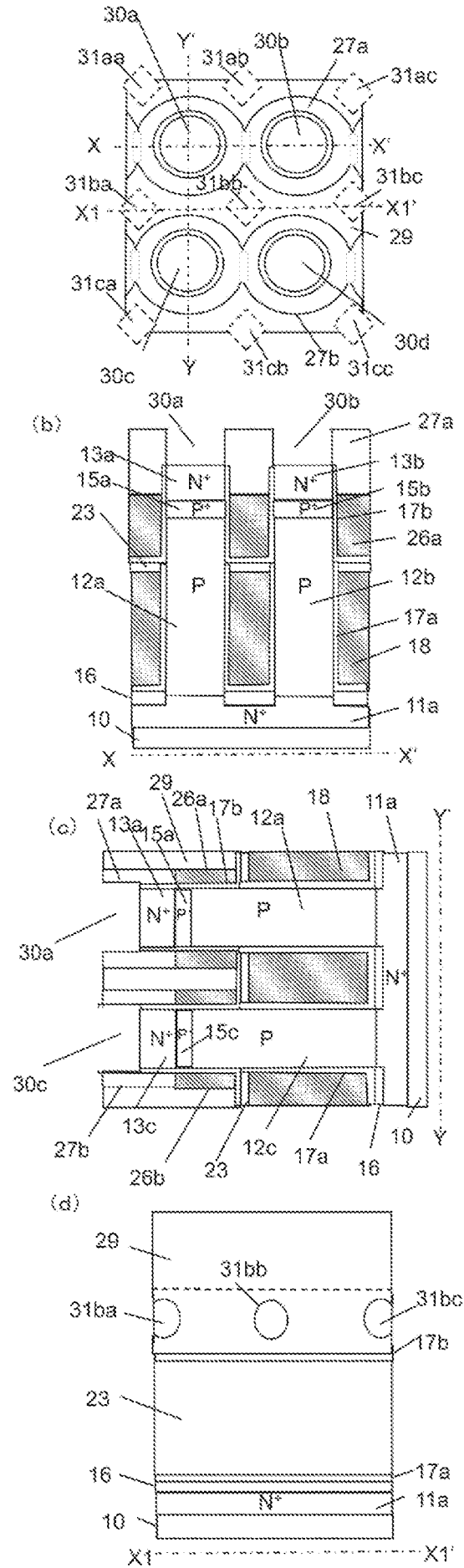
[図5E]

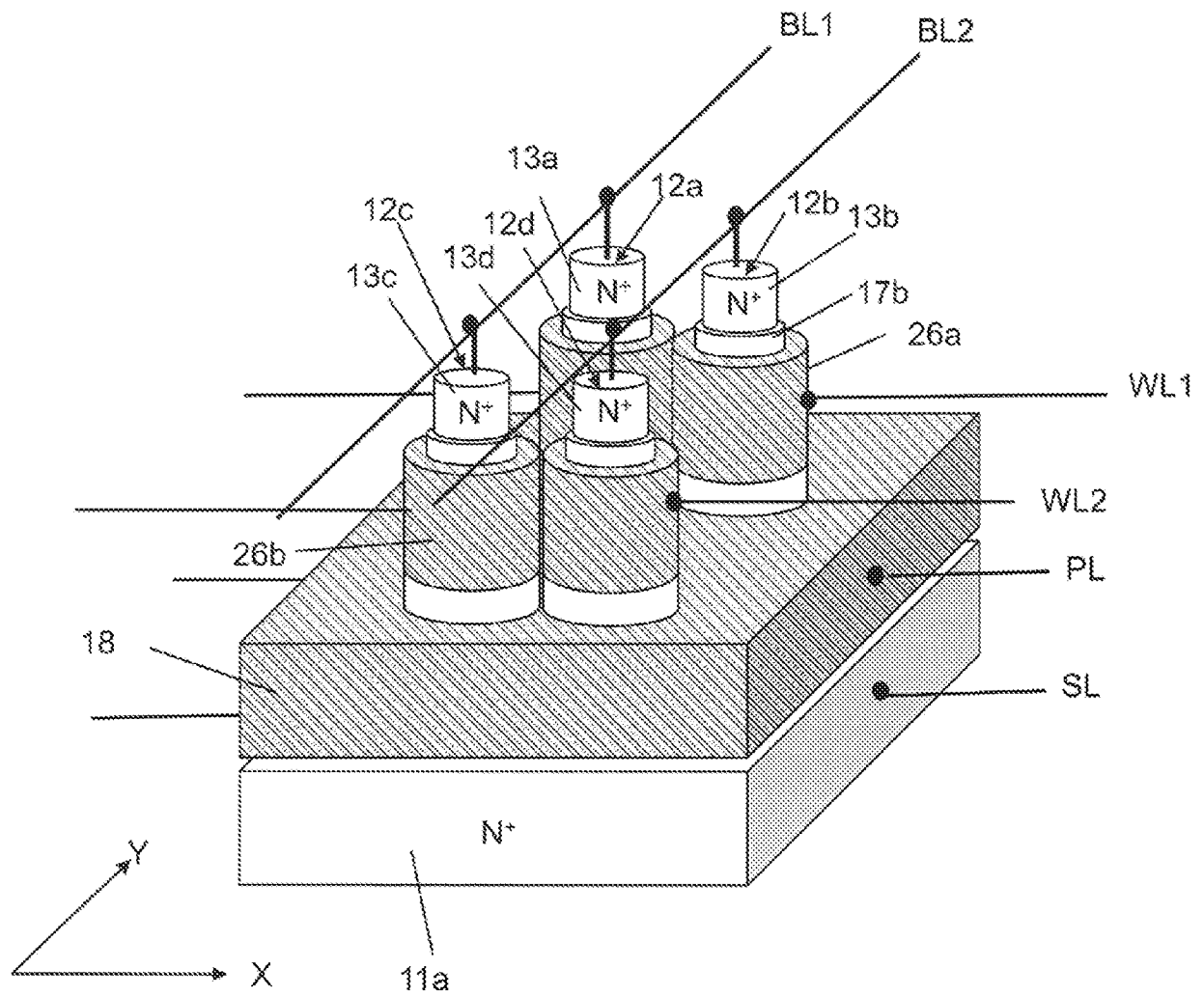


[図5F]

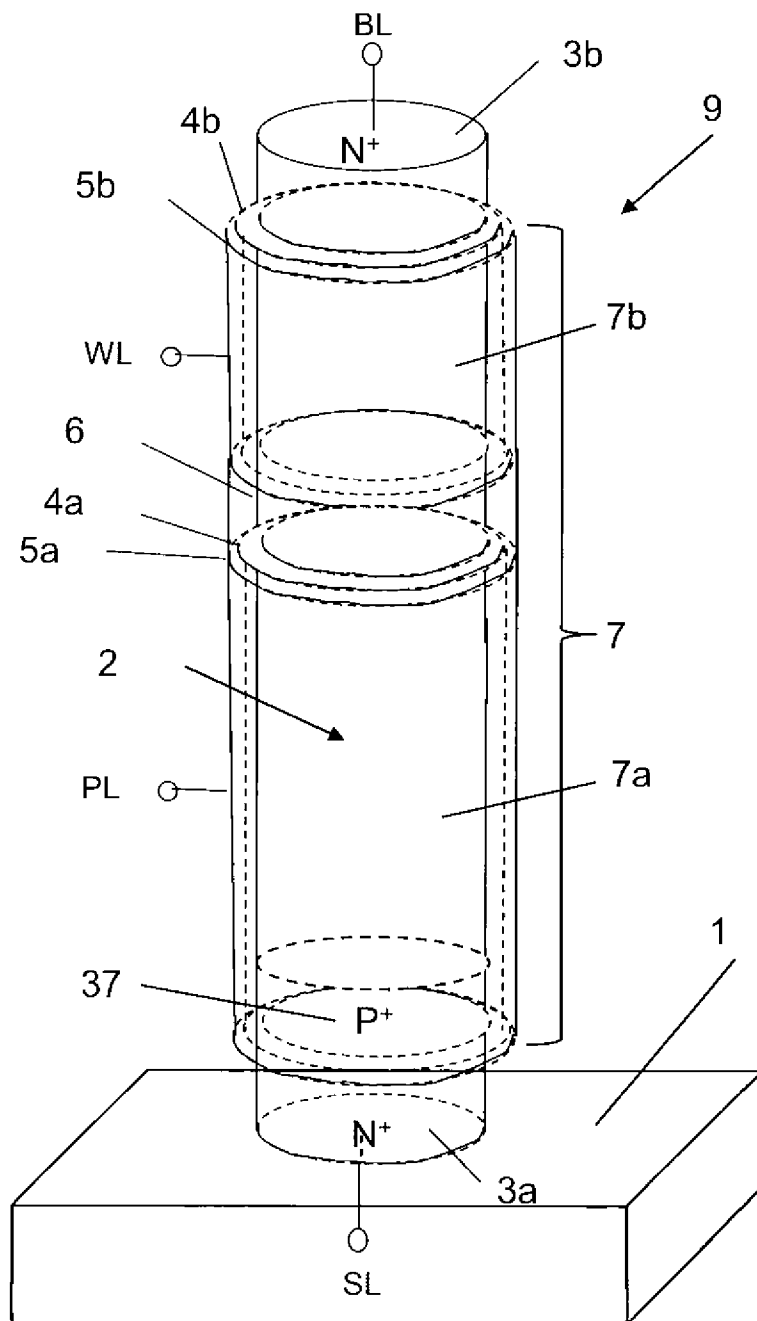


[図5G]

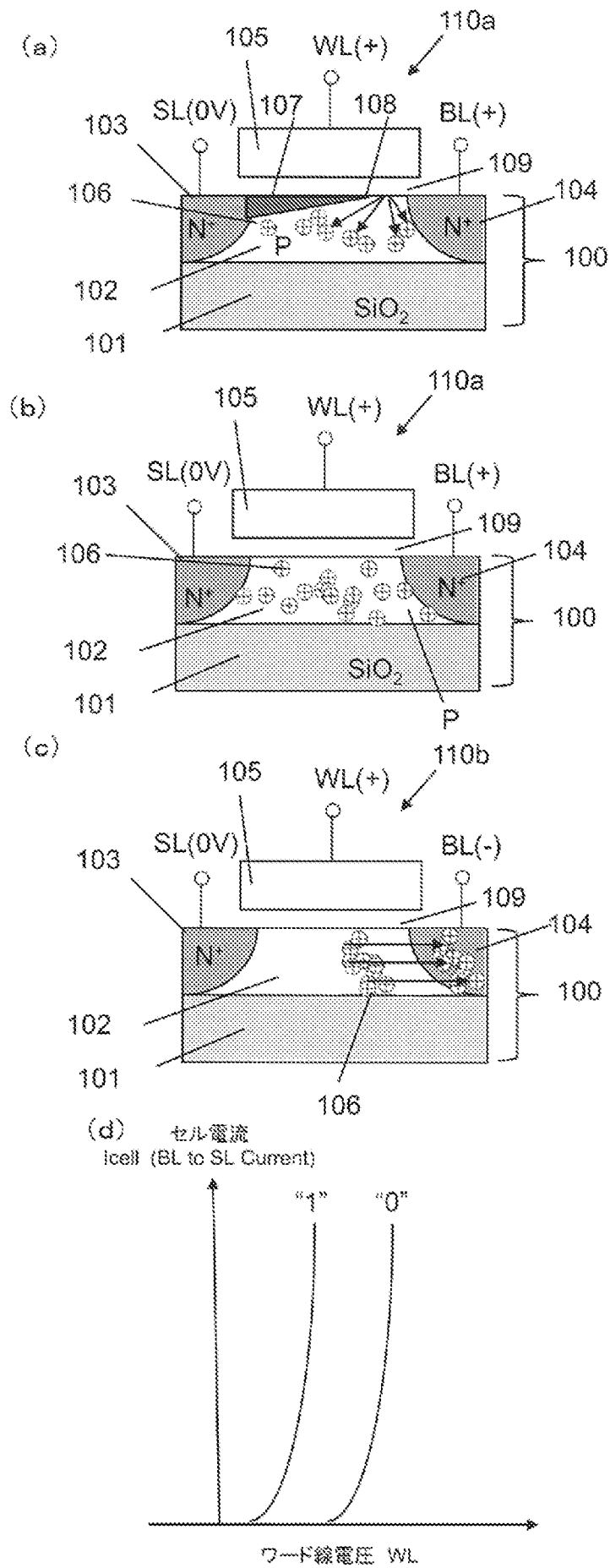




[図7]

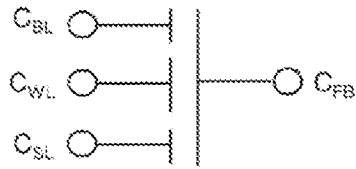


[図8]



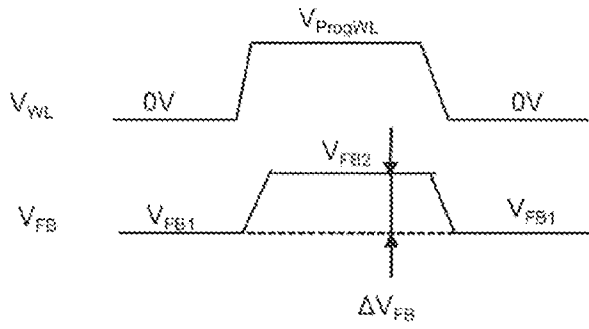
[図9]

(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(2)}$$

(b)

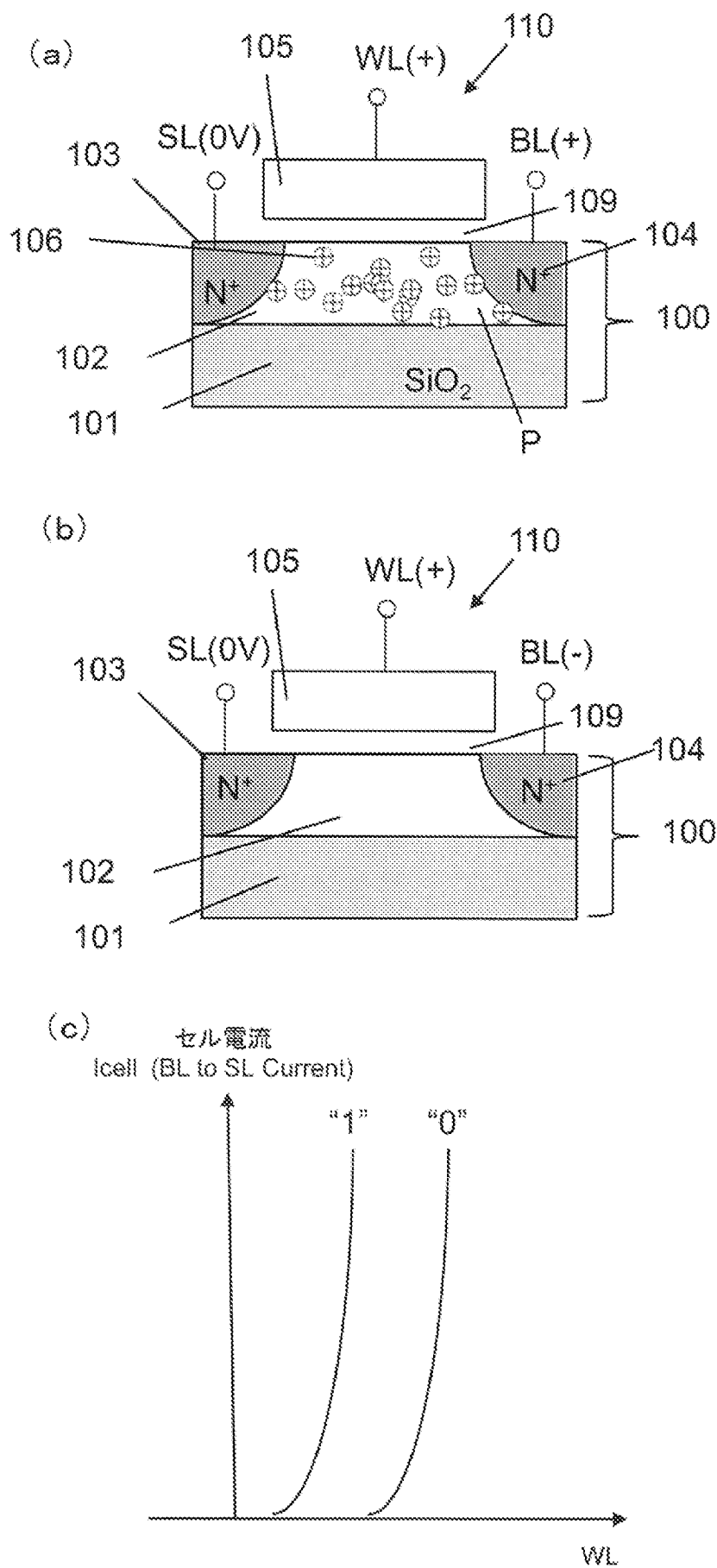


$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(4)}$$

$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(3)}$$

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013220

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/10(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; G11C 11/401(2006.01)i; G11C 16/04(2006.01)i
FI: H01L27/108 321; H01L27/10 451; G11C11/401; G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10; H01L21/8242; H01L27/108; G11C11/401; G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-147514 A (RENESAS TECHNOLOGY CORP) 26 June 2008 (2008-06-26) paragraphs [0031]-[0105], [0269], fig. 1, 11	1-11, 13 12
Y	WO 2016/162927 A1 (UNISANTIS ELECTRONICS SINGAPOREPTE LTD) 13 October 2016 (2016-10-13) paragraphs [0035]-[0038], fig. 1B	1-11, 13
Y	JP 2003-188279 A (TOSHIBA CORP) 04 July 2003 (2003-07-04) paragraphs [0018]-[0029], fig. 1	1-11, 13
A	JP 2008-124209 A (TOSHIBA CORP) 29 May 2008 (2008-05-29) paragraphs [0009]-[0039], fig. 2	1-13
A	JP 2008-218556 A (TOSHIBA CORP) 18 September 2008 (2008-09-18) paragraphs [0026]-[0033], fig. 1, 5, 6	1-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search
18 June 2021 (18.06.2021)

Date of mailing of the international search report
29 June 2021 (29.06.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013220

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-080280 A (TOSHIBA CORP) 23 March 2006 (2006-03-23) paragraphs [0158]-[0196], fig. 2-5	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/013220

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2008-147514 A	26 Jun. 2008	US 2008/0137394 A1 paragraphs [0101]- [0181], [0345], fig. 1, 11 CN 101266981 A TW 200834577 A	
WO 2016/162927 A1	13 Oct. 2016	US 2017/0309632 A1 paragraphs [0232]- [0238], fig. 1B CN 110366775 A	
JP 2003-188279 A	04 Jul. 2003	US 2003/0111681 A1 paragraphs [0043]- [0055], fig. 1 KR 10-2003-0051299 A CN 1427484 A	
JP 2008-124209 A	29 May 2008	US 2008/0239789 A1 paragraphs [0051]- [0081], fig. 2	
JP 2008-218556 A	18 Sep. 2008	US 2008/0212366 A1 paragraphs [0042]- [0049], fig. 1, 5, 6 DE 102008011696 A1 KR 10-2008-0080449 A TW 200907967 A	
JP 2006-080280 A	23 Mar. 2006	US 2006/0049444 A1 paragraphs [0158]- [0196], fig. 2-5	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/10(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; G11C 11/401(2006.01)i; G11C 16/04(2006.01)i FI: H01L27/108 321; H01L27/10 451; G11C11/401; G11C16/04		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/10; H01L21/8242; H01L27/108; G11C11/401; G11C16/04		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-147514 A（株式会社ルネサステクノロジ） 26.06.2008（2008-06-26） [0031]-[0105], [0269], 図1, 11	1-11, 13
A		12
Y	WO 2016/162927 A1（ユニサンティス エレクトロニクス シンガポール プライ ベート リミテッド） 13.10.2016（2016-10-13） [0035]-[0038], 図1B	1-11, 13
Y	JP 2003-188279 A（株式会社東芝） 04.07.2003（2003-07-04） [0018]-[0029], 図1	1-11, 13
A	JP 2008-124209 A（株式会社東芝） 29.05.2008（2008-05-29） [0009]-[0039], 図2	1-13
A	JP 2008-218556 A（株式会社東芝） 18.09.2008（2008-09-18） [0026]-[0033], 図1, 5, 6	1-13
A	JP 2006-080280 A（株式会社東芝） 23.03.2006（2006-03-23） [0158]-[0196], FIGS. 2-5	1-13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 18.06.2021		国際調査報告の発送日 29.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013220

引用文献			公表日	パテントファミリー文献			公表日
JP	2008-147514	A	26.06.2008	US	2008/0137394	A1	
					[0101]-[0181], [0345],		
					FIGS. 1, 11		
				CN	101266981	A	
				TW	200834577	A	
WO	2016/162927	A1	13.10.2016	US	2017/0309632	A1	
					[0232]-[0238], FIG. 1B		
				CN	110366775	A	
JP	2003-188279	A	04.07.2003	US	2003/0111681	A1	
					[0043]-[0055], FIG. 1		
				KR	10-2003-0051299	A	
				CN	1427484	A	
JP	2008-124209	A	29.05.2008	US	2008/0239789	A1	
					[0051]-[0081], FIG. 2		
JP	2008-218556	A	18.09.2008	US	2008/0212366	A1	
					[0042]-[0049], FIGS. 1, 5, 6		
				DE	102008011696	A1	
				KR	10-2008-0080449	A	
				TW	200907967	A	
JP	2006-080280	A	23.03.2006	US	2006/0049444	A1	
					[0158]-[0196], FIGS. 2-5		