

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214479

(P2004-214479A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int.Cl.<sup>7</sup>

H O 1 L 29/78

H O 1 L 29/423

H O 1 L 29/49

F I

H O 1 L 29/78

3 O 1 G

H O 1 L 29/58

G

テーマコード (参考)

4 M 1 O 4

5 F 1 4 O

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号

特願2003-911 (P2003-911)

(22) 出願日

平成15年1月7日(2003.1.7)

(71) 出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(74) 代理人

100092152

弁理士 服部 毅巖

(72) 発明者

志渡 秀治

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者

岸井 貞浩

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

最終頁に続く

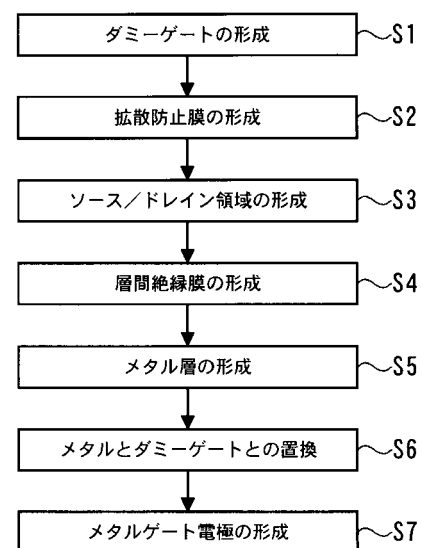
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】形成時または形成後のメタルゲート電極からの層間絶縁膜への金属の拡散を防止する。

【解決手段】ポリシリコンをエッチングしてダミーゲートを形成した後(ステップS1)、エッチング後の露出表面を例えば熱酸化して拡散防止膜を形成する。(ステップS2)、その後、そのダミーゲートに接触するように金属からなるメタル層を形成して(ステップS5)、熱処理によって金属とそのダミーゲートとを置換し(ステップS6)、メタルゲート電極を形成する(ステップS7)。これにより、拡散防止膜の形成後に層間絶縁膜が形成されても、ダミーゲートは拡散防止膜によって層間絶縁膜と隔離されるようになる。そのため、形成時あるいは形成後のメタルゲート電極からの層間絶縁膜への金属の拡散は防止され、低抵抗なゲート電極を有する高耐圧の半導体装置が実現される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ダミーゲートを形成して前記ダミーゲートの露出する表面に拡散防止膜を形成する工程と、  
前記ダミーゲートに接触するように金属からなるメタル層を形成する工程と、  
前記メタル層の前記金属と前記ダミーゲートとを置換してメタルゲート電極を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記ダミーゲートを形成して前記ダミーゲートの露出する表面に前記拡散防止膜を形成する工程においては、前記ダミーゲートの露出する表面を酸化することにより前記拡散防止膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。 10

## 【請求項 3】

前記ダミーゲートの露出する表面を酸化することにより前記拡散防止膜を形成する際には、形成すべき前記メタルゲート電極の寸法に応じて、形成する前記拡散防止膜の膜厚を変化させることを特徴とする請求項 2 記載の半導体装置の製造方法。

## 【請求項 4】

前記ダミーゲートを形成して前記ダミーゲートの露出する表面に前記拡散防止膜を形成する工程の後に、前記拡散防止膜をマスクの一部にして半導体基板にソース領域およびドレイン領域を形成する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法 20

## 【請求項 5】

金属からなるメタルゲート電極を有する半導体装置において、  
前記メタルゲート電極の表面の一部に、前記メタルゲート電極からの前記金属の拡散を防止するための拡散防止膜を有していることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置の製造方法および半導体装置に関し、特にアルミニウムなどの金属からなるメタルゲート電極を有する半導体装置の製造方法および半導体装置に関する。 30

## 【0002】

## 【従来の技術】

半導体装置に形成されるゲート電極には、その材料としてポリシリコンが広く用いられており、その形成に用いる露光装置の性能向上、更にその周辺プロセスにおける装置の性能向上などによって微細化が実現されてきた。しかし、このようなゲート電極の微細化が進む一方で、ゲート電極の抵抗の増大が問題となり、そのため、ゲート電極へのシリサイド層の形成や不純物添加などによりゲート電極の低抵抗化が図られている。ところが、近年ではグレインサイズの関係から、微細なゲート電極にシリサイド層を形成することも困難になってきており、また、ゲート電極に不純物を添加した場合には、半導体基板への突き抜けが問題となる場合がある。 40

## 【0003】

これらの問題を回避して低抵抗なゲート電極を実現するため、近年では、ポリシリコンなどをダミーゲートとして形成しておき、これを熱置換反応によってアルミニウム (Al) などの金属で置換したメタルゲート電極が提案されている (例えば特許文献 1 参照)。

## 【0004】

## 【特許文献 1】

特開 2001-24187 号公報 (段落番号 [0014] ~ [0020], 図 1)

## 【0005】

## 【発明が解決しようとする課題】

従来のメタルゲート電極の形成は、ポリシリコンなどからなるダミーゲート上に Al から 50

なるメタル層を形成した後、数百の温度で熱処理してダミーゲートの全部または一部をAlで置換する方法が一般的である。しかし、このように熱処理を経てダミーゲートをAlで置換する際、更には置換後の製造工程で行われる熱処理の際には、ダミーゲートの周囲に形成されている層間絶縁膜にAlが拡散してしまう場合がある。このような拡散には、メタル層から層間絶縁膜へAlが拡散するような場合や、形成時あるいは形成後のメタルゲート電極内のAlが層間絶縁膜へ拡散するような場合などが考えられる。このように層間絶縁膜内にAlが拡散してしまうと、半導体装置の耐圧が低下するという問題が生じる。

#### 【0006】

特に、層間絶縁膜を、low K材料を用いた低誘電率絶縁膜とした場合には、メタルゲート電極形成時など、半導体装置の製造に伴う熱処理の過程で層間絶縁膜への金属の拡散が発生し易くなる。これは、low K材料が、従来の例えばSiO<sub>2</sub>などの層間絶縁膜材料に比べて、ポーラスであったり有機膜であったりするためである。

#### 【0007】

本発明はこのような点に鑑みてなされたものであり、メタルゲート電極の形成に用いる金属の層間絶縁膜への拡散を抑制し、低抵抗なメタルゲート電極を有する高耐圧の半導体装置の製造方法および半導体装置を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

本発明では上記課題を解決するために、図1に例示するフローによって実現可能な半導体装置の製造方法が提供される。本発明の半導体装置の製造方法は、ダミーゲートを形成して前記ダミーゲートの露出する表面に拡散防止膜を形成する工程と、前記ダミーゲートに接触するように金属からなるメタル層を形成する工程と、前記メタル層の前記金属と前記ダミーゲートとを置換してメタルゲート電極を形成する工程と、を有することを特徴とする。

#### 【0009】

このような半導体装置の製造方法によれば、ダミーゲートの形成後（ステップS1）、その露出する表面に、例えばダミーゲート表面を酸化することによって拡散防止膜を形成し（ステップS2）、ダミーゲートに接触するメタル層を形成して（ステップS5）、例えば熱処理によって金属とダミーゲートとを置換することにより（ステップS6）、メタルゲート電極が形成される（ステップS7）。

#### 【0010】

ダミーゲート形成後の露出表面に拡散防止膜が形成されるため、その後、例えばその周りに層間絶縁膜が形成され、ダミーゲートが金属により置換された場合でも、形成時のメタルゲート電極内からのその層間絶縁膜への金属の拡散は防止される。さらに、このように拡散防止膜が形成されることにより、置換後に形成されるメタルゲート電極内の金属は、その後に熱処理を経ても、メタルゲート電極からのその層間絶縁膜への拡散が防止される。このように、拡散防止膜によって、形成時あるいは形成後のメタルゲート電極からの金属の拡散が防止されるので、半導体装置のゲート電極の低抵抗化とともに、その高耐圧化を図れるようになる。

#### 【0011】

また、本発明では上記課題を解決するために、金属からなるメタルゲート電極を有する半導体装置において、前記メタルゲート電極の表面の一部に、前記メタルゲート電極からの前記金属の拡散を防止するための拡散防止膜を有していることを特徴とする半導体装置が提供される。

#### 【0012】

このような半導体装置によれば、拡散防止膜が、メタルゲート電極からの金属の拡散を防止し、例えば拡散防止膜の周りに形成される層間絶縁膜への金属の拡散が防止されるようになる。これにより、低抵抗なゲート電極を有する高耐圧の半導体装置が実現される。

#### 【0013】

10

20

30

40

50

**【発明の実施の形態】**

まず、本発明の概略について説明する。図1は半導体装置の一製造フローの概略を説明する図である。

**【0014】**

図1に示す半導体装置の製造においては、まず、所定の領域に素子分離層およびゲート絶縁膜が形成されたSi基板などの半導体基板上に、ポリシリコンを所定の膜厚で堆積する。そして、堆積したポリシリコンをエッチングし、形成するメタルゲート電極の寸法に応じた寸法のダミーゲートを形成する(ステップS1)。

**【0015】**

次いで、このダミーゲートを、例えば温度800 ~ 1000 程度の酸素雰囲気です定の酸化時間で熱酸化することにより、そのダミーゲートの露出表面に酸化膜を形成して拡散防止膜を形成する(ステップS2)。この拡散防止膜は、後述するように、形成時または形成後のメタルゲート電極から周りの層間絶縁膜へAlなどの金属が拡散してしまうのを防止する目的で形成される。そのため、この拡散防止膜は、金属を層間絶縁膜へ拡散させないような緻密な結晶構造を有していることが好ましく、その点で、拡散防止膜の形成方法として熱酸化法が好適に用いられる。また、熱酸化によって拡散防止膜を形成する場合には、その膜厚を、酸化の温度、時間、雰囲気などの各条件により変化させることができる。

**【0016】**

なお、この拡散防止膜は、ダミーゲート形成後に露出する表面の全面に形成しても、あるいはダミーゲートの上面には他の絶縁膜を形成しておくなどしてその側壁のみ酸化して拡散防止膜を形成するようにしてもよい。

**【0017】**

この拡散防止膜の形成後は、半導体基板に所定の導電型の不純物を導入してソース/ドレイン領域を形成する(ステップS3)。その際、拡散防止膜は、ダミーゲートの側壁部においてサイドウォールとしての役割を果たし、この拡散防止膜をマスクの一部にしてソース/ドレイン領域が自己整合的に形成される。

**【0018】**

そして、このようにダミーゲートの露出表面に拡散防止膜を形成した後に、全面にCVD (Chemical Vapor Deposition) 法によってSiO<sub>2</sub>を堆積し、あるいはlow K材料をスピンコーティングなどの方法で形成し、層間絶縁膜を形成する(ステップS4)。

**【0019】**

次いで、この層間絶縁膜を貫通してダミーゲート表面まで達する開口部を形成し、その開口部内を含む層間絶縁膜上に、メタルゲート電極に用いられる金属からなるメタル層を形成する(ステップS5)。これにより、ダミーゲートとメタル層とが接触して形成されるようになり、金属とダミーゲートとが熱によって置換可能な状態となる。なお、メタル層に用いる金属には例えばAlを用いることができ、メタル層はCVD法やスパッタ法を用いて形成される。

**【0020】**

この状態で所定の温度で熱処理を施すことにより、その熱によってメタル層の金属がダミーゲート内へと移動して反応し、金属とダミーゲートとが置換される(ステップS6)。これにより、メタルゲート電極が形成される(ステップS7)。以降は、メタルゲート電極表面が露出するまでCMP (Chemical Mechanical Polish ing) により平坦化し、層間絶縁膜形成、コンタクトホール形成、配線形成などの通常の工程を経て半導体装置が形成される。

**【0021】**

このように、ダミーゲートの形成後にその露出表面に拡散防止膜を形成するようにすることで、その後に層間絶縁膜を形成しても、ダミーゲートとその層間絶縁膜とが拡散防止膜によって隔離されるようになる。これにより、形成時のメタルゲート電極からの層間絶縁

膜への金属の拡散が防止されるようになる。さらに、形成後に熱処理が施された場合でも、メタルゲート電極からの層間絶縁膜への金属の拡散が防止されるようになる。そのため、メタルゲート電極の電氣的な耐性が確保され、低抵抗なゲート電極を有する高耐压の半導体装置が得られる。

#### 【0022】

次に、半導体装置の形成方法を図2から図5を参照して具体的に説明する。図2はレジストパターンニング工程、図3は層間絶縁膜形成工程、図4はメタル層形成工程、図5はメタルゲート電極形成工程、をそれぞれ示す図である。ただし、図2から図5は、半導体装置に形成されるメタルゲート電極を長手方向で切断したときの断面図にそれぞれ対応させて示している。

10

#### 【0023】

まず、図2に示すように、Si基板1に、トレンチ法によって素子分離層2を形成した後、Si基板1上のメタルゲート電極形成予定領域に、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Al}_2\text{O}_3$ などを用いて膜厚約2nmのゲート絶縁膜3を形成する。続いて、全面に膜厚約100nmのポリシリコン層4を形成し、更にこのポリシリコン層4上に $\text{SiO}_2$ またはSiNからなる膜厚約150nmのキャップ層5を形成する。このキャップ層5上に、形成するメタルゲート電極の目的寸法に応じた寸法でレジストパターン6を形成する。

#### 【0024】

次いで、そのレジストパターン6をマスクにしてキャップ層5およびポリシリコン層4をエッチングし、レジストパターン6を除去して、図3に示す拡散防止膜7形成前のダミーゲート4aを形成する。このダミーゲート4aの形成後は、必要に応じてエクステンション領域を形成する。そして、例えば温度800 ~ 1000 程度の酸素雰囲気中で熱酸化を行い、次いで、ポリシリコン層4のエッチング後に表面に露出したダミーゲート4aの側壁に拡散防止膜7を形成する。

20

#### 【0025】

このように拡散防止膜7をダミーゲート4aの側壁酸化によって形成する場合は、その酸化温度が800 を大きく下回るような場合には、緻密な拡散防止膜7を形成することが難しくなり、その金属拡散防止効果が小さくなってしまう。また、酸化時間は、形成すべき拡散防止膜7の膜厚および酸化温度に応じて設定される。

#### 【0026】

なお、ダミーゲート4aの側壁酸化の際には、通常は、素子分離層2表面や、キャップ層5が $\text{SiO}_2$ からなる場合にはそのキャップ層5表面にも、ダミーゲート4aの側壁に形成される拡散防止膜7よりも薄い膜厚で酸化膜が形成される。しかし、Si基板1表面や、キャップ層5がSiNからなる場合にはそのキャップ層5表面においては、ポリシリコンや $\text{SiO}_2$ との酸化速度の違いから酸化膜はほとんど形成されない。

30

#### 【0027】

拡散防止膜7の形成後は、これをサイドウォールとし、Si基板1に所定の導電型の不純物を導入してソース/ドレイン領域(図示せず)を形成する。その後、全面にCVD法によって $\text{SiO}_2$ を堆積し、あるいはlow K材料をスパインコーティングなどの方法で形成し、層間絶縁膜8を形成する。low K材料としては、ここではフッ素化酸化シリコン( $\text{SiOF}$ )、Flare(ハネウェル社の登録商標)、SiLK(ザ・ダウ・ケミカル・カンパニーの登録商標)、水素化シルセスキオキサン( $\text{HSQ}$ )、有機スピノングラス(有機SOG)をそれぞれ用いている。

40

#### 【0028】

次いで、図4に示すように、その層間絶縁膜8およびキャップ層5の一部をエッチングにより除去してダミーゲート4a表面に達する開口部9を形成する。その後、開口部9内および層間絶縁膜8上に、Alからなるメタル層10をCVD法またはスパッタ法により堆積して形成する。

#### 【0029】

その状態で例えば温度450 ~ 500 程度の熱処理を施すことにより、ダミーゲート

50

4 a がメタル層 10 の A1 によって置換され、図 5 に示すようにメタルゲート電極 11 が形成される。その後は、メタルゲート電極 11 表面が露出するまで CMP により平坦化し、層間絶縁膜形成、コンタクトホール形成、配線形成などの通常の工程を経て半導体装置が形成される。

【0030】

このように、ダミーゲート 4 a の側壁に拡散防止膜 7 を形成することにより、形成時あるいは形成後のメタルゲート電極 11 からの A1 の拡散を防止することができる。特に、拡散防止膜 7 を熱酸化によって形成することで、高い A1 拡散防止効果が得られる。

【0031】

なお、層間絶縁膜 8 とメタル層 10 との境界領域に拡散した A1 は、CMP による平坦化の際に除去することが可能である。また、たとえ層間絶縁膜 8 内の Si 基板 1 表面に近い領域にまで A1 が拡散した場合でも、層間絶縁膜 8 とメタルゲート電極 11 とが拡散防止膜 7 で隔離されているため、電氣的寄与は抑制される。

【0032】

ここで、A1 の拡散挙動について、上記のようにダミーゲート 4 a の側壁に拡散防止膜 7 を形成する場合と、形成しない場合とを比較する。

なお、ここで比較に用いる試料（以下「比較試料」という。）は、以下の図 6 から図 9 に示す手順で形成される。図 6 は比較試料のレジストパターンニング工程、図 7 は比較試料の層間絶縁膜形成工程、図 8 は比較試料のメタル層形成工程、図 9 は比較試料のメタルゲート電極形成工程、をそれぞれ示す図である。ただし、図 6 から図 9 は、比較試料に形成されるメタルゲート電極を長手方向で切断したときの断面図にそれぞれ対応させて示している。

【0033】

比較試料の形成は、まず、図 6 に示すように、Si 基板 21 に素子分離層 22 およびゲート絶縁膜 23 を形成した後、全面にポリシリコン層 24、その上にキャップ層 25 を形成し、所定の寸法でレジストパターン 26 を形成する。次いで、レジストパターン 26 をマスクにしてエッチングを行い、図 7 に示すダミーゲート 24 a を形成する。そして、必要に応じエクステンション領域を形成し、通常の方法でソース/ドレイン領域を形成した後（図示せず）、全面に層間絶縁膜 28 を形成する。その後は、図 8 に示すように、ダミーゲート 24 a 表面に達する開口部 29 を形成して開口部 29 内および層間絶縁膜 28 上にメタル層 30 を形成し、所定温度の熱処理を施して、図 9 に示すように、メタルゲート電極 31 を形成する。その後は、CMP による平坦化、層間絶縁膜形成、コンタクトホール形成、配線形成などの通常の工程を経て、比較試料が形成される。

【0034】

ただし、ここに示した各工程における層（膜）の材質、形成条件、熱処理条件は、上記の拡散防止膜 7 を有する半導体装置を形成する場合の対応する各工程における層（膜）の材質、形成条件、熱処理条件と同じである。

【0035】

図 2 から図 5 に示した方法で形成した半導体装置と、図 6 から図 9 に示した方法で形成した比較試料とについて、それらの A1 の拡散は、層間絶縁膜 8、28 として SiO<sub>2</sub> または各 low K 材料を用いた場合のそれぞれについて、TEM (Transmission Electron Microscope) を用いた EDX (Energy Dispersive X-ray Spectroscopy) 分析により比較している。

【0036】

例えば層間絶縁膜 8 に SiO<sub>2</sub> を用いてダミーゲート 4 a の側壁に拡散防止膜 7 を形成した半導体装置の場合には、EDX 分析の結果より、半導体装置形成後の層間絶縁膜 8 に相当する領域に A1 の存在は認められなかった。これにより、形成時あるいは形成後のメタルゲート電極 11 からの層間絶縁膜 8 への A1 の拡散は、拡散防止膜 7 によって防止されていることが確認された。

【0037】

これに対し、層間絶縁膜 28 に  $\text{SiO}_2$  を用いてダミーゲート 24a に拡散防止膜を形成しなかった比較試料の場合には、比較試料形成後の層間絶縁膜 28 に相当する領域に A1 の存在が認められた。特に、ソース/ドレイン領域上部に相当する層間絶縁膜 28 の領域にも A1 の存在が認められ、形成時あるいは形成後のメタルゲート電極 31 からの層間絶縁膜 28 への A1 の拡散が確認された。

【0038】

層間絶縁膜 8, 28 を、各 low K 材料を用いて形成した場合にもそれぞれ上記同様の EDX 分析結果が得られ、層間絶縁膜 8 の材質に依らず、拡散防止膜 7 によるメタルゲート電極 11 からの A1 の拡散防止効果が確認された。

【0039】

また、上記図 2 から図 5 に示したように、ダミーゲート 4a の上面にキャップ層 5 を形成しておき、ダミーゲート 4a の側壁を酸化して拡散防止膜 7 を形成する場合には、メタルゲート電極 11 を微細化して形成することができるようになる。これは、ダミーゲート 4a の側壁が酸化されるときには、その内部にも酸化が進行して拡散防止膜 7 が形成され、A1 で置換されるダミーゲート 4a の寸法が、ポリシリコン層 4 のエッチング直後の寸法、すなわちレジストパターン寸法よりも小さくなるためである。

【0040】

図 10 はダミーゲートの設計寸法と側壁酸化前後のダミーゲートの実寸法との関係を示す図である。図 10 では、横軸は設計寸法 ( $\mu\text{m}$ )、縦軸は実寸法 ( $\mu\text{m}$ ) を表しており、また、点線はダミーゲートの設計寸法と側壁酸化前のダミーゲートの実寸法との関係を表し、実線はダミーゲートの設計寸法と側壁酸化後のダミーゲートの実寸法との関係を表している。この図 10 には、ダミーゲートの側壁酸化を温度 900 のドライ酸素雰囲気中で 75 分間の条件で行い、その側壁酸化前後でのダミーゲートの寸法を測長した結果をプロットしている。

【0041】

図 10 より、側壁酸化後のダミーゲートの実寸法は、拡散防止膜が形成されることにより、側壁酸化前のダミーゲートの実寸法よりも約 40 nm 小さくなっている。そして、このように微細化されたダミーゲートが A1 と置換され、メタルゲート電極が形成されるようになる。このように、レジストパターン寸法でエッチングしたダミーゲートを、側壁酸化によってその寸法を更に微細化してから A1 で置換することができるため、微細なメタルゲート電極を形成することができる。

【0042】

なお、この図 10 において示した側壁酸化の酸化条件は単なる例であって、その他の酸化条件を設定した場合であっても、同様に微細化したメタルゲート電極を形成することが可能である。そして、その酸化条件によって拡散防止膜の膜厚、すなわち形成するメタルゲート電極の寸法を変化させ、調整することができる。なお、酸化条件は、酸化温度については、上述のように温度 800 ~ 1000 程度とすることが好ましく、また、酸化時間については、酸化温度、形成する拡散防止膜の膜厚、目的とするメタルゲート電極の寸法などに応じて設定する。

【0043】

ただし、酸化条件によっては、拡散防止膜としてダミーゲートの側壁に厚い膜厚の酸化膜が形成されたり、Si 基板表面に酸化膜が形成されたりする。そして、その酸化膜が、 $\text{SiO}_2$  などの酸化物で形成されているゲート絶縁膜にまで達してしまうと、目的のデバイス特性が得られなくなる、あるいは半導体装置を正常に動作させることができなくなる、といった問題が生じる可能性がある。したがって、酸化条件を設定する際には、形成する半導体装置の構造や形成する拡散防止膜の膜厚などの条件を考慮するようにする。または、ゲート絶縁膜を、その材料に SiN や SiON などの窒化物を用いるなど、酸化の影響を受けないあるいは受け難い材料にして、半導体装置を形成するようにしてもよい。

【0044】

以上述べたように、ダミーゲートの形成後にその露出表面に拡散防止膜を形成することに

10

20

30

40

50

より、形成時あるいは形成後のメタルゲート電極からの Al の拡散を防止することができる。これにより、微細かつ低抵抗なメタルゲート電極を形成することができるとともに、層間絶縁膜への Al の拡散による半導体装置の耐圧低下を抑えることができる。

【0045】

なお、上記のようにポリシリコン層上にキャップ層を形成してエッチングした後にダミーゲートの側壁を酸化して拡散防止膜を形成するほか、キャップ層を形成せずにポリシリコン層をエッチングしてダミーゲートの露出表面を酸化することも可能である。この場合、ダミーゲートの側壁のほか、上面にも拡散防止膜が形成されるようになる。このようにして拡散防止膜を形成した場合には、メタルゲート電極からの Al の拡散防止に加え、さらに、メタルゲート電極の、Si 基板表面に対して水平方向の微細化とともに垂直方向の微細化も可能になる。 10

【0046】

また、上記の説明では、ダミーゲートを酸化することによって拡散防止膜を形成するようにしたが、Al の拡散防止を目的とする限りは、ダミーゲートの表面に緻密な酸化膜や窒化膜を形成することにより、拡散防止膜を形成することも可能である。

【0047】

また、以上の説明では、Al を用いてメタルゲート電極を形成した場合を例にして述べたが、本発明は、白金 (Pt) などの他の金属を用いた場合も同様に適用することが可能である。また、ダミーゲートとしては、ポリシリコンのほか、アモルファスシリコン、シリコンゲルマニウム (SiGe) も同様に用いることが可能である。 20

【0048】

(付記1) ダミーゲートを形成して前記ダミーゲートの露出する表面に拡散防止膜を形成する工程と、  
前記ダミーゲートに接触するように金属からなるメタル層を形成する工程と、前記メタル層の前記金属と前記ダミーゲートとを置換してメタルゲート電極を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

【0049】

(付記2) 前記ダミーゲートを形成して前記ダミーゲートの露出する表面に前記拡散防止膜を形成する工程においては、前記ダミーゲートの露出する表面を酸化することにより前記拡散防止膜を形成することを特徴とする付記1記載の半導体装置の製造方法。 30

【0050】

(付記3) 前記ダミーゲートの露出する表面を酸化することにより前記拡散防止膜を形成する際には、形成すべき前記メタルゲート電極の寸法に応じて、形成する前記拡散防止膜の膜厚を変化させることを特徴とする付記2記載の半導体装置の製造方法。

【0051】

(付記4) 前記メタルゲート電極の寸法が前記ダミーゲートの寸法より小さくなるように前記拡散防止膜を形成することを特徴とする付記2または3に記載の半導体装置の製造方法。

【0052】

(付記5) 前記ダミーゲートを形成して前記ダミーゲートの露出する表面に前記拡散防止膜を形成する工程の後に、層間絶縁膜を形成する工程を有し、  
前記層間絶縁膜上に、前記ダミーゲートに接触するように前記メタル層を形成し、前記メタル層の前記金属と前記ダミーゲートとを置換して前記メタルゲート電極を形成することを特徴とする付記1記載の半導体装置の製造方法。 40

【0053】

(付記6) 前記ダミーゲートを形成して前記ダミーゲートの露出する表面に前記拡散防止膜を形成する工程の後に、前記拡散防止膜をマスクの一部にして半導体基板にソース領域およびドレイン領域を形成する工程を有することを特徴とする付記1記載の半導体装置の製造方法。

【0054】



(付記 7) 金属からなるメタルゲート電極を有する半導体装置において、前記メタルゲート電極の表面の一部に、前記メタルゲート電極からの前記金属の拡散を防止するための拡散防止膜を有していることを特徴とする半導体装置。

【0055】

(付記 8) 前記拡散防止膜によって前記メタルゲート電極と層間絶縁膜とが隔離されていることを特徴とする付記 7 記載の半導体装置。

【0056】

【発明の効果】

以上説明したように本発明では、ダミーゲートの形成後にその露出表面に拡散防止膜を形成し、そのダミーゲートに接触するようにメタル層を形成し、金属とそのダミーゲートとを置換してメタルゲート電極を形成するようにした。これにより、形成時あるいは形成後のメタルゲート電極からの層間絶縁膜への金属の拡散を防止することができるようになるので、低抵抗なメタルゲート電極を有する高耐圧の半導体装置を実現することができる。

10

【図面の簡単な説明】

【図 1】半導体装置の一製造フローの概略を説明する図である。

【図 2】レジストパターンニング工程を示す図である。

【図 3】層間絶縁膜形成工程を示す図である。

【図 4】メタル層形成工程を示す図である。

【図 5】メタルゲート電極形成工程を示す図である。

【図 6】比較試料のレジストパターンニング工程を示す図である。

20

【図 7】比較試料の層間絶縁膜形成工程を示す図である。

【図 8】比較試料のメタル層形成工程を示す図である。

【図 9】比較試料のメタルゲート電極形成工程を示す図である。

【図 10】ダミーゲートの設計寸法と側壁酸化前後のダミーゲートの実寸法との関係を示す図である。

【符号の説明】

1, 21 Si 基板

2, 22 素子分離層

3, 23 ゲート絶縁膜

4, 24 ポリシリコン層

30

4a, 24a ダミーゲート

5, 25 キャップ層

6, 26 レジストパターン

7 拡散防止膜

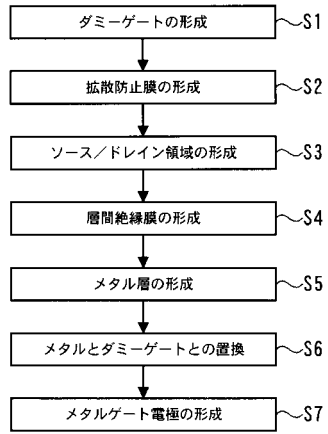
8, 28 層間絶縁膜

9, 29 開口部

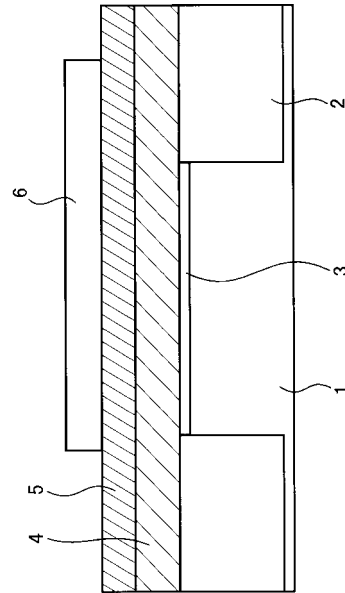
10, 30 メタル層

11, 31 メタルゲート電極

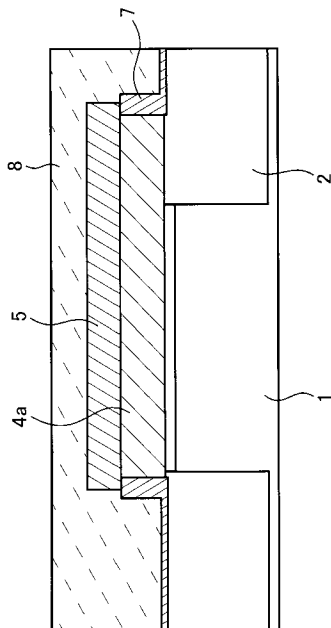
【図 1】



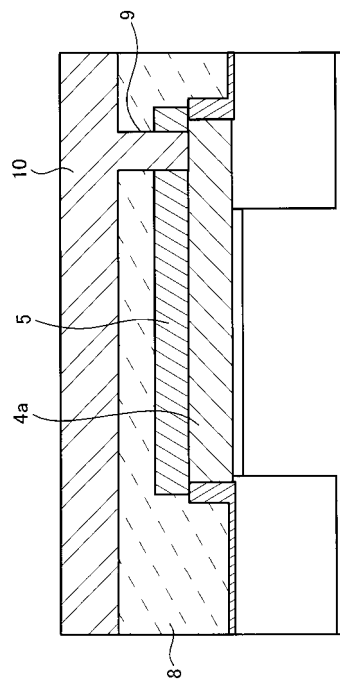
【図 2】



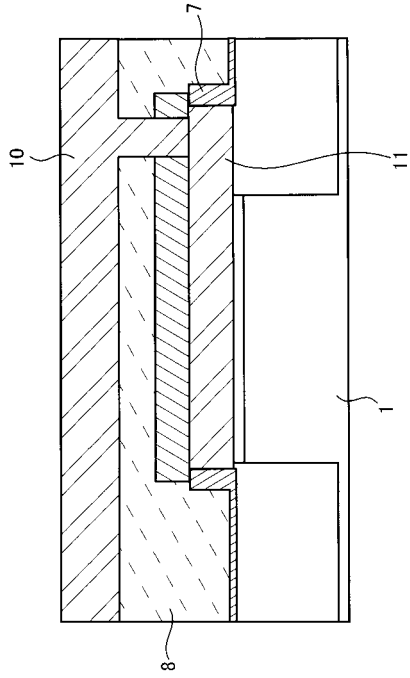
【図 3】



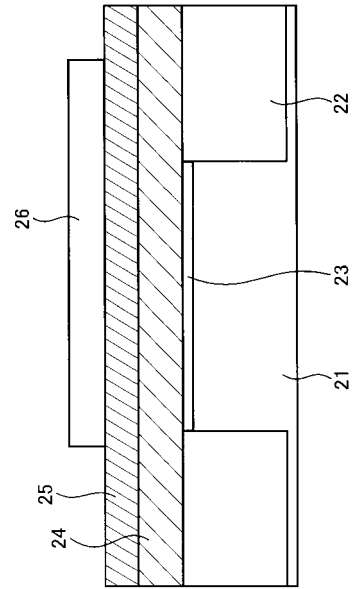
【図 4】



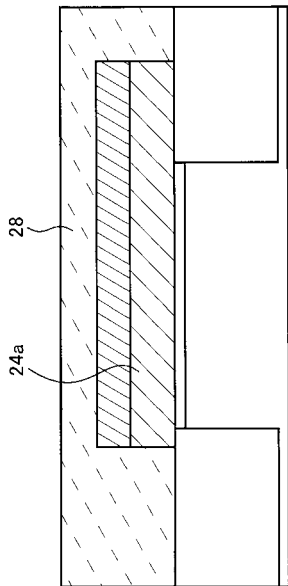
【図 5】



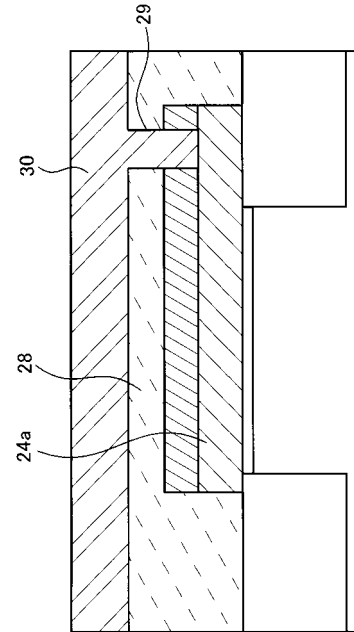
【図 6】



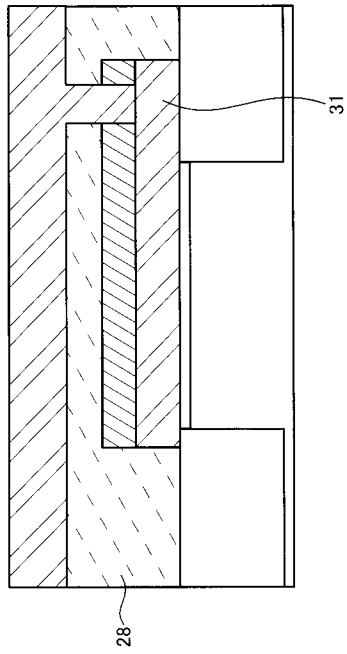
【図 7】



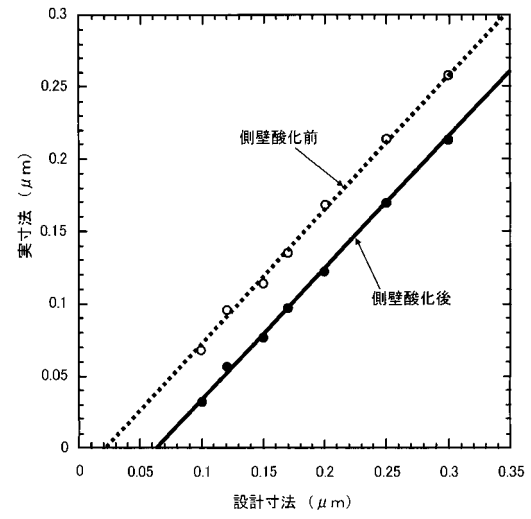
【図 8】



【図 9】



【図 10】



---

フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB02 BB06 BB36 CC05 DD02 DD04 DD06 DD16  
DD26 DD37 DD43 DD71 DD78 DD83 DD86 DD89 EE05 EE14  
EE17 GG09 GG10 GG14 HH05 HH14 HH16 HH20  
5F140 AA00 AA01 BA01 BD07 BD09 BD11 BE13 BF01 BF05 BG03  
BG04 BG08 BG12 BG26 BG33 BG36 BG37 BG49 BG50 BH14  
BK02 CB04 CC02 CC04 CC10 CC12 CC16 CE07