

**ÚŘAD PRO VYNÁLEZY**

A OBJEVY

(61)

(23) Výstavní priorita
(22) Přihlášeno 22 02 84
(21) PV 1205-84

(11)

(B1)

(51) Int. Cl.⁴

И 03 К 3/26

(40) Zveřejněno 16 07 85

(45) Vydáno 01 01 88

(75)

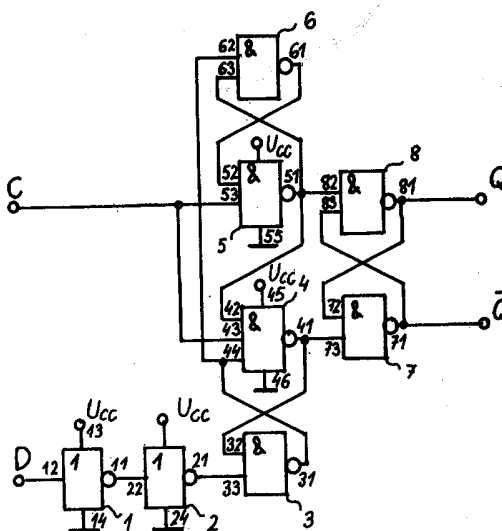
Autor vynálezu

KOTTEK EDUARD ing., PRAHA

(54)

Klopný obvod typu D s nulovým nebo sníženým přesahem

Jednofázový klopný obvod typu D, který umožňuje spolupráci s jinými klopnými obvody stejného druhu i při rozptylu zpoždění hradel způsobeném nedokonalým systémem rozvodu země a napájecího napětí. Přímé propojení výstupů na vstup D umožňuje nulový nebo snížený přesah klopného obvodu. Nulový nebo snížený přesah se dosáhne tím, že klopný obvod má v cestě datového signálu dvě invertující hradla, jejichž zpoždění je stejné nebo větší než zpoždění hradel určujících hodnotu přesahu. Stejného zpoždění hradel je dosaženo tím, že hradla topologicky sousedí a jsou připojena na stejný zemní a napájecí potenciál.



Předmětem vynálezu je klopný obvod, který umožňuje spolupráci s jinými klopnými obvody stejného druhu i při rozptylu zpoždění hradel způsobeném nedokonalým systémem rozvodu země a napájecího napětí. Tento problém vzniká například při realizaci logických obvodů na hradlových polích.

Klopné obvody dodávané jako obvody malé a střední integrace mají i přes rozptyl dynamických parametrů, mezi čipy vyráběnými v různých obdobích, na různých plátcích, různými výrobci, zajištěnou vzájemnou spolupráci díky definici dynamických parametrů a jejich kontrole při měření u výrobce. Například klopné obvody typu D vzorkované čelem hodinového impulsu, zobrazené na obr. 1a, které jsou dva v integrovaném obvodu MH7474, mají zajištěnou vzájemnou spolupráci i při přímém propojení výstupů Q na datové vstupy D. Uvažujeme-li nulový rozptyl čela hodinových impulsů mezi klopnými obvody, pak musí platit podle obr. 1b $t_{\text{hold max}} \leq t_{\text{PD}(C-Q)\text{min}}$, kde t_{hold} je přesah signálu na vstupu D proti čelu hodinového impulsu, $t_{\text{PD}(C-Q)}$ je zpoždění signálu mezi hodinovým vstupem C a výstupem Q, respektive $\bar{Q}$. Zanedbáme-li v prvním přiblížení rozdíl zpoždění signálu na hradle při přechodu výstupu na nízkou úroveň L nebo vysokou úroveň H a označíme-li zpoždění hradla NAND t_0 pak z rozboru funkce klopného obvodu vyplývá, že $t_{\text{hold max}} = t_{0 \text{ max}}$, $t_{\text{PD}(C-Q) \text{ min}} = 2t_{0 \text{ min}}$, takže by muselo platit, že $t_{0 \text{ max}} \leq 2t_{0 \text{ min}}$. Při správném návrhu je rozptyl čela hodinových impulsů na čipu zanedbatelný. Rozptyl zpoždění hradel na jednom čipu vyhovuje uvedenému vztahu, pokud je na čipu dokonalý rozvod země a napájení bez napěťových úbytků, které mohou ovlivnit hodnoty zpoždění hradel. U hradlových polí jsou hradla sestavena v pravoúhlé matici buď jednotlivě, nebo sdružená do buněk. Řádky nebo sloupce

buněk či hradel jsou napájeny ze sítě širších spojů - napájecích a zemních sběrnic. Hradla, připojená na různé zemní a napájecí sběrnice, kterými protékají různé napájecí proudy, pak mohou pracovat při odlišném zemním a napájecím potenciálu, což může ovlivnit jejich hodnoty zpoždění. Vlastnosti rozvodu země a napájení závisí na odporu a indukčnosti napájecích sběrnic.

U hradlových polí s rozvodem země a napájení bez napěťových úbytků, které by mohly ovlivnit hodnoty zpoždění, výrobci používají klopné obvody s jednofázovými hodinovými impulsy a výhodnými dynamickými vlastnostmi. Pro klopné obvody typu D vychází, podle obr. 1b, doba periody hodinových impulsů $T \geq 5t_0 + t_L$, kde t_L je zpoždění hradel zapojených mezi výstup Q a vstup D.

Pokud se nepodaří na hradlovém poli realizovat rozvod země a napájení bez napěťových úbytků ovlivňujících rozptyl hodnot zpoždění hradel, je možné použít dvoufázový nebo vícefázový rozvod hodinových impulsů. Dvoufázové klopné obvody pracují spolehlivě i pro libovolně malá zpoždění hradel a libovolně porušené hrany hodinových impulsů. Správnou funkci zajistí odpovídající nastavení šířky, opakovací periody a fázového odstupe hodinových impulsů. Jejich nevýhodou je nutnost dvoufázového rozvodu hodinových impulsů, který komplikuje propojení a zabírá signální vývody hradlového pole. Další nevýhodou je vyšší doba periody pro dané t_L a větší počet potřebných hradel. Například pro dvoufázové klopné obvody firmy IBM s logickými obvody mezi fázemi C2 a C1 platí $T \geq 7t_0 + t_L$ a klopný obvod se skládá z devíti hradel, pro dvoufázové klopné obvody podle ~~PV 6425-83~~ ^{cs. národního standardu 236 329} platí. $T \geq 6t_0 + t_L$ a klopný obvod se skládá z osmi hradel. Dynamické parametry vícefázových klopných obvodů se dále zhoršují tolerancemi nastavení a zpoždění jednotlivých fází hodinových impulsů.

Nevýhody vícefázových klopných obvodů odstraňuje použití jednofázových klopných obvodů typu D vzorkovaných čelem hodinového impulsu v kombinaci s klopnými obvody typu D podle vynálezu, které se vyznačují nulovým nebo sníženým přesahem vstupního

signálu. Pokud napěťové úbytky na rozvodu zvyšují rozptyl hodnot zpoždění hradel, lze vždy stanovit minimální počet logických stupňů k mezi dvěma klopnými obvody pracujícími synchronně se společnými hodinovými impulsy tak, aby byl dodržen přesah vstupního signálu. Zpoždění k logických stupňů $t_L = kt_0$ mění podmínku vzájemné spolupráce na vztah $t_{0 \max} \leq t_{0 \min} (2 + k)$. Znamená to, že pokud bude mezi dvěma klopnými obvody minimálně k hradel za sebou, například čtyři, lze použít známé klopné obvody typu D vzorkované čelem hodinového impulsu, které se skládají z šesti hradel. Doba periody hodinových impulsů $T \geq 5t_0 + t_L$ umožňuje využít maximální počet logických stupňů mezi dvěma klopnými obvody. V případě, že je mezi klopnými obvody v některé větvi méně než k logických stupňů, může se doplnit počet stupňů na k nebo se na místě druhého klopného obvodu použije klopný obvod typu D s nulovým nebo sníženým přesahem vstupního signálu. Klopný obvod typu D s nulovým nebo sníženým přesahem vstupního signálu obsahuje o jedno až dvě hradla více a má větší hodnotu předstihu vstupního signálu $t_{\text{set up}}$. K omezení doby periody hodinových impulsů však nedochází, protože klopný obvod s nulovým nebo sníženým přesahem vstupního signálu se používá jen tehdy, když je předřazeno méně než k logických stupňů a zpoždění kt_0 bývá podstatně menší než doba periody hodinových impulsů T .

Podstata klopného obvodu typu D s nulovým nebo sníženým přesahem vstupního signálu spočívá v tom, že výstupní svorka prvního hradla je spojena se vstupní svorkou druhého hradla, jehož výstupní svorka je spojena s první vstupní svorkou třetího hradla, jehož výstupní svorka je spojena s první vstupní svorkou čtvrtého hradla a s první vstupní svorkou šestého hradla, jehož výstupní svorka je spojena s první vstupní svorkou pátého hradla, jehož výstupní svorka je spojena s druhou vstupní svorkou čtvrtého hradla a druhou vstupní svorkou šestého hradla a první vstupní svorkou osmého hradla, jehož výstupní svorka tvoří přímou výstupní svorku klopného obvodu a je připojena k první vstupní svorce sedmého hradla jehož výstupní svorka tvoří negovanou výstupní svorku klopného obvodu a je připojena k druhé vstupní svorce osmého hradla a jehož druhá vstup-

ní svorka je spojena s výstupní svorkou čtvrtého hradla a s druhou vstupní svorkou třetího hradla, dále vstupní svorka prvního hradla, tvoří vstupní svorku klopného obvodu, druhá vstupní svorka pátého hradla spojená s třetí vstupní svorkou čtvrtého hradla tvoří hodinovou svorku klopného obvodu, přičemž první hradlo je elektricky shodné se čtvrtým hradlem nebo je první hradlo modifikované na vyšší hodnotu zpoždění při přechodu výstupu na nízkou úroveň než čtvrté hradlo, se kterým topologicky sousedí a zemní svorka čtvrtého hradla je připojena na stejnou zemní sběrnici jako zemní svorka prvního hradla. Rovněž může být napájecí svorka čtvrtého hradla připojena na stejnou napájecí sběrnici jako napájecí svorka prvního hradla. Dále může být druhé hradlo elektricky shodné s pátým hradlem nebo je druhé hradlo modifikováno na vyšší hodnotu zpoždění při přechodu výstupu na nízkou úroveň než páté hradlo, s kterým topologicky sousedí a zemní svorka pátého hradla je připojena na stejnou zemní sběrnici jako zemní svorka druhého hradla. V jiném případě může být délka úseku na zemní sběrnici mezi zemní svorkou čtvrtého hradla a zemní svorkou prvního hradlo menší než délka úseku na zemní sběrnici mezi zemní svorkou čtvrtého hradla a zemní svorkou kteréhokoliv jiného hradla. V jiném provedení může být první hradlo negační součtové - součinnové hradlo, jehož první vstupní svorka první součtové sekce tvoří první vstupní svorku klopného obvodu, první vstupní svorka druhé součtové sekce tvoří druhou vstupní svorku klopného obvodu a druhá vstupní svorka druhé součtové sekce je spojena s výstupem invertoru, jehož vstupní svorka je spojena s druhou vstupní svorkou první součtové sekce prvního hradla a tvoří řídicí svorku klopného obvodu.

Výhodou řešení podle vynálezu je, že vyžaduje pouze jednofázové hodinové impulsy, čímž se zjednoduší rozvod hodinových impulsů a zmenší počet obsazených vývodů integrovaného obvodu. Systém s jednofázovým rozvodem hodin na hradlových polích je plně kompatibilní se systémem používajícím standardní integrované obvody, nevyžaduje generátor vícefázových hodin. Tato výhoda se uplatní zvláště v těch případech, kdy se hradlovým polem nahrazuje pouze část stávajícího systému složená převážně z obvodů malé integrace nebo když je neekonomické v novém systému

nevyužít standardních obvodů střední a velké integrace. U jedno-
fázového systému lze také dosáhnout lepších dynamických para-
metrů a úspory celkového počtu hradel.

Dva příklady klopného obvodu podle vynálezu jsou znázorně-
ny na připojených výkresech. Na obr. 1a je propojení dvou
známých klopných obvodů typu D vzorkovaných čelem hodinového
impulsu, na obr. 1b je časový diagram zapojení. Na obr.
2a je zapojení klopného obvodu typu D podle vynálezu a na obr.

2b jeho časový diagram. Na obr. 3 je znázorněno jedno
z možných zapojení dvou invertorů za sebou v provedení STTL. Na
obr. 4 je zapojení klopného obvodu podle vynálezu vybaveného
řídící svorkou M.

Klopný obvod typu D na obr. 2a se skládá ze dvou inver-
torů a šesti negačních součinnových hradel, která jsou zapojena
tak, že výstupní svorka 11 hradla 1 je spojena se vstupní svor-
kou 22 hradla 2. Jeho výstupní svorka 21 je spojena se vstupní
svorkou 33 hradla 3. Výstupní svorka 31 hradla 3 je spojena se
vstupní svorkou 44 hradla 4 a se vstupní svorkou 62 hradla 6.
Jeho výstupní svorka 61 je spojena se vstupní svorkou 52 hradla
5. Výstupní svorka 51 hradla 5 je spojena se vstupní svorkou 42
hradla 4, se vstupní svorkou 63 hradla 6 a vstupní svorkou 82
hradla 8. Výstupní svorka 81 tvoří přímou výstupní svorku Q
klopného obvodu a je připojena ke vstupní svorce 72 hradla 7.
Výstupní svorka 71 hradla 7 tvoří negovanou výstupní svorku $\bar{Q}$
klopného obvodu a je připojena k vstupní svorce 83 hradla 8.
Vstupní svorka 73 hradla 7 je spojena s výstupní svorkou 41
hradla 4 a vstupní svorkou 32 hradla 3. Vstupní svorka 12 hrad-
la 1 tvoří vstupní svorku D klopného obvodu. Vstupní svorka 53
hradla 5 spojená se vstupní svorkou 43 hradla 4 tvoří hodinovou
svorku C klopného obvodu. Hradlo 1 je elektricky shodné s hrad-
lem 4 nebo je hradlo 1 modifikované na vyšší hodnotu zpoždění
při přechodu výstupu na nízkou úroveň než hradlo 4. Hradlo 1
s hradlem 4 topologicky sousedí. Zemní svorka 46 hradla 4 je při-
pojena na stejnou zemní sběrnici jako zemní svorka 14 hradla 1.

Část klopného obvodu na obrázku 2a s hradly 3 až 8 pracuje

stejně jako známý klopný obvod typu D vzorkovaný čelem hodinového impulsu, který je obsažen dvakrát v MH7474. Mezi vstupem dat D a svorkou 21, která odpovídá datovému vstupu známého klopného obvodu, jsou zařazena dvě hradla 1, 2, která zajišťují, že potřebná hodnota přesahu signálu na vstupu D oproti čelu hodinového impulsu je nulová nebo snižená. Z rozboru dynamických vlastností klopného obvodu a obr. 2b vyplývá, že pro nulový přesah vstupního signálu platí podmínky

$$t_{PHL1 \min} + t_{PLH2 \min} \geq t_{PHL4 \max}$$

$$t_{PLH1 \min} + t_{PHL2 \min} + t_{PLH3 \min} \geq t_{PHL5 \max},$$

kde t_{PHL} je zpoždění hradla při přechodu výstupu na úroveň L, t_{PLH} je zpoždění hradla při přechodu výstupu na úroveň H. Čísla v indexu určují hradlo, o jehož zpoždění se jedná. Zajistíme-li, že zpoždění signálu t_{PHL} na hradlech 1 a 4 jsou stejná a zpoždění t_{PHL} na hradlech 2 a 5 jsou stejná, budou podmínky pro nulový přesah splněny. Stejná zpoždění se dosáhnou tím, že obě hradla každé dvojice, například 1, 4, budou elektricky shodná, umístíme je do topologicky sousedních pozic a připojíme na stejnou zemní a napájecí sběrnici.

Pojem elektricky shodná hradla znamená, že obě hradla jsou vytvořena ze součástí stejných elektrických vlastností, například tranzistorů o stejném tvaru a geometrických rozměrech, rezistorů se stejnou hodnotou odporu a podobně. Hradla topologicky sousedí, když jsou na čipu vedle sebe, přičemž mezi nimi může procházet napájecí sběrnice, zemní sběrnice a signální spoje. Na zpoždění hradel má vliv ještě jejich zatěžovací kapacita. Pokud je klopný obvod vytvořen jako funkční celek z několika topologicky sousedních hradel, jak bývá zvykem, je vliv rozdílu zatěžovací kapacity hradel 1, 4 a 2, 5 na zpoždění těchto hradel zanedbatelný. Připojením hradel, která topologicky sousedí, na stejnou zemní sběrnici je pro obě hradla zajištěn stejný potenciál zemní svorky. Připojením hradel, která topologicky sousedí, na stejnou napájecí sběrnici je pro obě hradla zajištěn stejný potenciál napájecí svorky U_{CC} . Zemních i napájecích svorek hradla může být několik, všechny rozhodující o zpoždění musí být připojeny na stejnou sběrnici. Hradla 1, 2 mohou být libovolná in-

vertující hradla - invertory, hradla NAND, NOR, AND-NOR.

Někdy může být výhodné hradla 1 nebo 2 modifikovat na vyšší zpoždění t_{PHL} a tím dále snížit hodnotu přesahu vstupního signálu. Příkladem takové úpravy hradla 1 v provedení STTL je vypuštění výstupních omezovacích Schottkyho diod 97, 98 nebo rezistoru 95, jak je naznačeno na obr. 3, snížení hodnoty odporu rezistoru 96 a podobně.

V některých případech není nutné, aby zpoždění hradla 2 a hradla 5 bylo stejné. Vyplývá to z toho, že minimální zpoždění klopného obvodu na obr. 1a nebo 2a mezi čelem hodinového impulsu a výstupem Q při přechodu výstupu na úroveň L

$$t_{PHL(C-Q)min} = t_{PHL4 min} + t_{PLH7 min} + t_{PHL8 min}.$$

Obdobný vztah platí i pro minimální zpoždění na výstup $\bar{Q}$. Při změně úrovně L na H na vstupu D není pro přímé propojení klopných obvodů nutný nulový přesah vstupního signálu, ale postačí dodržet podmínku sníženého přesahu

$$t_{PLH4 min} + t_{PLH7 min} + t_{PHL8 min} + t_{PLH1 min} + t_{PHL2 min} + t_{PLH3 min} \geq t_{PHL5 max}$$

Zanedbáme-li rozdíl zpoždění při přechodu výstupu na úroveň H a L, potom musí platit $6 t_0 min \geq t_0 max$. V takových případech nemusí být hradla 2 a 5 elektricky shodná a hradlo 2 lze zjednodušit. To může být výhodné zvláště v tom případě, obsahuje-li buňka hradlového pole některé součástky navíc. Například obsahuje-li buňka hradlového pole STTL součástky pro dvě hradla a jeden tranzistor, lze hradla 1, 2 zapojit jako hradlo AND plně znázorněné na obr. 3, takže klopný obvod podle vynálezu je složen pouze ze tří a jedné poloviny buňky, to je sedmi hradel hradlového pole.

V případě, že odpor nebo indukčnost napájecí či zemní sběrnice jsou tak velké, že i napěťový úbytek mezi sousedními hradly připojenými ke stejné sběrnici může ovlivnit jejich zpoždění, je nutné navrhnout propojení klopného obvodu tak, aby délka úseku na zemní sběrnici mezi zemními svorkami hradel 1, 4 a 2, 5 a délka úseku na napájecí sběrnici mezi napájecími svorkami hradel 1, 4, eventuálně 2, 5, byla co nejkratší. Výhodné je, když úsek

na zemní sběrnici mezi zemní svorkou 46 hradla 4 a zemní svorkou 14 hradla 1 je menší než délka úseku na zemní sběrnici mezi zemní svorkou 46 hradla 4 a zemní svorkou kteréhokoliv jiného hradla 2 až 8.

Na obr. 4 je znázorněn klopný obvod typu D podle vynálezu vybavený řídicím vstupem M a dalším vstupem D2. Zapojení se od zapojení na obr. 2a liší pouze tím, že je použito negačně součtově - součinnové hradlo 1, jehož vstupní svorka 12 tvoří vstupní svorku D1, klopného obvodu, vstupní svorka 16 tvoří vstupní svorku D2. Vstupní svorka 17 je spojena s výstupem 91 invertoru 9, jehož vstupní svorka 92 je spojena se vstupní svorkou 15 hradla 1 a tvoří řídicí svorku M klopného obvodu.

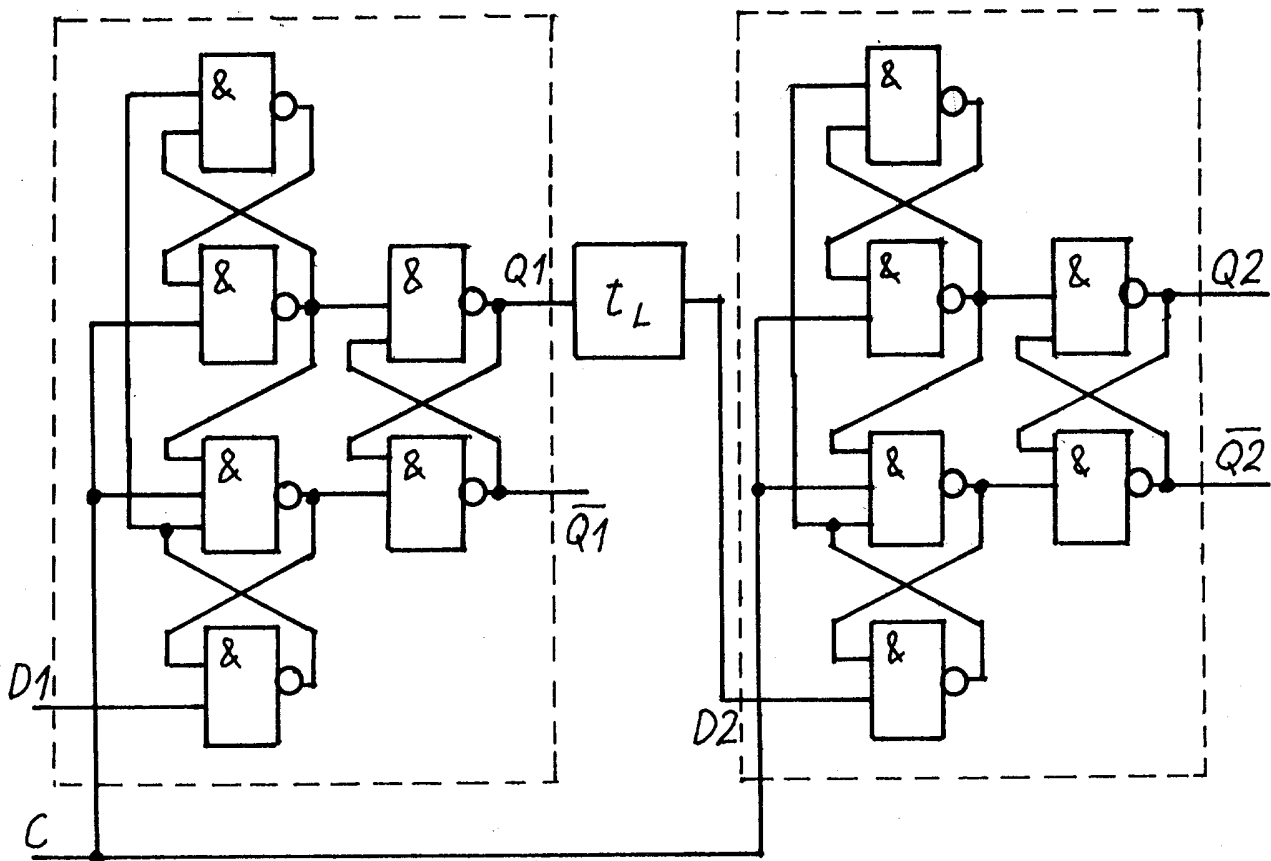
Klopný obvod v této úpravě může sloužit jako klopný obvod typu D se dvěma nezávislými vstupními signály, z nichž jeden lze využít například k propojení do posuvného registru pro diagnostické účely. Další možností je vytvoření klopného obvodu s možností podmíněného taktování. V tom případě se propojí výstup Q například na vstup D2, vstup M se stává podmínkovým vstupem. Hradlo 1 může mít i více součtových sekcí, například tři. Potom je možné vytvořit třeba klopný obvod s podmíněným taktováním a dvěma nezávislými vstupními signály.

P Ř E D M Ě T V Y N Á L E Z U

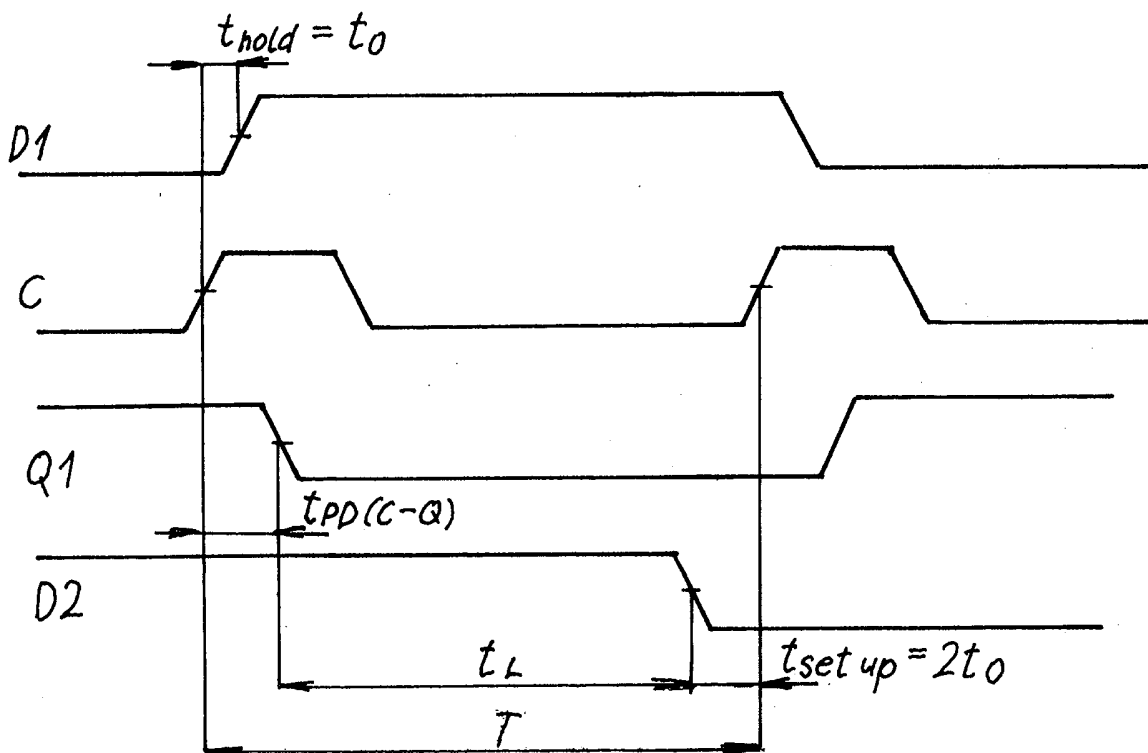
240 802

1. Klopný obvod typu D s nulovým nebo sníženým přesahem, v y z n a č e n ý t í m , že výstupní svorka (11) prvního hradla (1) je spojena se vstupní svorkou (22) druhého hradla (2), jehož výstupní svorka (21) je spojena s první vstupní svorkou (33) třetího hradla (3), jehož výstupní svorka (31) je spojena s první vstupní svorkou (44) čtvrtého hradla (4) a s první vstupní svorkou (62) šestého hradla (6), jehož výstupní svorka (61) je spojena s první vstupní svorkou (52) pátého hradla (5), jehož výstupní svorka (51) je spojena s druhou vstupní svorkou (42) čtvrtého hradla (4) a druhou vstupní svorkou (63) šestého hradla (6) a první vstupní svorkou (82) osmého hradla (8), jehož výstupní svorka (81) tvoří přímou výstupní svorku Q klopného obvodu a je připojena k první vstupní svorce (72) sedmého hradla (7), jehož výstupní svorka (71) tvoří negovanou výstupní svorku ($\bar{Q}$) klopného obvodu a je připojena k druhé vstupní svorce (83) osmého hradla (8) a jehož druhá vstupní svorka (73) je spojena s výstupní svorkou (41) čtvrtého hradla (4) a s druhou vstupní svorkou (32) třetího hradla (3), dále vstupní svorka (12) prvního hradla (1) tvoří vstupní svorku (D) klopného obvodu, druhá vstupní svorka (53) pátého hradla (5) spojená s třetí vstupní svorkou (43) čtvrtého hradla (4) tvoří hodinovou svorku (C) klopného obvodu, přičemž první hradlo (1) je elektricky shodné se čtvrtým hradlem (4) nebo je první hradlo (1) modifikované na vyšší hodnotu zpoždění při přechodu výstupu na nízkou úroveň než čtvrté hradlo (4), se kterým topologicky sousedí, a zemní svorka (46) čtvrtého hradla (4) je připojena na stejnou zemní sběrnici jako zemní svorka (14) prvního hradla (1).
2. Klopný obvod typu D s nulovým nebo sníženým přesahem, podle bodu 1, v y z n a č e n ý t í m , že napájecí svorka (45) čtvrtého hradla (4) je připojena na stejnou napájecí sběrnici jako napájecí svorka (13) prvního hradla (1).

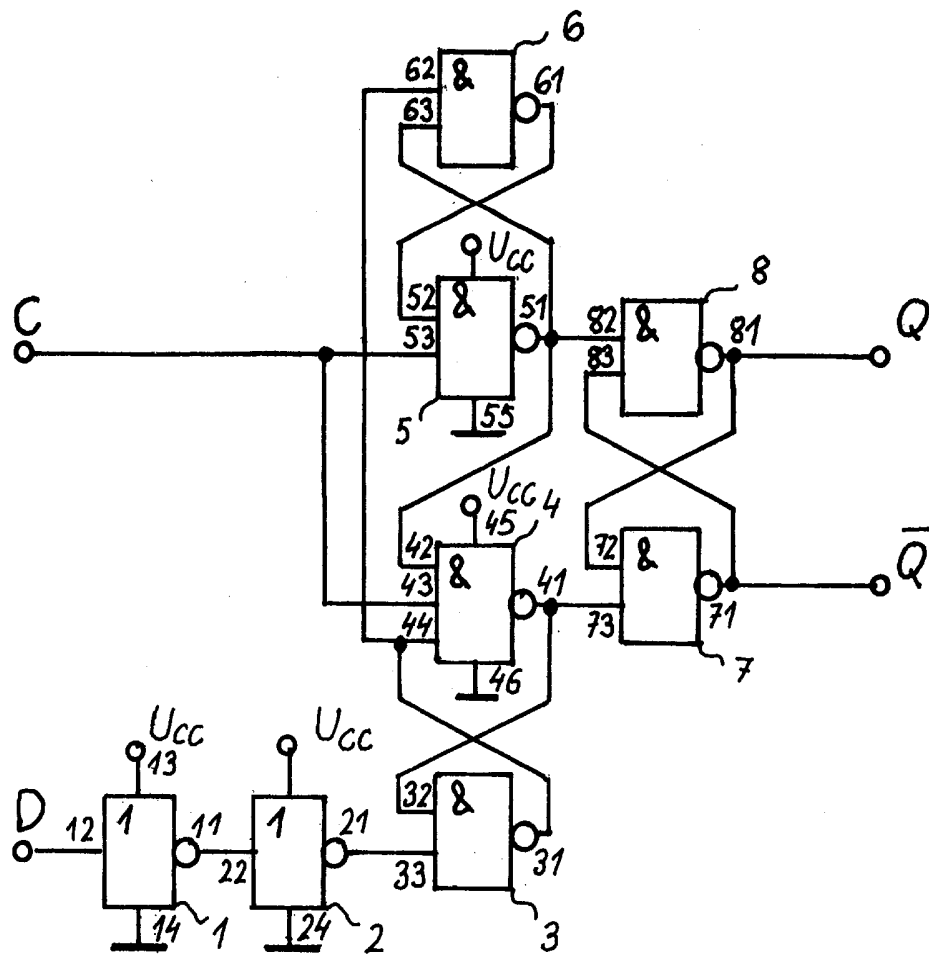
3. Klopný obvod typu D podle bodu 1, v y z n a č e n ý t í m , že druhé hradlo (2) je elektricky shodné s pátým hradlem (5) nebo je druhé hradlo (2) modifikované na vyšší hodnotu zpoždění při přechodu výstupu na nízkou úroveň než páté hradlo (5), s kterým topologicky sousedí, a zemní svorka (55) pátého hradla (5) je připojen na stejnou zemní sběrnici jako zemní svorka (24) druhého hradla (2).
4. Klopný obvod typu D s nulovým nebo sníženým přesahem podle bodu 1, v y z n a č e n ý t í m , že délka úseku na zemní sběrnici mezi zemní svorkou (46) čtvrtého hradla (4) a zemní svorkou (14) prvního hradla (1) je menší než délka úseku na zemní sběrnici mezi zemní svorkou (46) čtvrtého hradla (4) a zemní svorkou kteréhokoliv jiného hradla (2 až 8).
5. Klopný obvod typu D s nulovým nebo sníženým přesahem podle bodu 1, v y z n a č e n ý t í m , že první hradlo (1) je negační součtově-součinnové hradlo, jehož první vstupní svorka (12) první součtové sekce tvoří první vstupní svorku (D1) klopného obvodu, první vstupní svorka (16) druhé součtové sekce tvoří druhou vstupní svorku (D2) klopného obvodu a druhá vstupní svorka (17) druhé součtové sekce je spojena s výstupem (91) invertoru (9), jehož vstupní svorka (92) je spojena s druhou vstupní svorkou (15) první součtové sekce prvního hradla (1) a tvoří řídicí svorku (M) klopného obvodu.

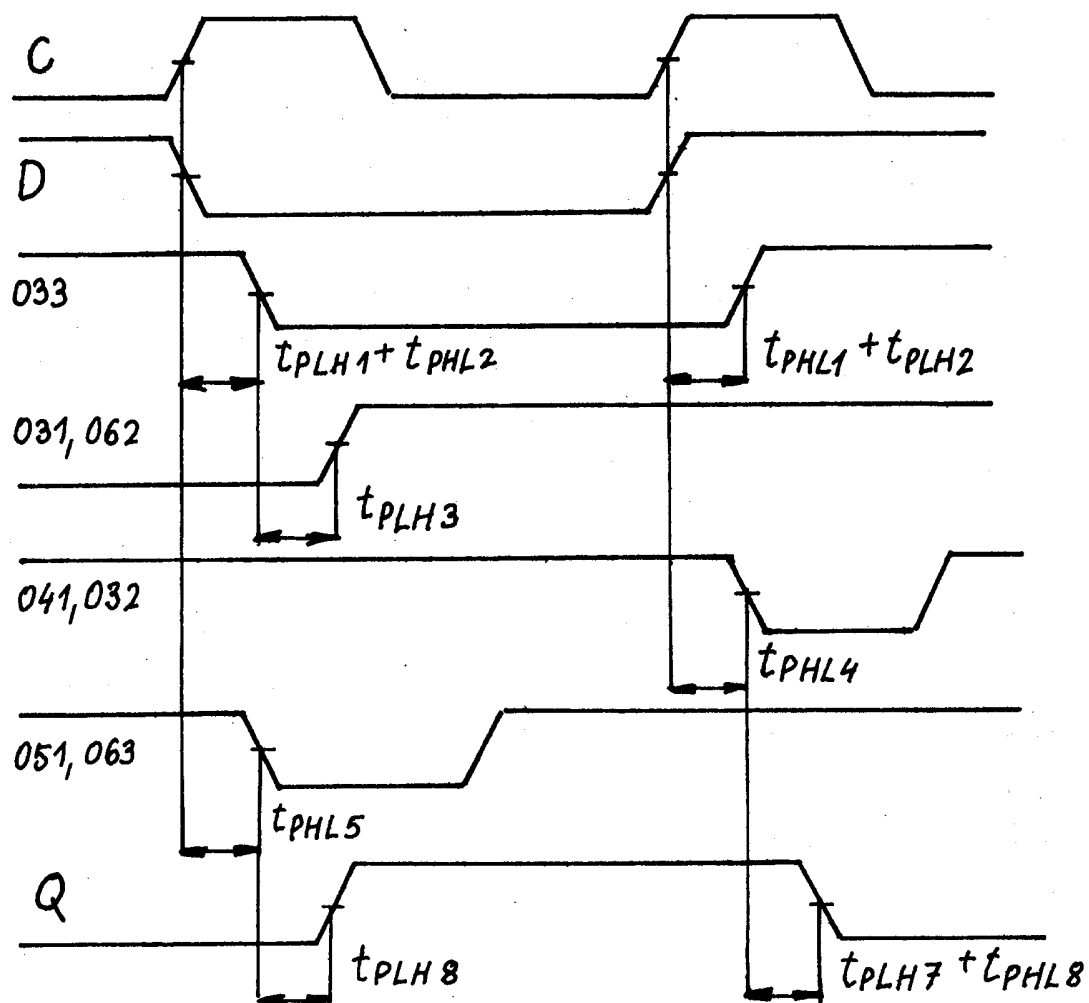


Obr. 1'a

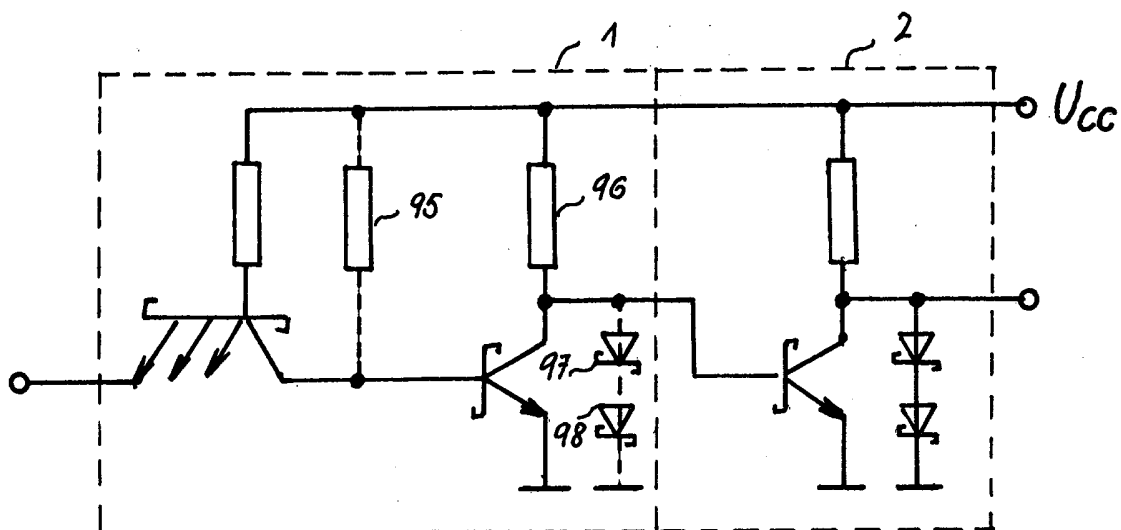


Obr. 1

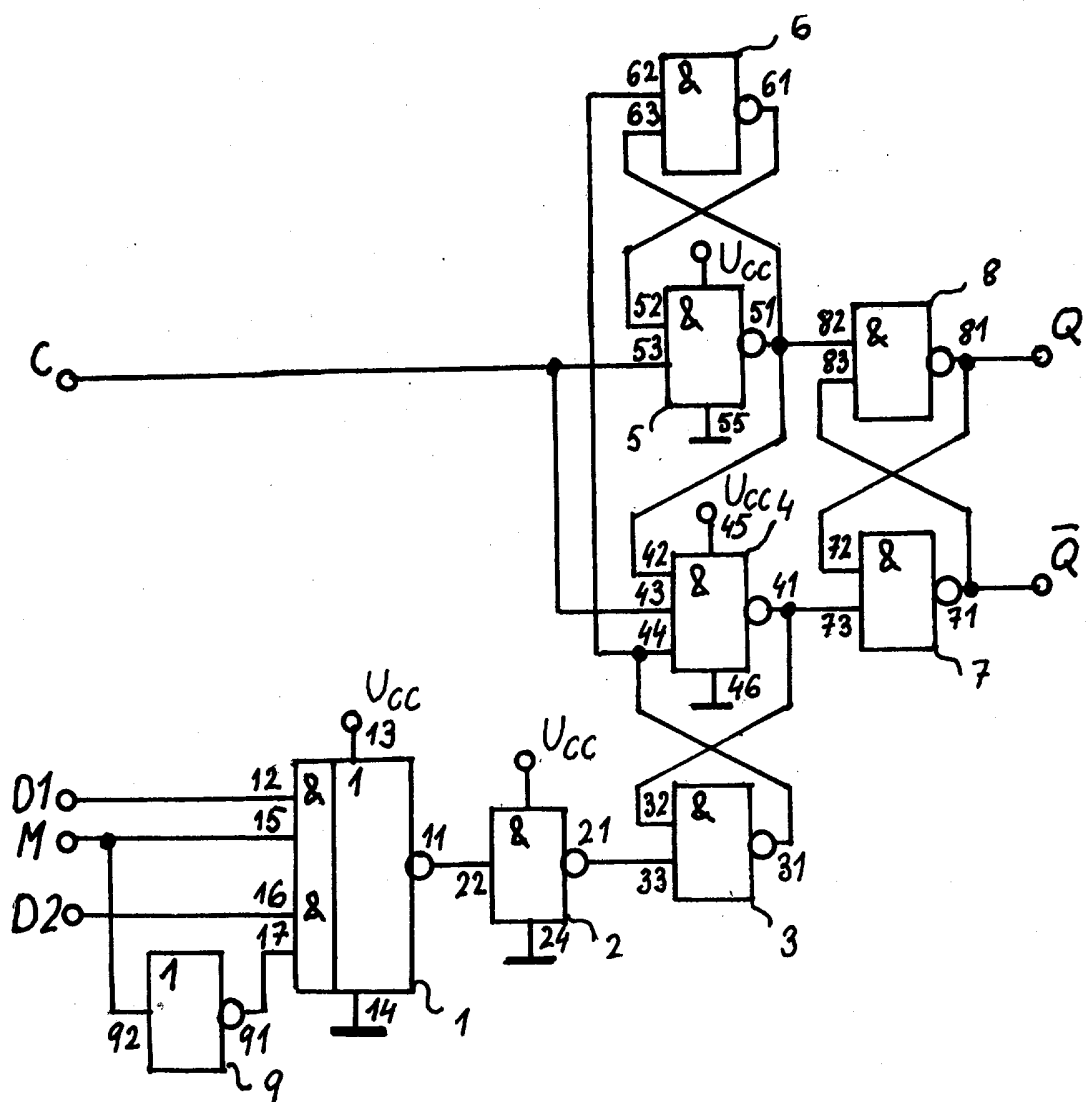
Obr. 2. *a*



Obr. 2 'b



Obr. 3



Obr. 4