

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-67828

(P2023-67828A)

(43)公開日 令和5年5月16日(2023.5.16)

| (51)国際特許分類               | F I             | テーマコード(参考)  |
|--------------------------|-----------------|-------------|
| G 0 1 R 31/28 (2006.01)  | G 0 1 R 31/28   | G 2 G 1 3 2 |
| G 0 1 R 31/3177(2006.01) | G 0 1 R 31/3177 | 5 F 0 3 8   |
| H 0 1 L 21/822(2006.01)  | G 0 1 R 31/28   | V           |
|                          | H 0 1 L 27/04   | T           |

審査請求 未請求 請求項の数 13 O L 外国語出願 (全18頁)

|                                      |   |
|--------------------------------------|---|
| (21)出願番号 特願2022-172369(P2022-172369) | (71)出願人 599158797<br>インフィニオン テクノロジーズ アクチ<br>エンゲゼルシャフト<br>Infineon Technolog<br>ies AG<br>ドイツ連邦共和国 8 5 5 7 9 ノイビー<br>ベルク アム カンピオン 1 - 1 5<br>Am Campeon 1 - 1 5 , 8 5<br>5 7 9 Neubiberg , Germ<br>any |
| (22)出願日 令和4年10月27日(2022.10.27)       | (74)代理人 100114890<br>弁理士 アインゼル・フェリックス=ラ<br>インハルト  |
| (31)優先権主張番号 10 2021 128 331.0        | (74)代理人 100098501<br>弁理士 森田 拓   |
| (32)優先日 令和3年10月29日(2021.10.29)       |   |
| (33)優先権主張国・地域又は機関<br>ドイツ(DE)         |   |

最終頁に続く

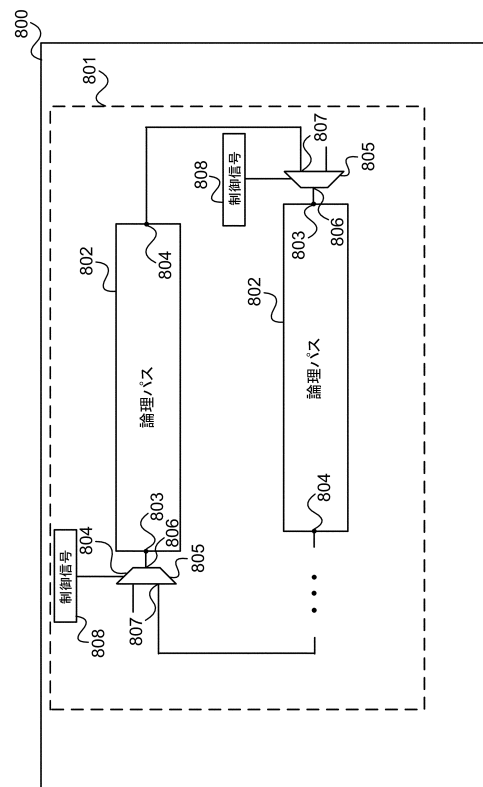
(54)【発明の名称】 集積回路、集積回路をテストするテスト装置および方法

(57)【要約】 (修正有)

【課題】集積回路の性能をテストするためのより効率的なアプローチを提供する。

【解決手段】リングオシレータ回路801は、複数の論理バス802を有しており、各論理バスは、1つのバス入力側803と、1つのバス出力側804と、1つの入力側マルチプレクサ805と、を有しており、入力側マルチプレクサ805は、論理バスのバス入力側803に接続されている出力側806を有している。入力側マルチプレクサ805は、テストモードを示す制御信号808が入力側マルチプレクサ(入力側マルチプレクサの制御入力側)に供給されると、入力側マルチプレクサがデータ入力側807を、(入力側マルチプレクサが属している)論理バスのバス入力側803に接続するように構成されている。

【選択図】図8



## 【特許請求の範囲】

## 【請求項 1】

集積回路であって、前記集積回路は

少なくとも 1 つのリングオシレータ回路を有しており、前記少なくとも 1 つのリングオシレータ回路は、

複数の論理パスを有しており、各論理パスは、1 つのパス入力側と、1 つのパス出力側と、前記論理パスの前記パス入力側に接続されている出力側を有している 1 つの入力側マルチプレクサと、を有しており、

前記論理パスの各論理パスに、第 1 の論理パスで開始して、各後続の論理パスが割り当てられており、前記割り当ては、前記論理パスの前記パス出力側が前記後続の論理パスの前記入力側マルチプレクサのデータ入力側に接続されていることによって行われ、前記論理パスの最後の論理パスに前記第 1 の論理パスが後続の論理パスとして割り当てられており、

各論理パスに対して、前記入力側マルチプレクサは、テストモードを示す制御信号が前記入力側マルチプレクサに供給されると、前記入力側マルチプレクサが、前記入力側マルチプレクサの前記データ入力側を、前記論理パスの前記パス入力側に接続するように構成されている、  
集積回路。

## 【請求項 2】

各論理パスは、相前後して接続されている複数の論理ゲートのチェーンを有している、かつ/または、データバス線路を有している、  
請求項 1 記載の集積回路。

## 【請求項 3】

前記入力側マルチプレクサは、さらなるデータ入力側を有しており、前記入力側マルチプレクサは、通常動作モードを示す制御信号が前記入力側マルチプレクサに供給されると、前記入力側マルチプレクサが、前記さらなるデータ入力側を、前記論理パスの前記パス入力側に接続するように構成されている、  
請求項 1 または 2 記載の集積回路。

## 【請求項 4】

前記入力側マルチプレクサは、2 対 1 マルチプレクサである、  
請求項 1 から 3 までのいずれか 1 項記載の集積回路。

## 【請求項 5】

前記少なくとも 1 つのリングオシレータ回路は、テスト出力側を有しており、前記集積回路は、前記テスト出力側に接続されているテスト端子を有している、  
請求項 1 から 4 までのいずれか 1 項記載の集積回路。

## 【請求項 6】

前記テスト出力側は、前記論理パスのうちの 1 つの論理パスと前記後続の論理パスとの間の接続部に配置されている、  
請求項 5 記載の集積回路。

## 【請求項 7】

前記複数の論理パスのうちの各論理パスは、相前後して接続されている複数の論理ゲートのチェーンを有しており、前記少なくとも 1 つのリングオシレータ回路に、1 つまたは複数のスキャンフリップフロップが割り当てられており、前記 1 つまたは複数のスキャンフリップフロップは、次のように前記リングオシレータ回路の前記論理パスの前記チェーンの前記論理ゲートの少なくとも一部の入力側に接続されている、すなわち、前記 1 つまたは複数のスキャンフリップフロップが事前に規定された側方インプットパターンを記憶している場合に、前記リングオシレータ回路の各論理パスに対して、前記論理パスの前記チェーンの前記論理ゲートが、前記論理パスの前記チェーンの第 1 の論理ゲートの入力側から前記論理パスの前記チェーンの最後の論理ゲートの前記出力側へシリアル 1 ビット論理パスを形成するように、接続されている、

10

20

30

40

50

請求項 1 から 6 までのいずれか 1 項記載の集積回路。

【請求項 8】

各論理パスには、少なくとも 1 つのスキャンフリップフロップを含んでいる 1 つのスキャンフリップフロップグループが割り当てられており、前記論理パスの前記入力側マルチプレクサは、前記論理パスに割り当てられている前記スキャンフリップフロップグループのうちの前記少なくとも 1 つのスキャンフリップフロップによって記憶されているビットに関連して、前記入力側マルチプレクサが、前記入力側マルチプレクサの前記データ入力側を前記論理パスの前記パス入力側に接続するように、制御される、

請求項 1 から 7 までのいずれか 1 項記載の集積回路。

【請求項 9】

前記集積回路は、複数のリングオシレータ回路を有しており、各リングオシレータ回路は、

複数の論理パスを有しており、各論理パスは、1 つのパス入力側と、1 つのパス出力側と、前記論理パスの前記パス入力側に接続されている出力側を有している 1 つの入力側マルチプレクサと、を有しており、

前記論理パスの各論理パスに、第 1 の論理パスで開始して、各後続の論理パスが割り当てられており、前記割り当ては、前記論理パスの前記パス出力側が前記後続の論理パスの前記入力側マルチプレクサのデータ入力側に接続されていることによって行われ、前記論理パスの最後の論理パスに前記第 1 の論理パスが後続の論理パスとして割り当てられており、

各論理パスに対して、前記入力側マルチプレクサは、前記テストモードを示す制御信号が前記入力側マルチプレクサに供給されると、前記入力側マルチプレクサが、前記入力側マルチプレクサの前記データ入力側を、前記論理パスの前記パス入力側に接続するように構成されている、

請求項 1 から 8 までのいずれか 1 項記載の集積回路。

【請求項 10】

各リングオシレータ回路の各論理パスに、少なくとも 1 つのスキャンフリップフロップを含んでいる 1 つのスキャンフリップフロップグループが割り当てられており、前記論理パスの前記入力側マルチプレクサは、前記論理パスに割り当てられている前記スキャンフリップフロップグループのうちの前記少なくとも 1 つのスキャンフリップフロップによって記憶されているビットに関連して、前記入力側マルチプレクサは、前記入力側マルチプレクサの前記データ入力側を前記論理パスの前記パス入力側に接続するように制御され、異なるリングオシレータ回路の前記論理パスに、異なるスキャンフリップフロップグループが割り当てられている、

請求項 9 記載の集積回路。

【請求項 11】

請求項 9 または 10 記載の集積回路をテストするテスト装置であって、

前記テスト装置は、各リングオシレータ回路および各論理パスに対して、前記リングオシレータ回路の前記論理パスの前記入力側マルチプレクサに、前記テストモードを示す前記制御信号を供給し、前記リングオシレータ回路によって前記テストモードにおいて生成された測定信号を受信するように構成されている、

【請求項 12】

前記テスト装置は、受信した前記測定信号の発振周波数から前記集積回路の性能を求めよう構成されている分析機器を有している、

請求項 11 記載のテスト装置。

【請求項 13】

請求項 9 または 10 記載の集積回路をテストする方法であって、前記方法は、

各リングオシレータ回路および各論理パスに対して、前記リングオシレータ回路の前記論理パスの前記入力側マルチプレクサへ、前記テストモードを示す前記制御信号を供給す

10

20

30

40

50

ることステップと、

前記リングオシレータ回路によって前記テストモードにおいて生成された測定信号を受信するステップと、  
を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施例は概して、集積回路、集積回路をテストするテスト装置および方法に関する。

【背景技術】

【0002】

例えば例えば車両用の集積回路、例えばマイクロコントローラ(MCU)は、高い品質基準を満たさなければならず、したがって、徹底的にテストされる。性能検査(英語: performance screening)は、このテストの範囲である。性能検査では、集積回路の性能とは、最悪のケース(すなわちワースト・ケース条件)における集積回路の最大クロック周波数である。性能検査に合格しなかった回路(例えばチップ)は、典型的には選別して除外される。

10

【0003】

しかし、例えばマイクロコントローラの性能は、多数の機器パラメータおよび周囲条件に関連する。直接的な性能測定の場合には、マイクロコントローラが使用されるあらゆる適用事例をテストするために、システムレベルでの包括的なテストが必要になるだろう。しかし、マイクロコントローラは、コストプレッシャーが高い大量生産製品であるのに、システムレベルでのテストは、多くの手間および莫大なテストコストと結びついている。

20

【0004】

したがって、通常、性能を間接的に測定するためにテスト構造体を使用される。しかし、パラメータ(ここでは性能など)を特定するために間接的な測定が使用される場合、測定の精度は、テスト構造体の質に著しく左右される。高い精度が得られる一種のテスト構造体は、リングオシレータ(RO)、特に集積回路内に自身の通常機能用に設けられているゲートから形成される機能性リングオシレータである。ここでは、(例えば他のテストを実行するために、かつ通常動作のために)集積回路内に設けられているスキャンフリップフロップのゲートに対する適切な側方インプットが供給され、これによってこれらのゲートが論理パスを形成する。

30

【0005】

しかし、集積回路内に多数のリングオシレータ(機能性リングオシレータとも称される)を実装することは、典型的には著しいオーバーヘッド、特にルーティングコスト(Routing-Aufwand)を生じさせてしまう。それゆえに、集積回路の性能をテストするためのより効率的なアプローチが望まれている。

【発明の概要】

【課題を解決するための手段】

【0006】

一実施例によれば、集積回路が提示され、この集積回路は少なくとも1つのリングオシレータ回路を有しており、少なくとも1つのリングオシレータ回路は、複数の論理パスを有しており、各論理パスは、1つのパス入力側と、1つのパス出力側と、論理パスのパス入力側に接続されている出力側を有している1つの入力側マルチプレクサと、を有しており、これらの論理パスの各論理パスに、第1の論理パスで開始して、各後続の論理パスが割り当てられており、この割り当ては論理パスのパス出力側が後続の論理パスの入力側マルチプレクサのデータ入力側に接続されていることによって行われ、これらの論理パスの最後の論理パスに第1の論理パスが後続の論理パスとして割り当てられており、各論理パスに対して、入力側マルチプレクサは、テストモードを示す制御信号が入力側マルチプレクサに供給されると、入力側マルチプレクサが、入力側マルチプレクサのデータ入力側を、論理パスのパス入力側に接続するように構成されている。

40

50

## 【 0 0 0 7 】

別の実施形態によれば、上述したような、集積回路をテストするテスト装置および方法が提示される。

## 【 0 0 0 8 】

図面は、実際の大きさの状況を再現するものではなく、種々異なる実施例の原理を説明するために用いられるものである。以降では、種々異なる実施例を、以降の図に関連して説明する。

## 【 図面の簡単な説明 】

## 【 0 0 0 9 】

【 図 1 】 一実施形態による集積回路（もしくはチップ）を示す図である。

10

【 図 2 】 リングオシレータを示す図である。

【 図 3 】 集積回路内に機能性リングオシレータを形成する回路を示す図である。

【 図 4 】 3つの論理パスから形成されている3つの機能性リングオシレータを実装する際の、チップ上でのルーティングコストを示す図である。

【 図 5 】 唯一のパス遅延パターンによって反応性が与えられる、チップの論理パスのサブセットに関する例を示す図である。

【 図 6 】 一実施形態によるオリジナルループリングオシレータを示す図である。

【 図 7 】 図 4 の例におけるルーティングコストの削減を示す図である。

【 図 8 】 一実施形態による集積回路を示す図である。

## 【 発明を実施するための形態 】

20

## 【 0 0 1 0 】

以降の詳細な説明は、詳細および実施例を示す添付の図面に関する。これらの実施例は、当業者が本発明を実施することができるように詳細に記載されている。別の実施形態も可能であり、これらの実施例は構造的観点、論理的観点および電氣的観点において、本発明の構成要件から逸脱することなく変更可能である。種々異なる実施例は、必ずしも相互に排他的ではなく、種々異なる実施形態を相互に組み合わせることができ、これによって新たな実施形態が得られる。本明細書の枠内において、「接続されている」、「つながれている」ならびに「結合されている」という用語は、直接的な接続および間接的な接続、直接的なつながりまたは間接的なつながりならびに直接的な結合または間接的な結合を表すために使用される。

30

## 【 0 0 1 1 】

図 1 には、一実施形態による集積回路（もしくはチップ）100が示されている。

## 【 0 0 1 2 】

集積回路100は、例えば、車両におけるECU（electronic control unit）用のマイクロコントローラなどであり、または各フォームファクタのチップカード用のチップカードモジュールでもある。

## 【 0 0 1 3 】

典型的にそうであるように、集積回路100は、接続線路を介して相互に接続されている複数の論理ゲート101（ANDゲート、NORゲート、排他的ORゲート、インバータ、...）を有している。論理ゲート101は、チップデザインライブラリからのセルであり、より複雑な回路（例えば複合ゲート）であってもよい。

40

## 【 0 0 1 4 】

集積回路はさらに、論理ゲート101に接続されているフリップフロップ103を有している。フリップフロップ103の少なくとも一部はスキャンフリップフロップとして設けられており、これによって、集積回路をテストするためのテストパターンをスキャンフリップフロップにロードすることが可能になる。スキャンフリップフロップは、入力側にマルチプレクサが取り付けられたDフリップフロップであり、この場合にはマルチプレクサの一方の入力側はファンクション入力側Dとして機能し、他方の入力側はスキャン・イン入力側（SI）として用いられる。テストパターンは、例えば、1つまたは複数のテストインプットピン102を介して（それぞれスキャン・イン入力側を介して）フリップフ

50

ロップ103へ押し動かされる。スキャンイネーブル信号（またはテストイネーブル信号、図1に図示されていない）は、データ入力側（D）からスキャン・イン入力側（SI）へ、テストのためにスキャンフリップフロップのマルチプレクサをスイッチングする。スキャンイネーブル信号は、すべてのスキャンフリップフロップに対して同一である一般的な信号である（したがって別個にルーティングされる必要はない）。

#### 【0015】

性能を測定する1つの手段は、既に集積回路100内に設けられている論理ゲート101（または一般的にはセル）のチェーンを、リングオシレータを形成するために用いることである。

#### 【0016】

図2には、リングオシレータ200が示されている。

#### 【0017】

リングオシレータ200は、直列接続されている論理ゲート201、202、203（一般にはセル）から成るチェーンを有している。各論理ゲート201、202、203は、各論理ゲート201、202、203をチェーンに接続する入力側と出力側とを有しており、チェーンの最後の論理ゲート203の出力側は、チェーンの第1の論理ゲート201の入力側と、戻り線路（すなわちフィードバック線路またはフィードバック接続部）204と、を介して接続されている。以降で側方入力側と称される、論理ゲート201、202、203の他方の入力側（例えばNANDゲートの第2の入力側またはNORゲートの第2の入力側）は固定値にセットされて、各論理ゲート201、202、203は、各論理ゲート201、202、203をチェーンに接続する入力側と出力側とに関するインバータを形成する。論理ゲートの数Nが奇数である場合には、チェーンは全体的に反転作用を有しており、戻り線路204によって、チェーンを伴って形成されたループが発振する。

#### 【0018】

論理ゲート201、202、203をインバータとして機能させる、論理ゲート201、202、203の側方入力側へのインプットは、側方インプットと称される。これらの側方インプットはまとめて、1つの側方インプットパターンを形成する。これらはスキャンフリップフロップ103によって供給され、（側方インプットパターンを含んでいる適切なテストパターンをスキャンフリップフロップに記憶することによって）適切にロードされる。適切な側方インプットを備えるゲートをインバータとして機能させること（例えばANDゲート）が不可能である場合には、側方インプットは、これが非反転作用を有するように（すなわち単にバッファであるように）選択され、論理ゲート201、202、203の数が調整される、または戻り線路内にインバータが設けられる。これによって全体として再び反転特性が生じ、ループが発振する。

#### 【0019】

このような振動の周波数、すなわちこのように形成されたリングオシレータの発振周波数を観察し、集積回路100の性能をテストするために使用することができる。テストの質は、リングオシレータ100の発振周波数の情報内容に関連し、すなわちテストの質は、チップ全体のタイミング特性（ひいては性能）をできるかぎり表現しなければならない。しかし、特に論理ゲートの形成されたチェーンがチップの設計に良好に相応する場合、発振周波数は典型的に集積回路の性能と良好に相関している。それにもかかわらず、典型的には、多数のリングオシレータが必要とされる。

#### 【0020】

図2を参照しながら説明したリングオシレータは、いわゆる機能性リングオシレータであり、すなわち機能性パスリングオシレータであり、すなわちこれは、上述したように複数の論理ゲート101から形成されており、これらの論理ゲート101は、集積回路内に（その通常の機能のために、すなわちテスト動作とは異なり通常動作のために）設けられている。これによって、リングオシレータが付加的な論理ゲートから形成される（すなわち、元来設けられている論理ゲートからは形成されない）場合のようにリングオシレータ

10

20

30

40

50

が付加的な面積コストおよびエネルギーコストを生じさせることが回避される。

【0021】

図3は集積回路内に機能性リングオシレータを形成する回路を示している。

【0022】

図2を参照しながら説明したように、組み合わせ論理パス302（すなわち機能性パス）は、適切な側方インプットが供給される論理ゲートのチェーンによって形成される。フィードバックは、（入力側）マルチプレクサ304の入力側につながられた戻り線路303（これには、組み合わせ論理パス302が自己反転性でない場合には、インバータが設けられる）を介して行われる。

【0023】

機能性リングオシレータの基本的な着想は、上述したように、集積回路の通常の機能のために（すなわち設計によって）設けられている機能的な組み合わせ論理パス302を、リングオシレータを形成するために使用することであると見ることができる。

【0024】

パスの入力側におけるマルチプレクサ304は、機能モード（すなわち通常動作のための論理パス302の使用、ここではマルチプレクサの入力側「0」）から、発振モードへの切り替えを可能にし、発振モードにおいてマルチプレクサ304は、戻り線路の信号を論理パス302に供給する（ここではマルチプレクサ304の入力側「1」）。通常動作のために、マルチプレクサ304は、例えば、入力側のフリップフロップ306（これはメモリまたはレジスタのフリップフロップであってもよい）からの入力信号を、論理パス302に通す。論理パス302のアウトプットは、出力側のフリップフロップ307（例えばメモリまたはレジスタのフリップフロップ）に送られる。入力側のフリップフロップ306は、送信側（Launch）フリップフロップとも称される。

【0025】

リングオシレータの発振周波数を、測定端子305を介して観察することができる。

【0026】

上述したように、論理パス302を形成する論理ゲートに、論理パス302を形成するために適切な側方インプットが印加される。このために、工業的な自動テストパターン生成（ATPG：英語：Automatic Test Pattern Generation）ツールをパス遅延モードにおいて使用することができる。ATPGツールはテスト装置（すなわちテストコンピュータ）上で実行され、テストピン102を介してテストパターンを集積回路に供給する。したがって、すべての側方インプットを安定した値にセットすることによって、ATPGツールは論理パス302に反応性を与える。

【0027】

このようにして、機能性リングオシレータを用いたテストを、テスト容易化設計（DFT）手法を適用することによって、通常の工業的なテストフローに容易に組み込むことができる。

【0028】

機能性リングオシレータは、多くの面積オーバーヘッドを生成することなく、実際のチップ特性を良好に表す。リングオシレータを形成するために付加的に必要なものは、マルチプレクサ304と戻り線路303だけである。

【0029】

チップ上の各機能性リングオシレータは、個々の中央制御信号308（「イネーブル」信号）によってアクティブ化可能であり、この中央制御信号308は、集積回路においてマルチプレクサ304へ案内される。テストではすべてのリングオシレータが同時にアクティブ化されるべきではないので、このような制御信号は、機能性リングオシレータごとに個別のものである。このような手法では、制御信号308を案内するために、高いルーティングコストが生じる。リングオシレータが自身でアクティブ化するアーキテクチャによってこれを回避することができる。ここでは、チップ内に設けられているスキャンフリップフロップの一部が、リングオシレータをアクティブ化するために使用され、ここでは

10

20

30

40

50

異なるリングオシレータに対して異なるスキャンフリップフロップがアクティブ化のために使用される。これによって、チップ上の中央制御機器への制御接続を設ける必要がなくなる。

#### 【0030】

しかし、G P I Oピンにおける周波数測定のために、出力側305からチップを介してG P I Oピンに観察信号が案内されなければならない、さらには論理パス302の終端点（出力側）を始点（入力側）に接続する戻り線路（またはフィードバック線路）303のために、さらなるルーティングコストが生じる。

#### 【0031】

図4は、イネーブル信号のための線路404と、観察信号のための線路405と、戻り線路406と、を通る、3つの論理パス401、402、403から成る3つの機能性リングオシレータを実装する際の、チップ400上でのルーティングコストを示している。イネーブル信号のための線路404および戻り線路406がつながっている、論理パス401、402、403の入力側でのマルチプレクサは、見やすくするために示されていない。

10

#### 【0032】

この例では、イネーブル信号のための線路404と観察信号のための線路405とは、両方とも、中央制御ユニット407に接続されている。観察信号のための線路405は、中央制御ユニット407とは異なる箇所に配置されている出力ピンにもつながっている。しかしこの場合にも、ルーティングコストは同様のままである。

20

#### 【0033】

チップ上のリングオシレータが少数である場合には、ルーティングコストの役割はわずかである。しかし今日のC M O S技術では、プロセス変更、特にチップ内の変更に起因して、プロセス変更起因した変動をカバーし、チップの全体的な性能を検出するために、典型的には、チップにわたって分散して存在する多数のテスト構造体が必要とされる。しかし、チップ上に複数の、例えば何百ものリングオシレータを付け加えることによって、ルーティングコストが高くなる。さらに、テストコストを削減するためには、テスト持続時間が短くなければならない。

#### 【0034】

最終的には、テスト構造体（すなわちここではリングオシレータ）の数と、テスト構造体に対する高いルーティングコストと、の間で妥協が行われる。

30

#### 【0035】

特に、戻り線路406は、特に、チップ400上の長い区間にわたって延在する論理パス401、402、403に対して、著しく高いルーティングコストを生じさせる。この場合には、さらに、適切なエッジ急峻性を得るために、典型的には付加的なバッファが必要とされる。これによって、戻り線路の長さに関連して、論理回路が付加的に必要となる。

#### 【0036】

種々の実施形態によれば、機能性リングオシレータのルーティングコストを削減するアプローチが提示される。

40

#### 【0037】

これは、種々異なる実施例によれば、2つ以上の論理パス401、402、403が組み合わせられ、これによって、長い戻り線路が必要されることなく、機能性リングオシレータが形成されることによって達成される。これは、具体的には、戻り線路（の少なくとも大部分）が論理パスによって置き換えられ、これによって付加的に不要になることによって行われる。すなわち論理パスは、具体的には、以降で「オリジナルループ（N a t u e r l i c h e - S c h l e i f e）」リングオシレータとも称されるリングオシレータにおいて、往路方向と復路方向との両方を形成する。このようなリングオシレータはすなわち、ループによって形成されるリングオシレータであり、その構成部分は「オリジナル」、すなわちチップのために設けられている機能にしたがって、いずれにせよチップ上

50

に存在している。機能性リングオシレータの自己アクティブ化が予定されるようにこのアプローチを組み合わせることによって、ルーティングコストをさらに減らすことができる。

【 0 0 3 8 】

上述したように、論理パス 3 0 2 を形成する論理ゲートのすべての側方インプットを静的な値にセットすることによって、論理パス 3 0 2 に、A T P G ツールを用いて、反応性が与えられ、これによって、論理パスによって形成されたリングオシレータにおいて発振信号が生じることが可能になる、もしくは発振信号がリングオシレータを通走することが可能になる。A T P G ツールによってスキャンフリップフロップのセットにロードされる（例えば押し動かされる）ロバスタなパス遅延パターンを介して、このように反応性が与えられる。

10

【 0 0 3 9 】

典型的に、このような A T P G パス遅延パターンの空間は十分に大きく、したがって十分な自由度が存在しており、これによって、機能性リングオシレータを形成する論理パスに対するすべての側方インプットは適切に選択され得る（例えばリングオシレータに対して矛盾しない）。チップ上のリングオシレータに対する論理パスに反応性を与えるために選択された A T P G パス遅延パターンは、典型的には、チップ上の複数の論理パスに反応性を与える。これによって、特にオリジナルループを形成するために、すなわち元来、反応性を与えるために A T P G パス遅延パターンが選択された論理パスに対するフィードバックの少なくとも一部を置き換えるために、これらの反応性が与えられたすべての論理パスから選択を行うことができる。

20

【 0 0 4 0 】

図 5 は、唯一の A T P G パス遅延パターンによって反応性が与えられる、チップの論理パスのサブセットに関する例を示している。

【 0 0 4 1 】

図 5 の例から見て取れるように、そこから選択が行われ得る複数の論理パスは、チップにわたって分散して存在しており、異なる長さを有している。

【 0 0 4 2 】

最も簡単なケースでは、一実施形態によれば、図 6 に示されているような、同一の A T P G パス遅延パターンによって反応性が与えられ、かつ異なる方向に延在している 2 つの論理パスが使用される。

30

【 0 0 4 3 】

図 6 は、一実施形態によるオリジナルループリングオシレータ 6 0 0 を示している。

【 0 0 4 4 】

オリジナルループリングオシレータ 6 0 0 は、第 1 の（組み合わせられた）論理パス 6 0 1 と第 2 の（組み合わせられた）論理パス 6 0 2 とを有しており、これらの論理パス 6 0 1、6 0 2 は、それぞれ適切に側方インプットが供給される（すなわち、その結果、論理パス 6 0 1、6 0 2 に反応性が与えられる）論理ゲートのチェーンによって形成される。

【 0 0 4 5 】

各論理パス 6 0 1、6 0 2 に対して、入力側に、各マルチプレクサ 6 0 3、6 0 4 が設けられており、マルチプレクサ 6 0 3、6 0 4 は、機能モード（すなわち、通常動作のために論理パスを使用すること、ここではマルチプレクサの入力側「0」）から発振モードへの切り替えを可能にする。

40

【 0 0 4 6 】

通常動作のために、マルチプレクサ 6 0 3、6 0 4 は、各入力側のフリップフロップ（送信側のフリップフロップ）6 0 5、6 0 6（これはメモリまたはレジスタのフリップフロップであってもよい）からの入力信号を、論理パス 6 0 1、6 0 2 に通す。各論理パス 6 0 1、6 0 2 のアウトプットは、各出力側のフリップフロップ 6 0 7、6 0 8（例えばメモリまたはレジスタのフリップフロップ）に送られる。

50

## 【 0 0 4 7 】

第 1 の論理パス 6 0 1 の出力側は、第 2 の論理パス 6 0 2 の入力側マルチプレクサ 6 0 4 のデータ入力側に接続されており、マルチプレクサ 6 0 4 はこれを、発振モード（すなわちテストモード）において、通すように切り替える（ここではマルチプレクサ 6 0 4 の入力側「1」）。同様に、第 2 の論理パス 6 0 2 の出力側は、第 1 の論理パス 6 0 1 の入力側マルチプレクサ 6 0 3 のデータ入力側に接続されており、マルチプレクサ 6 0 3 はこれを発振モードにおいて、通すように切り替える（ここではマルチプレクサ 6 0 3 の入力側「1」）。すなわち発振モードでは、ループが形成され、ここではこのループの 2 つの方向は、2 つの論理パス 6 0 1、6 0 2 によって形成される。

## 【 0 0 4 8 】

オリジナルループを用いてリングオシレータを形成することによって、ルーティングコストを大幅に削減することができる。

## 【 0 0 4 9 】

図 7 は、図 4 の例におけるルーティングコストの削減を示している。

## 【 0 0 5 0 】

図 6 を参照して説明したように、2 つの論理パス 7 0 1、7 0 2（これらは、チップ 4 0 0 上の図 4 の論理パス 4 0 1、4 0 2 に相当する）から成るオリジナルループリングオシレータが、チップ 7 0 0 上に形成される。

## 【 0 0 5 1 】

第 1 の論理パス 7 0 1 の出力側を第 2 の論理パス 7 0 2 の入力側マルチプレクサに接続するために、また第 2 の論理パス 7 0 2 の出力側を第 1 の論理パス 7 0 1 の入力側マルチプレクサに接続するために、2 つの論理パス 4 0 1、4 0 2 のための戻り線路 4 0 6 の代わりに、短い線路 7 0 6 だけが必要とされる。図 4 のように、論理パス 7 0 1、7 0 2、7 0 3 の入力側におけるマルチプレクサは、見やすくするために図示されていない。

## 【 0 0 5 2 】

さらに、この例では、第 1 の論理パス 4 0 1、7 0 1 の出力側から中央制御ユニット 4 0 7、7 0 7 への観察線路 4 0 5 が省かれる。観察線路 7 0 5 を、リングオシレータ全体の適切な点に設けることができ、例えば、これによって、ルーティングコストが低いまま保たれる。中央制御ユニット 7 0 7 へと続くイネーブル信号の線路 7 0 4 を、入力側マルチプレクサのスイッチングを自己アクティブ化によって行うことによって回避することができる。

## 【 0 0 5 3 】

オリジナルループを用いて機能性リングオシレータを形成する上述のアプローチは、特に、長い戻り線路と戻り線路に沿った多くのバッファとを必要とするだろう長い論理パスの場合に有利である。ルーティングコストの観点から、3 つ以上の論理パスを接続することが有利である場合に、2 つ以上の論理パスからも 1 つのオリジナルループを形成することができることを考慮すべきである。

## 【 0 0 5 4 】

オリジナルループを用いた機能性リングオシレータの形成によって、測定を誤らせるおそれのある、発生した電圧降下を平均化することも可能になる。すなわち発振周波数の測定は、テストモードにおいてのみアクティブであるチップパーティション間で付加的な電圧降下が発生し得るテストモードにおいて行われる。オリジナルループは、電圧降下の影響を平均化し、これによって生じる誤差を減らす。

## 【 0 0 5 5 】

さらに、2 つ以上の論理パスが互いに組み合わせられると、発振周波数が低減される。設計によってチップが物理的に支援する最大周波数が存在する。これに相応に、リングオシレータの発振周波数は、このような物理的な境界を下回るべきである。しかし、短い遅延を有する論理パスが使用される場合には、発振周波数は極めて高くなる。オリジナルループの使用によって、リングオシレータは全体として、比較的長い論理パス（図 6 の例では第 1 の論理パス 6 0 1 + 第 2 の論理パス 6 0 2）を有するので、発振周波数が低減され

10

20

30

40

50

、またオリジナルループの一部である短い論理パスも監視可能である。

【0056】

バスが両方の方向において一方向性線路を有している場合には、論理パス上でオリジナルループを形成するアプローチは、チップ上のデータバスのバス接続にも適用可能である。データバスは、チップを介してデータ信号を伝送する。このようなデータバス信号が、チップの最大性能を左右することがある。一方向性線路を有するバスは、リーディング線路（送信線路）と戻り線路（受信線路）とを有している。したがって、オリジナル線路リングオシレータは、2つの線路が上述のアプローチにしたがって接続されることによって形成され得る。ここでは、送信線路および受信線路（これらは、例えばバッファのチェーンから成る）が、ループを形成するために使用される。

10

【0057】

要約すると、種々異なる実施形態にしたがって、図8に示されているような集積回路（例えばチップ）が提供される。

【0058】

図8には、集積回路800が示されている。

【0059】

集積回路は、少なくとも1つのリングオシレータ回路801を有している。

【0060】

リングオシレータ回路801は、複数の論理パス802を有しており、各論理パスは、1つのバス入力側803と、1つのバス出力側804と、1つの入力側マルチプレクサ805と、を有しており、入力側マルチプレクサ805は、論理パスのバス入力側803に接続されている出力側806を有している。

20

【0061】

これらの論理パス802の各論理パスに、第1の論理パスで開始して、各後続の論理パスが割り当てられており、この割り当ては、論理パスのバス出力側804が、後続の論理パスの入力側マルチプレクサ805のデータ入力側807に接続されていることによって行われ、ここではこれらの論理パスの最後の論理パスに、第1の論理パスが後続の論理パスとして割り当てられている。

【0062】

入力側マルチプレクサ805は、テストモードを示す制御信号808が入力側マルチプレクサ（入力側マルチプレクサの制御入力側）に供給されると、入力側マルチプレクサがデータ入力側807を、（入力側マルチプレクサが属している）論理パスのバス入力側803に接続するように構成されている。

30

【0063】

言い換えれば、リングオシレータは、テストモードにおいて複数の論理パスが相前後して接続され、これによってループが生じる（したがって、戻り線路は不要である）ことによって形成される。

【0064】

通常動作モード（すなわち非テストモード）では、テストモードにおいて相前後して接続される論理パスは、例えば分離されている。言い換えれば、テストのために論理パスが相前後して接続されており、これらの論理パスは、通常の動作モードでは接続されておらず（少なくとも直接的には接続されておらず）、すなわち、（直接的には）協働しない。すなわち、これらの論理パスのいずれも、別の論理パスの処理結果を受け取らない。これらの論理パスは、種々異なる実施形態によれば、ビット論理パスである。

40

【0065】

上述したように、図8のアプローチは、ルーティングコストを削減することを可能にし（これは特に、リングオシレータが多数である場合に重要であり、これによって拡張性が改良され、すなわちより多くの数のテスト構造体が可能になる）、電圧降下を平均化することを可能にし、発生する発振周波数を低く保つことを可能にし、その結果、より多くの機能性論理パスを監視することが可能になる。

50

## 【 0 0 6 6 】

以降では、種々異なる実施例を示す。

## 【 0 0 6 7 】

実施例 1 は、図 8 を参照して説明したような集積回路である。

## 【 0 0 6 8 】

実施例 2 は、実施例 1 による集積回路であり、ここでは各論理パスは、相前後して接続されている複数の論理ゲートのチェーンを有している、かつ / またはデータバス線路を有している。

## 【 0 0 6 9 】

実施例 3 は、実施例 1 または実施例 2 による集積回路であり、ここでは入力側マルチプレクサは、さらなるデータ入力側を有しており、入力側マルチプレクサは、通常動作モードを示す制御信号が入力側マルチプレクサに供給されると、入力側マルチプレクサが、さらなるデータ入力側を、論理パスのパス入力側に接続するように構成されている。

10

## 【 0 0 7 0 】

実施例 4 は、実施例 1 から実施例 3 のうちのいずれか 1 つの実施例による集積回路であり、ここでは入力側マルチプレクサは、2 対 1 マルチプレクサである。

## 【 0 0 7 1 】

実施例 5 は、実施例 1 から実施例 4 のうちのいずれか 1 つの実施例による集積回路であり、ここでは少なくとも 1 つのリングオシレータ回路はテスト出力側を有しており、集積回路は、このテスト出力側に接続されているテスト端子を有している。

20

## 【 0 0 7 2 】

実施例 6 は、実施例 5 による集積回路であり、ここではテスト出力側は、論理パスのうちの 1 つの論理パスと後続の論理パスとの間の接続部に配置されている。

## 【 0 0 7 3 】

実施例 7 は、実施例 1 から実施例 6 のうちのいずれか 1 つの実施例による集積回路であり、ここでは複数の論理パスのうちの各論理パスが、相前後して接続されている複数の論理ゲートのチェーンを有しており、少なくとも 1 つのリングオシレータ回路に、1 つまたは複数のスキャンフリップフロップが割り当てられており、1 つまたは複数のスキャンフリップフロップは、次のようにリングオシレータ回路の論理パスのチェーンの論理ゲートの少なくとも一部の入力側に接続されている、すなわち、1 つまたは複数のスキャンフリップフロップが事前に規定された側方インプットパターンを記憶している場合に、リングオシレータ回路の各論理パスに対して、論理パスのチェーンの論理ゲートが、論理パスのチェーンの第 1 の論理ゲートの入力側から論理パスのチェーンの最後の論理ゲートの出力側へシリアル 1 ビット論理パスを形成するように、接続されている。

30

## 【 0 0 7 4 】

実施例 8 は、実施例 1 から実施例 7 のうちのいずれか 1 つの実施例による集積回路であり、ここでは各論理パスには、少なくとも 1 つのスキャンフリップフロップを含んでいる 1 つのスキャンフリップフロップグループが割り当てられており、論理パスの入力側マルチプレクサは、論理パスに割り当てられているスキャンフリップフロップグループのうちの少なくとも 1 つのスキャンフリップフロップによって記憶されているビットに関連して、入力側マルチプレクサが、入力側マルチプレクサのデータ入力側を論理パスのパス入力側に接続するように、制御される。

40

## 【 0 0 7 5 】

実施例 9 は、実施例 1 から実施例 8 のうちのいずれか 1 つの実施例による集積回路であり、この集積回路は複数のリングオシレータ回路を有しており、ここでは各リングオシレータ回路は、複数の論理パスを有しており、各論理パスは、1 つのパス入力側と、1 つのパス出力側と、論理パスのパス入力側に接続されている出力側を有している 1 つの入力側マルチプレクサと、を有しており、これらの論理パスの各論理パスに、第 1 の論理パスで開始して、各後続の論理パスが割り当てられており、この割り当ては論理パスのパス出力側が後続の論理パスの入力側マルチプレクサのデータ入力側に接続されていることによっ

50

て行われ、これらの論理パスの最後の論理パスに第 1 の論理パスが後続の論理パスとして割り当てられており、各論理パスに対して、入力側マルチプレクサは、テストモードを示す制御信号が入力側マルチプレクサに供給されると、入力側マルチプレクサが、入力側マルチプレクサのデータ入力側を、論理パスのパス入力側に接続するように構成されている。

【 0 0 7 6 】

実施例 1 0 は、実施例 9 による集積回路であり、ここでは各リングオシレータ回路の各論理パスに、少なくとも 1 つのスキャンフリップフロップを含んでいる 1 つのスキャンフリップフロップグループが割り当てられており、論理パスの入力側マルチプレクサは、論理パスに割り当てられているスキャンフリップフロップグループのうちの少なくとも 1 つのスキャンフリップフロップによって記憶されているビットに関連して、入力側マルチプレクサが、入力側マルチプレクサのデータ入力側を論理パスのパス入力側に接続するように制御され、異なるリングオシレータ回路の論理パスに、異なるスキャンフリップフロップグループが割り当てられている。

10

【 0 0 7 7 】

実施例 1 1 は、実施例 9 または実施例 1 0 による集積回路をテストするテスト装置であり、このテスト装置は、各リングオシレータ回路および各論理パスに対して、リングオシレータ回路の論理パスの入力側マルチプレクサに、テストモードを示す制御信号を供給し、リングオシレータ回路によってテストモードにおいて生成された測定信号を受信するように構成されている。

20

【 0 0 7 8 】

実施例 1 2 は、受信した測定信号の発振周波数から集積回路の性能を求めるように構成されている分析機器を有している、実施例 1 1 によるテスト装置である。

【 0 0 7 9 】

実施例 1 3 は、実施例 9 または実施例 1 0 による集積回路をテストする方法であって、この方法は、各リングオシレータ回路および各論理パスに対して、リングオシレータ回路の論理パスの入力側マルチプレクサへ、テストモードを示す制御信号を供給することおよびリングオシレータ回路によってテストモードにおいて生成された測定信号を受信することを含んでいる。

【 0 0 8 0 】

本発明をとりわけ、特定の実施形態を参照して図示および説明したが、当技術分野に精通している者であれば、以降の特許請求の範囲によって規定される本発明の本質および範囲から逸脱することなく、構成および詳細に関する多くの変更を行うことができることを理解するだろう。したがって、本発明の範囲は、添付の特許請求の範囲によって決定され、特許請求の範囲の文字通りの意味または等価の範囲に属するすべての変更が含まれることが意図されている。

30

【 符号の説明 】

【 0 0 8 1 】

- 1 0 0 集積回路
- 1 0 1 論理ゲート
- 1 0 2 テストインプットピン
- 1 0 3 フリップフロップ
- 2 0 0 リングオシレータ
- 2 0 1 ~ 2 0 3 論理ゲート
- 2 0 4 戻り線路
- 3 0 2 論理パス
- 3 0 3 戻り線路
- 3 0 4 マルチプレクサ
- 3 0 5 測定端子
- 3 0 6 送信側のフリップフロップ

40

50

|               |                  |    |
|---------------|------------------|----|
| 3 0 7         | 出力側のフリップフロップ     |    |
| 3 0 8         | 制御信号             |    |
| 4 0 0         | チップ              |    |
| 4 0 1 ~ 4 0 3 | 論理パス             |    |
| 4 0 4         | イネーブル線路          |    |
| 4 0 5         | 観察線路             |    |
| 4 0 6         | 戻り線路             |    |
| 4 0 7         | 中央制御ユニット         |    |
| 6 0 0         | オリジナルループリングオシレータ |    |
| 6 0 1 , 6 0 2 | 論理パス             | 10 |
| 6 0 3 , 6 0 4 | マルチプレクサ          |    |
| 6 0 5 , 6 0 6 | 入力側のフリップフロップ     |    |
| 6 0 7 , 6 0 8 | 出力側のフリップフロップ     |    |
| 7 0 0         | チップ              |    |
| 7 0 1 ~ 7 0 3 | 論理パス             |    |
| 7 0 4         | イネーブル線路          |    |
| 7 0 5         | 観察線路             |    |
| 7 0 6         | 戻り線路             |    |
| 7 0 7         | 中央制御ユニット         |    |
| 8 0 0         | 集積回路             | 20 |
| 8 0 1         | リングオシレータ回路       |    |
| 8 0 2         | 論理パス             |    |
| 8 0 3         | パス入力側            |    |
| 8 0 4         | パス出力側            |    |
| 8 0 5         | 入力側マルチプレクサ       |    |
| 8 0 6         | マルチプレクサ出力側       |    |
| 8 0 7         | マルチプレクサのデータ入力側   |    |
| 8 0 8         | 制御信号             |    |

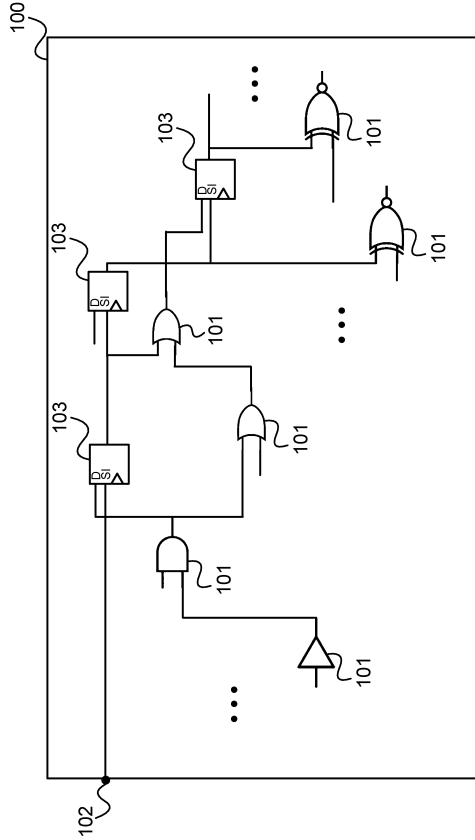
30

40

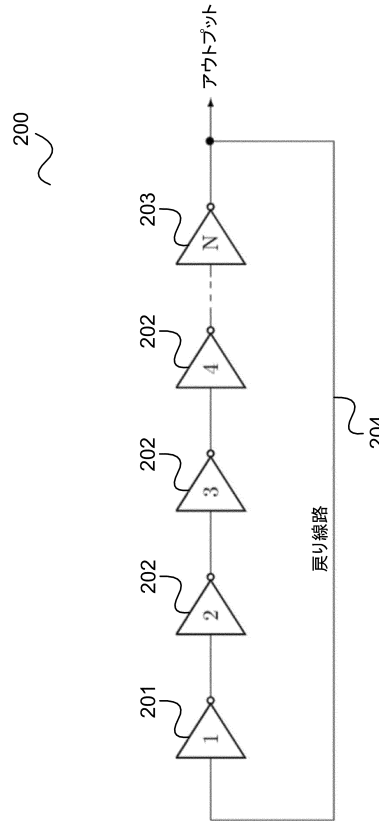
50

【 図 面 】

【 図 1 】



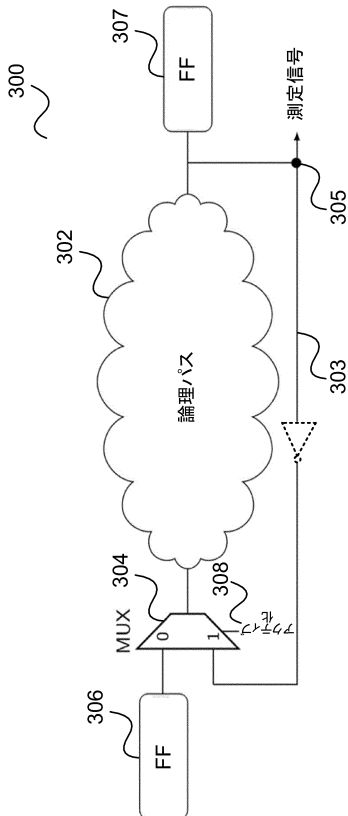
【 図 2 】



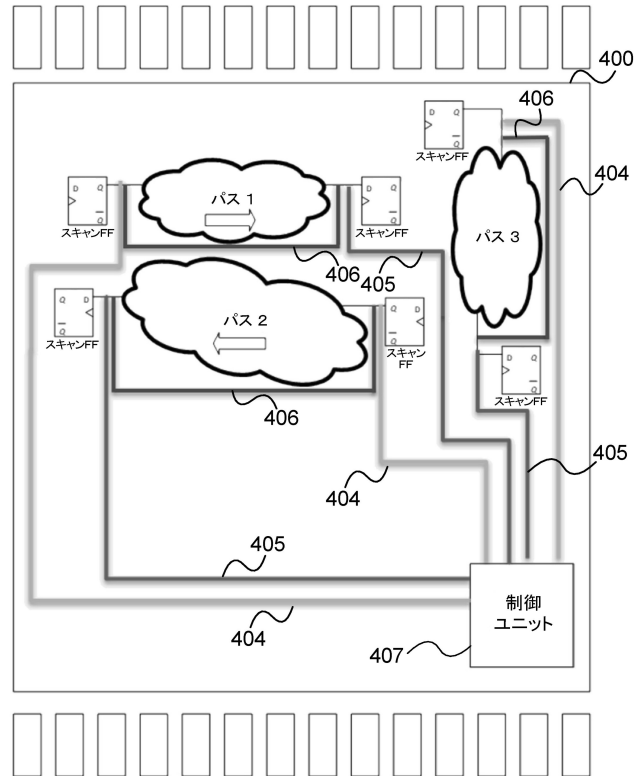
10

20

【 図 3 】



【 図 4 】

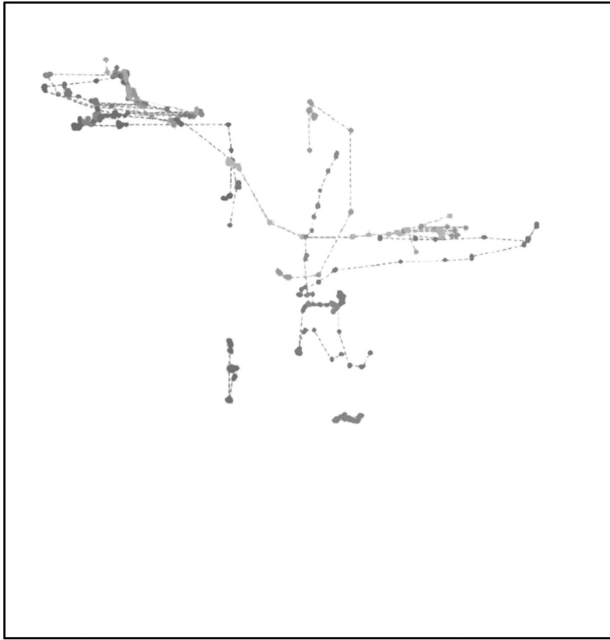


30

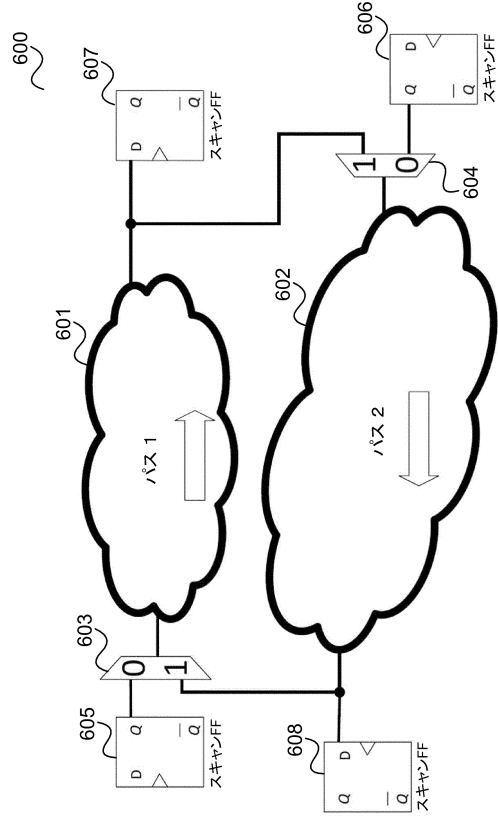
40

50

【 図 5 】



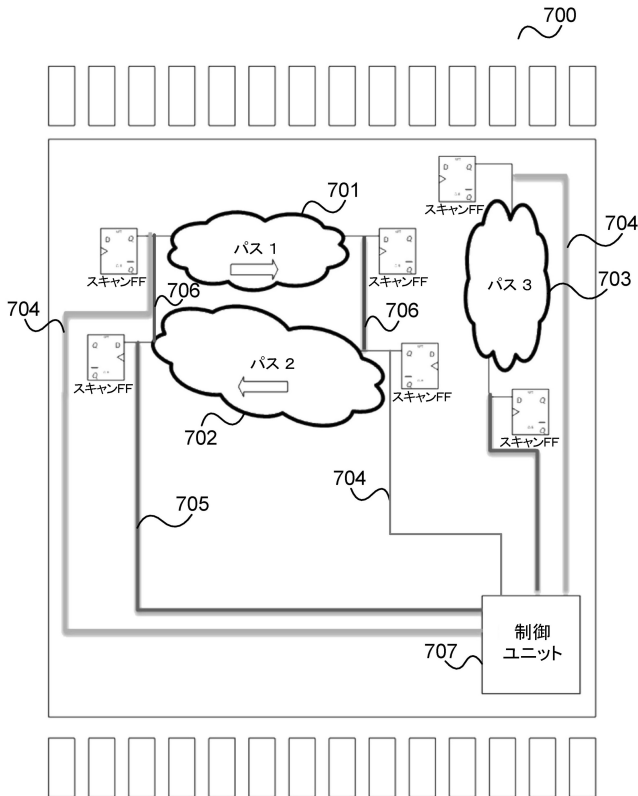
【 図 6 】



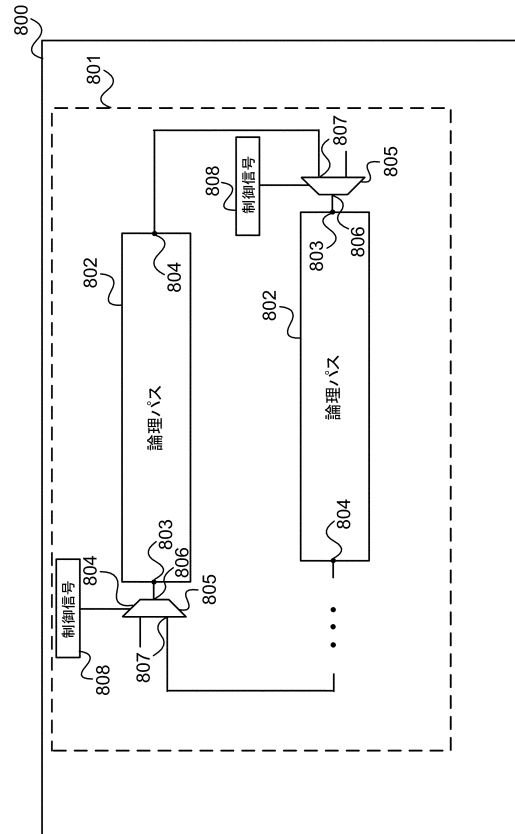
10

20

【 図 7 】



【 図 8 】



30

40

50

【外国語明細書】

2023067828000010.pdf

10

20

30

40

50

## フロントページの続き

- (74)代理人 100116403  
弁理士 前川 純一
- (74)代理人 100134315  
弁理士 永島 秀郎
- (74)代理人 100162880  
弁理士 上島 類
- (72)発明者 トビアス キリアン  
ドイツ連邦共和国 ミュンヘン ルイトフリートシュトラッセ 2 8
- (72)発明者 マルティン フーフ  
ドイツ連邦共和国 ミュンヘン ドルンレッシェンシュトラッセ 1 0
- (72)発明者 ハイコ アーレンス  
ドイツ連邦共和国 ノイビーベルク オイセレ ハウプトシュトラッセ 5 エー
- (72)発明者 ダニエル ティレ  
ドイツ連邦共和国 ウンターハヒング ファザーネンシュトラッセ 1 9 3
- F ターム (参考) 2G132 AA03 AB02 AC14 AD08 AK24 AL09  
5F038 DF16 DT02 EZ20