

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 21/768		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월01일 10-0525112 2005년10월24일
(21) 출원번호 (22) 출원일자	10-2004-0027891 2004년04월22일	(65) 공개번호 (43) 공개일자	10-2005-0102769 2005년10월27일
(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1		
(72) 발명자	장경식 서울특별시서초구방배4동2001번지현대2차현대홈타운아파트206동 1106호		
(74) 대리인	강성배		

심사관 : 이강민

(54) 반도체 장치의 레이 아웃

요약

반도체 장치의 레이 아웃이 개시된다. 게이트 전극들을 연결하는 게이트 전극 라인과, 상기 소스 영역을 연결하는 소스 전극 라인 및 상기 드레인 영역을 연결하는 드레인 전극 라인이 배치된다. 그리고, 상기 소스 전극 라인의 양쪽과 연결이 이루어지도록 스트래핑 라인이 배치된다. 이와 같이, 상기 소스 영역 라인과 스트래핑 라인의 연결을 두 군데에서 이루어 지도록 레이 아웃을 정의함으로써, 소스 영역 전극이 갖는 저항을 분산시킬 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 반도체 장치의 레이 아웃을 설명하기 위한 개략적인 구성도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치의 레이 아웃을 설명하기 위한 개략적인 구성도이다.

도 3은 도 2의 레이 아웃을 갖는 반도체 장치의 트랜지스터에 인가되는 전압에 대한 시험예를 설명하기 위한 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

20a : 게이트 전극 라인 20b : 소스 영역 라인

20c : 드레인 영역 라인 22 : 스트래핑 라인

24 : 시그널 라인 26b, 26c : 콘택 패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 레이아웃에 관한 것으로서, 보다 상세하게는 소스 전극 라인과 연결되는 스트래핑(strapping) 라인을 포함하는 반도체 장치의 레이아웃에 관한 것이다.

최근, 반도체 장치는 고집적화 및 고속화의 추세에 부응하기 위하여 미세 패턴으로 형성해야 한다. 따라서, 상기 반도체 장치로 형성하는 배선 즉 라인의 경우에는 그 폭(width)과 라인과 인접하는 라인 사이의 간격(space)도 현저하게 감소하고 있다. 아울러, 상기 고집적화 추세의 반도체 장치는 칩의 크기가 커지게 되어 그 내부에 형성하는 라인의 길이도 길어진다. 따라서, 상기 라인에 대한 레이아웃에 대한 스펙도 점차 엄격해지고 있다.

도 1은 종래의 반도체 장치의 레이아웃을 설명하기 위한 개략적인 구성도이다.

도 1을 참조하면, 반도체 장치의 레이아웃을 나타내는 것으로서, 게이트 전극 라인(10a), 소스 영역 라인(10b) 및 드레인 전극 라인(10c)을 포함한다. 그리고, 상기 소스 영역 라인(10b)과 연결되는 스트래핑 라인(12)을 포함한다. 이때, 상기 스트래핑 라인(12)은 상기 소스 영역 라인(10b)의 한쪽과 일대일로 대응되게 연결된다. 아울러, 상기 소스 영역 라인(10b)과 드레인 영역 라인(10c) 각각에는 콘택 패드(16b, 16c)를 포함하고, 상기 콘택 패드(16b, 16c)를 통하여 그 상부에 배치되는 시그널 라인(14)과 연결된다.

이에 따라, 상기 라인들을 통하여 데이터의 입력 및 출력이 이루어진다. 그러나, 최근에는 반도체 장치의 고집적화에 따라 상기 스트래핑 라인(12)의 면저항(sheet resistance)이 증가하는 상황이 빈번하게 발생한다. 때문에, 상기 스트래핑 라인(12)과 연결된 소스 영역 라인(10b)의 저항을 증가시켜 트랜지스터의 구동에 영향을 끼친다. 따라서, 이를 해결하기 위하여 면저항이 낮은 물질을 상기 스트래핑 라인(12)으로 채택하는 것을 생각할 수 있으나, 시그널 라인(14)과의 관계로 인하여 그 채택이 용이하지 않다.

이와 같이, 종래에는 스트래핑 라인의 면저항 증가로 인하여 반도체 장치의 전기적 신뢰도가 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 스트래핑 라인과 연결되는 소스 영역 라인의 면저항을 충분하게 낮추기 위한 반도체 장치의 레이아웃을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 장치의 레이아웃은,

게이트 전극과 소스 영역 및 드레인 영역으로 이루어진 트랜지스터;

상기 게이트 전극들을 연결하는 게이트 전극 라인;

상기 소스 영역을 연결하는 소스 전극 라인;

상기 드레인 영역을 연결하는 드레인 전극 라인; 및

상기 소스 전극 라인의 양쪽과 연결이 이루어지도록 배치되는 스트래핑 라인을 포함한다.

그리고, 상기 소스 영역과 드레인 영역을 연결하도록 배치되는 시그널 라인을 더 포함하는 것이 바람직하다. 또한, 상기 시그널 라인은 상기 소스 전극 라인과 드레인 전극 라인 각각에 형성하는 콘택 패드를 통하여 연결하는 것이 바람직하다. 아울러, 상기 소스 전극 라인과 스트래핑 라인은 서로 수직되게 배치하는 것이 바람직하다.

이와 같이, 본 발명에 의하면 소스 영역 라인과 스트래핑 라인의 연결에 있어 두 군데에서 연결이 이루어지도록 레이아웃을 정의한다. 따라서, 소스 영역 전극이 갖는 저항을 분산시킬 수 있다. 그러므로, 소스 영역 전극이 저항을 안정적으로 관리할 수 있다.

(실시예)

이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치의 레이아웃을 설명하기 위한 개략적인 구성도이다.

도 2를 참조하면, 반도체 장치에 형성되는 배선 즉, 라인들이 레이아웃을 나타낸다. 상기 레이아웃에는 게이트 전극들을 연결하는 게이트 전극 라인(20a), 소스 영역을 연결하는 소스 영역 라인(20b) 및 드레인 영역을 연결하는 드레인 영역 라인(20c)이 배치된다. 이때, 상기 게이트 전극 라인(20a), 소스 영역 라인(20b) 및 드레인 영역 라인(20c)은 서로 평행하게 위치하도록 배치된다. 아울러, 상기 게이트 전극 라인(20a), 소스 영역 라인(20b) 및 드레인 영역 라인(20c)과 수직하는 부분에 스트래핑 라인(22)이 배치된다. 이때, 상기 스트래핑 라인(22)은 상기 소스 영역 라인(20b)과 연결되도록 배치되는데, 상기 소스 영역 라인(20b)의 양쪽 모두가 연결되도록 배치된다. 즉, 상기 소스 영역 라인(20b)의 두 군데 모두가 상기 스트래핑 라인(22)과 연결되도록 배치되는 것이다. 아울러, 상기 소스 영역 라인(20b)과 드레인 영역 라인(20c) 각각에는 콘택 패드(26b, 26c)가 형성되는데, 상기 콘택 패드(26b, 26c)는 그 상부에 배치되는 시그널 라인(24)과 연결된다. 그리고, 상기 라인들은 반도체 기판의 활성 영역 상에 형성되도록 배치된다.

이에 따라, 상기 라인들을 통하여 데이터의 입력 및 출력이 이루어진다. 여기서, 상기 레이아웃에 의해 배치된 라인들 중에서 소스 영역 라인(20b)의 경우에는 상기 스트래핑 라인(22)의 두 군데와 연결되기 때문에 트랜지스터로 흐르는 전류를 분산시킬 수 있다. 때문에, 저항의 감소까지도 얻을 수 있다. 따라서, 상기 소스 영역 라인(20b)에 가해지는 저항을 충분히 낮출 수 있다. 즉, 상기 스트래핑 라인(22)과 두 군데가 연결되기 때문에 저항까지도 분산시킬 수 있기 때문이다.

(시험예)

도 3을 참조하면, 전술한 레이아웃을 갖도록 트랜지스터를 구성한 후, 입력 전압에 따른 출력 전압의 변화를 확인하였다. 그 결과, 제2예인 본 발명의 구성이 제1예인 종래의 구성보다 약 29.65% 효율이 증가하는 것을 확인할 수 있다. 따라서, 전술한 레이아웃을 갖도록 라인들을 구성시킬 경우 저항이 충분하게 낮아지는 것을 확인할 수 있다.

아울러, 상기 라인들의 배치는 정해진 갖도록 적층 및 식각을 순차적으로 실시함으로써 얻을 수 있다.

발명의 효과

이와 같이, 본 발명은 스트래핑 라인의 면저항 증가로 인하여 소스 영역 라인의 저항이 증가하는 것을 충분히 줄일 수 있다. 때문에, 트랜지스터의 원활한 구동을 기대할 수 있다. 따라서, 본 발명은 반도체 장치의 전기적 신뢰도를 향상시키는 효과가 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

게이트 전극과 소스 영역 및 드레인 영역으로 이루어진 트랜지스터;

상기 게이트 전극들을 연결하는 게이트 전극 라인;

상기 소스 영역을 연결하는 소스 전극 라인;

상기 드레인 영역을 연결하는 드레인 전극 라인; 및

상기 소스 전극 라인의 양쪽과 연결이 이루어지도록 배치되는 스트래핑 라인을 포함하는 반도체 장치의 레이 아웃.

청구항 2.

제1항에 있어서, 상기 소스 영역과 드레인 영역을 연결하도록 배치되는 시그널 라인을 더 포함하는 것을 특징으로 하는 반도체 장치의 레이 아웃.

청구항 3.

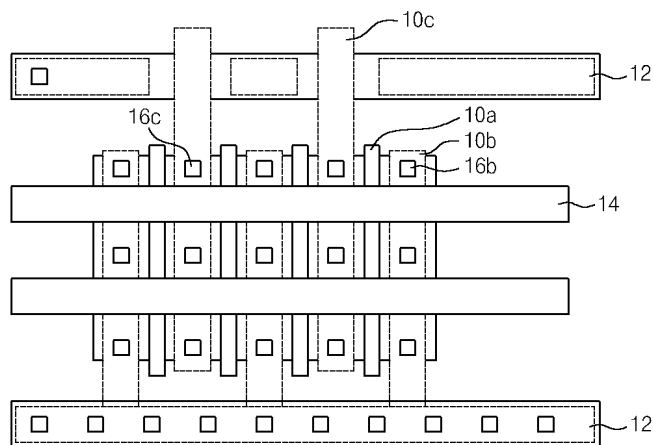
제2항에 있어서, 상기 시그널 라인은 상기 소스 전극 라인과 드레인 전극 라인 각각에 형성하는 콘택 패드를 통하여 연결하는 것을 특징으로 하는 반도체 장치의 레이 아웃.

청구항 4.

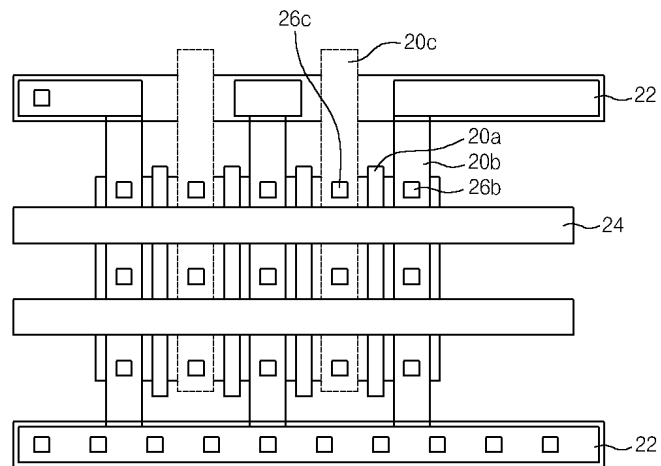
제1항에 있어서, 상기 소스 전극 라인과 스트래핑 라인은 서로 수직되게 배치하는 것을 특징으로 하는 반도체 장치의 레이 아웃.

도면

도면1



도면2



도면3

