

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5230726号
(P5230726)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年3月29日 (2013. 3. 29)

(51) Int. Cl.

F I

H04N 5/374 (2011.01)

H04N 5/335 740

請求項の数 2 (全 12 頁)

(21) 出願番号 特願2010-506226 (P2010-506226)
 (86) (22) 出願日 平成20年4月22日 (2008. 4. 22)
 (65) 公表番号 特表2010-526479 (P2010-526479A)
 (43) 公表日 平成22年7月29日 (2010. 7. 29)
 (86) 国際出願番号 PCT/US2008/005148
 (87) 国際公開番号 W02008/133861
 (87) 国際公開日 平成20年11月6日 (2008. 11. 6)
 審査請求日 平成23年4月19日 (2011. 4. 19)
 (31) 優先権主張番号 11/742, 883
 (32) 優先日 平成19年5月1日 (2007. 5. 1)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510215606
 オムニヴィジョン テクノロジーズ イン
 コーポレイテッド
 アメリカ合衆国 カリフォルニア州 95
 054 サンタ クララ パートン ドラ
 イヴ 4275
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 ゲイン制御を備える画像センサ画素

(57) 【特許請求の範囲】

【請求項 1】

画像信号を読み出す方法であって、
 少なくとも2つの光感受領域を設けるステップと、
 前記少なくとも2つの光感受領域の夫々に各自関連する少なくとも2つのトランスファ
 ーゲートを設けるステップと、
 前記少なくとも2つのトランスファークゲートに電氣的に接続されるコモン電荷 - 電圧変
 換領域を設けるステップと、
 前記コモン電荷 - 電圧変換領域をリセットするリセットメカニズムを設けるステップと
 、
 前記少なくとも2つの光感受領域のうち少なくとも1つの光感受領域から電荷を運んだ
 後、第1の時点で前記少なくとも2つのトランスファークゲートの全てを無効にするステッ
 プと、
 続く第2の時点で少なくとも1つのトランスファークゲートを有効にするステップと、
 前記第2の時点から前記少なくとも1つのトランスファークゲートが有効なままである間
 、続く第3の時点で前記少なくとも2つの光感受領域のうち少なくとも1つの他の光感受
 領域から電荷を運ぶステップとを含む、
 前記第2の時点と前記第3の時点との間に前記コモン電荷 - 電圧変換領域をリセットす
 るステップを更に含む、方法。

【請求項 2】

前記少なくとも2つの光感受領域に少なくとも2つの異なる光感受性を与えるステップと、

より高い光感受性を有する前記少なくとも2つの光感受領域のうち少なくとも1つの他の光感受領域から前記第3の時点に電荷を運ぶステップとを更に含む請求項1記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、画像センサの分野に関し、より具体的には、可変ゲイン制御を有する画像センサに関する。

【背景技術】

【0002】

図1は、典型的なCMOSアクティブ画素画像センサ100を示す。画像センサ100の基本構成要素は、光感受画素130の配列である。行デコーダ回路105は、相関二重サンプリング(CDS(Correlated Double Sampling))回路125によってサンプリングされる画素130の行全体を選択する。アナログ-デジタル変換器115は、列デコーダを横切って走査し、CDS125に記憶されている信号をデジタル化する。アナログ-デジタル変換器115は、各列をシリアルにデジタル化する1つの高速変換器又は列毎の1つの変換器(パラレル)を有するタイプであってよい。デジタル化されたデータは、直接的に画像センサ100から出力されてよく、あるいは、欠陥補正、カラーフィルタ補間、画像スケーリング、及び他の特別な効果のための集積画像処理120があってもよい。タイミング発生器110は、画素配列の全体又は画素配列の一部のみをサンプリングするよう行デコーダ105及び列デコーダ125を制御する。

【0003】

図2は、CMOS画像センサ100の1つの画素を示す。光発生電子を収集するフォトダイオード151がある。信号がフォトダイオード151から読み出される場合に、RG信号は、リセットトランジスタ150を介して浮遊拡散ノード155をVDD電位にリセットするようパルス入力される。行選択信号RSELは、出力トランジスタ153を行選択トランジスタ154を介して出力信号線に接続するようオンされる。CDS回路125は、出力信号線でのリセット電圧レベルをサンプリングする。次に、トランスファートランジスタ152は、フォトダイオード151から浮遊拡散ノード155に電荷を運ぶようオン及びオフでパルス入力される。出力信号線での新たな電圧レベルからリセット電圧レベルを引いたものは、浮遊拡散ノード155での電荷の量に比例する。

【0004】

浮遊拡散ノード155での電圧変化の大きさは、 $V = Q / C$ で与えられる。ここで、Qは、フォトダイオード151によって収集される電荷の量であり、Cは、浮遊拡散ノード155のキャパシタンスである。キャパシタンスCが小さすぎ且つ電荷Qが大きすぎる場合は、電圧出力はCDS回路125にとって大きすぎる。この問題は、画素サイズが2.7 μm 以上であり且つ電源電圧VDDが3.3V以上である場合に、一般に起こる。この問題に対する先行技術の解決法は、一般的に、浮遊拡散ノード155に余分のキャパシタンスを置くことから成る。

【0005】

図3で、米国特許第6,730,897号(特許文献1)は、浮遊拡散ノード160と接地との間に接続されるキャパシタ161を付加することによって浮遊拡散ノード160のキャパシタンスを増大させることを開示する。図4で、米国特許第6,960,796号(特許文献2)は、浮遊拡散ノード162と電源VDDとの間に接続されるキャパシタ163を付加することによって浮遊拡散ノード162のキャパシタンスを増大させることを開示する。先行技術は、最大出力電圧が最大フォトダイオード電荷容量での電源限界範囲内にあることを確かにするほど十分に浮遊拡散ノードのキャパシタンスを増大させる。しかし、先行技術の解決法は、低光レベル状態に関しては最適でない。フォトダイオード

10

20

30

40

50

に極めて少量の電荷がある場合に、浮遊拡散ノードのキャパシタンスが大きければ大きいほど電圧出力は低くなり、小さい信号を測定することが困難となる。低光レベルでのイメージングにおいては（増大した電圧出力のための）小さい浮遊拡散キャパシタンスを有し、高光レベルでのイメージングにおいては（電源範囲を下回って電圧出力を低めるほど）大きい浮遊拡散キャパシタンスを有するニーズが存在する。これは、画素内ゲイン制御の形である。

【0006】

図5は、浮遊拡散ノード166に接続されている余分の“ダングリング(dangling)”トランジスタ165を備える画素を示す。この画素は、米国特許出願公開第2006/0103749(A1)号(特許文献3)に示されている。AUX信号線によりトランジスタ165をオンに切り替えることで、浮遊拡散ノード166のキャパシタンスは増大する。浮遊拡散キャパシタンスのこのような変更方法は、浮遊拡散ノード166の近くでノード166に直接的に電氣的に接続される4つのトランジスタゲート165、167、168及び169を必要とする。4つのトランジスタゲートの存在により、最小の可能な浮遊拡散ノードキャパシタンスは可能でない。トランジスタ165がオフされる場合に、ゲートは、3つのトランジスタしか浮遊拡散ノードに隣接しない場合に比べて、依然として幾らかの付加的なキャパシタンスを加える。

【0007】

米国特許第7,075,049号(特許文献4)も浮遊拡散ノードのキャパシタンスを変える能力を備える画素を示す。それは、同じく、浮遊拡散ノードに隣接する4つのトランジスタの必要性を有する。従って、特許文献4の画素設計は、最小の可能な浮遊拡散キャパシタンスを提供しない。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】米国特許第6,730,897号

【特許文献2】米国特許第6,960,796号

【特許文献3】米国特許出願公開第2006/0103749(A1)号

【特許文献4】米国特許第7,075,049号

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、浮遊拡散キャパシタンスを変更可能な画素を開示する。更に、本発明は、浮遊拡散ノードに隣接するトランジスタゲートを3つしか必要とせず、画素に加えられる付加的な信号線を必要としない。

【0010】

本発明は、上記の問題のうちの1又はそれ以上を解決することを目的とする。

【課題を解決するための手段】

【0011】

簡潔に述べると、本発明の一側面に従って、画像信号を読み出す方法であって、少なくとも2つの光感受領域を設けるステップと、前記少なくとも2つの光感受領域の夫々に各自関連する少なくとも2つのトランスファージェートを設けるステップと、前記少なくとも2つのトランスファージェートに電氣的に接続されるコモン電荷-電圧変換領域を設けるステップと、前記コモン電荷-電圧変換領域をリセットするリセットメカニズムを設けるステップと、前記少なくとも2つの光感受領域のうち少なくとも1つの光感受領域から電荷を運んだ後、第1の時点で前記少なくとも2つのトランスファージェートの全てを無効にするステップと、続く第2の時点で少なくとも1つのトランスファージェートを有効にするステップと、前記第2の時点から前記少なくとも1つのトランスファージェートが有効なままである間、続く第3の時点で前記少なくとも2つの光感受領域のうち少なくとも1つの光感受領域から電荷を運ぶステップとを有する方法が記載される。

【 0 0 1 2 】

本発明の上記の及び他の目的は、以下の記載及び図面に関連してより明らかになるであろう。図面において、同じ参照番号は、可能であれば、各図に共通する同じ要素を示すために使用される。

【発明の効果】

【 0 0 1 3 】

本発明は、浮遊拡散ノードに隣接するトランジスタゲートを3つしか有さない可変ゲイン制御に係る下記の利点を有し、付加的な信号線を必要としない。

【図面の簡単な説明】

【 0 0 1 4 】

10

【図1】先行技術のCMOSアクティブ画素画像センサである。

【図2】先行技術のCMOSアクティブ画素の回路図である。

【図3】電荷変換ゲインを低減すべく接地接続のキャパシタを有する先行技術のCMOSアクティブ画素の回路図である。

【図4】電荷変換ゲインを低減すべく電源接続のキャパシタを有する先行技術のCMOSアクティブ画素の回路図である。

【図5】電荷変換ゲインを低減すべくダングリングトランジスタを有する先行技術のCMOSアクティブ画素の回路図である。

【図6】本発明で使用するCMOSアクティブ画素センサの回路図である。

【図7】フォトダイオード、トランスファージェート及び電荷 - 電圧変換領域を示すCMOSアクティブ画素センサの断面図である。

20

【図8】本発明の第1実施例に係るトランスファージェート及び電荷 - 電圧変換領域のチャネルポテンシャルを示す。

【図9】本発明の第1実施例の線形曲線を示す。

【図10】小さな電荷が測定される場合の本発明の第2実施例に係るトランスファージェート及び電荷 - 電圧変換領域のチャネルポテンシャルを示す。

【図11】大きな電荷が測定される場合の本発明の第2実施例に係るトランスファージェート及び電荷 - 電圧変換領域のチャネルポテンシャルを示す。

【図12】本発明の第2実施例の線形曲線を示す。

【図13】本発明の第3実施例に係るトランスファージェート及び電荷 - 電圧変換領域のチャネルポテンシャルを示す。

30

【図14】本発明による画素を用いるCMOSアクティブ画素画像センサである。

【図15】本発明による画素を用いるCMOSアクティブ画素画像センサを用いるデジタルカメラである。

【発明を実施するための形態】

【 0 0 1 5 】

本発明について詳細に論じる前に、留意すべきは、本発明は、望ましくはCMOSアクティブ画素センサで用いられるが、それに限定されない点である。アクティブ画素センサは、スイッチとして機能するトランジスタ以外の、画素内の能動電気素子をいう。例えば、浮遊拡散(floating diffusion)又は増幅器は能動素子である。CMOSは、画素に関連するが一般的に画素にはなく、トランジスタのソース/ドレインが1つのドーパントタイプ(例えば、pタイプ)であり且つそれと対のトランジスタが反対のドーパントタイプ(例えば、nタイプ)である場合に形成される相補型金属酸化膜シリコンタイプの電気部品(例えば、トランジスタ)をいう。CMOSデバイスは、電力消費が少ないという利点を含む幾つかの利点を有する。

40

【実施例1】

【 0 0 1 6 】

図6は、本発明を実施可能なCMOS画素200を示す。CMOS画素200は、フォトダイオード201及び202として示されている2つの光感受領域を有する。各フォトダイオード201及び202は、トランスファージェート203及び204によってコモン

50

電荷 - 電圧変換ノード 205 に接続されている。リセットトランジスタ 206 は、電荷 - 電圧変換ノード 205 を電源電圧 210 に設定するために使用される。出力トランジスタ 207 は、行選択トランジスタ 208 が有効にされる場合に出力信号線 209 を駆動するために使用される。

【0017】

図 7 は、製造された画素 200 の水平断面を示す。トランスファークゲート 204 及び 203 は、電荷 - 電圧変換ノード 205 として働く埋め込み拡散を囲むように示されている。フォトダイオード埋め込み 201 及び 202 は、表面ピンニング層埋め込み 211 の下にある。このようなフォトダイオードは、一般に、ピンフォトダイオード (pinned photodiode) と呼ばれる。各画素の上には、同じ又は異なる色から成るカラーフィルタ材料 220 及び 221 がある。マイクロレンズ 222 及び 223 の配列は、画素のフォトダイオード領域に光線 224 の焦点を合わせる。

10

【0018】

図 7 の断面の下には、画素 200 の種々の領域の下での電気チャネルポテンシャルが示されている。231 は、トランスファークゲート 204 がオフ状態にある場合のトランスファークゲート 204 の下のチャネルポテンシャルである。233 は、トランスファークゲート 203 がオフ状態にある場合にトランスファークゲート 203 の下のチャネルポテンシャルである。232 は、(図 6 に示されるように) ノード 205 がトランジスタ 206 によってリセットされた後の電荷 - 電圧変換ノード 205 のチャネルポテンシャルである。領域 230 及び 234 は、フォトダイオード 201 及び 202 での光発生電荷の量を表す。

20

【0019】

図 8 には、フォトダイオード 201 及び 202 で光発生電荷 230 及び 234 をサンプリングする種々の時点での図 7 のチャネルポテンシャル図のみが示されている。フォトダイオード 201 及び 202 で光発生電荷 230 及び 234 をサンプリングする過程は、時間ステップ T0 で始まる。時間ステップ T0 で、1 つのフォトダイオード電荷 230 は、他のフォトダイオード電荷 234 より小さい。

【0020】

電荷の差の原因は、例えば、フォトダイオード 202 がより長い積分時間を有すること、あるいは、カラーフィルタ 221 がより透明であり又はより幅広い色を通すことによって引き起こされ得る。マイクロレンズ 223 は、また、マイクロレンズ 222 よりも多くの光を収集するよう製造されてよい。これらの特徴のいずれも、本発明に組み込まれてよい。時間ステップ T0 は、電荷 - 電圧変換領域 205 がチャネルポテンシャル 232 にリセットされた後である。電荷 - 電圧変換領域 205 のリセット電圧もこの時点にサンプリングされる。時間ステップ T1 で、トランスファークゲート 204 は、電荷 230 を電荷 - 電圧変換領域 205 に運ぶようオンされる。次に、時間ステップ T2 で、トランスファークゲート 204 はオフされ、電荷 - 電圧変換領域 205 での新たな電圧は、電荷 230 の量を測定するようサンプリングされてリセット電圧レベルから減じられる。時間ステップ T3 で、電荷 - 電圧変換領域 205 は再びリセットされ、リセット電圧レベルがサンプリングされる。時間ステップ T4 で、トランスファークゲート 204 は、電荷 - 電圧変換領域 205 のキャパシタンスを増大させる電圧レベルへとオンされる。電荷 - 電圧変換領域 205 は、時間ステップ T3 に代えて時間ステップ T4 でリセットされてよい。トランスファークゲート 204 は、トランスファークゲート 203 も電荷 234 を電荷 - 電圧変換領域 205 に運ぶよう時間ステップ T5 でオンされる場合に、依然としてオンである。トランスファークゲート 203 が時間ステップ T6 でオフされる場合に、電荷 234 は、トランスファークゲート 204 が時間ステップ T2 でオフされた場合よりも高いキャパシタンスを有するより大きな領域にわたって散開する。

30

40

【0021】

この場合に、電荷 Q、キャパシタンス C、及び電圧 V の間の関係を考える。なお、V は $V = Q / C$ によって与えられる。キャパシタンスが高いほど電荷 - 電圧変換領域 205 での電圧変化は小さいので、電荷 - 電圧変換領域 205 はより多くの量の電荷を保持するこ

50

とができる。より高いキャパシタンスは、より低い電荷 - 電圧変換ゲインに対応する。このようにして、本発明は、いずれのトランスファークロウもオフされている状態で高いゲインを有して少量の電荷をサンプリングすることができ、且つ、トランスファークロウの1つがオンされている状態で大量の電荷をサンプリングすることもできる。

【0022】

最後にほとんどの電荷を有してフォトダイオードから電荷を運ぶことが有利である。これは、それが、電荷 - 電圧変換領域が空のフォトダイオードからトランスファークロウをオンすることで最も高いキャパシタンスを有することができる時点であることによる。また、本発明は、2よりも多いフォトダイオードを共有する画素に拡張され得ることは明白である。また、2よりも多いフォトダイオードを有して、電荷 - 電圧変換領域のキャパシタンス制御が2よりも多い多段階で行われ得ることも明白である。

10

【0023】

図9は、画素の出力電圧対フォトダイオードで収集される電荷の量を示す。電荷が、いずれのトランスファークロウもオフされている状態でサンプリングされる場合に、画素は高ゲインモードにあり、低電荷レベルで飽和に達する出力電圧曲線240を出現させる。電荷が、1つのトランスファークロウがオンされている状態でサンプリングされる場合に、画素は低ゲインモードにあり、より高い電荷レベルで飽和に達する出力電圧曲線241を出現させる。

【実施例2】

【0024】

20

本発明の第2実施例で、画素構造は図7及び図8に示されるものと同じであるが、トランスファークロウの動作は異なる。図10で、時間ステップT0は、電荷 - 電圧変換領域205がチャネルポテンシャル232にリセットされた後である。電荷 - 電圧変換領域205のリセット電圧は、また、この時点でサンプリングされる。時間ステップT1で、トランスファークロウ204は、電荷230を電荷 - 電圧変換領域205に運ぶようオンされる。次に、時間ステップT2で、トランスファークロウ204はオフされ、電荷 - 電圧変換領域205での新たな電圧は、電荷230の量を測定するようサンプリングされてリセット電圧レベルから減じられる。時間ステップT3で、電荷 - 電圧変換領域205は再びリセットされ、リセット電圧レベルがサンプリングされる。時間ステップT4で、トランスファークロウ204は、フォトダイオードのチャネルポテンシャルとリセット電圧レベルのチャネルポテンシャル232との間にトランスファークロウのチャネルポテンシャル231を設定する電圧レベルへと部分的にオンされる。時間ステップT5で、トランスファークロウ203は、電荷234を電荷 - 電圧変換領域205に運ぶようオンされ、次いで、トランスファークロウ203は時間ステップT6でオフされる。

30

【0025】

トランスファークロウ204の部分的なターン・オンの利点は、電荷 - 電圧変換領域のキャパシタンスが小さい電荷については高く、大きい電荷については低いことである。図10は、電荷234が小さく、時間ステップT6でトランスファークロウ204のチャネルポテンシャル231を越えて電荷 - 電圧変換領域205を満たさない場合を示す。従って、この場合に、電荷234は、低キャパシタンス且つ高電圧変換ゲインを有して測定される。図11の場合に、電荷234は大きく、電荷234が電荷 - 電圧変換領域205に運ばれる場合に、電荷234は時間ステップT6でチャネルポテンシャル231より上を流れる。この場合に、大きな電荷234は、大きなキャパシタンス且つより低い電圧変換ゲインを有して測定される。

40

【0026】

図12は、第2実施例での電荷 - 電圧変換領域205の電圧応答対フォトダイオードで収集される電荷の量を示す。電荷が点243を上回って大きい場合に、電圧応答のスロープは減少し、曲線244に続く。トランスファークロウ204が部分的にオンされるのではなくオフされている場合に、電圧応答は、より高いゲイン曲線242に従う。第2実施例は、低信号レベルでの高ゲイン及び高信号レベルでの低ゲインを可能にする。

50

【実施例 3】

【0027】

本発明の第3実施例で、画素構造は図7及び図8に示されるものと同じであるが、トランスファークゲートの動作は異なる。本発明の第3実施例は図13に表される。時間ステップT0で、電荷 - 電圧変換領域205はまさにリセットされ、その電圧をV1としてサンプリングされる。時間T1で、トランスファークゲート204は、電荷230を電荷 - 電圧変換領域205に運ぶようオンされる。トランスファークゲート204が依然としてオンである間、電荷 - 電圧変換領域205の電圧はV2としてサンプリングされる。時間ステップT2で、トランスファークゲート204はオフされ、電荷 - 電圧変換領域205の電圧はV3としてサンプリングされる。

10

【0028】

電圧V3 - V1は、電荷230の高変換ゲイン測定を表す。電圧V2 - V1は、電荷230の低変換ゲイン測定を表す。しかし、V2 - V1は、電荷 - 電圧変換領域205へのトランスファークゲート204の容量結合によって引き起こされるオフセット誤差を含む。このオフセット誤差を除去するよう、電荷 - 電圧変換領域205は時間ステップT3で再びリセットされ、その電圧はV4として測定される。次に、時間ステップT4で、トランスファークゲート204は再びオンされ、電荷 - 電圧変換領域205の電圧がV5として測定される間、オンに保持される。V5を測定することで、フォトダイオード201に電荷がなかった場合に、オフセット誤差はV5 - V4として得られる。この場合に、正しい低変換ゲイン測定はV2 - V1 - (V5 - V4)である。

20

【0029】

それほど正確でない測定に関して、電圧V4は無視され、V1がその代わりに用いられよう。この場合に、低変換ゲイン測定はV2 - V1 - (V5 - V1)、すなわち、V2 - 2V1 - V5である。

【0030】

第3実施例は、コモン電荷 - 電圧変換領域を共有する任意数のフォトダイオードを有するCMOSアクティブ画素に適用され得る。図13のステップは、フォトダイオードの夫々1つについて繰り返される。

【0031】

第3実施例の利点は、画像センサの全ての画素が高低両方の電荷 - 電圧変換ゲインによりサンプリングされる点である。本発明の全ての実施例の利点は、それらが何らのトランジスタ又は信号配線の付加も要しない点である。

30

【0032】

図14は、トランスファークゲートが本発明の電荷 - 電圧変換ゲイン制御により動作する画素308を有する本発明のCMOSアクティブ画素画像センサ300を示す。画像センサ300の基本構成要素は、光感受画素308の配列である。行デコーダ回路305は、相関二重サンプリング(CDS)回路325によってサンプリングされる画素308の行全体を選択する。アナログ - デジタル変換器315は、列デコーダを横切って走査し、CDS325に記憶されている信号をデジタル化する。アナログ - デジタル変換器315は、各列をシリアルにデジタル化する1つの高速変換器又は列毎の1つの変換器(パラレル)を有するタイプであってよい。デジタル化されたデータは、直接的に画像センサ300から出力されてよく、あるいは、欠陥補正、カラーフィルタ補間、画像スケーリング、及び他の特別な効果のための集積画像処理320があってもよい。タイミング発生器310は、画素配列の全体又は画素配列の一部のみをサンプリングするよう行デコーダ305及び列デコーダ325を制御する。

40

【0033】

図15は、電子イメージングシステム、望ましくはデジタルカメラ400において、トランスファークゲートが電荷 - 電圧変換ゲイン制御により動作する画素を用いる画像センサ300を示す。

【0034】

50

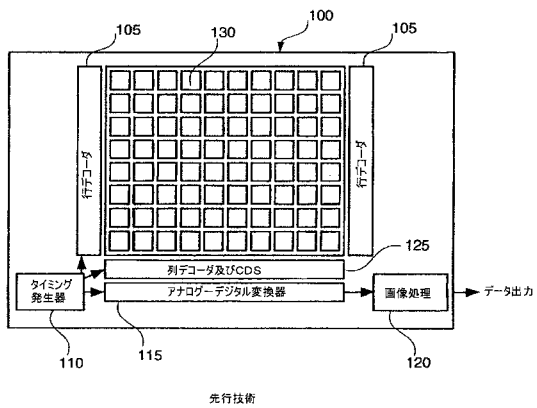
本発明は、好ましい実施形態を参照して記載されてきた。しかし、当然のことながら、変形及び改良は、本発明の技術的範囲から外れることなく、当該技術で通常の知識を有する者によって行われ得る。

【符号の説明】

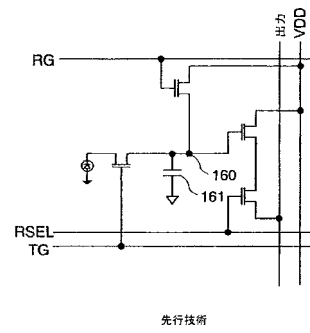
【 0 0 3 5 】

| | | |
|-------------------------------|---------------------------|----|
| 1 0 0 , 3 0 0 | 画像センサ | |
| 1 0 5 , 3 0 5 | 行デコーダ回路 | |
| 1 1 0 , 3 1 0 | タイミング発生器 | |
| 1 1 5 , 3 1 5 | アナログ - デジタル変換器 | |
| 1 2 0 , 3 2 0 | 集積画像処理 | 10 |
| 1 2 5 , 3 2 5 | 相関二重サンプリング (C D S) 回路 | |
| 1 3 0 , 3 0 8 | 光感受画素 | |
| 1 5 0 , 2 0 6 | リセットトランジスタ | |
| 1 5 1 | フォトダイオード | |
| 1 5 2 | トランスファートランジスタ | |
| 1 5 3 , 2 0 7 | 出力トランジスタ | |
| 1 5 4 , 2 0 8 | 行選択トランジスタ | |
| 1 5 5 , 1 6 0 , 1 6 2 , 1 6 6 | 浮遊拡散ノード | |
| 1 6 1 , 1 6 3 | キャパシタ | |
| 1 6 5 | ダングリントランジスタゲート | 20 |
| 1 6 7 , 1 6 8 , 1 6 9 | トランジスタゲート | |
| 2 0 0 | 画素 | |
| 2 0 1 , 2 0 2 | フォトダイオード埋め込み | |
| 2 0 3 , 2 0 4 | トランスファージェート | |
| 2 0 5 | 電荷 - 電圧変換ノード | |
| 2 0 9 | 出力信号線 | |
| 2 1 0 | 電源電圧 | |
| 2 1 1 | 表面ピンニング層埋め込み / ピンフォトダイオード | |
| 2 2 0 , 2 2 1 | カラーフィルタ材質 | |
| 2 2 2 , 2 2 3 | マイクロレンズ | 30 |
| 2 2 4 | 光線 | |
| 2 3 0 , 2 3 4 | 光発生電荷 (フォトダイオード) | |
| 2 3 1 , 2 3 2 , 2 3 3 | チャネルポテンシャル | |
| 2 4 0 , 2 4 1 | 出力電圧曲線 | |
| 2 4 2 | 高ゲイン曲線 | |
| 2 4 3 | 点 | |
| 2 4 4 | 曲線 | |
| 4 0 0 | デジタルカメラ | |

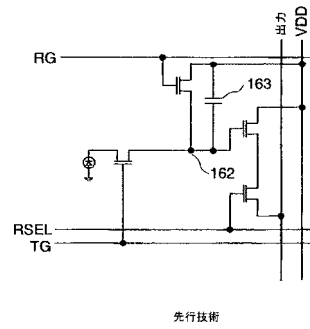
【図 1】



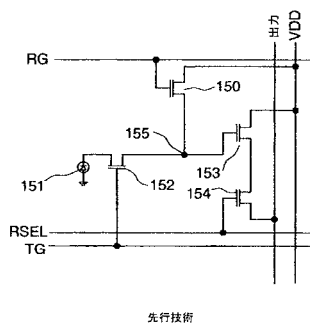
【図 3】



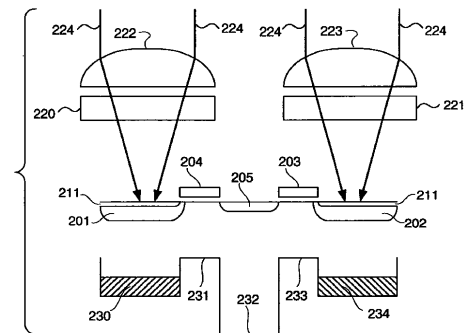
【図 4】



【図 2】



【図 7】



【図 6】

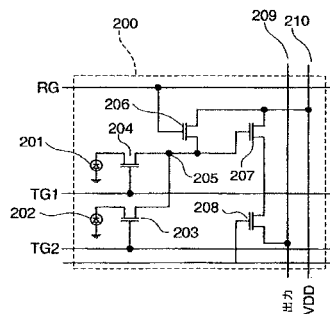


FIG. 7

【図 8】

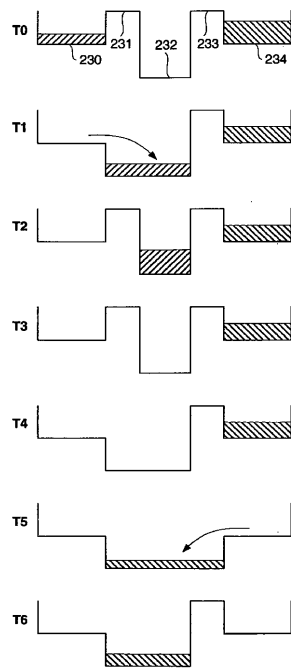
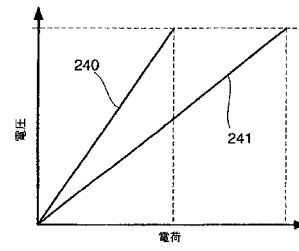


FIG. 8

【図 9】



【図 10】

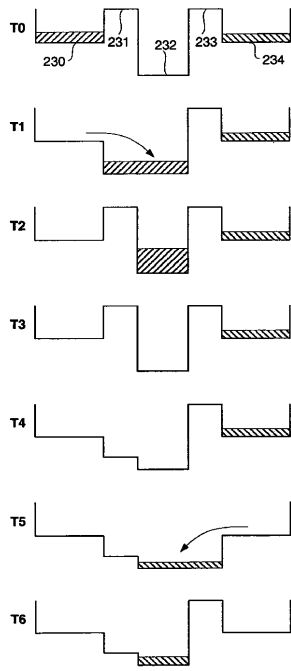


FIG. 10

【図 11】

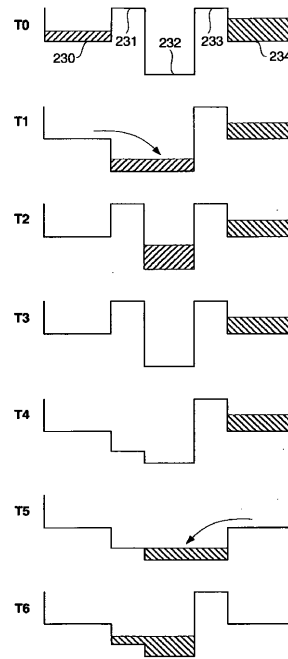
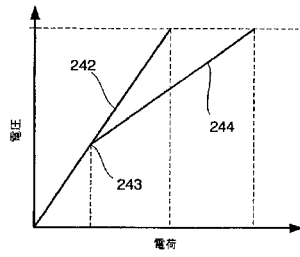


FIG. 11

【図 12】



【図 13】

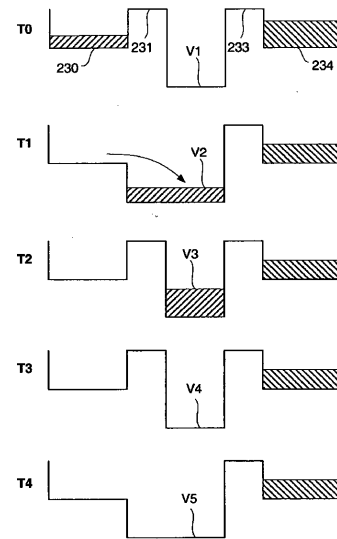
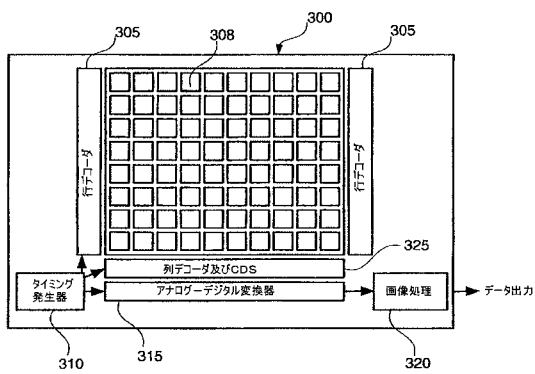


FIG. 13

【図 14】



【図 15】

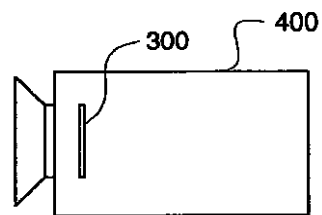


FIG. 15

フロントページの続き

(72)発明者 パークス, クリストファー
アメリカ合衆国 ニューヨーク州 1 4 6 1 2 ロチェスター ケンタッキー・クロッシング 1
1 3

(72)発明者 コンプトン, ジョン トーマス
アメリカ合衆国 ニューヨーク州 1 4 4 8 2 レロイ エクスチェンジ・ストリート 2 1

審査官 鈴木 肇

(56)参考文献 特開2000-152086(JP, A)
特開2000-165754(JP, A)
特開2005-328493(JP, A)
特開2007-201863(JP, A)
米国特許出願公開第2007/0023798(US, A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762