

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 21/84 (2006.01)

H01L 21/00 (2006.01)

G02F 1/136 (2006.01)

专利号 ZL 02122123.5

[45] 授权公告日 2009年2月11日

[11] 授权公告号 CN 100461378C

[22] 申请日 2002.5.31 [21] 申请号 02122123.5

[30] 优先权

[32] 2001.6.1 [33] KR [31] 30702/2001

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 梁竣荣

[56] 参考文献

US6072193A 2000.6.6

US5985701A 1999.11.16

审查员 王程远

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李辉

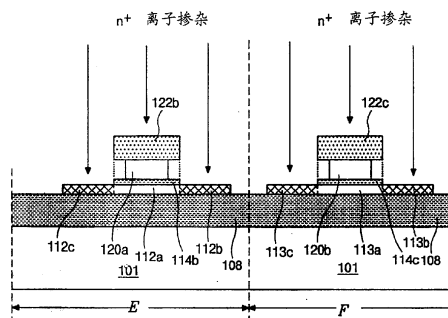
权利要求书 2 页 说明书 13 页 附图 19 页

[54] 发明名称

制造具有驱动集成电路的阵列衬底的方法

[57] 摘要

一种制造具有驱动集成电路的阵列衬底的方法包括以下步骤：在衬底上形成由单晶硅构成的第一和第二半导体层；在第一和第二半导体层上淀积绝缘材料；在绝缘材料上淀积金属；在金属上形成第一光刻胶图形，其中第一光刻胶图形正好在第一和第二半导体上；通过刻蚀金属，分别在第一和第二半导体层上形成第一和第二栅极，其中第一和第二栅极比第一光刻胶图形窄；采用第一光刻胶图形作为第一掺杂掩模，掺杂 n^+ 离子；去掉第一光刻胶图形；采用第一和第二栅极作为第二掺杂掩模，掺杂 n^- 离子；形成覆盖第一栅极和第一半导体层的第二光刻胶图形；用第二光刻胶图形和第二栅极作为第三掺杂掩模，掺杂 p^+ 离子；和掺杂 p^+ 离子之后去掉第二光刻胶图形。



1、一种制造具有驱动集成电路的阵列衬底的方法，包括：

在衬底上形成第一和第二半导体层；

在第一和第二半导体层上淀积绝缘材料；

在绝缘材料上淀积金属；

在金属上形成第一光刻胶图形，该第一光刻胶图形正好在第一和第二半导体上；

通过刻蚀金属，分别在第一和第二半导体层上形成第一和第二栅极，第一和第二栅极比第一光刻胶图形窄；

通过刻蚀绝缘材料，分别在第一和第二半导体层上形成第一和第二绝缘体图形，第一和第二绝缘体图形具有与第一光刻胶图形相等的宽度；

采用第一光刻胶图形作为第一掺杂掩模，掺杂 n^+ 离子；

灰化第一光刻胶图形，由此第一光刻胶图形变成减小的第一光刻胶图形，该减小的第一光刻胶图形具有与第一和第二栅极相同的宽度；

用该减小的第一光刻胶图形作为刻蚀掩模，刻蚀第一和第二绝缘体图形；

用该减小的第一光刻胶图形作为第二掺杂掩模，掺杂 n^- 离子；

在掺杂 n^- 离子之后去掉减小的第一光刻胶图形；

形成覆盖第一栅极和第一半导体层的第二光刻胶图形；

用第二光刻胶图形和第二栅极作为第三掺杂掩模，掺杂 p^+ 离子；和掺杂 p^+ 离子之后去掉第二光刻胶图形。

2、根据权利要求1的方法，其中 p^+ 离子的剂量大于 n^+ 离子的剂量。

3、根据权利要求2的方法，其中 p^+ 离子的剂量为 $3 \times 10^{15}/\text{cm}^2$ 到 $4 \times 10^{15}/\text{cm}^2$ 。

4、根据权利要求3的方法，其中 n^+ 离子的剂量为 $1 \times 10^{15}/\text{cm}^2$ 到 $2 \times 10^{15}/\text{cm}^2$ 。

5、根据权利要求4的方法，其中 n^- 离子的剂量为 $10^{13}/\text{cm}^2$ 。

6、根据权利要求1的方法，其中在掺杂之后，第一半导体层包括有源层、 n^+ 源区和漏区、和在有源层和 n^+ 源区之间或在有源层和 n^+ 漏区之间的轻掺杂漏

区。

7、根据权利要求1的方法，其中在掺杂之后，第二半导体层包括有源层、 p^+ 源区和漏区。

8、根据权利要求1的方法，其中第一和第二半导体层是由SLS晶体硅构成的。

制造具有驱动集成电路的阵列衬底的方法

技术领域

本发明涉及液晶显示器（LCD）器件的阵列衬底，具体涉及制造具有驱动集成电路（驱动 IC）的阵列衬底的方法。

背景技术

由于信息技术的飞速发展，显示器件已经发展成为能处理和显示大量信息的设备。已经研制成了具有薄、重量轻和功耗低特性的平板显示器件，如液晶显示器（LCD）器件。由于其优异的分辨率、彩色图像显示和显示图像的质量，LCD 器件已经广泛地用于笔记本电脑和台式监视器等。LCD 器件由上衬底、下衬底和设置在上衬底和下衬底之间的液晶层构成。LCD 器件采用液晶的光学各向异性并通过改变液晶分子的排列而控制光透射率，从而产生图像，其中液晶分子是由电场排列的。

LCD 器件的一个衬底包括用作开关器件的薄膜晶体管。具有薄膜晶体管的 LCD 器件称为有源矩阵液晶显示器件（AMLCD），并且具有高分辨率并显示优异移动图像。由于非晶硅可形成在例如玻璃的大的、低成本的衬底上，因此非晶硅广泛地用作薄膜晶体管的有源层。

LCD 器件还包括控制薄膜晶体管的驱动集成电路（驱动 IC）。不幸的是，非晶硅不能形成用于驱动 IC 的合适有源层，其中驱动 IC 通常包括需要晶体硅作为有源层的 CMOS（补偿金属-氧化物-半导体）器件。因此，驱动 IC 通常采用 TAB（带式自动键合 type automated bonding）系统连接到阵列衬底上。这将显著增加 LCD 器件的成本。

由于非晶硅的局限性，引入多晶硅作为有源层的 LCD 器件正在研究和发展。

多晶硅是非常有益的，因为它比非晶硅更适合用在驱动 IC 中。因此多晶硅的优点是，由于薄膜晶体管 and 驱动 IC 可以形成在同一衬底上，可减少制造步骤，消除了 TAB 键合的需要。此外，多晶硅的场效应迁移率比非晶硅高 100 - 200 倍。而且多晶硅是光学和热稳定的。

图 1 是表示具有驱动集成电路（驱动 IC）的现有液晶显示器（LCD）器件的阵列衬底的示意方框图。图 1 中，LCD 器件包括在衬底 2 上的驱动部分 3 和图像部分 4。图像部分 4 位于衬底 2 的中心，栅极驱动部分 3a 和数据驱动部分 3b 位于衬底 2 的左边和顶部区域。在图像部分 4 中，水平设置多个选通线 6，垂直设置多个数据线 8。选通线 6 和数据线 8 互相交叉以限定多个像素区域。像素电极设置 10 在像素区域中，薄膜晶体管“T”即开关器件以矩阵形式形成在选通线 6 和数据线 8 的每个相交处。每个薄膜晶体管“T”连接到每个像素电极 10。包括多个驱动 IC 的栅极驱动部分 3a 给选通线 6 提供地址信号，也包括多个驱动 IC 的数据驱动部分 3b 给数据线提供图像信号。

栅极驱动部分 3a 和数据驱动部分 3b 利用形成在衬底 2 的一个边缘上的信号输入端子 12 电连接到外部控制电路（未示出），以便外部控制电路（未示出）控制栅极驱动部分 3a 和数据驱动部分 3b 的驱动 IC。外部控制电路（未示出）通过信号输入端子 12 给栅极驱动部分 3a 和数据驱动部分 3b 施加信号。

如上所述，栅极驱动部分 3a 和数据驱动部分 3b 包括具有 CMOS（补偿金属-氧化物-半导体）晶体管作为将直流转换为交流的换流器的驱动 IC。CMOS 晶体管包括其中电子是主要载流子的 n 沟道 MOS 晶体管和其中空穴是主要载流子的 p 沟道 MOS 晶体管。因此，在 n 沟道 MOS 晶体管中，大部分电流是通过带负电荷的电子运载的，在 p 沟道 MOS 晶体管中大部分电流是通过带正电荷的空穴运载的。

图像部分 4 的薄膜晶体管“T”和驱动部分 3 的 CMOS 晶体管（未示出）采用多晶硅作为有源层，因此可以形成在同一衬底 2 上。

图 2A 和 2B 是表示分别设置在图像部分和驱动部分中的现有薄膜晶体管

的剖面图。薄膜晶体管具有顶栅型结构，其中栅极形成在半导体膜上。

在图 2A 中，即在图像部分中，缓冲层 14 形成在透明衬底 1 上。半导体层 16 形成在缓冲层 14 上，半导体层 16 由四部分构成，即在半导体层 16 中间的有源层 16a、在半导体层 16 两端的源区 16c 和漏区 16d、和设置在有源层 16a 和源区 16c 或有源层 16a 和漏区 16d 之间的轻掺杂漏 (LDD) 区 16b。LDD 区 16b 包括低密度杂质并防止截止状态的漏电流，即给薄膜晶体管施加反向偏置。栅极绝缘体 18 形成在有源层 16a 上，栅极 20 形成在栅极绝缘体 18 上。中间层 24 形成在栅极 20 上并覆盖栅极 20。中间层 24 具有分别露出源区 16c 和漏区 16d 的第一和第二接触孔 22a 和 22b。接着，在中间层 24 上形成源极 26 和漏极 28，源极 26 和漏极 28 分别通过第一和第二接触孔 22a 和 22b 连接到源区 16a 和漏区 16d。钝化层 32 形成在源极 26 和漏极 28 上，并覆盖源极 26 和漏极 28。钝化层 32 具有露出漏极 28 的第三接触孔 30。像素电极 34 形成在钝化层 32 上，像素电极 34 通过钝化层 32 的第三接触孔 30 与漏极 28 接触。

图 2A 的源区 16c 和漏区 16d 包括选自 V 族的施主杂质，并且大部分电流由电子运载。因此，图 2A 的薄膜晶体管“A”是 n 沟道 MOS 晶体管。

如图 2B 所示，驱动部分中的 CMOS 晶体管包括 n 沟道 MOS 晶体管“B”和 p 沟道 MOS 晶体管“C”。在图 2B 中，缓冲层 14 形成在透明衬底 1 上。接着，在缓冲层 14 上形成半导体层 40 和 42。n 沟道 MOS 晶体管“B”的半导体层 40 由四部分组成，即在半导体层 40 中间的有源层 40a、在半导体层 40 两端的 n⁺源区 40c 和漏区 40d、和设置在有源层 40a 和 n⁺源区 40c 或有源层 40a 和 n⁺漏区 40d 之间的轻掺杂漏 (LDD) 区 40b。另一方面，与 n 沟道 MOS 晶体管“B”相比，p 沟道 MOS 晶体管“C”不会受到热载流子和漏电流的太大影响。因此，p 沟道 MOS 晶体管“C”的半导体层 42 包括三部分，即有源层 42a、p⁺源区 42b 和 p⁺漏区 42c。在有源层 40a 和 42a 上形成栅极绝缘体 44a 和 44b。栅极 46a 和 46b 形成在栅极绝缘体 44a 和 44b。在栅极 46a 和 46b 上形成中间层 24 并覆盖栅极 46a 和 46b。中间层 24 具有分别露出源区和漏区 40c、40d、42b 和 42c

的第一到第四接触孔 47a、47b、47c 和 47d。接着，在中间层 24 上形成源极和漏极 50a、52a、50b 和 52b，源极和漏极 50a、52a、50b 和 52b 分别通过第一到第四接触孔 47a - 47d 连接到源区和漏区 40c、40d、42b 和 42c。钝化层 32 形成在源极和漏极 50a、52a、50b 和 52b 上，并覆盖源极和漏极 50a、52a、50b 和 52b。

下面将参照图 3 详细介绍现有薄膜晶体管的制造工艺。

图 3 是表示包括薄膜晶体管的现有阵列衬底的制造工艺流程图。

在第一步骤中，制备绝缘衬底 (ST1)。该绝缘衬底由透明材料如玻璃制成。这里，在绝缘衬底上形成厚度约为 3000 埃的缓冲层。缓冲层是由无机材料如氮化硅 (SiN_x) 和氧化硅 (SiO_2) 形成的。

在第二步骤中，形成半导体层 (ST2)。首先，在具有缓冲层的绝缘衬底上淀积厚度约为 550 埃的非晶硅。淀积的非晶硅通过脱氢步骤之后，被脱氢的非晶硅利用激光结晶成多晶硅。然后，利用第一掩模构图多晶硅，形成半导体层。

在下一步骤中，形成栅极绝缘体和栅极 (ST3)。此时，在其上具有半导体层的衬底上淀积 800 埃的氮化硅，在氮化硅上淀积厚度为 2000 埃的钼 (Mo)。接着，通过第二掩模工艺构图氮化硅和钼，并在半导体层上形成栅极绝缘体和栅极。

在接下来的步骤中，形成 n^+ 源区和漏区 (ST4)。这里，也形成轻掺杂漏 (LDD) 区。利用栅极作为掩模，向一个暴露的半导体层中注入 N^- 离子。接着，通过第三掩模工艺形成覆盖栅极和靠近栅极的 n^- 离子掺杂半导体层的光刻胶图形，接着 n^+ 离子被注入到未被光刻胶图形覆盖的半导体层中。此时，光刻胶图形完全覆盖其它半导体层。 n^+ 离子掺杂半导体层是 n^+ 源区和漏区。 n^+ 离子掺杂半导体层是 LDD 区。这里，不包括离子的半导体层成为有源层。接着，去掉光刻胶图形。

在接下来的步骤中，形成 p^+ 源区和漏区 (ST5)。利用栅极作为掩模，向其它露出的半导体层中注入 p^+ 离子。此时，通过第四掩模工艺在 ST4 的半导体上

形成光刻胶图形，并整个覆盖半导体。 p^+ 离子掺杂半导体层是 p^+ 源区和漏区，不包括离子的半导体层成为有源层。然后，去掉光刻胶图形。

接着，形成中间层（ST6）。中间层由无机材料如氮化硅和氧化硅构成，厚度约为7000埃。通过第五掩模工艺构图中间层，形成露出源区和漏区的接触孔。

在接下来的步骤中，形成源极和漏极（ST7）。按规定顺序在中间层上分别淀积厚度为约500埃和3000埃的钼（Mo）和铝-钽（AlNd）。通过第六掩模工艺刻蚀Mo和AlNd，因此形成通过接触孔连接到源区和漏区的源极和漏极。

在下一步骤中，形成钝化层（ST8）。在其上具有源极和漏极的衬底上淀积厚度约4000埃的氮化硅。氮化硅退火之后，通过第七掩模工艺构图该氮化硅，形成漏极接触孔。漏极接触孔暴露图像部分的漏极。退火工艺是在约380摄氏度下在氮气气氛中完成的。对于退火工艺，钝化层中的氢被向下驱动。

在最后步骤中，形成像素电极（ST9）。像素电极只位于图像部分中。在钝化层上淀积透明导电材料，如氧化铟锡（ITO）。通过第八掩模工艺构图透明导电材料，由此形成通过漏极接触孔与漏极接触的像素电极。

在上述工艺中，形成 n^+ 源区和漏区以及 p^+ 源区和漏区的步骤示于图4A-4C和图5A-5C中。图4A-4C是在图像部分的第一区域“A”中形成的薄膜晶体管的制造工艺的剖面图，图5A-5C是在驱动部分的第二和第三区域“B”和“C”中形成的薄膜晶体管的制造工艺的剖面图。

如图4A和5A所示，利用栅极20、46a和46b作掩模，在每个区域中包括半导体层16、40和42、栅极绝缘体18、44a和44b、和栅极20、46a和46b的衬底1上完成 n^- 离子掺杂。这里 n^- 离子被注入到暴露的半导体层16c、40c和42c中。内部不包括杂质的半导体层的中心部分成为有源层16a、40a和40b。

在图4B和5B中，通过光刻工艺形成第一光刻胶图形21、47和48。第一区域“A”和第二区域“B”的第一光刻胶图形21和47覆盖栅极18和46a以及靠近栅极20和46a的图4A的 n^- 离子掺杂半导体层16c和图5的40c，而第三区

域“C”的第一光刻胶图形 48 覆盖栅极 46b 和所有半导体层 42a 和 42c。接着，在衬底 1 上进行具有比图 4A 和 5A 的 n^- 离子掺杂密度高的 n^+ 离子掺杂，结果在暴露的半导体层中形成包括 n^+ 离子的 n^+ 源区和漏区 16c、16d、40c 和 40d。被覆盖的 n^- 掺杂半导体层成为轻掺杂漏 (LDD) 区 16b 和 40b。之后，去掉第一光刻胶图形 21、47 和 48。

接着，在图 4C 和 5C 中，通过另一光刻工艺形成第二光刻胶图形 22 和 49。第一区域“A”的第二光刻胶图形 22 覆盖栅极 20、 n^+ 源区 16c 和漏区 16d 和 LDD 区 16b。第二区域“B”的第二光刻胶图形 49 覆盖栅极 46a、 n^+ 源区 40c 和漏区 40d 和 LDD 区 40b。用第二光刻胶图形 22 和 49 作为掩模，进行 p^+ 离子掺杂。然后， p^+ 离子被注入到暴露的半导体层中，由此形成 p^+ 源区 42b 和漏区 42c。接着，剥离第二光刻胶图形 22 和 49。

如前所述，为了制造由 n 沟道 MOS 晶体管和 p 沟道 MOS 晶体管构成的现有薄膜晶体管，需要两次光刻工艺。光刻工艺包括几个步骤：涂敷光刻胶、通过掩模曝光和显影光刻胶。因此，随着光刻工艺的增加，制造时间、成本和故障也增加。

另一方面，在上述薄膜晶体管中，多晶硅用作有源层。该多晶硅可以如下形成：利用例如等离子体增强化学汽相淀积 (PECVD) 或低压化学汽相淀积 (LPCVD)，在衬底上淀积非晶硅，然后使非晶硅结晶成多晶硅。有很多种不同的将非晶硅结晶成多晶硅的方法，包括固体结晶 (SPC)、金属感应结晶 (MIC) 和激光退火。

然而，由上述方法形成的多晶硅具有大量晶粒和晶界。这些晶粒和晶界阻止载流子移动并使器件退化。此外，如果晶粒较大和晶界规则地分布在多晶硅中，则场效应迁移率变大。鉴于这些晶粒和晶界，产生大晶粒的硅结晶方法目前成为主要论题。

近来，通常被称为连续横向固化 (SLS) 的一种新的结晶方法已经引起注意。SLS 方法的优点在于硅晶粒从液相硅和固相硅之间的边界横向生长。SLS

方法通过控制激光光束的能量密度和激光光束的辐射范围,可增加生长的晶粒的尺寸(参见 Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp, Proc. Vol. 452, 956-957, 1997)。这将产生具有单个晶体硅的沟道区域的薄膜晶体管。

图6是表示根据激光光束的能量密度的晶粒尺寸的曲线,图7A-7C是用于解释取决于激光光束能量密度的形成由晶粒构成的多晶硅膜的机理的剖面图。照射到每个区域的激光光束的能量密度取决于激光装置。如图7A-7C所示,在激光光束照射工艺之前,在透明衬底100上依次形成缓冲层102和非晶硅层104。

图6的第一区域是部分熔化区。当具有第一区域的能量密度的激光光束照射到非晶硅层104上时,只有非晶硅层104的表面部分“S”熔化,如图7A所示。此后,在退火工艺期间,从非晶硅层104的下部在垂直方向形成多个小晶粒“G1”。

图6的第二区域是接近完全熔化区。当具有第二区域的能量密度的激光光束照射到非晶硅层104上时,几乎所有的非晶硅都熔化了,如图7B所示,在非晶硅层104和缓冲层102之间形成多个籽晶103。由于多个籽晶103,硅晶粒趋于水平生长。然而,由于多个籽晶103随机分布在透明衬底100上,虽然“G2”较大,很难均匀地获得多个晶粒“G2”。

图6的第三区域是完全熔化区。当具有第三区域的能量密度的激光光束照射到非晶硅层104上时,所有非晶硅都熔化了,如图7C所示。然后,在退火工艺期间,进行均匀核化。因此,在熔化的硅中形成多个晶核105,并最终获得细晶粒“G3”。

上述SLS法采用对应图6的第三区域的激光光束的能量密度。下面将参照图8A-8C介绍利用SLS法形成单晶硅的机理。图8A-8C是表示利用现有SLS法制造单晶硅的工艺的平面图。

在图8A中,当具有图6的第三区域的能量密度的激光光束照射到非晶硅

层 104 的第一区域“M1”上时，第一区域“M1”完全熔化。这里，未被照射区域中的非晶硅 107，特别是在第一区域“M1”的边界，由于其能量密度比第一区域“M1”的低而作为籽晶。因而，从第一区域“M1”的边界开始结晶，以便在第一区域“M1”中形成第一晶粒 106a。

接着，如图 8B 所示，具有与图 8A 相同能量密度的激光光束照射到第二区域“M2”上，其中可包括图 8A 的一部分第一区域“M1”，第二区域“M2”完全熔化。在图 8A 中形成的第一晶粒 106a 作为该步骤中的籽晶，通过从第一晶粒 106a 横向生长，形成尺寸比第一晶粒 106a 大的第二晶粒 106b。

在图 8C 中，具有与图 8A 和图 8B 相同能量密度的激光光束照射到第三区域“M3”上，其中可包括图 8B 的一部分第二区域“M2”，第三区域“M3”完全熔化。这里，在前面步骤中形成的第二晶粒 106b 作为该步骤的籽晶。因此，在横向从第二晶粒 106b 开始结晶，并形成尺寸比第二晶粒 106b 大的第三晶粒 106c。

当利用与此相似的方法结晶的硅用作薄膜晶体管的有源层时，该结晶硅是单晶硅，并且该结晶硅的生长方向与沟道方向即薄膜晶体管的电流路径一致。因此，提高了具有单晶硅的薄膜晶体管的电特性。

发明内容

因此，本发明旨在提供具有驱动集成电路的阵列衬底的制造方法，基本上消除了由于现有技术的限制和缺点产生的一个或多个问题。

本发明的优点在于提供一种制造阵列衬底的方法，该方法由于缩短的工艺和较低的成本而提高了生产率。

本发明的其它特点和优点将在下面说明，其中部分特点和优点可以从说明中明显看出，或者可以通过实践本发明而认识到。本发明的目的和优点将通过说明书和权利要求书以及附图中具体指出的结构而实现。

为实现这些和其它优点，根据本发明的目的，如具体实施和概括说明的，

一种制造具有驱动集成电路的阵列衬底的方法包括以下步骤：在衬底上形成第一和第二半导体层，其中第一和第二半导体层由单晶硅制成；在第一和第二半导体层上淀积绝缘材料；在绝缘材料上淀积金属；在金属上形成第一光刻胶图形，其中第一光刻胶图形正好在第一和第二半导体上；通过刻蚀金属，分别在第一和第二半导体层上形成第一和第二栅极，其中第一和第二栅极比第一光刻胶图形窄；通过刻蚀绝缘材料，分别在第一和第二半导体层上形成第一和第二绝缘体图形，其中第一和第二绝缘体图形具有与第一光刻胶图形相等的宽度；采用第一光刻胶图形作为第一掺杂掩模，掺杂 n^+ 离子；灰化第一光刻胶图形，由此第一光刻胶图形变成减小的第一光刻胶图形，其中该减小的第一光刻胶图形具有与第一和第二栅极相同的宽度；用该减小的第一光刻胶图形作为刻蚀掩模，刻蚀第一和第二绝缘体图形；用该减小的第一光刻胶图形作为第二掺杂掩模，掺杂 n^- 离子；在掺杂 n^- 离子之后去掉减小的第一光刻胶图形；形成覆盖第一栅极和第一半导体层的第二光刻胶图形；用第二光刻胶图形和第二栅极作为第三掺杂掩模，掺杂 p^+ 离子；和掺杂 p^+ 离子之后去掉第二光刻胶图形。

另一方面，一种制造具有驱动集成电路的阵列衬底的方法包括以下步骤：在衬底上形成第一和第二半导体层，其中第一和第二半导体层由单晶硅制成；在第一和第二半导体层上淀积绝缘材料；在绝缘材料上淀积金属；在金属上形成第一光刻胶图形，其中第一光刻胶图形正好在第一和第二半导体上；通过刻蚀金属，分别在第一和第二半导体层上形成第一和第二栅极，其中第一和第二栅极比第一光刻胶图形窄；采用第一光刻胶图形作为第一掺杂掩模，掺杂 n^+ 离子；去掉第一光刻胶图形；用第一和第二栅极作为第二掺杂掩模，掺杂 n^- 离子；形成覆盖第一栅极和第一半导体层的第二光刻胶图形；用第二光刻胶图形和第二栅极作为第三掺杂掩模，掺杂 p^+ 离子；和掺杂 p^+ 离子之后去掉第二光刻胶图形。

应该理解，前面一般性的说明和下面的详细说明都是示意性的和解释性的并提供所要求保护的本发明的进一步说明。

附图说明

所包含的附图提供本发明的进一步理解并结合在本说明书中构成本说明书的一部分，附图表示本发明的实施例并和说明书一起用于解释本发明的原理。

图 1 是表示具有驱动集成电路的现有液晶显示器（LCD）器件的阵列衬底的示意方框图；

图 2A 和 2B 是表示现有薄膜晶体管的剖面图；

图 3 是表示制造现有阵列衬底的工艺的流程图；

图 4A-4C 是在图像部分中形成的薄膜晶体管的制造工艺的剖面图；

图 5A-5C 是形成在驱动部分中的薄膜晶体管的制造工艺的剖面图；

图 6 是表示根据激光光束的能量密度的晶粒尺寸的曲线；

图 7A-7C 是用于解释取决于激光光束的能量密度的形成由晶粒构成的多晶硅膜的机理的硅膜剖面图；

图 8A-8C 是表示利用现有 SLS 法制造单晶硅的工艺平面图；

图 9A-9C 是根据本发明的第一实施例在图像部分中的薄膜晶体管的制造工艺的剖面图；

图 10A-10C 是根据本发明的第一实施例在驱动部分中的薄膜晶体管的制造工艺的剖面图；

图 11A-11D 是根据本发明的第二实施例在图像部分中的薄膜晶体管的制造工艺的剖面图；

图 12A-12D 是根据本发明的第二实施例在驱动部分中的薄膜晶体管的制造工艺的剖面图。

具体实施方式

下面参照附图详细介绍本发明的示例实施例。

本发明的第一实施例示于图 9A-9C 和图 10A-10C 中。图 9A-9C 是根据本发

明第一实施例在图像部分的第一区域“D”中的薄膜晶体管的制造工艺的剖面图。图 10A-10C 是根据本发明第一实施例在驱动部分的第二和第三区域“E”和“F”中的薄膜晶体管的制造工艺的剖面图。

如图 9A 和 10A 所示，在透明衬底 101 上形成缓冲层 108，在缓冲层 108 上形成半导体层。半导体层是单晶硅，并且可利用前述连续横向固化（SLS）法形成。按照一定顺序在半导体层上淀积绝缘层和金属层之后，通过涂敷光刻胶材料、曝光和显影光刻胶的光刻工艺，在金属层上形成第一光刻胶图形 122a、122b 和 122c。用第一光刻胶图形 122a、122b 和 122c 作为掩模，刻蚀金属层和绝缘层，形成栅极 118、120a、120b 和栅绝缘体图形 114a、114b 和 114c。此时，栅极 118、120a、120b 因为各向异性刻蚀特性而被过刻蚀，并具有比第一光刻胶图形 122a、122b 和 122c 窄的宽度。栅绝缘体图形 114a、114b 和 114c 的宽度等于第一光刻胶图形 122a、122b 和 122c 的宽度。接着，用第一光刻胶图形 122a、122b 和 122c 作为掺杂掩模，在衬底 101 上进行 n^+ 离子掺杂， n^+ 离子被注入到暴露的半导体层 110b、110c、112b、112c、113b 和 113c。因此，形成 n^+ 源区和漏区 110b、110c、112b、112c、113b 和 113c。把每单位面积掺杂的离子的量称为剂量， n^+ 离子剂量希望为约 $1 \times 10^{15}/\text{cm}^2$ 到 $2 \times 10^{15}/\text{cm}^2$ 。在现有技术中，通过灰化工艺去掉第一光刻胶图形 122a、122b 和 122c 的边缘之后，进行离子掺杂。

在图 9B 和 10B 中，通过灰化图 9A 和 10A 的第一光刻胶图形 122a、122b 和 122c，形成具有与栅极 118、120a、120b 相同宽度的光刻胶图形 124a、124b 和 124c。然后，刻蚀图 9A 和 10A 的栅绝缘体图形 114a、114b 和 114c，得到栅绝缘体 115a、115b 和 115c。接下来，用光刻胶图形 124a、124b 和 124c 作为掺杂掩模，进行剂量为约 $10^{13}/\text{cm}^2$ 的 n^- 离子掺杂。靠近栅极 118、120a 和 120b 的 n^- 离子掺杂区域 110d、112d 和 113d 成为轻掺杂漏（LDD）区。因为 n^- 离子剂量远远少于 n^+ 离子剂量，因此 n^+ 源区和漏区 110b、110c、112b、112c、113b 和 113c 不受影响。之后，去掉光刻胶图形 124a、124b 和 124c。正好在栅极 118、

120a 和 120b 下面的半导体层中心部分 110a、112a 和 113a 内部不包括杂质，并成为薄膜晶体管的有源层。

接着，在图 9C 和 10C 中，通过另一光刻工艺，分别在第一和第二区域“D”和“E”中形成第二光刻胶图形 126a 和 126b。第一区域“D”的第二光刻胶图形 126a 覆盖栅极 118、n⁺源区 110b 和漏区 110c、和 LDD 区 110d。第二区域“E”的第二光刻胶图形 126b 覆盖栅极 120a、n⁺源区 112b 和漏区 112c、和 LDD 区 112d。用第二光刻胶图形 126a 和 126b 作为掺杂掩模，进行 p⁺离子掺杂。这里，p⁺离子剂量应该大于 n⁺离子剂量。然后 p⁺离子被注入到第三区域“F”的暴露半导体层中，因此由于约为 $3 \times 10^{15}/\text{cm}^2$ 到 $4 \times 10^{15}/\text{cm}^2$ 的 p⁺离子剂量比 n⁺离子剂量高，形成 p⁺源区 113e 和漏区 113f。剥离第二光刻胶图形 126a 和 126b。接着，下面将进行如图 3 的 ST5-ST9 的其它工艺。

如上所述，在本发明的第一实施例中只增加了一个光刻工艺。

本发明的第二实施例示于图 11A-11D 和图 12A-12D 中。图 11A-11D 是根据本发明第二实施例在图像部分的第一区域“G”中的薄膜晶体管的制造工艺的剖面图。图 12A-12D 是根据本发明第二实施例在驱动部分的第二和第三区域“H”和“I”中的薄膜晶体管的制造工艺的剖面图。

如图 11A 和 12A 所示，在透明衬底 200 上形成缓冲层 202，在缓冲层 202 上形成半导体层。半导体层是单晶硅，并且可利用前述连续横向固化（SLS）法形成。按照一定顺序在半导体层上淀积绝缘层 210 和金属层之后，通过光刻工艺在金属层上形成第一光刻胶图形 216a、216b 和 216c。然后，用第一光刻胶图形 216a、216b 和 216c 作为掩模，刻蚀金属层，形成栅极 212、214a、214b。此时，栅极 212、214a、214b 因为各向异性刻蚀特性而被过刻蚀，因此具有比第一光刻胶图形 216a、216b 和 216c 窄的宽度。接着，用第一光刻胶图形 216a、216b 和 216c 作为掺杂掩模，进行 n⁺离子的掺杂，将 n⁺离子注入到未被第一光刻胶图形 216a、216b 和 216c 覆盖的半导体层 204b、204c、206b、206c、208b 和 208c 中。因此，形成 n⁺源区和漏区 204b、204c、206b、206c、208b 和 208c。

这里， n^+ 离子剂量约为 $1 \times 10^{15}/\text{cm}^2$ 到 $2 \times 10^{15}/\text{cm}^2$ 。

在图 11B 和 12B 中，通过灰化去掉图 11A 和 12A 的第一光刻胶图形 216a、216b 和 216c，并用栅极 212、214a 和 214b 作为掺杂掩模，进行剂量为约 $10^{13}/\text{cm}^2$ 的 n^- 离子掺杂。靠近栅极 212、214a 和 214b 的 n^- 离子掺杂区域 204d、206d 和 208d 成为轻掺杂漏 (LDD) 区。此时，因为 n^- 离子剂量远远少于 n^+ 离子剂量，因此 n^+ 源区和漏区 204b、204c、206b、206c、208b 和 208c 不受影响。正好在栅极 212、214a 和 214b 下面的半导体层中心部分 204a、206a 和 208a 内部不包括杂质，并成为薄膜晶体管的有源层。

接着，在图 11C 和 12C 中，用栅极 212、214a 和 214b 作为刻蚀掩模，通过干刻蚀法刻蚀图 11B 和 12B 的绝缘层 210。然后，形成宽度等于栅极 212、214a 和 214b 的栅绝缘体 210a、210b 和 210c。另一方面，可保留图 11B 和 12B 的绝缘层 210。

在图 11D 和 12D 中，通过另一光刻工艺，分别在第一和第二区域“G”和“H”中形成第二光刻胶图形 218a 和 218b。第一区域“G”的第二光刻胶图形 218a 覆盖栅极 212、 n^+ 源区 204b 和漏区 204c、和 LDD 区 204d。第二区域“H”的第二光刻胶图形 218b 覆盖栅极 214a、 n^+ 源区 206b 和漏区 206c、和 LDD 区 206d。并用第二光刻胶图形 218a 和 218b 作为掺杂掩模，进行 p^+ 离子掺杂。这里， p^+ 离子剂量应该大于 n^+ 离子剂量。然后， p^+ 离子被注入到第三区域“I”的暴露半导体层中，因此，由于约为 $3 \times 10^{15}/\text{cm}^2$ 到 $4 \times 10^{15}/\text{cm}^2$ 的 p^+ 离子剂量比 n^+ 离子剂量高，形成 p^+ 源区 208e 和漏区 208f。剥离第二光刻胶图形 218a 和 218b。接着，与第一实施例一样将进行其它工艺。

对于本领域技术人员来说很显然在不脱离本发明的精神或范围的情况下可以在本发明的制造和应用上做出各种修改和改变。因此，本发明覆盖落入所附权利要求书及其等同物范围内的本发明的修改和改变。

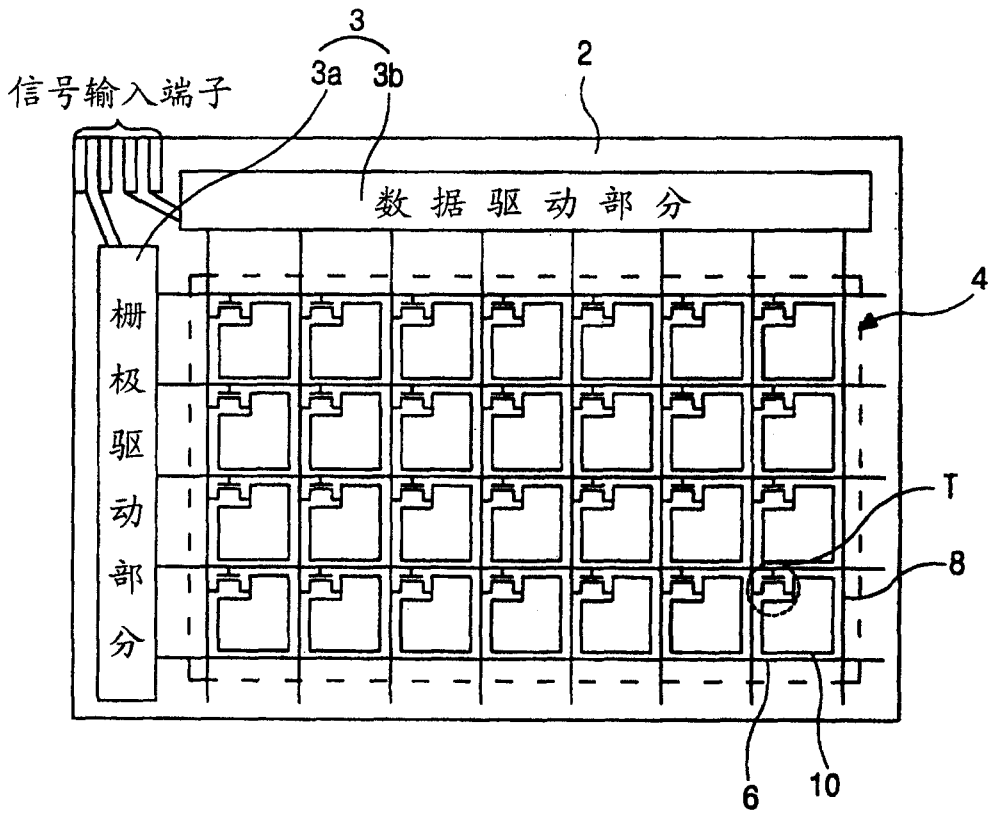


图 1
(现有技术)

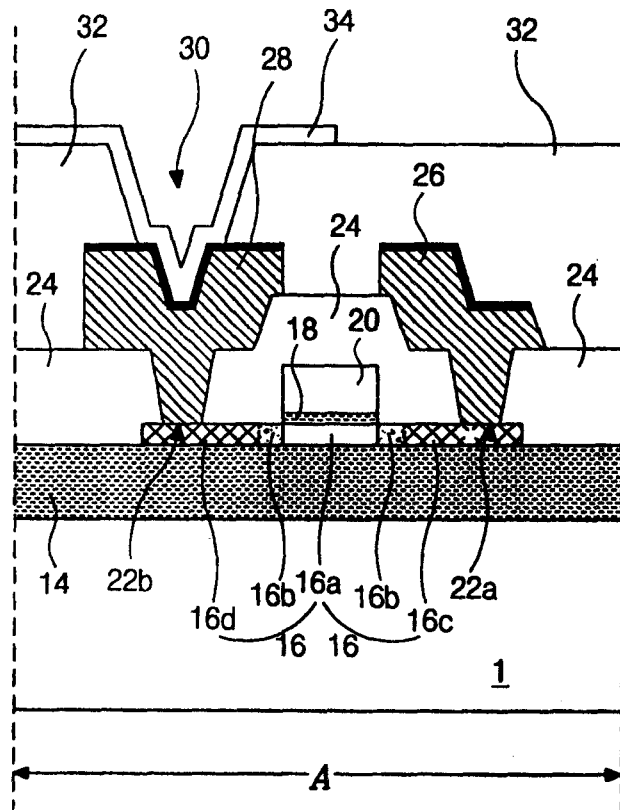


图 2A
(现有技术)

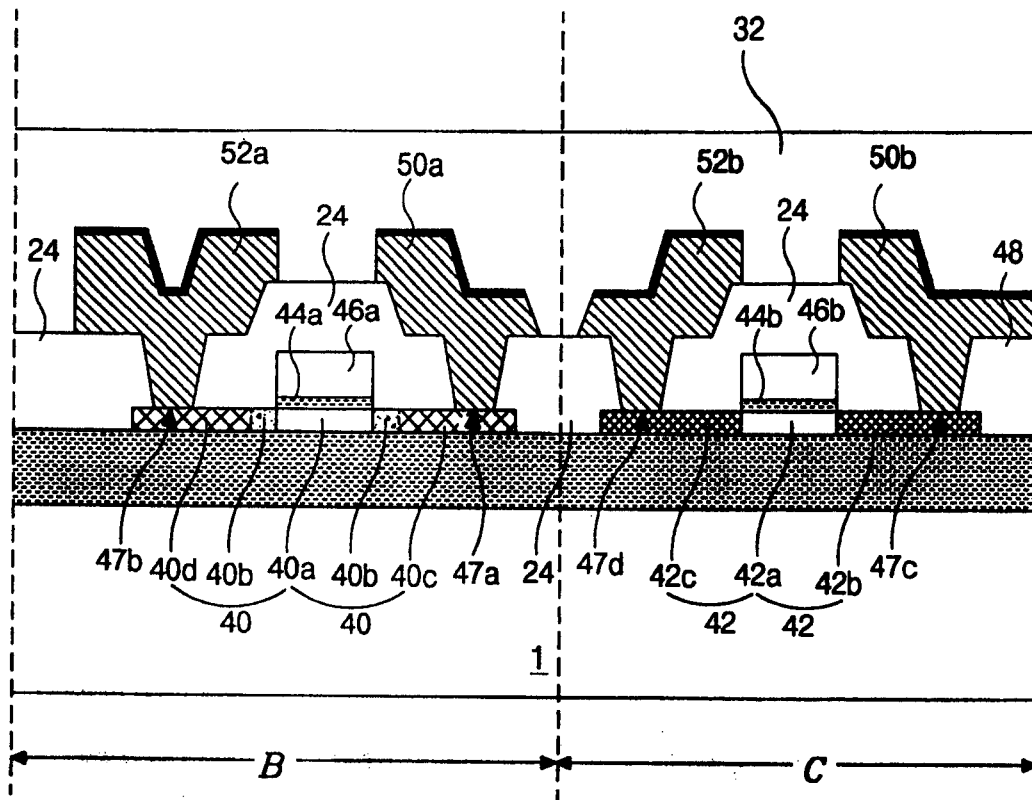


图 2B
(现有技术)

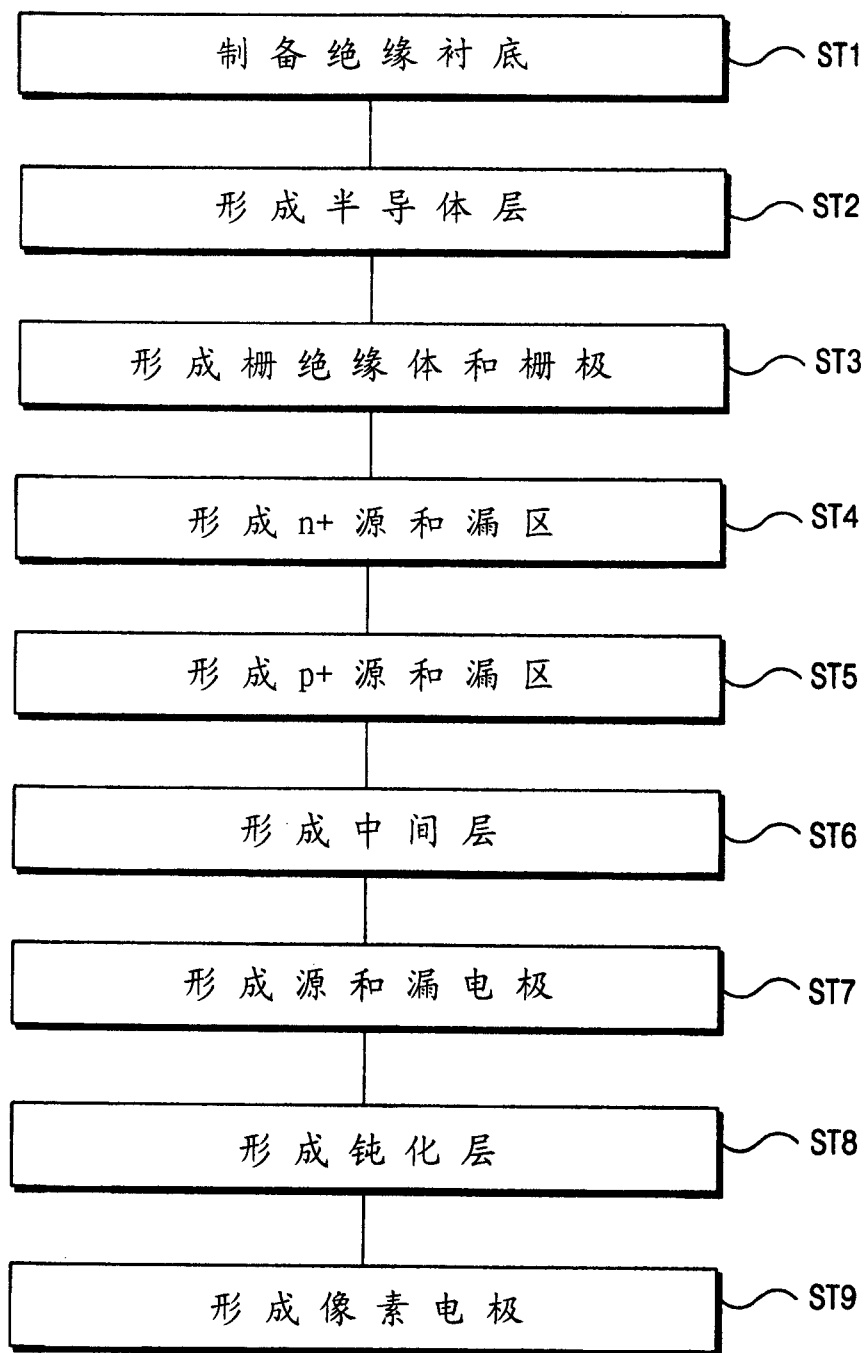
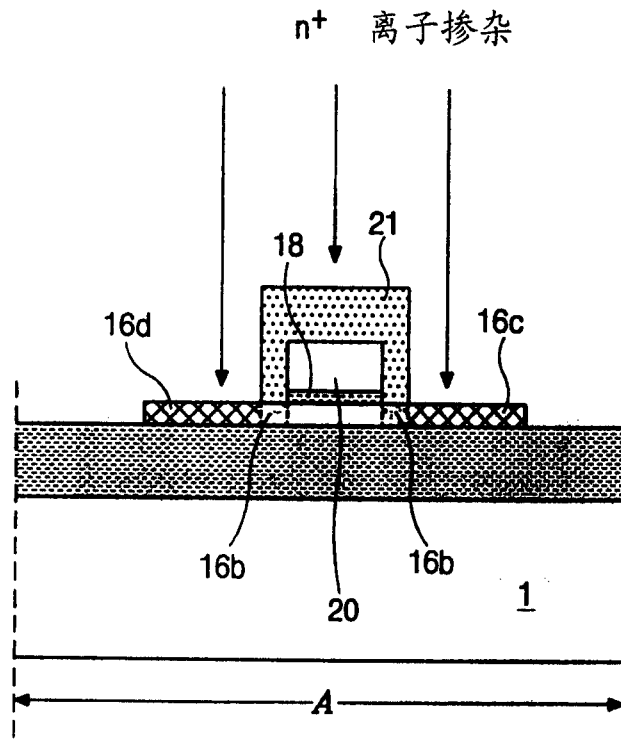
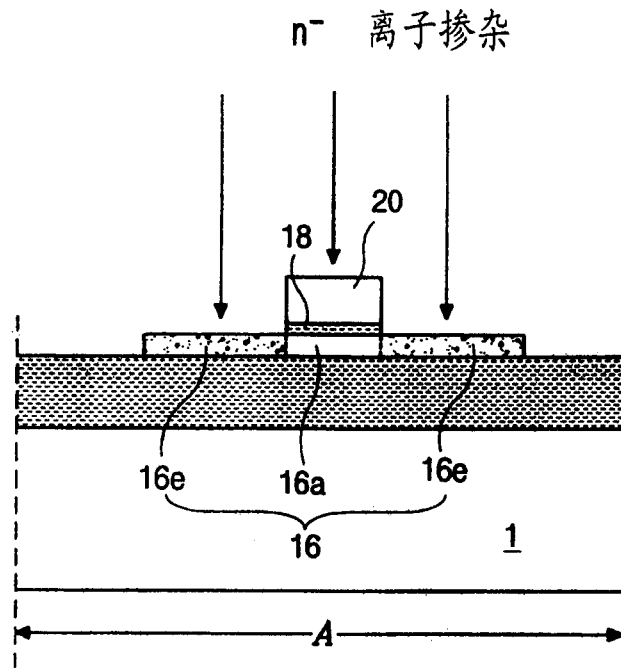


图 3
(现有技术)



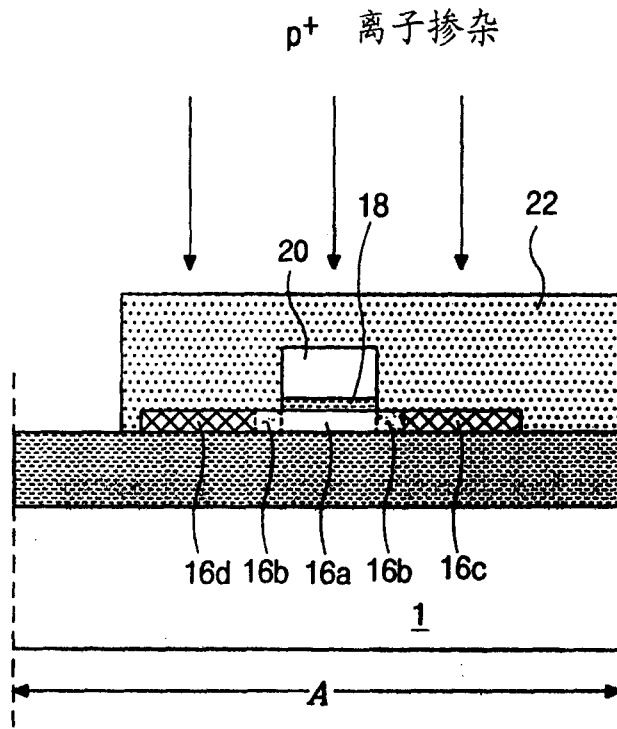


图 4C
(现有技术)

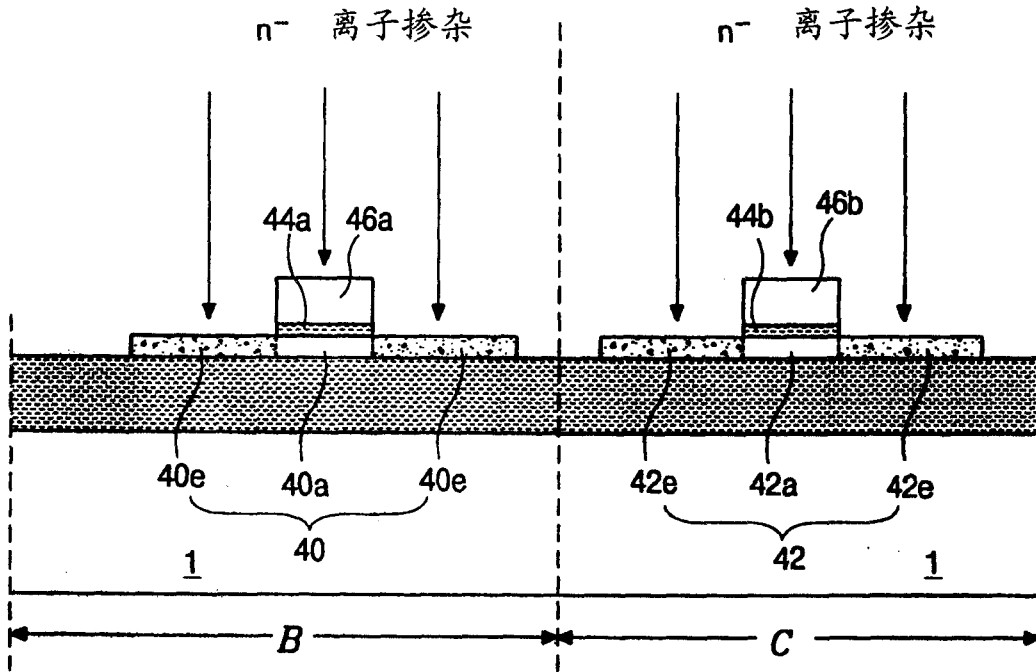


图 5A
(现有技术)

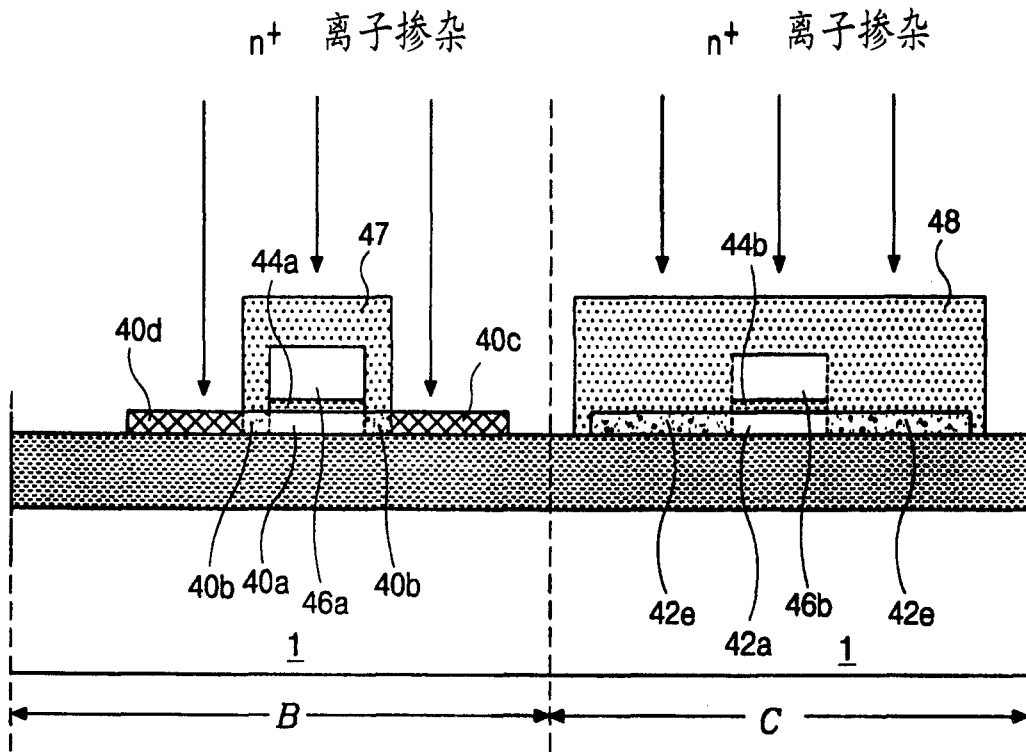


图 5B
(现有技术)

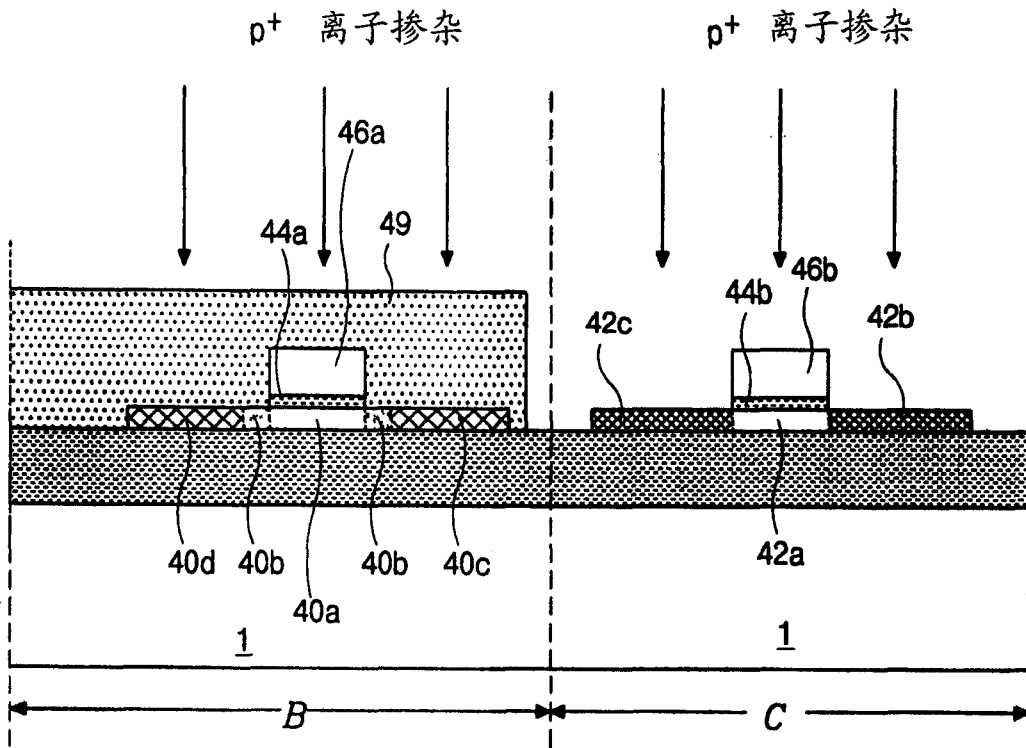


图 5C
(现有技术)

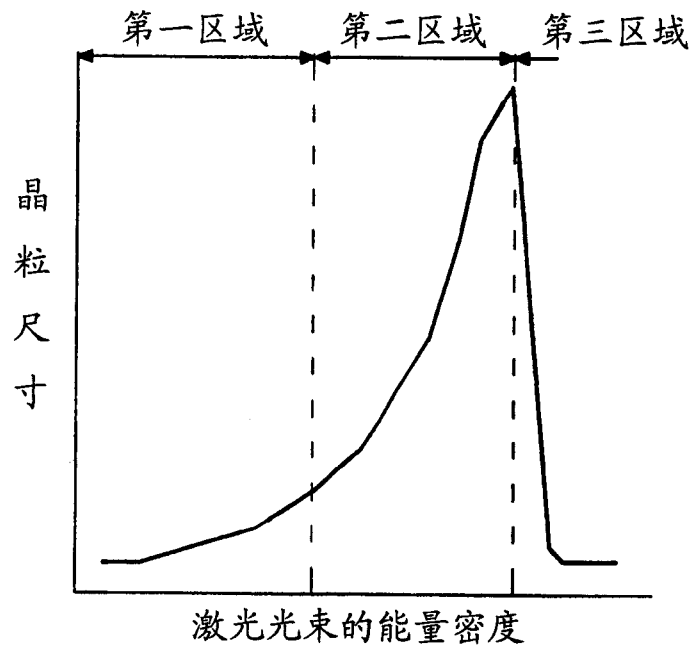


图 6
(现有技术)

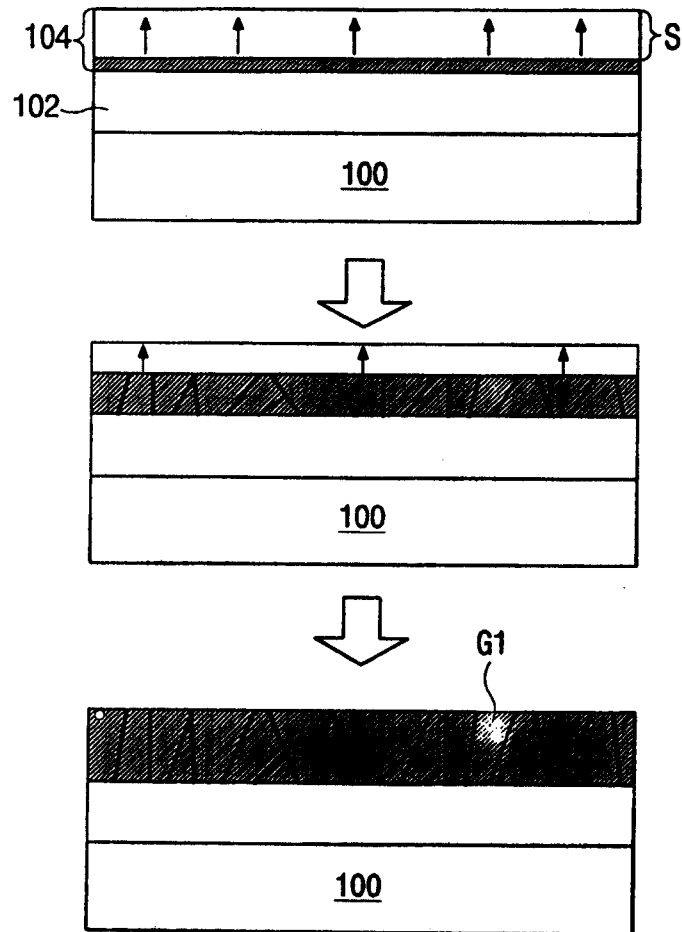


图 7A
(现有技术)

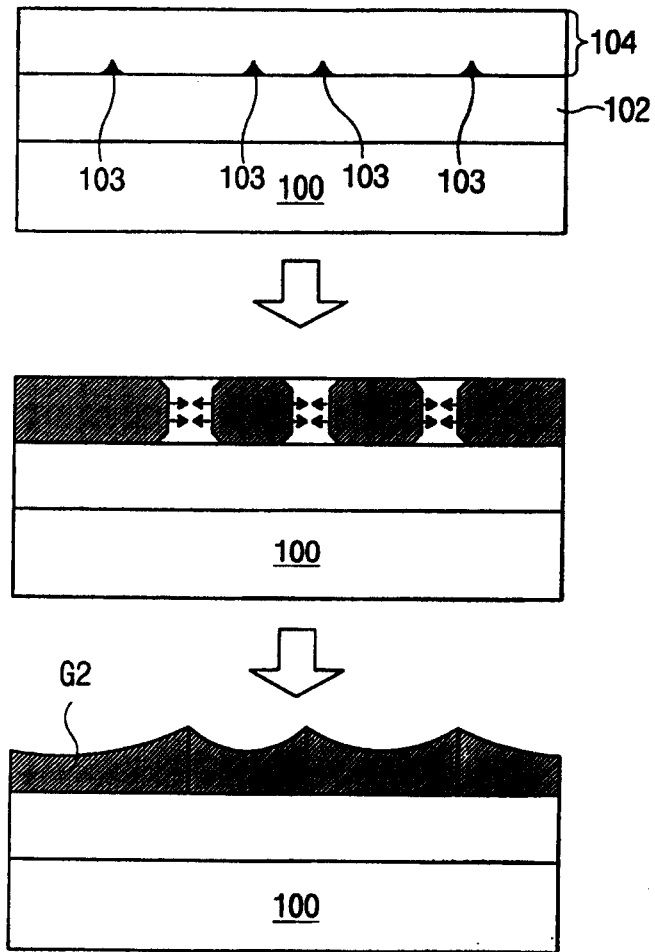


图 7B
(现有技术)

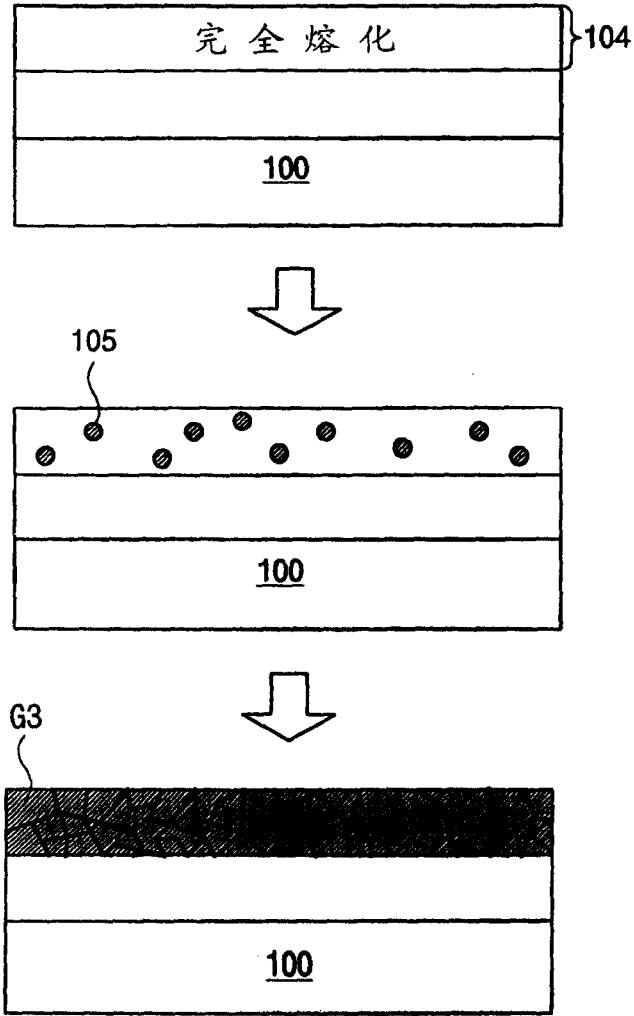


图 7C
(现有技术)

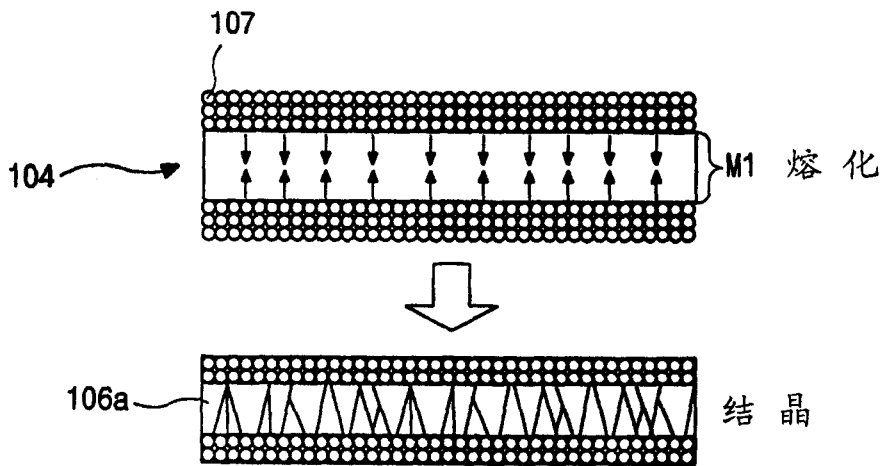


图 8A
(现有技术)

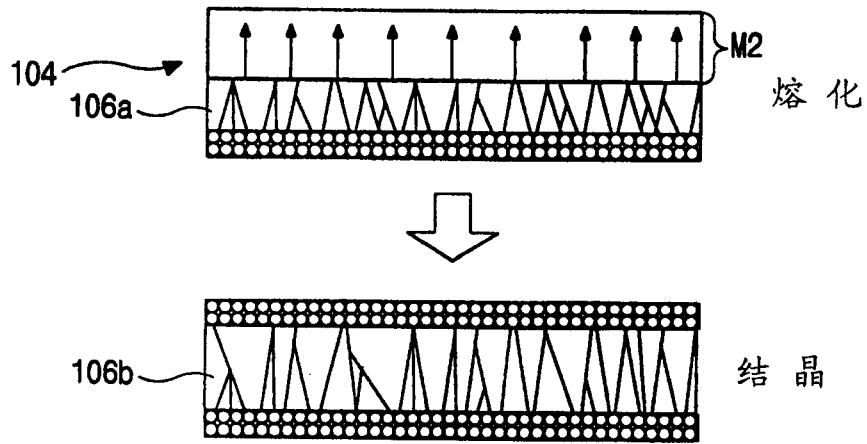


图 8B
(现有技术)

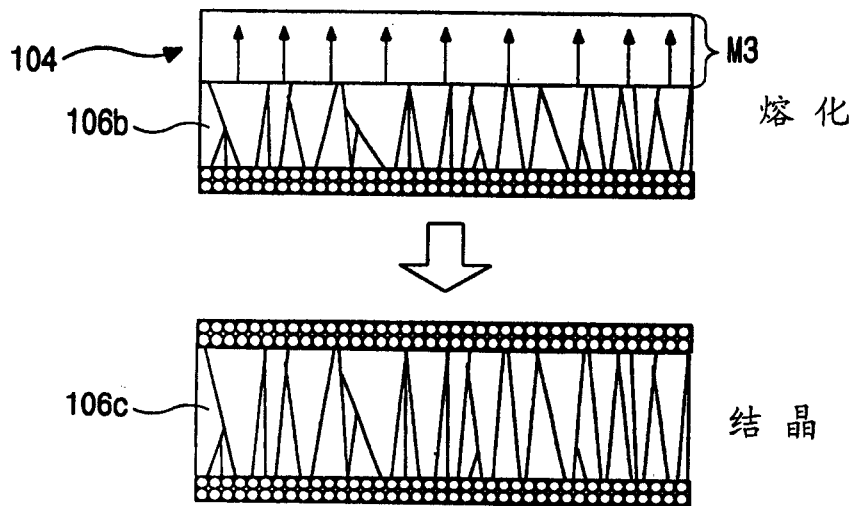


图 8C
(现有技术)

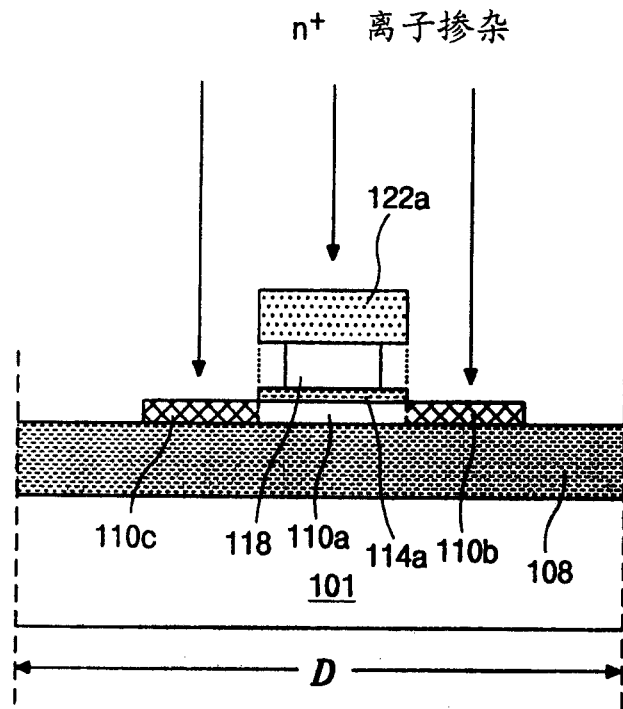


图 9A

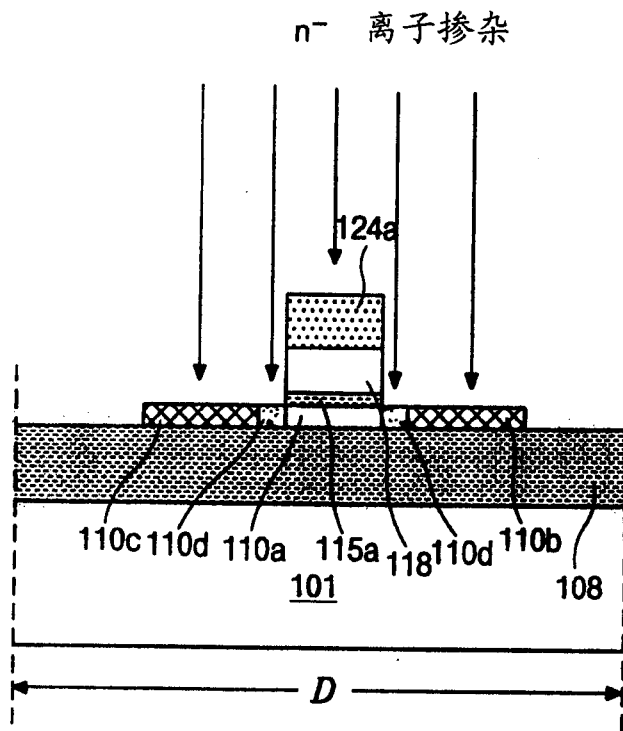


图 9B

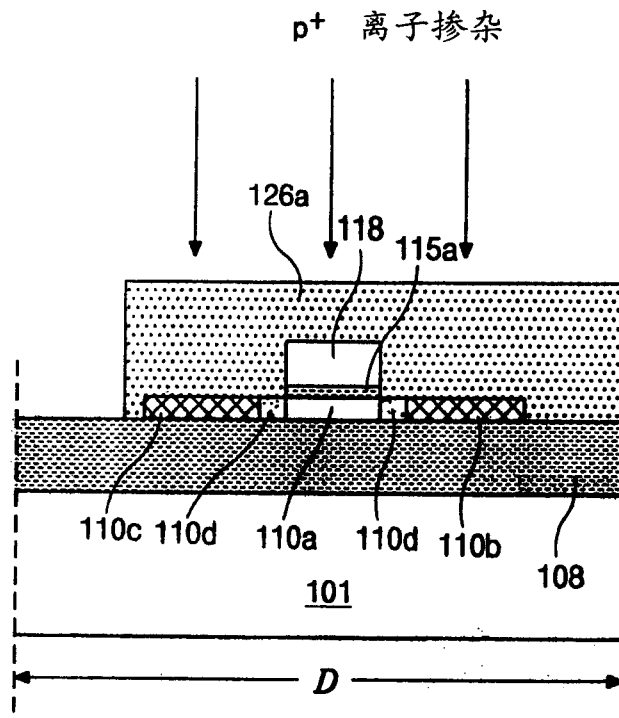


图 9C

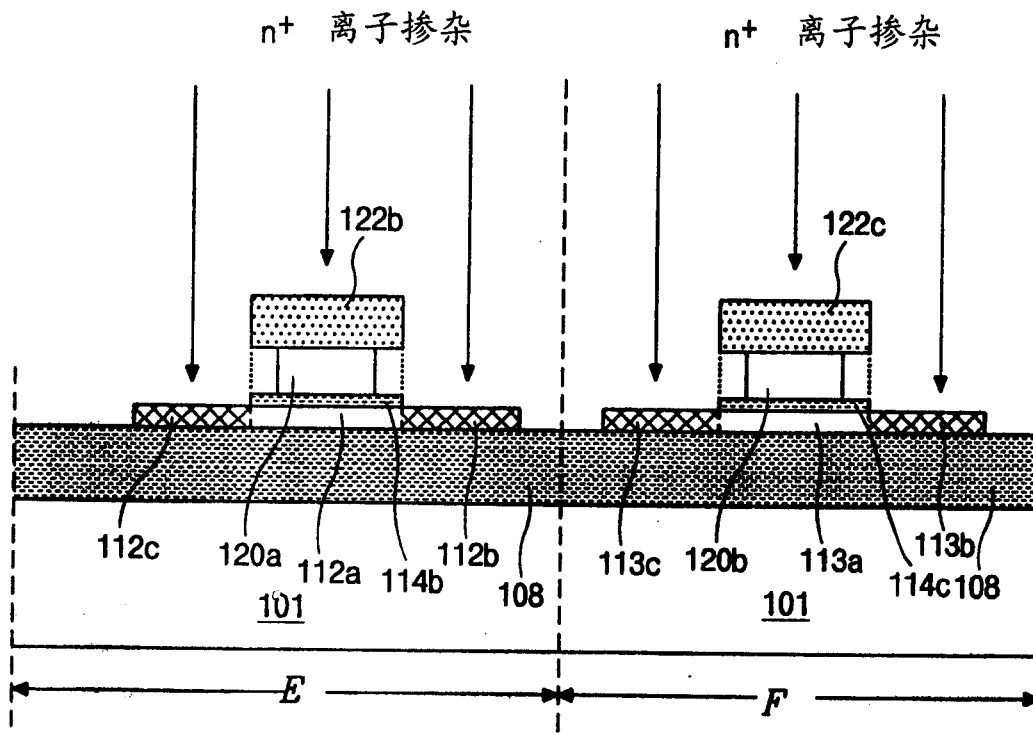


图 10A

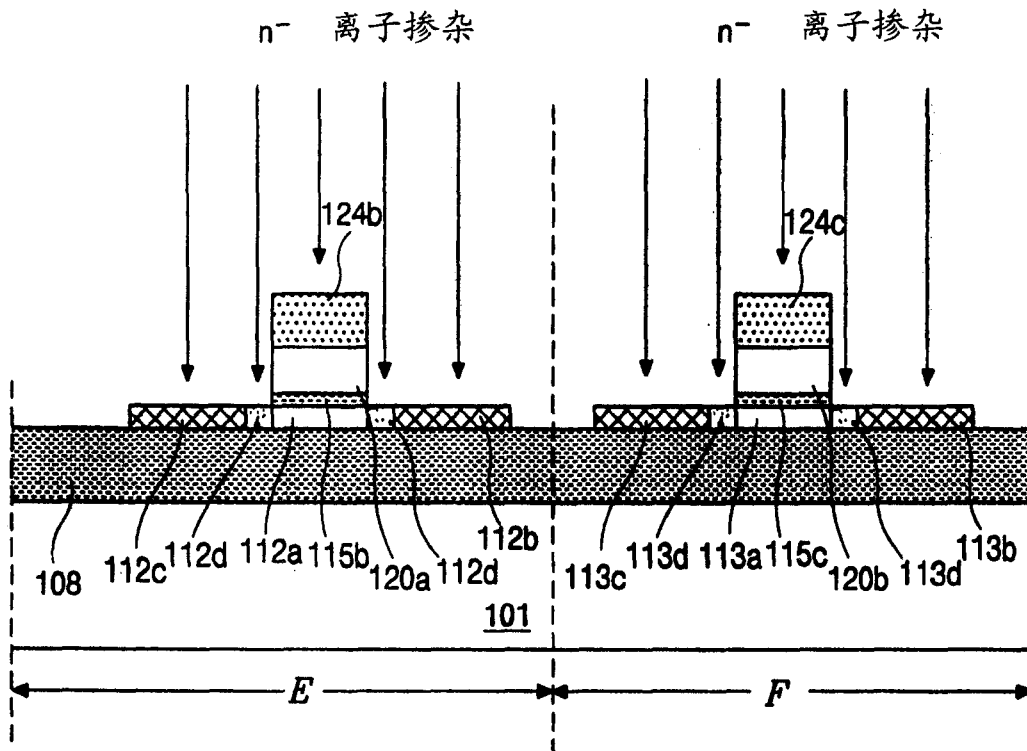


图 10B

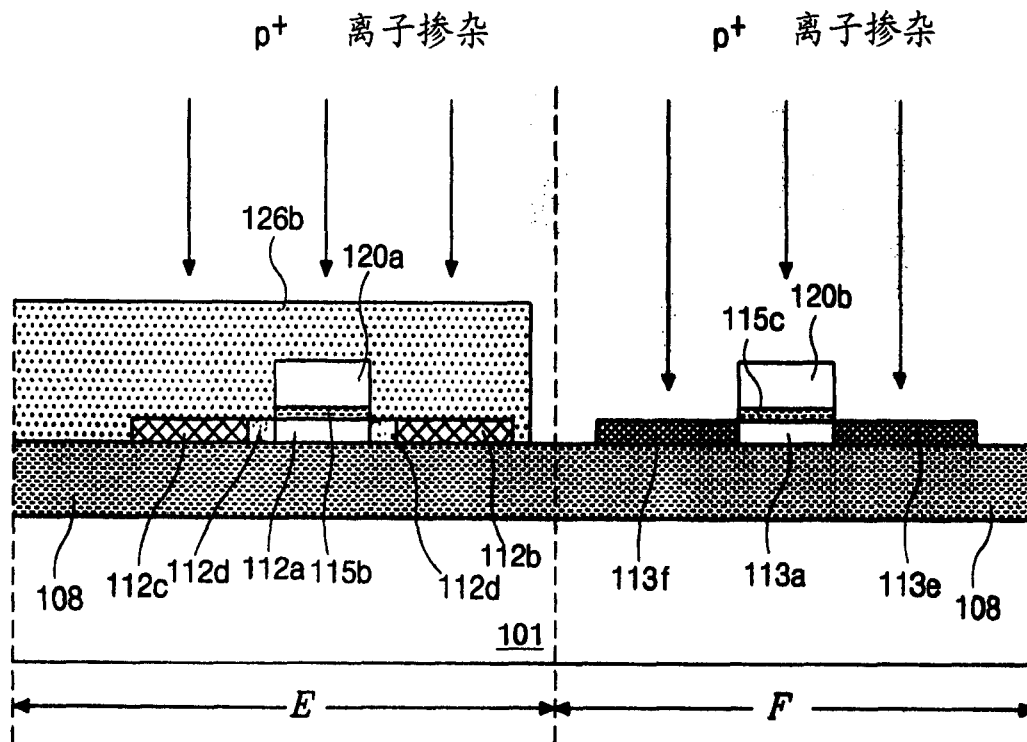


图 10C

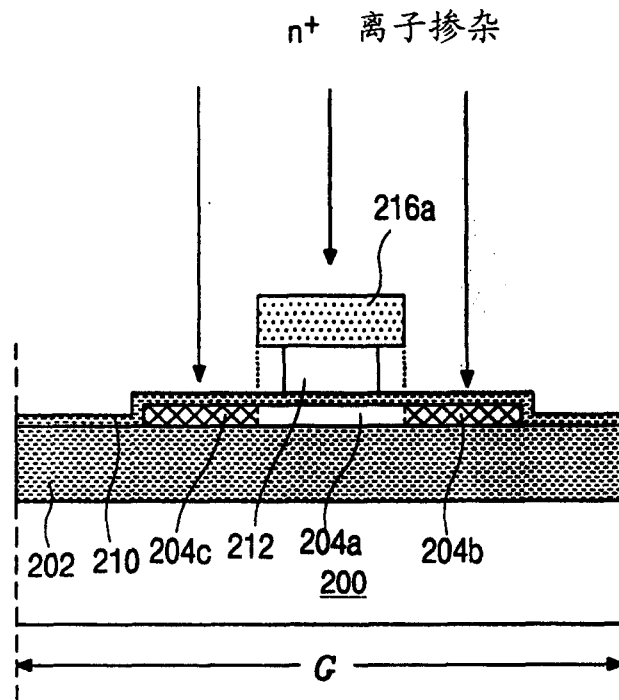


图 11A

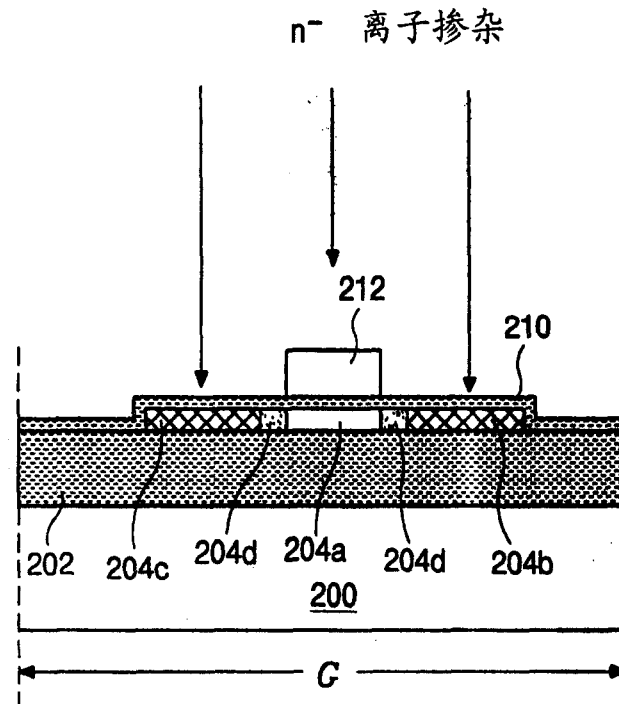


图 11B

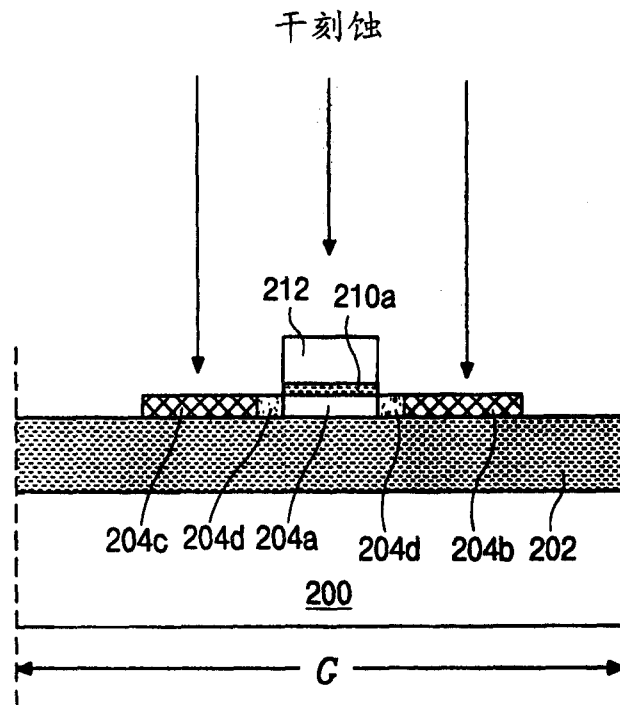


图 11C

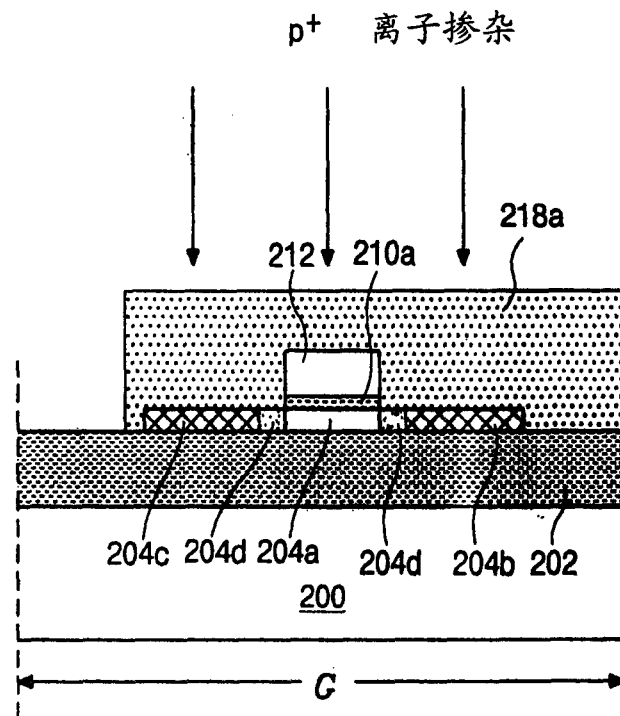


图 11D

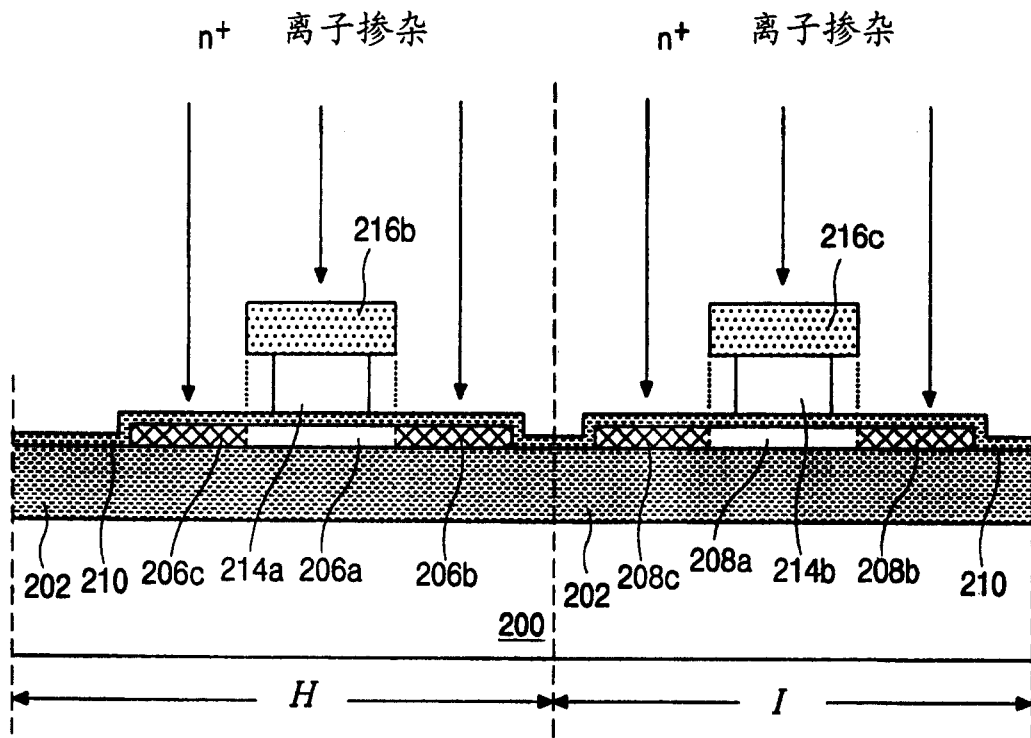


图 12A

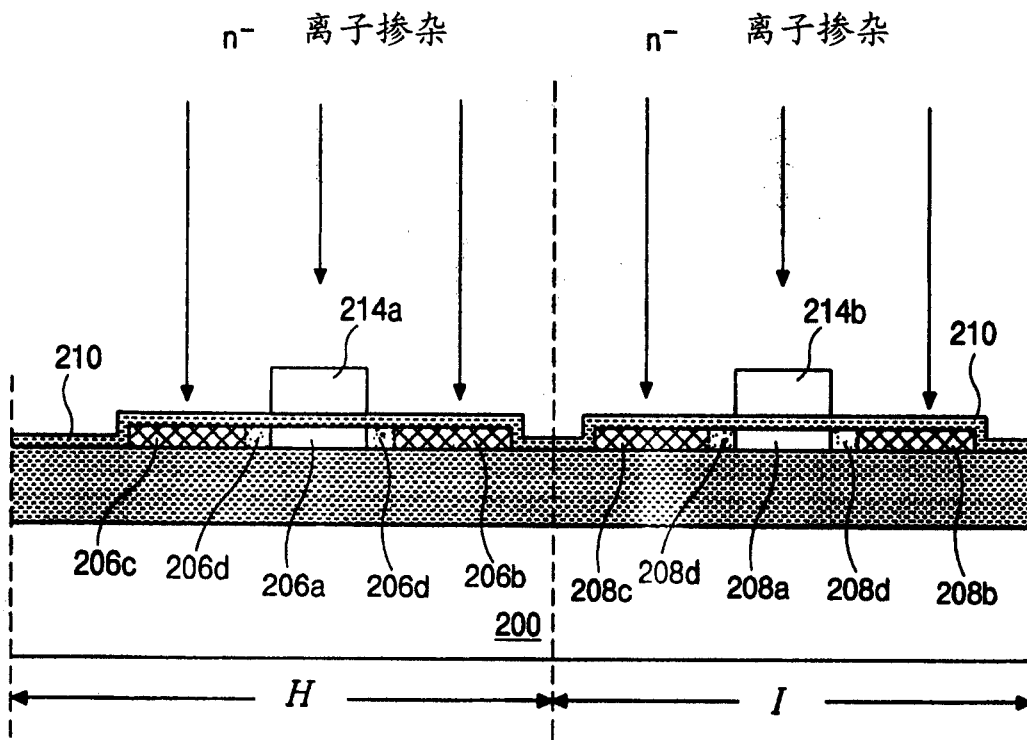


图 12B

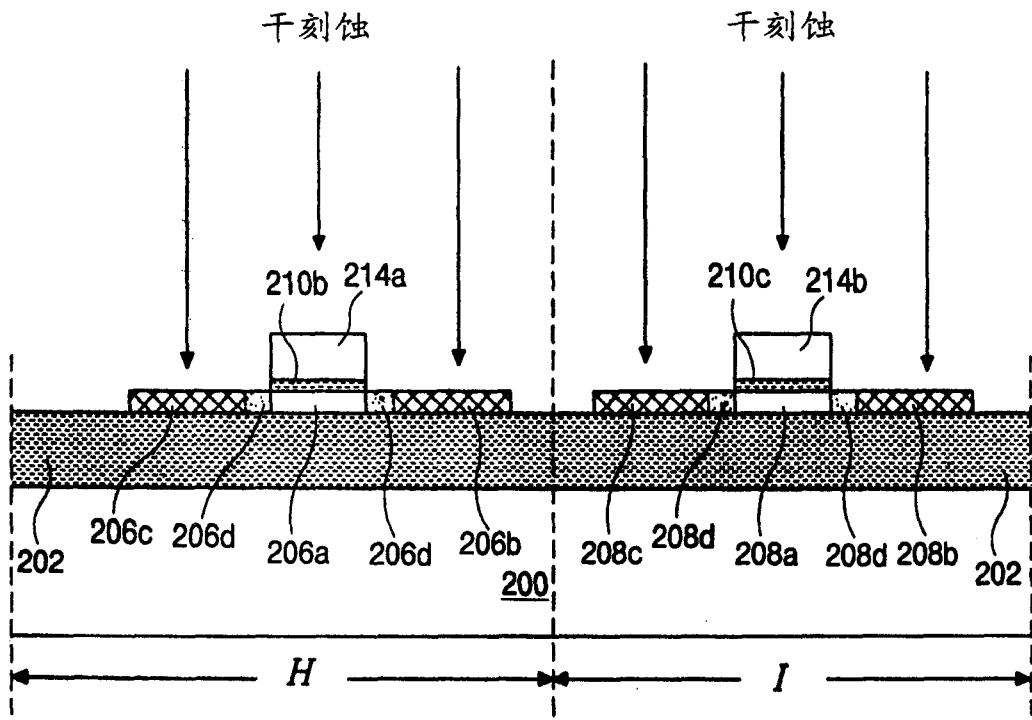


图 12C

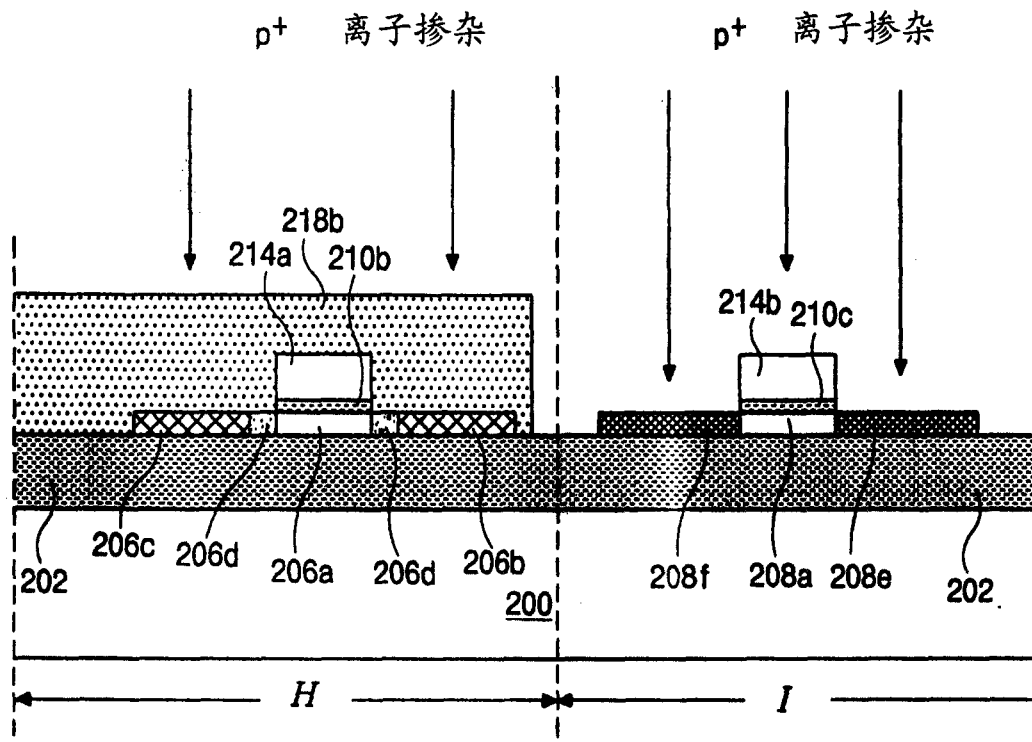


图 12D