

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月1日(01.02.2024)



(10) 国際公開番号

WO 2024/023969 A1

(51) 国際特許分類:
H01L 21/66 (2006.01) H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2022/028926

(22) 国際出願日: 2022年7月27日(27.07.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

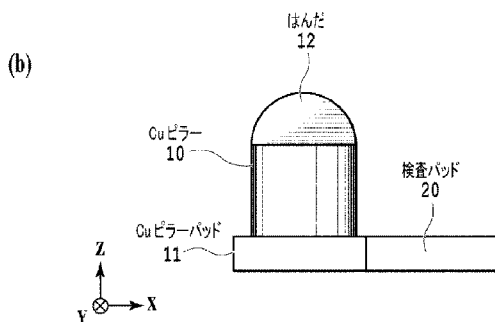
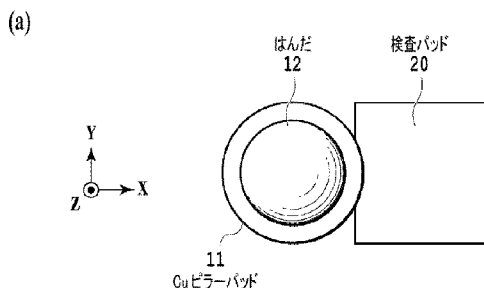
(72) 発明者: 高橋 雅之 (TAKAHASHI Masayuki); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 那須

悠介 (NASU Yusuke); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 伊熊 雄一郎 (IKUMA Yuichiro); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 都築 健 (TSUZUKI Ken); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 雛倉 陽介 (HINAKURA Yosuke); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP).

(74) 代理人: 弁理士法人谷・阿部特許事務所 (TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6番20号 Tokyo (JP).

(54) Title: PATTERN FOR INSPECTION AND INTEGRATED SEMICONDUCTOR CIRCUIT EQUIPPED THEREWITH

(54) 発明の名称: 検査用パターンおよびそれを備えた半導体集積回路



- 10 Cu pillar
- 11 Cu pillar pad
- 12 Solder
- 20 Inspection pad

(57) Abstract: A pattern for inspection is provided with which it is possible to conduct a wafer-level automatic inspection using a cantilever probe card. A pattern for inspection according to an embodiment of the present disclosure comprises a Cu pillar pad formed on a semiconductor substrate, a Cu pillar formed on the Cu pillar pad, and an inspection pad formed on the semiconductor substrate. The inspection pad is contiguous or adjacent to the Cu pillar pad and electrically connected thereto, and provides an area with which a cantilever probe comes into contact when a wafer-level automatic



WO 2024/023969 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

inspection is made.

(57) 要約: カンチレバー型プローブカードを用いてウェハレベル自動検査を行うことができる検査用パターンが提供される。本開示の一実施形態に係る検査用パターンは、半導体基板上に形成されたCuピラーパッドと、Cuピラーパッド上に形成されたCuピラーと、半導体基板上に形成された検査パッドであって、Cuピラーパッドと隣接または近接し電氣的に結合されており、ウェハレベル自動検査の際にカンチレバー型プローブがコンタクトする領域を提供する、検査パッドとを備える。

明 細 書

発明の名称： 検査用パターンおよびそれを備えた半導体集積回路

技術分野

[0001] 本開示は、検査用パターンおよびそれを備えた半導体集積回路に関する。

背景技術

[0002] 従来、半導体集積回路チップと半導体パッケージ用基板とのフリップチップ接続に用いるCuピラー（銅ピラー）が知られている（たとえば、非特許文献1および2参照）。Cuピラー（銅ピラー）は半導体集積回路チップのアルミ電極パッド上にCuの柱（ピラー）を形成する技術であり、狭パッドピッチ化、端子の高密度化を可能とする。

[0003] 光通信モジュールおよび光デバイスに用いられる半導体集積回路には、光回路を含む半導体集積回路（以下、光半導体集積回路チップともいう）が含まれる。近年、光半導体集積回路チップにおいても、光通信の伝送容量増大、広帯域化、高密度化に対応するために、端子の高密度化、狭パッドピッチ化が求められ、Cuピラー技術が用いられるようになってきている。

[0004] 伝送容量増大の要求のため、光通信モジュールの部品の集積度が増大し、その製品歩留まりを向上させるためには、光通信モジュールに含まれる光半導体集積回路チップのウェハレベル自動検査による良品チップの選別が必要である。そのウェハレベル自動検査には、光学的測定、電気的測定を行うために、光入出力プローブと電気プローブを同時に用いた検査が行われる。

[0005] 半導体集積回路のウェハレベル自動検査用に、パッドを設けずにCuピラーに垂直にコンタクトして検査する垂直型プローブカードが市販されている（たとえば、非特許文献3参照）。

先行技術文献

非特許文献

[0006] 非特許文献1：B. Tunaboynu, "Testing of Copper Pillar Bumps for Wafer Sort," in IEEE Transactions on Components, Packaging and Manufacturin

g Technology, vol. 2, no. 6, pp. 985–993, June 2012, doi: 10.1109/TCPMT.2011.2173493

非特許文献2：新光電気工業株式会社、“Cuピラー”、[online]、新光電気工業株式会社ホームページ、[令和4年7月12日検索]、インターネット（URL：<https://www.shinko.co.jp/product/package/assembly/cu-pillar.php>）

非特許文献3：株式会社精研、“プローブカード（垂直型・カンチレバー型）の特徴・比較”、[online]、株式会社精研ホームページ、[令和4年7月12日検索]、インターネット（URL：<https://www.seiken.co.jp/semiconductor/probecard.html>）

発明の概要

- [0007] Cuピラーを含む半導体集積回路を形成したウェハ（以下、半導体集積回路ウェハという）のウェハレベル自動検査においては、打痕が小さくCuピラーにダメージを与えにくい垂直型プローブカードを用いることが一般的である。
- [0008] 一方、光通信デバイスに含まれる光半導体集積回路を形成したウェハ（以下、光半導体集積回路ウェハという）のウェハレベル自動検査においては、光学的測定および電氣的測定を行うためには光入出力プローブと電気プローブを同時に用いた検査が必要である。しかし、垂直型プローブカードの場合はその構造上、光入出力プローブを光半導体集積回路ウェハにコンタクトさせる領域を設けることができず、光半導体集積回路チップのウェハレベル自動検査を行うことができない、という課題があった。
- [0009] そのため、光半導体集積回路チップのウェハレベル自動検査においては、プローブカードを矩形状またはコの字型に切り取った形状とすることで、光入出力プローブをウェハにコンタクトするための領域を確保できるカンチレバー型プローブカードを用いることができる。しかし、カンチレバー型プローブカードは一般的にコンタクト痕が大きく、Cuピラーに直接コンタクトさせて測定することはできない、という課題があった。
- [0010] 本開示は、このような問題に鑑みてなされたもので、その目的とするところ

ろは、Cuピラーにプローブを接触させることなく、カンチレバー型プローブカードを用いたウェハレベル自動検査が可能な、検査パターンおよび半導体集積回路を提供することにある。

[0011] このような目的を達成するために、本開示の一実施形態に係る検査用パターンは、半導体基板上に形成されたCuピラーパッドと、Cuピラーパッド上に形成されたCuピラーと、半導体基板上に形成された検査パッドであって、Cuピラーパッドと隣接または近接し電氣的に結合されており、ウェハレベル自動検査の際にカンチレバー型プローブがコンタクトする領域を提供する、検査パッドとを備える。

[0012] 本開示の一実施形態の検査用パターンによれば、カンチレバー型プローブカードのプローブをCuピラーにプローブを接触させることなく、ウェハレベル自動検査を行うことが可能となる。

図面の簡単な説明

[0013] [図1]図1はCuピラーを説明する図であり、(a)は上面図であり、(b)は側面である。

[図2]図2は本開示の一実施形態に係る検査用のパターンを示す図であり、(a)は上面図であり、(b)は側面図である。

[図3]図3は、本開示の一実施形態に係る光半導体集積回路の概略構成を示す図である。

[図4]図4は、本開示の一実施形態に係るCuピラー有するチップを外部のパッケージ基板または回路基板に実装した状態を説明する図である。

[図5]図5は、Cuピラー有するチップを外部のパッケージ基板または回路基板に実装した状態を説明する図である。を示す図である。

[図6]図6は、本開示の一実施形態に係る光半導体集積回路の概略構成を示す図である。

[図7]図7は、ウェハレベル自動検査中のカンチレバー型プローブカードとチップを示す図であり、(a)は上面図であり、(b)は側面図である。

[図8]図8は、カンチレバー型プローブの針先が検査パッド20とコンタクト

した状態を示す図で、（a）は針先の削れが少ない（より新しい）カンチレバー型プローブを示す図、（b）は針先の削れが多いカンチレバー型プローブを示す図である。

[図9]図9は、本開示の一実施形態に係る光半導体集積回路の概略構成を示す図である。

[図10]図10は、本開示の一実施形態に係る光半導体集積回路の概略構成を示す図である。

[図11]図11は、本開示の一実施形態に係る光半導体集積回路の概略構成を示す図である。

発明を実施するための形態

[0014] 以下、図面を参照しながら本開示の実施形態に係る光半導体集積回路について詳細に説明する。同一または類似の符号は同一または類似の要素を示し、繰り返しの説明を省略する場合がある。光半導体集積回路は、光回路を含む集積回路であるが、本開示は、光半導体集積回路に替えて、光回路を含まない半導体集積回路を用いても説明することができる。

[0015] 図1は、Cuピラーを説明する図であり、（a）は上面図であり、（b）は側面図である。本開示の実施形態に係る光回路を含む光半導体集積回路も、Cuピラーを用いて、端子の高密度化、狭パッドピッチ化を実現することができる。図1に示すように、Cuピラー10は、Cuピラーパッド11上に形成されている。Cuピラー10は、円柱形状を有し、水平方向（XY面方向）の断面は円形である。Cuピラーパッド11も円柱形状を有し、水平方向の断面の径はCuピラー10の径よりも大きい。Cuピラー10の上面にははんだ12が配置されている。上面視において、Cuピラー10は、Cuピラーパッド11の内側にされている。Cuピラー10の上面のはんだ12はバンプを形成する。

[0016] （第1の実施形態）

図2を参照して本開示の第1の実施形態に係る検査用のパターンを説明する。図2は検査用のパターンを示す図であり、（a）は上面図であり、（b

)は側面図である。図2に示す検査用のパターンは、ウェハ上の光半導体集積回路内に形成され、当該光半導体集積回路のウェハレベル自動検査において使用される。

[0017] 図2に示すように、検査用のパターンは、Cuピラーパッド11と、Cuピラーパッド11の上に配置されたCuピラー10と、Cuピラーパッド11と重なりを有する検査パッド20とを備える。検査パッド20は、ウェハレベル自動検査の際にカンチレバー型プローブカードに配置されたカンチレバー型プローブがコンタクトする領域を提供する。Cuピラーパッド11と検査パッド20とは、隣接して配置されていればよく、Cuピラーパッド11および検査パッド20がZ軸方向に重なる領域を有している必要はない。

[0018] たとえば、Cuを材料として検査パッド20を形成する場合、Cuピラーパッド11および検査パッド20を同一の製造工程により1つの連続した領域として形成することができる。

[0019] 図2には、Cuピラー10の上面にははんだ12も示されている。はんだ12は、フリップチップ接続におけるバンプを構成する。

[0020] 本実施形態の検査用のパターン（本明細書において、単に検査用パターンともいう）によれば、ウェハレベル自動検査の際に、Cuピラー10、Cuピラーパッド11、およびはんだ12にカンチレバー型プローブをコンタクトさせる必要がなくなる。したがって、Cuピラー10、Cuピラーパッド11、およびはんだ12にコンタクト痕が生じることはない。

[0021] 上述したように、光半導体集積回路ウェハに検査パッドを含む検査用パターンを設けることにより、カンチレバー型プローブカードを用いたウェハレベル自動検査が可能となる。なお、光半導体集積回路ウェハのみならず、光回路を含まない半導体集積回路ウェハにも適用が可能である。すなわち、半導体集積回路ウェハに検査パッドを含む検査用パターンを設けることでカンチレバー型プローブカードを用いたウェハレベル自動検査が可能となる。垂直型プローブカードよりも低コストのカンチレバー型プローブカードを用いることで、検査コストを低コストで実施することができる。

[0022] (第2の実施形態)

図3、4および5を参照して本開示の第2の実施形態に係る光半導体集積回路を説明する。図3は、ウェハ上に形成された複数の光半導体集積回路のうちの1つを示している。光半導体集積回路は、光回路を含む集積回路であり、ウェハ上に形成される。上述したように、光半導体集積回路はウェハレベル自動検査の後に、ウェハから1つの光半導体集積回路を含むチップとして切り出される。ウェハから切り出されたチップは、他の部品と共にモジュール化されて、光通信モジュールを構成する。

[0023] 図3に示す光半導体集積回路は、矩形のチップ30（すなわち、光半導体集積回路基板）と、チップ30の主面（XY面）に形成された光入出力端子32および半導体素子31と、複数の検査用パターンと、複数の検査用パターンの各々と半導体素子31とを電気的に接続するチップ内配線33とを備える。

[0024] チップ30に形成された複数の検査用パターンの各々は、図2を参照して説明した検査用パターン、すなわち、Cuピラーパッド11、Cuピラー10、検査パッド20、および、はんだ12を有する。Cuピラーパッド11と隣接して配置された検査パッド20は、チップ内配線33により半導体素子31と電気的に接続されている。検査パッド20は、チップ30がウェハから切り出される前に実施するウェハレベル自動検査の際にカンチレバー型プローブカードに配置されたカンチレバー型プローブがコンタクトする領域を提供する。Cuピラーパッド11、Cuピラー10、および、はんだ12は、たとえば、半導体素子31のドライバIC、バイアス回路、トランスインピーダンスアンプ（TIA）、および配線板、高周波（RF）配線基板のような他の要素（不図示）の1つまたは複数とチップ30をフリップ接続する際の接続点を提供する。

[0025] 図3に示すように、複数の検査用パターンが、矩形のチップ30の端面すなわちチップ30の外周の近傍に直線状に配置されている。各検査用パターンのCuピラーパッド11は、検査パッド20よりも端面に近い位置に配置

されている。また、各検査用パターンの検査パッド20は、Cuピラーパッド11から最も近い端面から離れる方向（最も近い端面と対向する端面に向かう方向）の位置に配置されている。Cuピラーパッド11上にはCuピラー10が配置され、Cuピラー10の上面にははんだ12が配置されている。図3においては、Cuピラー10ははんだ12の下に位置する。

[0026] 光入出力端子32は、たとえばグレーティングカップラであり、チップ30に集積された光回路である。半導体素子31は、たとえばフォトダイオードであり、チップ30に集積された光回路である。

[0027] 本実施形態のチップ30の半導体素子31がフォトダイオードの場合、光通信モジュール内においてチップ30のフォトダイオードは、外部のバイアス源からCuピラー10を介してバイアスが印加され、グレーティングカップラを介して入射する他の光回路からの光を光電変換して、Cuピラー10を介して電気信号を外部のTIAに供給するように動作する。一方、ウェハレベル自動検査においてチップ30のフォトダイオードは、検査パッド20にコンタクトしたカンチレバー型プローブを介して検査装置からバイアスが印加され、グレーティングカップラを介して入射する光プローブからの光を光電変換して、検査パッド20にコンタクトしたカンチレバー型プローブを介して電気信号を検査装置に供給するように動作する。

[0028] 本実施形態のチップ30の半導体素子31がレーザダイオードの場合、光通信モジュール内においてチップ30のレーザダイオードは、外部のドライバIC（または外部のドライバICと接続されたRF配線基板）からCuピラー10を介して制御信号が供給され、グレーティングカップラを介して光信号を他の光回路へ出射するように動作する。一方、ウェハレベル自動検査においてチップ30のレーザダイオードは、検査パッド20にコンタクトしたカンチレバー型プローブを介して検査装置から制御信号が供給され、グレーティングカップラを介して光プローブからの光信号を検査装置に供給するように動作する。

[0029] 本実施形態のチップ30の半導体素子31が光変調器の場合、光通信モジ

ジュール内においてチップ30の光変調器は、外部のドライバIC（または外部のドライバICと接続されたRF配線基板）からCuピラー10を介して変調信号が供給され、グレーティングカップラの一部を介して入射する他の光回路からの光信号を変調し、グレーティングカップラの別の一部を介して別の他の光回路へ変調された光信号を出射するように動作する。一方、ウェハレベル自動検査においてチップ30の光変調器は、検査パッド20にコンタクトしたカンチレバー型プローブを介して検査装置から変調信号が供給され、グレーティングカップラを介して光プローブから入射する光信号を変調して、別の光プローブを介して検査装置に供給するように動作する。

[0030] 本実施形態に係る光半導体集積回路によれば、チップ30のサイズを小型化するために、チップの周辺部に検査パッド20が配置され、チップの中心部に光回路（フォトダイオード、レーザダイオード、または光変調器など）を構成する半導体素子が配置される。本実施形態を、光半導体集積回路に替えて、光回路を含まない半導体集積回路に適用する場合には、チップの中心部に電子回路を構成する半導体素子（アンプを構成するトランジスタ、ドライバICなど）が配置される。

[0031] 図4は、Cuピラー10を用いてチップ30を外部のパッケージ基板または回路基板40にフリップチップ実装した状態を説明する図である。図4のように、外部の回路基板40とチップ30に含まれる半導体素子31との間の電気信号の経路にスタブ（開放）が発生しない。

[0032] 図5は、図4のチップ30の検査用パターンにおけるCuピラーパッド11と検査パッド20の配置を入れ替えたチップ50を、外部の回路基板は40にフリップチップ実装した状態を説明する図である。Cuピラーパッド11よりも端面に近い位置に配置されている検査パッド20は、スタブとして働くため、高周波特性を劣化させる要因となる。

[0033] 本実施形態に係る光半導体集積回路では、スタブが発生しないため、高周波特性を損なうことなく、検査パッド20を配置して低コストのカンチレバー型プローブカードを用いてウェハレベル自動検査を行うことができる。

[0034] (第3の実施形態)

図6を参照して本開示の第3の実施形態に係る光半導体集積回路を説明する。図6は、図3と同様に、ウェハ上に形成された複数の光半導体集積回路のうちの1つを示している。本実施形態に係る光半導体集積回路においても、前述した光半導体集積回路と同様に、チップ60のサイズを小型化するために、チップの周辺部に検査パッド20は配置される。図6に示す矩形のチップ60は、図3に示すチップ30と比較して、チップ60に形成された複数の検査用パターンの配置が異なる。より具体的には、図6に示すようにチップ60は、各検査用パターンの検査パッド20が、Cuピラーパッド11よりも端面に近い位置に配置され、検査パッド20と隣接して配置されたCuピラーパッド11がチップ内配線33により半導体素子31と電氣的に接続されている点で、図3に示すチップ30と異なる。

[0035] 図7は、ウェハレベル自動検査中のカンチレバー型プローブカードとチップを示す図であり、(a)は上面図であり、(b)は側面図である。図7に示すカンチレバー型プローブカード71は、検査対象のチップ70のサイズよりも大きい開口部を有し、開口部周辺にカンチレバー型プローブ72が配置されている。図7には、検査対象のチップ70に対する光の入出力を検査するための光プローブ73も示されている。図7に示すように、カンチレバー型プローブカードを用いてウェハレベル自動検査を行う場合、カンチレバー型プローブ72は、チップ70の周辺部に対して、チップ外周側からチップ内側方向に侵入して、検査パッドとコンタクトする。カンチレバー型プローブカードは、検査が終了した後にクリーニングが行われる。このクリーニングは、カンチレバー型プローブの針先の削れを伴う。

[0036] 図8は、カンチレバー型プローブの針先が本開示の検査用パターンにおける検査パッド20とコンタクトした状態を示す図であり、(a)は針先の削れが少ない(より新しい)カンチレバー型プローブを示す図、(b)は針先の削れが多いカンチレバー型プローブを示す図である。図8(b)に示すように、クリーニングによって針先の多くが削れた場合、ウェハレベル自動検

査の際にカンチレバー型プローブ72がCuピラー10（およびはんだ12）に近づいてしまう。カンチレバー型プローブ72がCuピラー10（およびはんだ12）衝突してしまうとダメージを与えてしまう。それを防ぐためには、針先の削れによるマージンを考慮して、あらかじめ検査パッド20のサイズを大きくしておく必要がある。例えば一般的なCuピラーの径は60 μm であり、カンチレバー型プローブの製造誤差や検査装置のプロービング精度を含めると、クリーニング運用後にもCuピラー10とカンチレバー型プローブ72とは、30 μm 程度離れている必要がある。そうすると、初期の検査パッド20のサイズは、カンチレバー型プローブ72がスケートする方向の長さを125 μm 程度とする必要がある。

[0037] 一方、図6に示す実施形態に係る光半導体集積回路によれば、検査パッド20をCuピラーパッド11よりもチップ60の端面に近い位置に配置したことで、クリーニングによってカンチレバー型プローブ72の針先が削れが生じて、Cuピラー10（およびはんだ12）に近づくことはない。したがって、検査パッド20のサイズのカンチレバー型プローブ72がスケートする方向の長さは、20 μm の針先の削れによるマージンを排することができる。すなわち、図8を参照して上述した例と比べてより小さなサイズの検査パッド20を実現することができる。これにより、検査パッド20の容量成分を小さくすることで、高周波特性を損なうことなく、検査パッド20を配置して低コストのカンチレバー型プローブカード71を用いて検査することができる光半導体集積回路または半導体集積回路を提供することが可能となる。

[0038]（第4の実施形態）

図9を参照して本開示の第4の実施形態に係る光半導体集積回路を説明する。図9は、図3と同様に、ウェハ上に形成された複数の光半導体集積回路のうちの1つを示している。本実施形態に係る光半導体集積回路においても、前述した光半導体集積回路と同様に、チップ60のサイズを小型化するために、チップの周辺部に検査パッド20は配置される。図9に示す矩形のチ

チップ90は、図3に示すチップ30と比較して、チップ90に形成された複数の検査用パターンの配置が異なる。より具体的には、図9に示すようにチップ60は、各検査用パターンの検査パッド20およびCuピラーパッド11が、最も近い端面に対して平行に配置され、検査パッド20と隣接して配置されたCuピラーパッド11がチップ内配線33により半導体素子31と電氣的に接続されている点で、図3に示すチップ30と異なる。

[0039] 本実施形態に係る光半導体集積回路もまた、図6に示す実施形態に係る光半導体集積回路と同様に、クリーニングによってカンチレバー型プローブ72の針先が削れが生じてても、Cuピラー10（およびはんだ12）に近づくことはない。すなわち、図8を参照して上述した例と比べてより小さなサイズの検査パッド20を実現することができる。これにより、検査パッド20の容量成分を小さくすることで、高周波特性を損なうことなく、検査パッド20を配置して低コストのカンチレバー型プローブカード71を用いて検査することができる光半導体集積回路または半導体集積回路を提供することが可能となる。

[0040]（第5の実施形態）

図10を参照して本開示の第5の実施形態に係る光半導体集積回路を説明する。図10は、図3と同様に、ウェハ上に形成された複数の光半導体集積回路のうちの1つを示している。図10に示す光半導体集積回路は、矩形のチップ100（すなわち、光半導体集積回路基板）と、チップ100の主面（XY面）に形成された半導体素子31と、複数の検査用パターンと、複数の検査用パターンの各々と半導体素子31とを電氣的に接続する高周波配線101とを備える。図10における2つの高周波配線101は例示であって、光半導体集積回路が備える高周波配線101の数、すなわち検査用パターンの数は2つに限られない。信号線およびグランド線をそれぞれSおよびGとして、光半導体集積回路は、SGS構成またはGSGSG構成などの所望の構成に応じた数の高周波配線101を含み得る。

[0041] 本実施形態に係る光半導体集積回路における検査用パターンは、Cuピラ

ーパッド11、Cuピラー10、はんだ12、および検査パッドウィンドウ102を有する。Cuピラーパッド11と半導体素子31とを接続するチップ内配線33を高周波配線101として構成し、高周波配線111上に検査パッドウィンドウ102を設けた点での点で、図2を参照して説明した検査用のパターンと異なる。検査パッドウィンドウ102は、チップ100の上面に形成されたパッシベーション膜を排除した部分である。検査パッドウィンドウ102は、検査パッド20と同様に矩形である。検査パッドウィンドウ102は、上述した検査パッド20に相当し、ウェハレベル自動検査の際にカンチレバー型プローブカードに配置されたカンチレバー型プローブがコンタクトする領域を提供する。

[0042] 本実施形態に係る光半導体集積回路において、各検査用パターンの検査パッドウィンドウ102は、Cuピラーパッド11から最も近い端面から離れる方向（最も近い端面と対向する端面に向かう方向）の位置に配置されている。

[0043] 本実施形態に係る光半導体集積回路における検査用パターンによれば、Cuピラー10（およびはんだ12）と、検査パッドウィンドウ102の距離を十分にとることで、Cuピラー10とカンチレバー型プローブ72と衝突によるダメージの問題を排することができる。さらに、検査パッド20を別途に設ける必要がない。したがって、検査パッドが付随することによる容量の増加とそれに伴う高周波特性の劣化を排した、検査パッドウィンドウ102および低コストのカンチレバー型プローブカードを用いてウェハレベル自動検査を行うことができる光半導体集積回路ないしは半導体集積回路を提供することができる。

[0044] （第6の実施形態）

図11を参照して本開示の第6の実施形態に係る光半導体集積回路を説明する。図11は、図3と同様に、ウェハ上に形成された複数の光半導体集積回路のうちの1つを示している。図11に示す光半導体集積回路は、矩形のチップ110（すなわち、光半導体集積回路基板）と、チップ110の主面

(XY面)に形成された2つの半導体素子31aおよび31bと、複数の検査用パターンと、複数の検査用パターンの各々と半導体素子31aおよび31bとを電氣的に接続する高周波配線111とを備える。図10を参照して上述したように、図11のチップ110においても、高周波配線111の数は例示であって、SGS構成またはGSGSG構成などの所望の構成に応じた数の高周波配線111を含み得る。

[0045] 半導体素子31aは、1つの親マッハツェンダを構成する2つのアーム光導波路の各々に子マッハツェンダが配置された構成を有する。半導体素子31bの構成は、半導体素子31aの構成と同様である。2つの半導体素子31aおよび半導体素子31bは、並列に配置され、入力された光から分岐された一方を半導体素子31aで変調し、他方を半導体素子31bで変調するように構成されている。図11に示す光導波路112は、入力された光が変調されて出力されるまでの導波経路である。

[0046] 本実施形態に係る光半導体集積回路における検査用パターンは、図10の検査用パターンと同様に、Cuピラーパッド11、Cuピラー10、はんだ12、および検査パッドウィンドウ102を有する。Cuピラーパッド11と半導体素子31とを接続するチップ内配線33を高周波配線111として構成し、高周波配線111上に検査パッドウィンドウ102を設けている。一方で、本実施形態に係る光半導体集積回路における検査用パターンは、Cuピラーパッド11と検査パッドウィンドウ102との間には、高周波配線111の下に、高周波配線111と交差する光導波路112が形成されている点で、図10を参照して説明した検査用パターンと異なる。

[0047] 一般的に光導波路は、チップのスペースの多くを占有する。また、チップの内部には電氣的な素子(トランジスタ)、光半導体素子(光変調器、フォトダイオード)が存在するために、光導波路のためのスペースを確保することが難しいことがある。したがって、本実施形態では、チップ110の面積を小さくするために、光導波路112はチップ110の外周部に配置している。

[0048] また、光導波路 1 1 2 の上に C u ピラー 1 0 を配置すると、フリップチップ実装後に C u ピラー 1 0 に生じるひずみ応力は光導波路 1 1 2 の波長特性が影響を与え、光回路の性能に影響にも与えてしまうことがある。また、検査パッド 2 0 の下層に光導波路がある場合にも、ウェハレベル自動検査時のカンチレバー型プローブによる応力は、光導波路 1 1 2 にダメージを与え、損失特性の増大など特性に影響を与えてしまうことがある。このことから、C u ピラー 1 0 の下部と検査パッド 2 0 の下部には光導波路 1 1 2 を配置することができない。

[0049] したがって、本実施形態のチップ 1 1 0 は、応力が加わる部位（たとえば C u ピラー 1 0、検査パッド 2 0 や検査パッドウィンドウ 1 0 2）の下層を除く、チップ 1 1 0 の外周部に光導波路 1 1 2 を配置している。このように本願実施形態によれば、光導波路の特性または光回路の性能の低下防止、およびチップ 1 1 0 のサイズの小型化を図ったうえで、検査パッドおよび低コストのカンチレバー型プローブカードを用いたウェハレベル自動検査が可能な光半導体集積回路ないしは半導体集積回路を提供することができる。

産業上の利用可能性

[0050] 本開示によれば、低コストのカンチレバー型プローブカードを用いてウェハレベル自動検査を行うことができる光半導体集積回路ないしは半導体集積回路を提供することができる。

符号の説明

- [0051] 1 0 C u ピラー
1 1 C u ピラーパッド
1 2 はんだ
2 0 検査パッド
3 0、5 0、6 0、7 0、9 0、1 0 0、1 1 0 チップ（光半導体集積基板）
3 1 半導体素子（フォトダイオード、光変調器）
3 2 光入出力端子（グレーティングカップラ）

- 3 3 チップ内配線
- 4 0 外部回路（またはパッケージ基板）
- 4 1 パッド
- 7 1 カンチレバー型プローブカード
- 7 2 カンチレバー型プローブ
- 7 3 光プローブ
- 1 0 1、1 1 1 高周波配線
- 1 0 2 検査パッドウインドウ
- 1 1 2 光導波路

請求の範囲

- [請求項1] 検査用パターンであって、
半導体集積基板上に形成されたCuピラーパッドと、
前記Cuピラーパッド上に形成されたCuピラーと、
前記半導体集積基板上に形成された検査パッドであって、前記Cuピラーパッドと隣接または近接し電氣的に結合されており、ウェハレベル自動検査の際にカンチレバー型プローブがコンタクトする領域を提供する、検査パッドと
を備えた、検査用パターン。
- [請求項2] 前記検査用パターンは前記半導体集積基板の外周の近傍に配置されており、
前記検査パッドよりも前記半導体集積基板の前記外周に近い位置に前記Cuピラーパッドが配置されている、請求項1に記載の検査用パターン。
- [請求項3] 前記検査用パターンは前記半導体集積基板の外周の近傍に配置されており、
前記Cuピラーパッドよりも前記半導体集積基板の前記外周に近い位置に前記検査パッドが配置されている、請求項1に記載の検査用パターン。
- [請求項4] 前記検査用パターンは前記半導体集積基板の外周の近傍に配置されており、
前記Cuピラーパッドおよび前記Cuピラーパッドと隣接または近接し電氣的に結合された前記検査パッドが、前記半導体集積基板の前記外周に対して平行に配置されている、請求項1に記載の検査用パターン。
- [請求項5] 前記検査用パターンは前記半導体集積基板の外周の近傍に配置されており、
前記検査パッドは、前記半導体集積基板上に形成された高周波配線

上に形成されており、前記高周波配線は、前記Cuピラーパッドと半導体素子とを結合し、前記Cuピラーと前記半導体素子との間で高周波電気信号を伝搬する、請求項1に記載の検査用パターン。

[請求項6] 前記Cuピラーパッドと前記検査パッドとの間に形成された光導波路をさらに備え、

前記Cuピラーパッドと前記検査パッドとの間の前記高周波配線が前記光導波路と交差する、請求項5に記載の検査用パターン。

[請求項7] 請求項1に記載の検査用パターンと

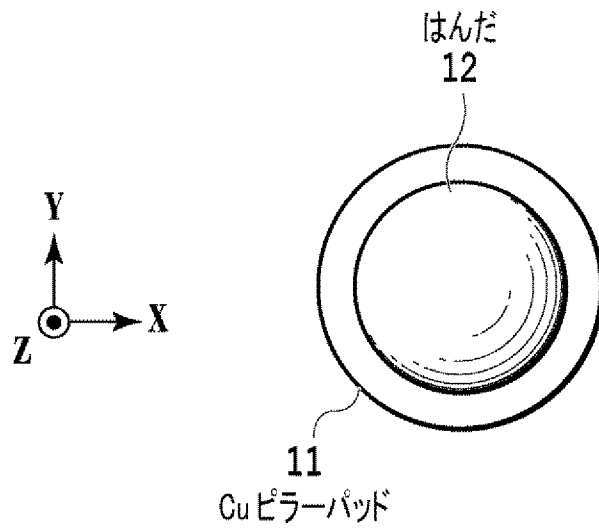
前記半導体集積基板上に形成された、半導体素子と、
を備えた半導体集積回路。

[請求項8] 請求項1に記載の検査用パターンと、

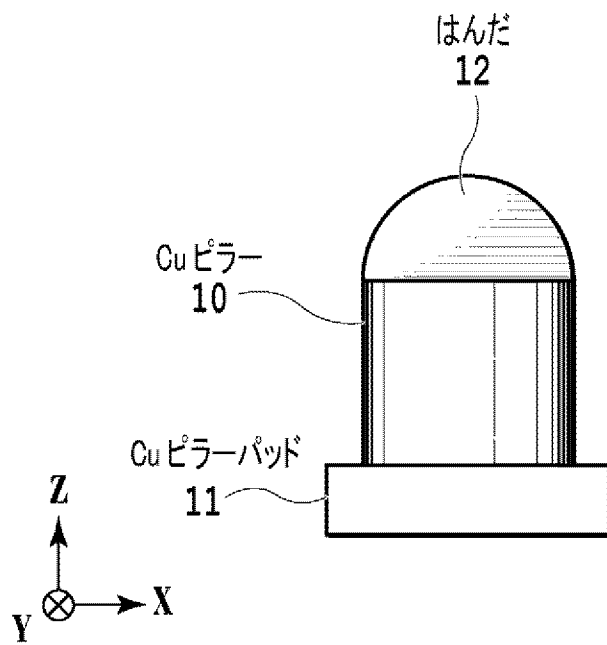
前記半導体集積基板上に形成された、光回路を含む光半導体素子と
、
を備えた光半導体集積回路。

[図1]

(a)

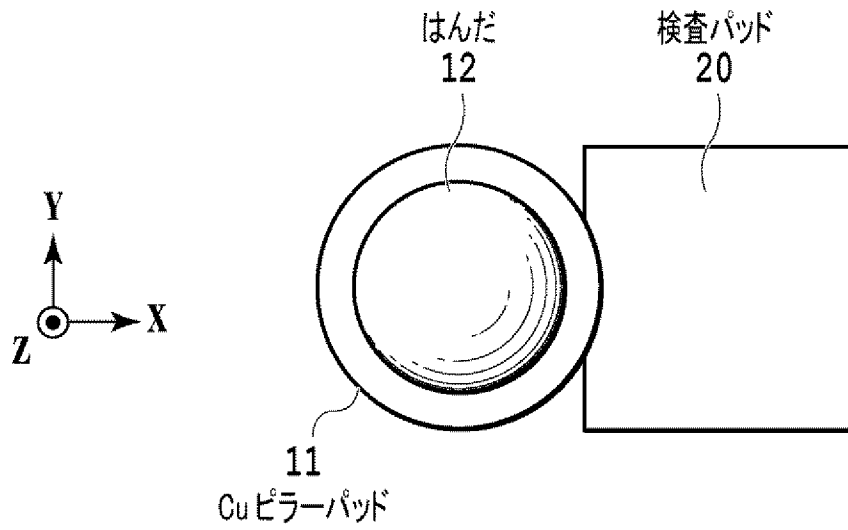


(b)

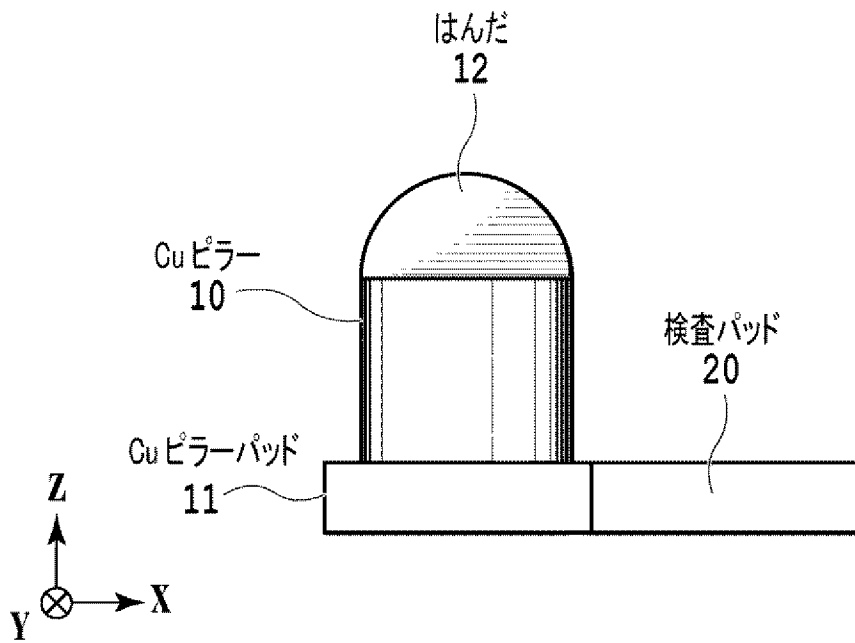


[図2]

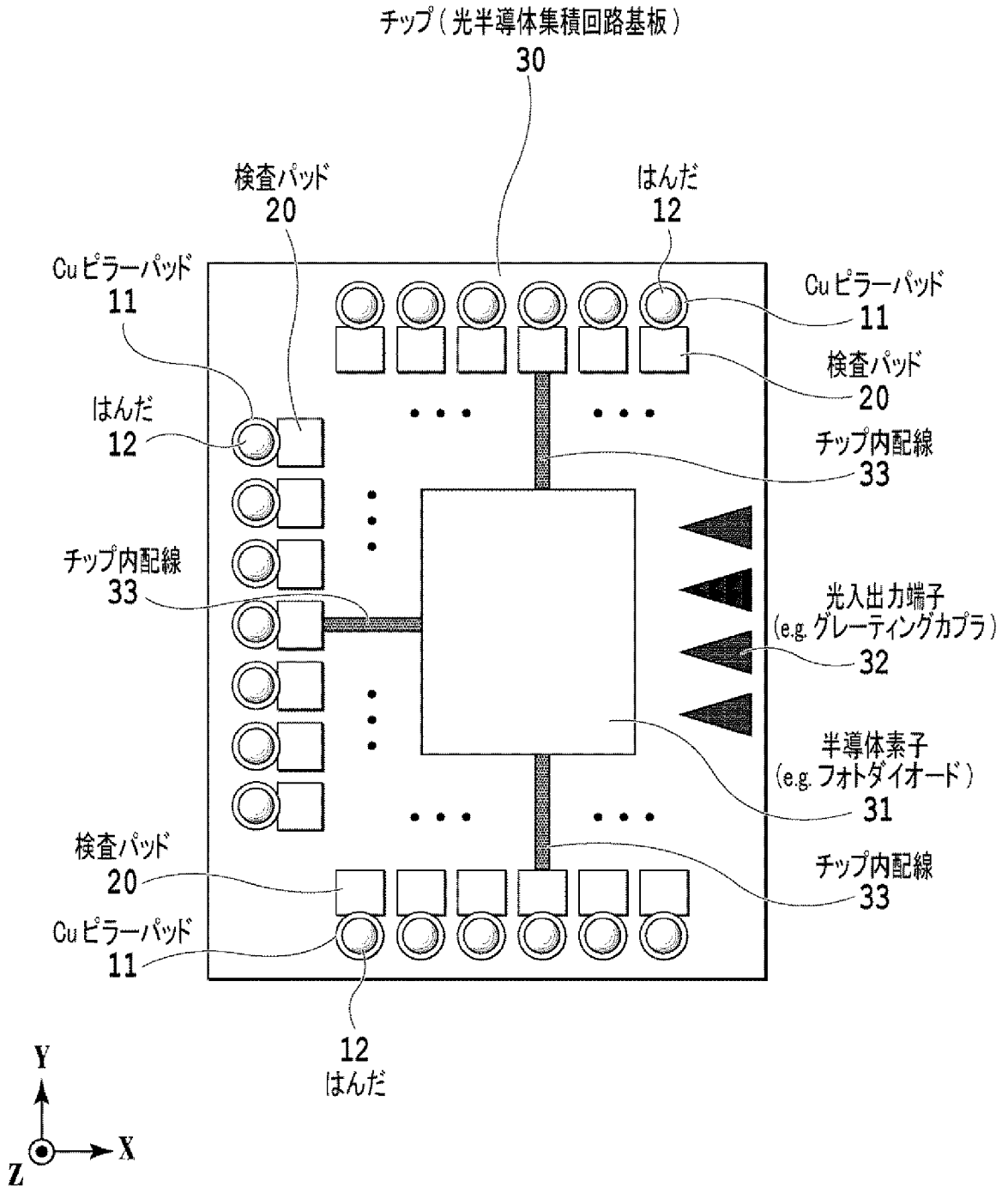
(a)



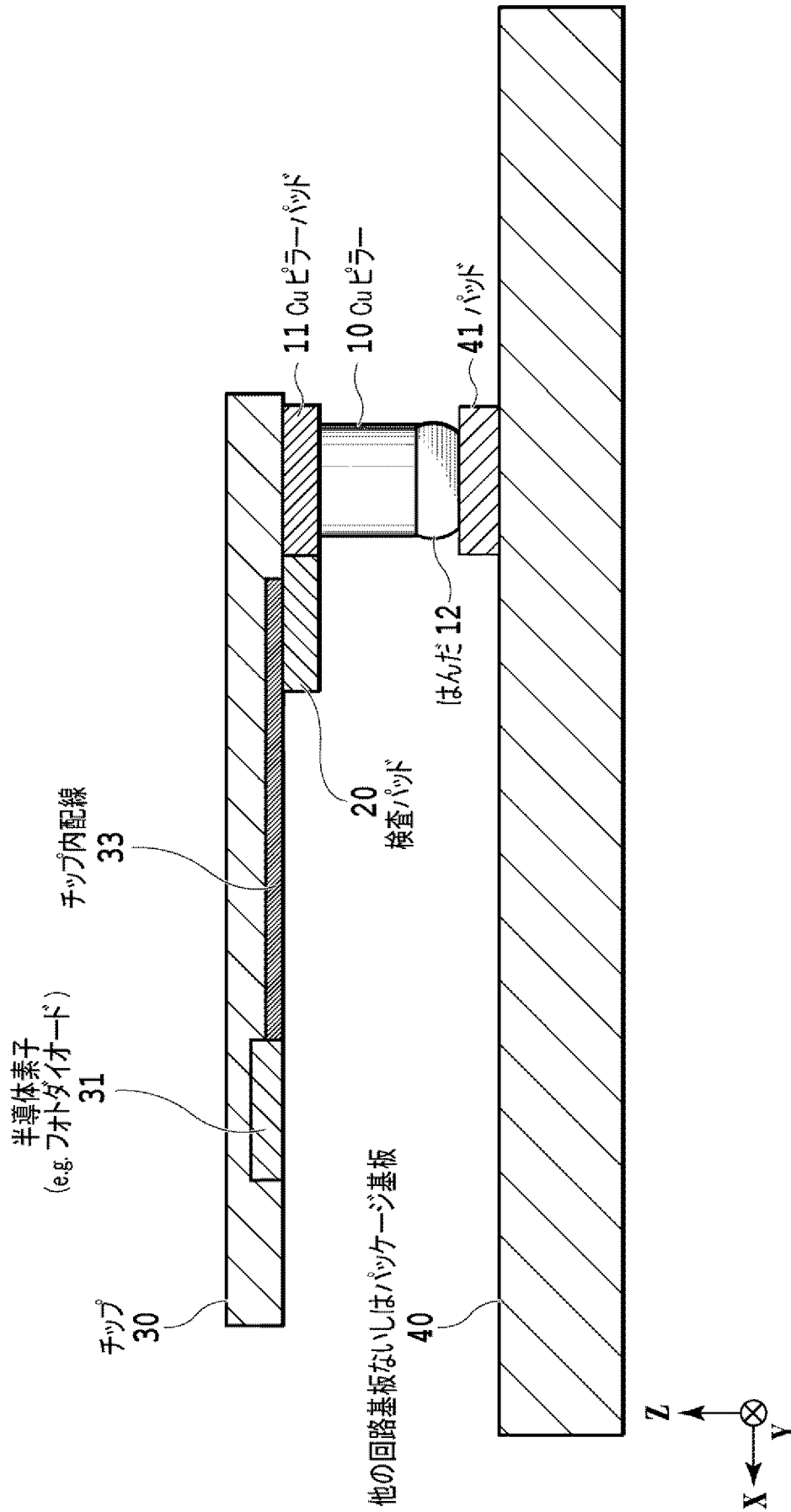
(b)



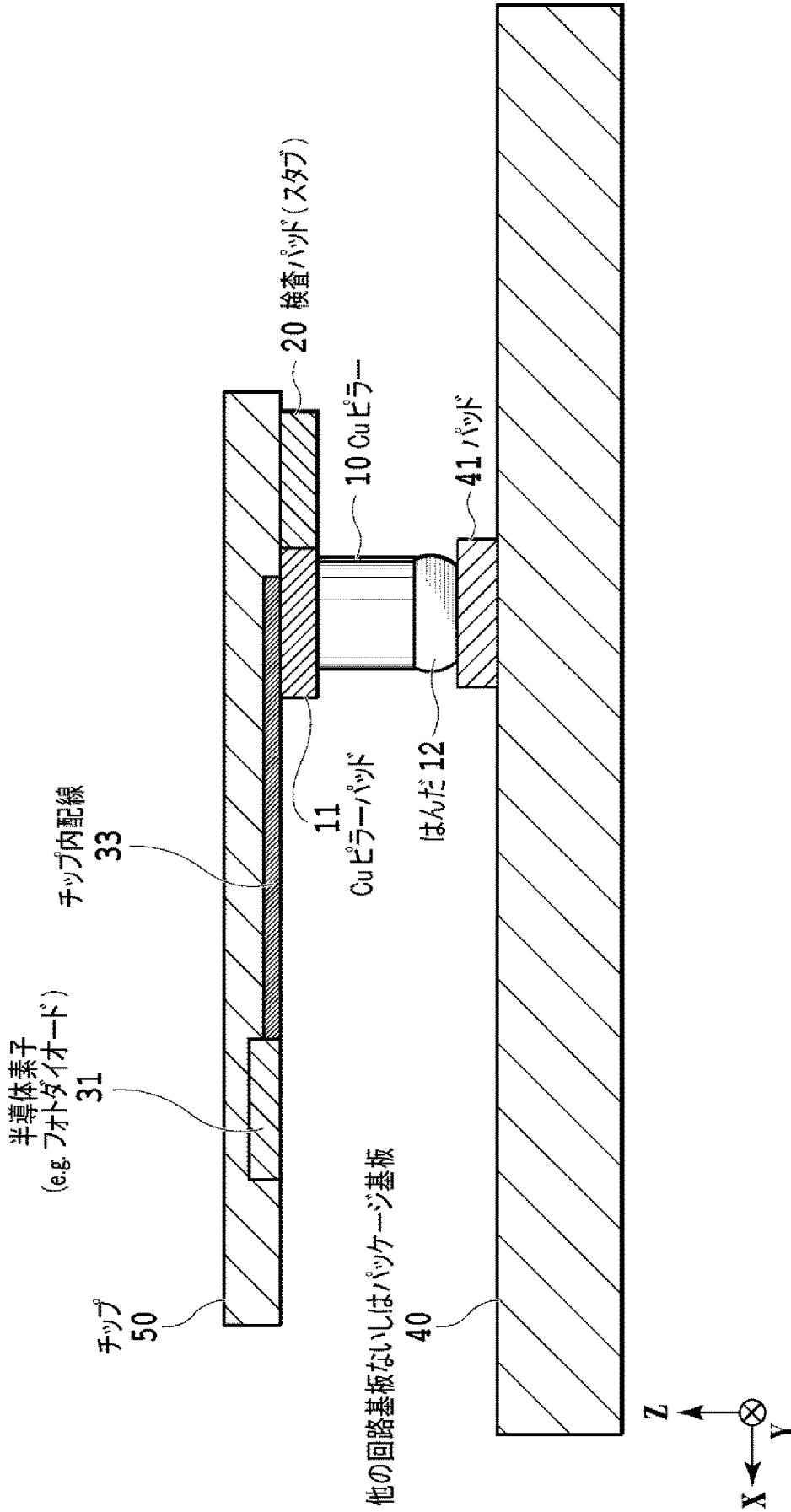
[図3]



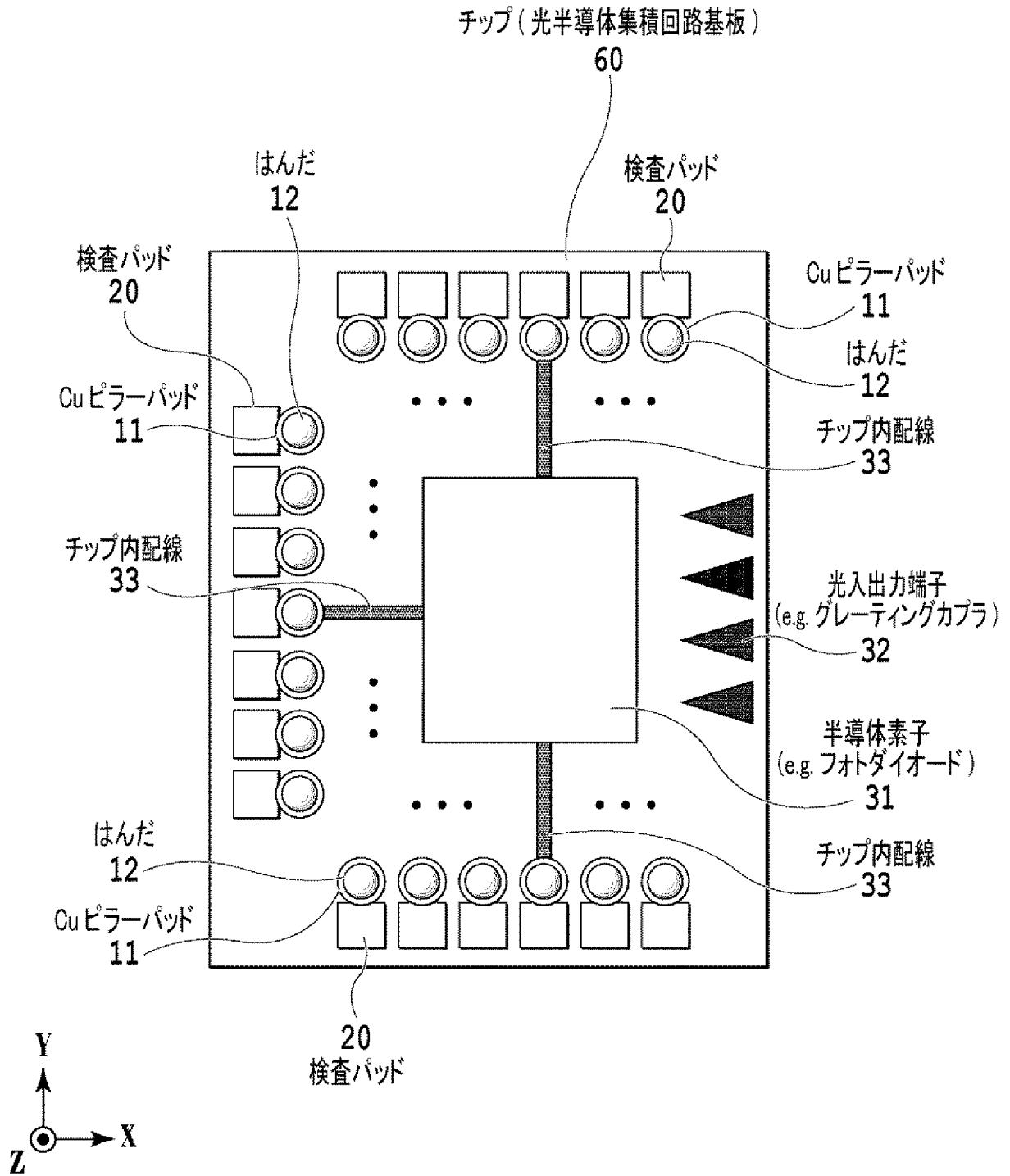
[図4]



[図5]

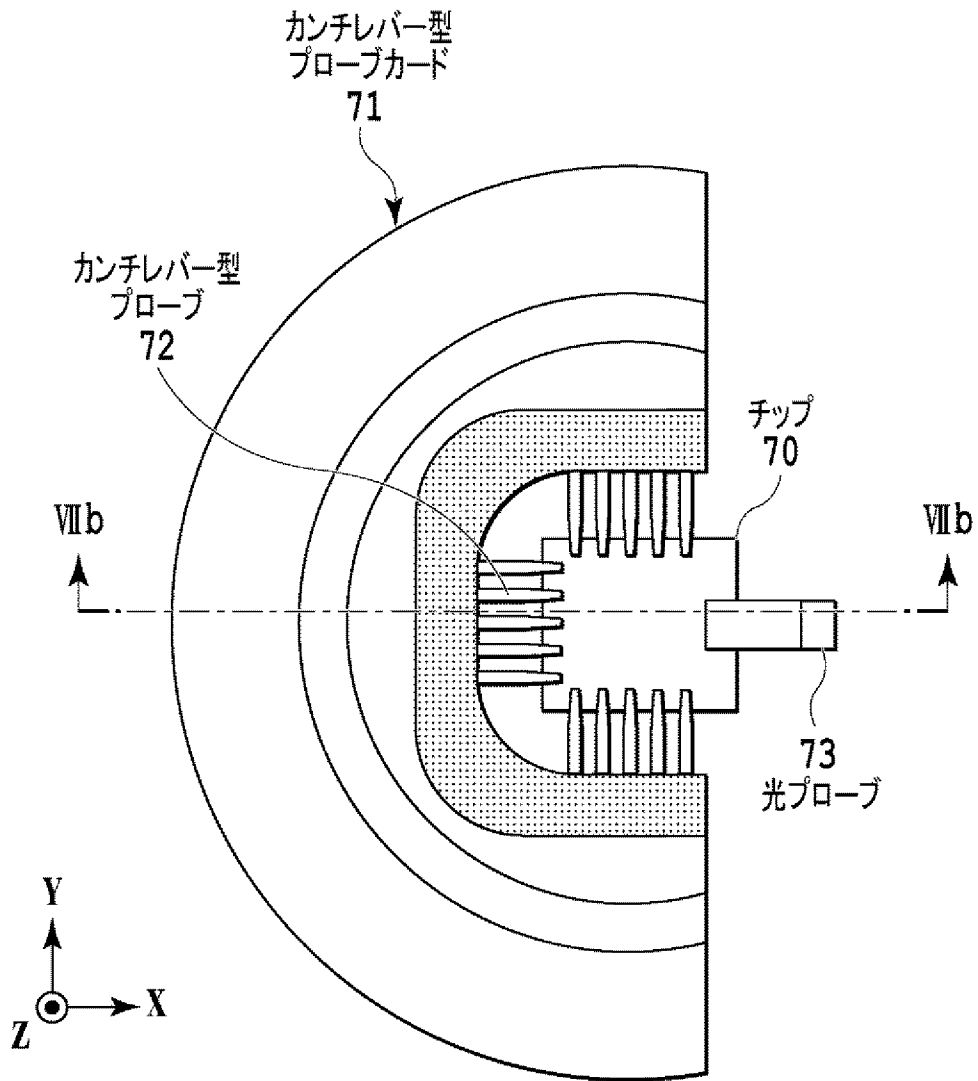


[図6]

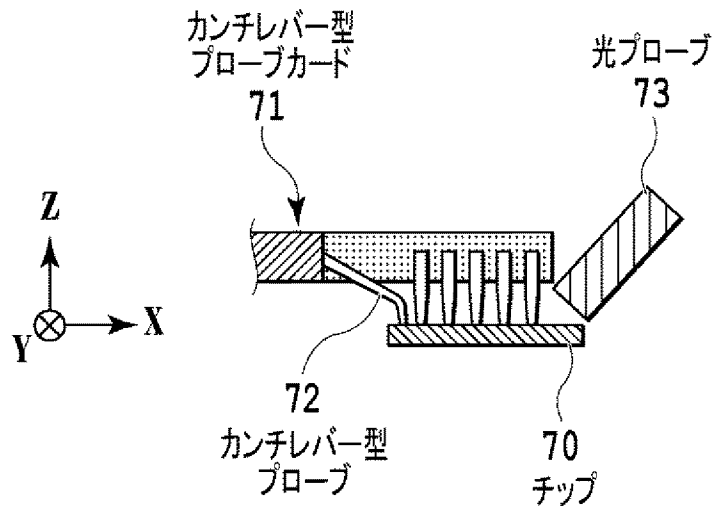


[図7]

(a)

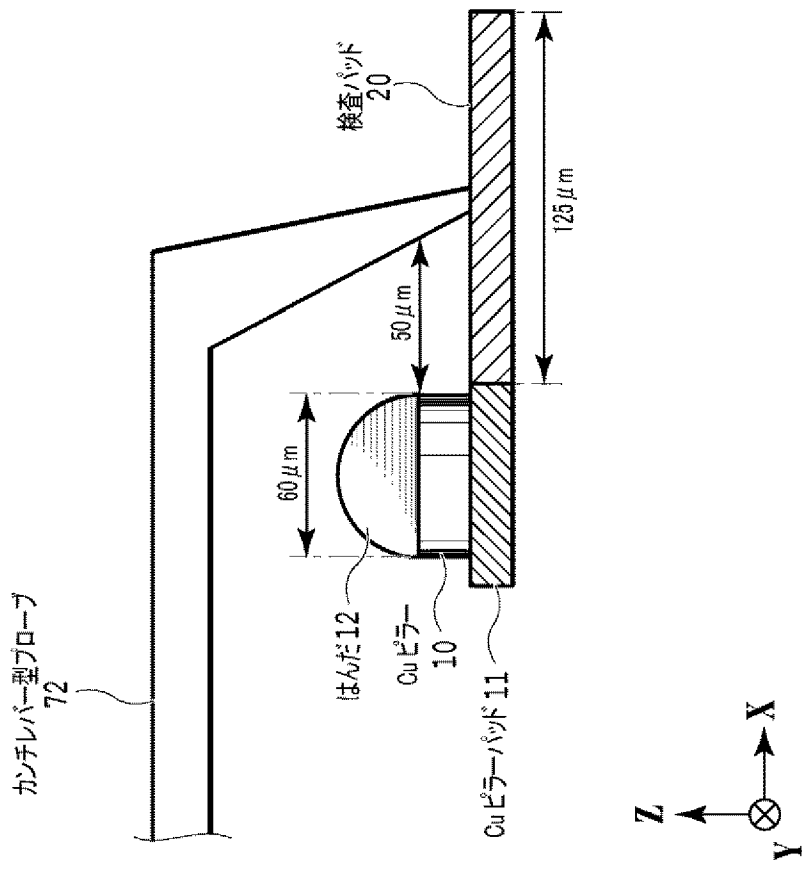


(b)

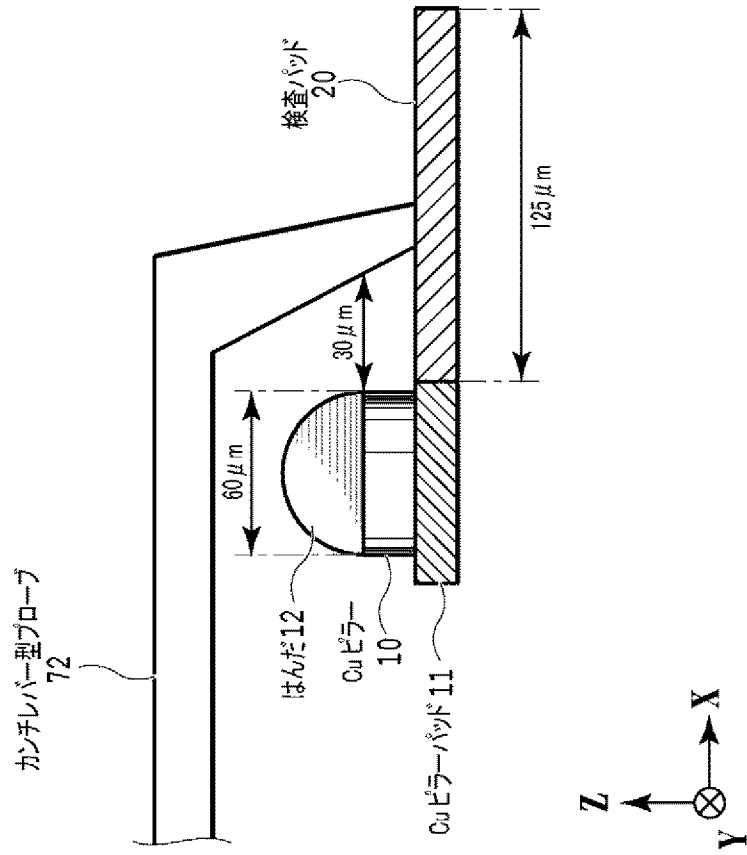


[図8]

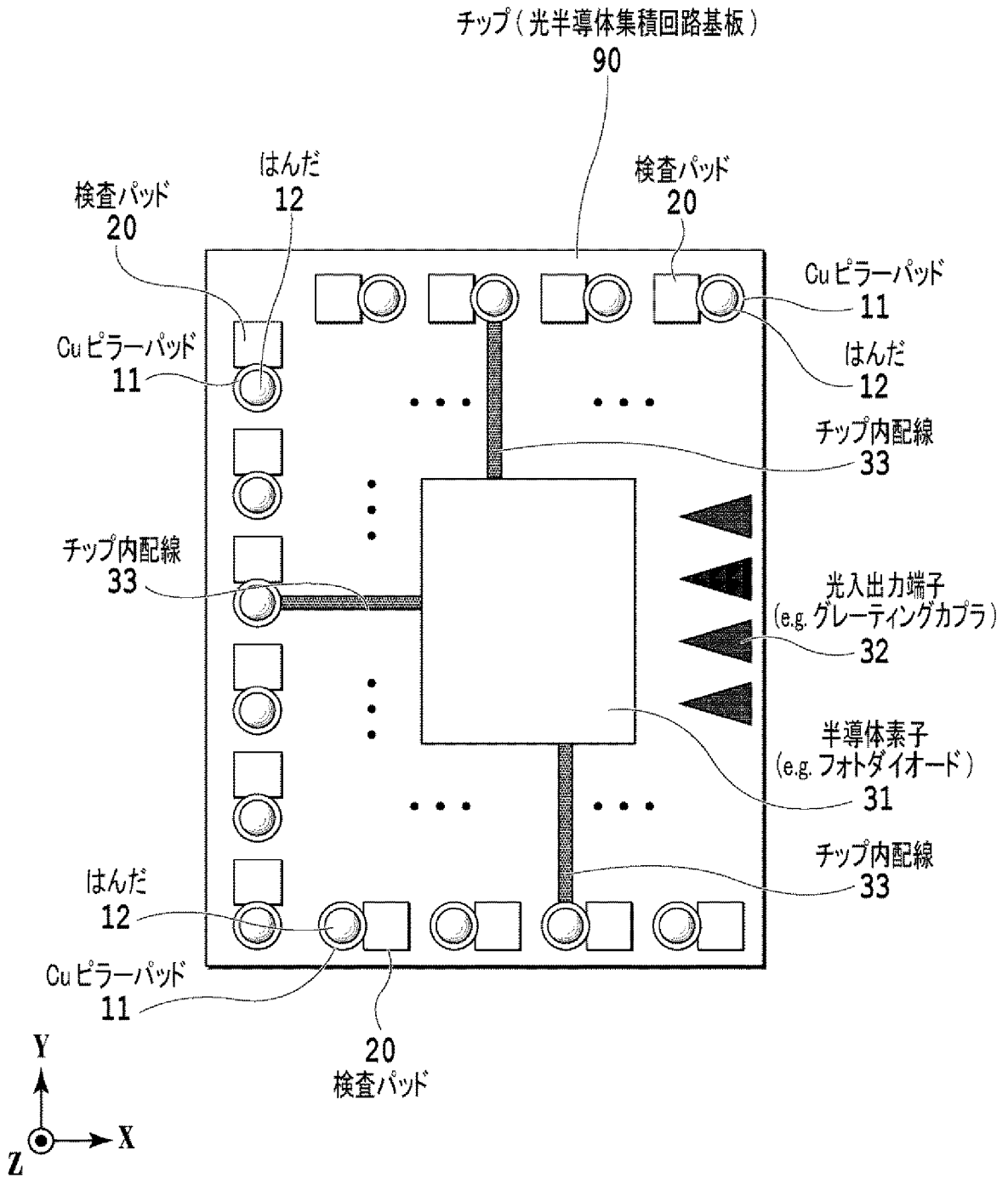
(a)



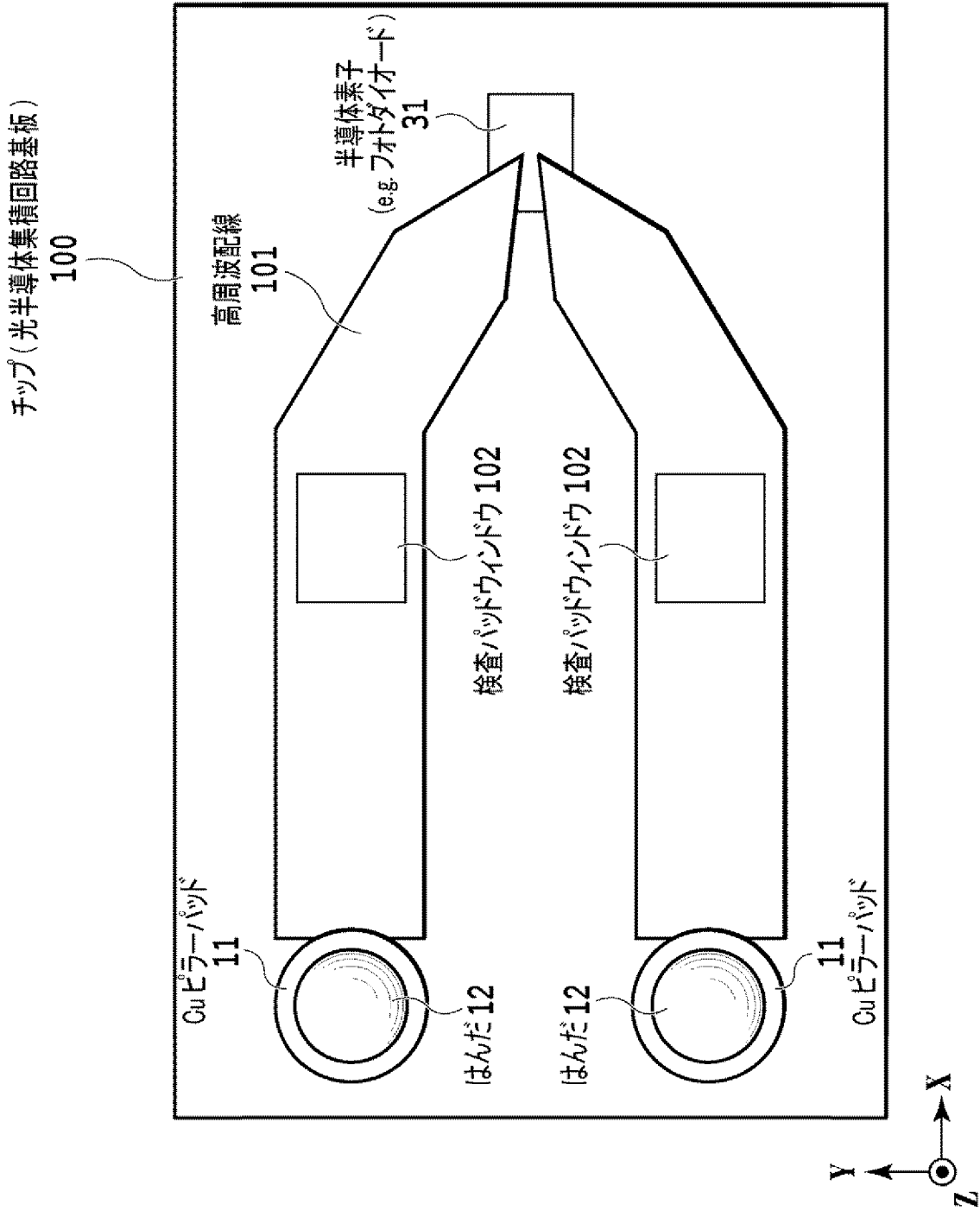
(b)



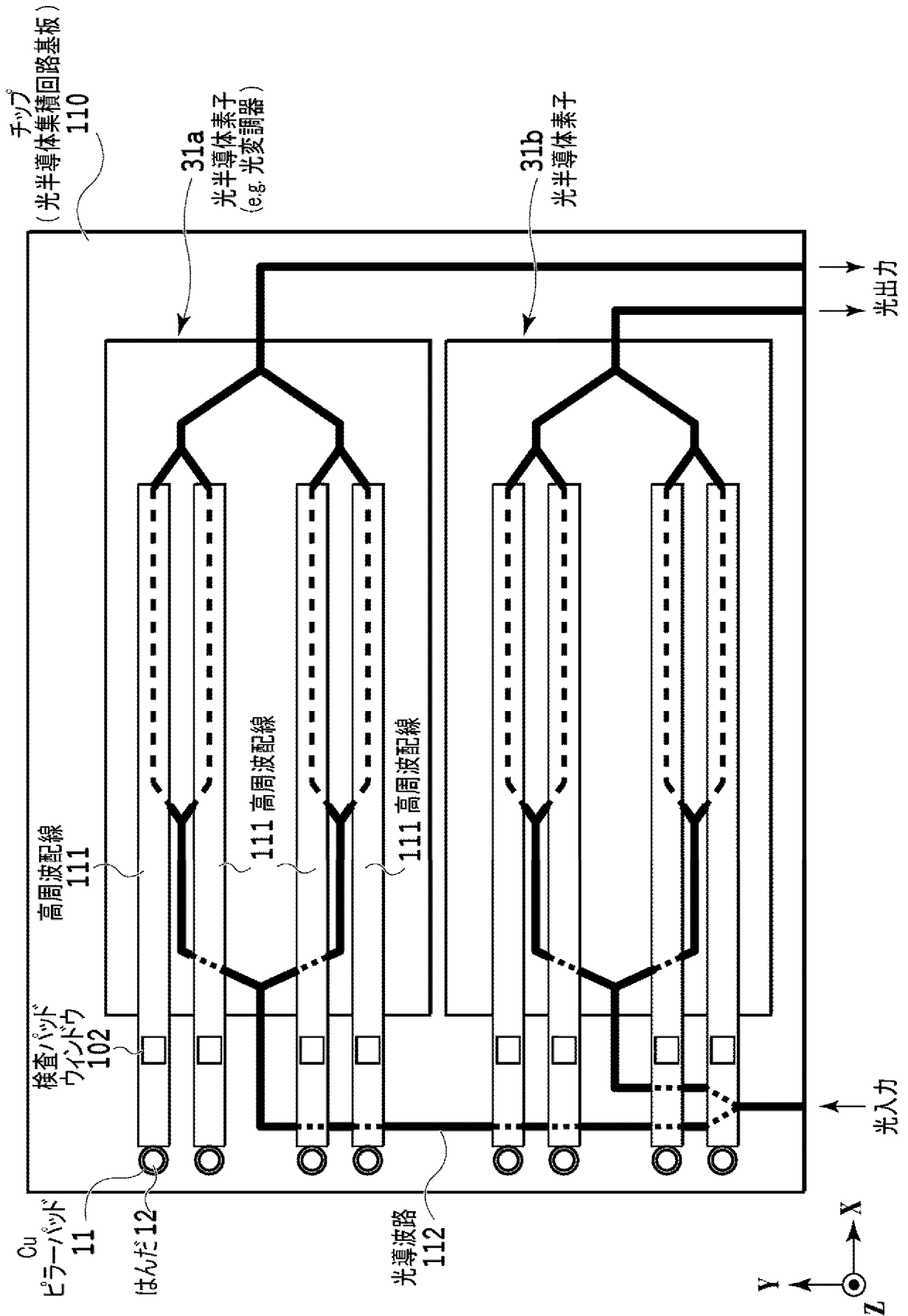
[図9]



[図10]



[図 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/028926

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/66</i> (2006.01)i; <i>H01L 21/60</i> (2006.01)i FI: H01L21/66 E; H01L21/60 311S		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/60; H01L21/66; H01L21/3205; H01L21/768; H01L23/522; G02F1/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-46569 A (MICRON TECHNOLOGY, INC.) 12 March 2015 (2015-03-12) paragraphs [0013]-[0089], [0157], fig. 1-16	1, 7-8
Y		1-5, 7-8
A		6
Y	JP 2011-103334 A (RENESAS ELECTRONICS CORP.) 26 May 2011 (2011-05-26) paragraphs [0011]-[0030], fig. 1-9	1-5, 7-8
A		6
Y	JP 2018-189699 A (NIPPON TELEGR. & TELEPH. CORP.) 29 November 2018 (2018-11-29) paragraphs [0025]-[0048], fig. 1-6	1-5, 7-8
A		6
Y	JP 2012-23065 A (NIPPON TELEGR. & TELEPH. CORP.) 02 February 2012 (2012-02-02) paragraphs [0017]-[0041], fig. 1-3	1-5, 7-8
A		6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 October 2022		Date of mailing of the international search report 11 October 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/028926

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-164272 A (THE FURUKAWA ELECTRIC CO., LTD.) 08 September 2014 (2014-09-08) entire text, all drawings	1-8
A	JP 2018-163216 A (SUMITOMO OSAKA CEMENT CO., LTD.) 18 October 2018 (2018-10-18) entire text, all drawings	1-8
A	WO 2022/024276 A1 (NIPPON TELEGR. & TELEPH. CORP.) 03 February 2022 (2022-02-03) entire text, all drawings	1-8
A	JP 2014-229632 A (SUMITOMO ELECTRIC IND., LTD.) 08 December 2014 (2014-12-08) entire text, all drawings	1-8
A	JP 2003-249534 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 05 September 2003 (2003-09-05) entire text, all drawings	1-8
A	JP 2005-308558 A (NATIONAL INST. OF ADVANCED INDUSTRIAL & TECHNOLOGY) 04 November 2005 (2005-11-04) paragraph [0023], fig. 6	1-8
A	JP 2004-20708 A (HITACHI, LTD.) 22 January 2004 (2004-01-22) paragraphs [0038]-[0039], fig. 11-12	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/028926

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-46569	A	12 March 2015	US 2015/0037914 A1 paragraphs [0046]-[0110], [0173], fig. 1A-16D	
JP	2011-103334	A	26 May 2011	(Family: none)	
JP	2018-189699	A	29 November 2018	(Family: none)	
JP	2012-23065	A	02 February 2012	(Family: none)	
JP	2014-164272	A	08 September 2014	(Family: none)	
JP	2018-163216	A	18 October 2018	(Family: none)	
WO	2022/024276	A1	03 February 2022	(Family: none)	
JP	2014-229632	A	08 December 2014	(Family: none)	
JP	2003-249534	A	05 September 2003	(Family: none)	
JP	2005-308558	A	04 November 2005	US 2005/0236717 A1 paragraphs [0051]-[0052], fig. 6	
JP	2004-20708	A	22 January 2004	US 2004/0001242 A1 paragraphs [0053]-[0054], fig. 11A-12	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/66(2006.01)i; H01L 21/60(2006.01)i FI: H01L21/66 E; H01L21/60 311S		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/60; H01L21/66; H01L21/3205; H01L21/768; H01L23/522; G02F1/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2015-46569 A (マイクロン テクノロジー, インク.) 12.03.2015 (2015 - 03 - 12) 段落[0013]-[0089], [0157], 図1-16	1, 7-8 1-5, 7-8 6
Y A	JP 2011-103334 A (ルネサスエレクトロニクス株式会社) 26.05.2011 (2011 - 05 - 26) 段落[0011]-[0030], 図1-9	1-5, 7-8 6
Y A	JP 2018-189699 A (日本電信電話株式会社) 29.11.2018 (2018 - 11 - 29) 段落[0025]-[0048], 図1-6	1-5, 7-8 6
Y A	JP 2012-23065 A (日本電信電話株式会社) 02.02.2012 (2012 - 02 - 02) 段落[0017]-[0041], 図1-3	1-5, 7-8 6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 03.10.2022	国際調査報告の発送日 11.10.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 今井 聖和 5F 4666 電話番号 03-3581-1101 内線 3516	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-164272 A (古河電気工業株式会社) 08.09.2014 (2014 - 09 - 08) 全文全図	1-8
A	JP 2018-163216 A (住友大阪セメント株式会社) 18.10.2018 (2018 - 10 - 18) 全文全図	1-8
A	WO 2022/024276 A1 (日本電信電話株式会社) 03.02.2022 (2022 - 02 - 03) 全文全図	1-8
A	JP 2014-229632 A (住友電気工業株式会社) 08.12.2014 (2014 - 12 - 08) 全文全図	1-8
A	JP 2003-249534 A (松下電器産業株式会社) 05.09.2003 (2003 - 09 - 05) 全文全図	1-8
A	JP 2005-308558 A (独立行政法人産業技術総合研究所) 04.11.2005 (2005 - 11 - 04) 段落[0023], 図6	1-8
A	JP 2004-20708 A (株式会社日立製作所) 22.01.2004 (2004 - 01 - 22) 段落[0038]-[0039], 図11-12	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/028926

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-46569 A	12.03.2015	US 2015/0037914 A1 段落[0046]-[0110], [0173], 図1A-16D	
JP 2011-103334 A	26.05.2011	(ファミリーなし)	
JP 2018-189699 A	29.11.2018	(ファミリーなし)	
JP 2012-23065 A	02.02.2012	(ファミリーなし)	
JP 2014-164272 A	08.09.2014	(ファミリーなし)	
JP 2018-163216 A	18.10.2018	(ファミリーなし)	
WO 2022/024276 A1	03.02.2022	(ファミリーなし)	
JP 2014-229632 A	08.12.2014	(ファミリーなし)	
JP 2003-249534 A	05.09.2003	(ファミリーなし)	
JP 2005-308558 A	04.11.2005	US 2005/0236717 A1 段落[0051]-[0052], 図6	
JP 2004-20708 A	22.01.2004	US 2004/0001242 A1 段落[0053]-[0054], 図 11A-12	