(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月9日(09.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/009277 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/06 (2006.01) *H01L 29/868* (2006.01)
H01L 29/12 (2006.01)

(21) 国際出願番号： PCT/JP2024/018628

(22) 国際出願日： 2024年5月21日(21.05.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-111372 2023年7月6日(06.07.2023) JP

(71) 出願人: 富士電機株式会社(**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

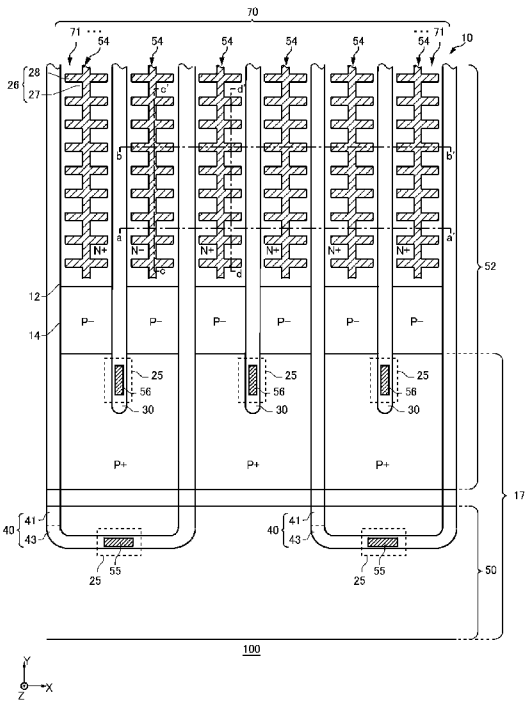
(72) 発明者: 鈴木 俊貴(**SUZUKI Toshiki**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 内藤 達也(**NAITO Tatsuya**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 下沢 慎(**SHIMOSAWA Makoto**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 上村 和貴(**KAMIMURA Kazuki**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 松井 俊之(**MATSUI Toshiyuki**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人ＲＹＵＫＡ国際特許事務所(**RYUKA & PARTNERS**); 〒1631522 東京都新宿区西新宿１－６－１ 新宿エルタワー２２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** Provided is a semiconductor device comprising: a drift region of a first conductivity type which is provided to a semiconductor substrate; an emitter region of the first conductivity type which is provided to a front surface of the semiconductor substrate and which has a higher doping concentration than the drift region; a plurality of trench parts which are provided above the drift region; a trench contact part which is provided to a mesa part between the plurality of trench parts; and a plug region of a second conductivity type which is provided in contact with a lower end of the trench contact part. The trench contact part may have a main trench contact which, in a plan view, extends in the trench extension direction, and a sub trench contact which, in a plan view, extends from the main trench contact in a direction differing from the trench extension direction.

WO 2025/009277 A1

［続葉有］

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

— 補正された請求の範囲(条約第19条(1))

(57) 要約:半導体基板に設けられた第1導電型のドリフト領域と、前記半導体基板のおもて面に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域と、前記ドリフト領域の上方に設けられた複数のトレンチ部と、前記複数のトレンチ部の間のメサ部に設けられたトレンチコンタクト部と、前記トレンチコンタクト部の下端に接して設けられた第2導電型のプラグ領域とを備える半導体装置を提供する。前記トレンチコンタクト部は、上面視で、トレンチ延伸方向に延伸する主トレンチコンタクトと、上面視で、前記主トレンチコンタクトから前記トレンチ延伸方向と異なる方向に延伸する副トレンチコンタクトとを有してよい。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本発明は、半導体装置に関する。

背景技術

[0002]　特許文献１には、トレンチコンタクトを有する半導体装置が記載されている。

［先行技術文献］

［特許文献］

［特許文献１］　国際公開第２０２０－２１３２５４号公報

［特許文献２］　特開２０２０－１１５５５０号公報

一般的開示

[0003]（解決しようとする課題）

半導体装置の動作効率を高めつつ、ラッチアップ耐量を向上することが望ましい。

（課題を解決するための手段）

[0004]　本発明の第１の態様においては、半導体基板に設けられた第１導電型のドリフト領域と、前記半導体基板のおもて面に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、前記ドリフト領域の上方に設けられた複数のトレンチ部と、前記複数のトレンチ部の間のメサ部に設けられたトレンチコンタクト部と、前記トレンチコンタクト部の下端に接して設けられた第２導電型のプラグ領域とを備える半導体装置を提供する。前記トレンチコンタクト部は、上面視で、トレンチ延伸方向に延伸する主トレンチコンタクトと、上面視で、前記主トレンチコンタクトから前記トレンチ延伸方向と異なる方向に延伸する副トレンチコンタクトとを有してよい。

[0005] 上記半導体装置において、前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下であってよい。

[0006] 上記いずれかの半導体装置において、前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトは、前記主トレンチコンタクトを横断して設けられてよい。

[0007] 上記いずれかの半導体装置において、前記メサ部において、前記主トレンチコンタクトに対し、複数の副トレンチコンタクトが設けられてよい。

[0008] 上記いずれかの半導体装置において、前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向に延伸した前記エミッタ領域の上方に設けられてよい。

[0009] 上記いずれかの半導体装置において、前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔で設けられてよい。

[0010] 上記いずれかの半導体装置において、前記間隔は、０．１μｍ以上、５．０μｍ以下であってよい。

[0011] 上記いずれかの半導体装置において、前記ドリフト領域の上方に設けられた第２導電型のベース領域を備えてよい。前記メサ部において、前記半導体基板のおもて面には、前記エミッタ領域および前記ベース領域がトレンチ延伸方向に交互に設けられてよい。

[0012] 上記いずれかの半導体装置において、前記主トレンチコンタクトは、前記トレンチ延伸方向に交互に設けられた前記エミッタ領域および前記ベース領域の上方において、前記トレンチ延伸方向に延伸して設けられてよい。

[0013] 上記いずれかの半導体装置において、前記副トレンチコンタクトは、前記ベース領域の上方に設けられてよい。

[0014] 上記いずれかの半導体装置において、前記複数のトレンチ部は、第１トレンチ部と、前記第１トレンチ部に隣接する第２トレンチ部とを備えてよい。前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ配列

方向において、前記主トレンチコンタクトから前記第１トレンチ部に向かって延伸し、前記第１トレンチ部に到達せずに終端する第１副トレンチコンタクトと、前記複数のトレンチ部のトレンチ配列方向において、前記主トレンチコンタクトから前記第２トレンチ部に向かって延伸し、前記第２トレンチ部に到達せずに終端する第２副トレンチコンタクトと、を含んでよい。

[0015] 上記いずれかの半導体装置において、前記半導体装置は、ダイオード部をさらに備えるＲＣ－ＩＧＢＴであってよい。

[0016] 上記いずれかの半導体装置において、前記ダイオード部は、前記半導体基板のおもて面に設けられた第２導電型のアノード領域を有してよい。前記主トレンチコンタクトおよび前記副トレンチコンタクトは、前記アノード領域の上方に設けられてよい。

[0017] 上記いずれかの半導体装置において、前記複数のトレンチ部のトレンチ延伸方向における、前記副トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下であってよい。

[0018] 上記いずれかの半導体装置において、前記複数のトレンチ部のトレンチ延伸方向における前記副トレンチコンタクトの幅は、前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅の９０％以上、１１０％以下であってよい。

[0019] 上記いずれかの半導体装置において、前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトおよびトレンチ部の最短距離は、０．１μｍ以上、０．７μｍ以下であってよい。

[0020] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0021] [図1A]半導体装置１００の上面の一例を示す図である。

[図1B]半導体装置１００のａ－ａ’断面の一例を示す図である。

[図1C]半導体装置１００のｂ－ｂ’断面の一例を示す図である。

[図1D]半導体装置１００のｃ－ｃ’断面の一例を示す図である。

[図1E]半導体装置１００のｄ－ｄ’断面の一例を示す図である。

[図2]半導体装置１００の上面の変形例を示す図である。

[図3]半導体装置１００の上面の変形例を示す図である。

[図4A]半導体装置１００の上面の変形例を示す図である。

[図4B]半導体装置１００のｅ－ｅ’断面の一例を示す図である。

発明を実施するための形態

[0022] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0023] 本明細書においては、半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の２つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」、「おもて」、「裏」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

[0024] 本明細書では、Ｘ軸、Ｙ軸およびＺ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Ｚ軸は地面に対する高さ方向を限定して示すものではない。なお、＋Ｚ軸方向と－Ｚ軸方向とは互いに逆向きの方向である。正負を記載せず、Ｚ軸方向と記載した場合、＋Ｚ軸および－Ｚ軸に平行な方向を意味する。

[0025] 本明細書では、半導体基板の上面と平行な面をＸＹ面とし、半導体基板の上面および下面に平行な直交軸をＸ軸およびＹ軸とする。また、半導体基板の上面および下面と垂直な軸をＺ軸とする。半導体基板の深さ方向をＺ軸と称する場合がある。なお、本明細書において、Ｚ軸方向に半導体基板を視た場合について平面視と称する。また、本明細書では、Ｘ軸およびＹ軸を含め

て、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0026] 各実施例においては、第１導電型をＮ型、第２導電型をＰ型とした例を示しているが、第１導電型をＰ型、第２導電型をＮ型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。

[0027] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば１０％以内である。

[0028] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をＰ型またはＮ型として説明している。本明細書においては、不純物とは、特にＮ型のドナーまたはＰ型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、Ｎ型の導電型を示す半導体またはＰ型の導電型を示す半導体とすることを意味する。

[0029] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。

[0030] 本明細書においてＰ＋型またはＮ＋型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が高いことを意味し、Ｐ－型またはＮ－型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が低いことを意味する。

[0031] 図１Ａは、半導体装置１００の上面の一例を示す。本例の半導体装置１００は、少なくともトランジスタ部７０を備える半導体チップである。例えば、半導体装置１００は、逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ：Ｒｅｖｅｒｓｅ　Ｃｏｎｄｕｃｔｉｎｇ　ＩＧＢＴ）である。

[0032] トランジスタ部７０は、半導体基板１０の裏面側に設けられたコレクタ領域２２を半導体基板１０の上面に投影した領域である。コレクタ領域２２については後述する。トランジスタ部７０は、ＩＧＢＴ等のトランジスタを含む。

[0033] 図１Ａにおいては、半導体装置１００のエッジ側であるチップ端部周辺の領域を示しており、他の領域を省略している。例えば、本例の半導体装置１００のＹ軸方向の負側の領域には、エッジ終端構造部が設けられてよい。エッジ終端構造部は、半導体基板１０の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。なお、本例では、便宜上、Ｙ軸方向の負側のエッジについて説明するものの、半導体装置１００の他のエッジについても同様である。エッジ終端構造部はトランジスタ部７０を備えた活性領域を取り囲むように設けられてよい。

[0034] 半導体基板１０は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板１０は、シリコン基板である。

[0035] 本例の半導体装置１００は、半導体基板１０のおもて面２１において、ゲートトレンチ部４０と、ダミートレンチ部３０と、エミッタ領域１２と、ベース領域１４と、ウェル領域１７とを備える。おもて面２１については後述する。また、本例の半導体装置１００は、半導体基板１０のおもて面２１の上方に設けられたエミッタ電極５２およびゲート金属層５０を備える。

[0036] エミッタ電極５２は、ゲートトレンチ部４０、ダミートレンチ部３０、エミッタ領域１２、ベース領域１４およびウェル領域１７の上方に設けられている。また、ゲート金属層５０は、接続部２５およびウェル領域１７の上方に設けられている。

[0037] エミッタ電極５２およびゲート金属層５０は、金属を含む材料で形成される。エミッタ電極５２の少なくとも一部の領域は、アルミニウム（ＡｌまたはＡｌＳｉ）、アルミニウム－シリコン－銅合金（ＡｌＳｉＣｕ）等の金属合金で形成されてよい。ゲート金属層５０の少なくとも一部の領域は、アルミニウム（ＡｌまたはＡｌＳｉ）、アルミニウム－シリコン－銅合金（ＡｌＳｉＣｕ）等の金属合金で形成されてよい。エミッタ電極

５２およびゲート金属層５０は、アルミニウム等で形成された領域の下層にチタンまたはチタン化合物等で形成されたバリアメタル層を有してよい。エミッタ電極５２およびゲート金属層５０は、互いに分離して設けられる。

[0038] エミッタ電極５２およびゲート金属層５０は、層間絶縁膜３８を挟んで、半導体基板１０の上方に設けられる。層間絶縁膜３８は、図１Ａでは省略されている。層間絶縁膜３８には、コンタクトホール５４、コンタクトホール５５およびコンタクトホール５６が貫通して設けられている。

[0039] コンタクトホール５５は、ゲート金属層５０とトランジスタ部７０内のゲート導電部とを接続部２５を介して電気的に接続する。コンタクトホール５５の内部には、タングステン等で形成されたプラグ層が形成されてもよい。

[0040] コンタクトホール５６は、エミッタ電極５２とダミートレンチ部３０内のダミー導電部とを接続する。コンタクトホール５６の内部には、タングステン等で形成されたプラグ層が形成されてもよい。

[0041] 接続部２５は、エミッタ電極５２またはゲート金属層５０等のおもて面側金属層と接続される。一例において、接続部２５は、ゲート金属層５０とゲート導電部との間に設けられる。本例の接続部２５は、Ｘ軸方向に延伸して設けられ、ゲート導電部と電気的に接続されてよい。接続部２５は、エミッタ電極５２とダミー導電部との間にも設けられてよい。接続部２５は、不純物がドープされたポリシリコン等の、導電性を有する材料である。本例の接続部２５は、Ｎ型の不純物がドープされたポリシリコン（Ｎ＋）である。接続部２５は、酸化膜等の絶縁膜等を介して、半導体基板１０のおもて面２１の上方に設けられる。

[0042] 半導体基板１０のおもて面２１には、所定の方向（本例では、Ｙ軸方向）に延伸し、所定の方向（本例では、Ｘ軸方向）に配列された複数のトレンチ部が設けられる。複数のトレンチ部は、ゲート電位が印加されるゲートトレンチ部４０と、ゲート電位とは異なる電位が印加されるダミートレンチ部３０とを有する。

[0043] ゲートトレンチ部４０は、半導体基板１０のおもて面２１側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ゲートトレンチ部４０は、予め定められた配列方向（本例ではＸ軸方向）に沿って予め定められた間隔で配列される。本例のゲートトレンチ部４０は、半導体基板１０のおもて面２１に平行であって配列方向と垂直な延伸方向（本例ではＹ軸方向）に沿って延伸する２つの延伸部分４１と、２つの延伸部分４１を接続する接続部分４３を有してよい。

[0044] 接続部分４３は、少なくとも一部が曲線状に形成されることが好ましい。ゲートトレンチ部４０の２つの延伸部分４１の端部を接続することで、延伸部分４１の端部における電界集中を緩和できる。ゲートトレンチ部４０の接続部分４３において、接続部２５を介して、ゲート金属層５０がゲート導電部と電気的に接続されてよい。

[0045] ダミートレンチ部３０は、半導体基板１０のおもて面２１側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ダミートレンチ部３０は、エミッタ電極５２と電気的に接続されたトレンチ部である。ダミートレンチ部３０は、ゲートトレンチ部４０と同様に、予め定められた配列方向（本例ではＸ軸方向）に沿って予め定められた間隔で配列される。本例のダミートレンチ部３０は、半導体基板１０のおもて面２１においてＩ字形状を有するが、ゲートトレンチ部４０と同様に、半導体基板１０のおもて面２１においてＵ字形状を有してよい。即ち、ダミートレンチ部３０は、後述するように、延伸方向に沿って延伸する２つの延伸部分３１と、２つの延伸部分を接続する接続部分３３を有してよい。

[0046] 本例のトランジスタ部７０は、２つのゲートトレンチ部４０と２つのダミートレンチ部３０を繰り返し配列させた構造を有する。即ち、本例のトランジスタ部７０は、１：１の比率でゲートトレンチ部４０とダミートレンチ部３０を有している。例えば、トランジスタ部７０は、２本の延伸部分４１の間に１本のダミートレンチ部３０を有する。

[0047] 但し、ゲートトレンチ部４０とダミートレンチ部３０の比率は本例に限定されない。ゲートトレンチ部４０の比率がダミートレンチ部３０の比率よりも大きくてよく、ダミートレンチ部３０の比率がゲートトレンチ部４０の比率よりも大きくてよい。ゲートトレンチ部４０とダミートレンチ部３０の比率は、２：３であってもよく、２：４であってもよい。また、トランジスタ部７０は、全てのトレンチ部をゲートトレンチ部４０として、ダミートレンチ部３０を有さなくてもよい。

[0048] ウェル領域１７は、後述するドリフト領域１８よりも半導体基板１０のおもて面２１側に設けられた第２導電型の領域である。ウェル領域１７は、活性領域の周辺側に設けられるウェル領域の一例である。ウェル領域１７は、一例としてＰ＋型である。ウェル領域１７は、ゲート金属層５０が設けられる側の活性領域の端部から、予め定められた範囲で形成される。ウェル領域１７の拡散深さは、ゲートトレンチ部４０およびダミートレンチ部３０の深さよりも深くてよい。ゲートトレンチ部４０およびダミートレンチ部３０の、ゲート金属層５０側の一部の領域は、ウェル領域１７に形成される。ゲートトレンチ部４０およびダミートレンチ部３０の延伸方向の端の底は、ウェル領域１７に覆われてよい。

[0049] コンタクトホール５４は、トランジスタ部７０において、エミッタ領域１２の上方に形成される。コンタクトホール５４は、Ｙ軸方向両端に設けられたウェル領域１７の上方には設けられていない。１又は複数のコンタクトホール５４が、層間絶縁膜を貫通し、半導体基板１０の内部まで形成されてよい。１又は複数のコンタクトホール５４は、延伸方向に延伸して設けられてよく、延伸方向と異なる方向に延伸して設けられてよい。

[0050] トレンチコンタクト部２６は、コンタクトホール５４に設けられる。トレンチコンタクト部２６は、層間絶縁膜の上面から、半導体基板１０のおもて面２１を貫通して、半導体基板１０の内部まで設けられる。トレンチコンタクト部２６は、コンタクトホール５４に充填された導電性の材料を有する。トレンチコンタクト部２６は、エミッタ電極５２と同一の材料を有してよ

い。トレンチコンタクト部２６は、タングステンプラグを含んでよく、ＴｉまたはＴｉＮなどのバリアメタルを含んでよい。トレンチコンタクト部２６は、主トレンチコンタクト２７および副トレンチコンタクト２８を有する。

[0051] 主トレンチコンタクト２７は、上面視で、複数のトレンチ部のトレンチ延伸方向に延伸して設けられる。主トレンチコンタクト２７の詳細については後述する。

[0052] 副トレンチコンタクト２８は、上面視で、主トレンチコンタクト２７からトレンチ延伸方向と異なる方向に延伸して設けられる。副トレンチコンタクト２８は、複数のトレンチ部のトレンチ配列方向に延伸して設けられてよく、トレンチ配列方向に対して予め定められた角度を有する方向に延伸して設けられてよい。副トレンチコンタクト２８は、それぞれの副トレンチコンタクト２８同士が異なる方向に延伸して設けられてよい。副トレンチコンタクト２８は、曲線部を有してよい。

[0053] 副トレンチコンタクト２８は、トレンチ配列方向において、主トレンチコンタクト２７を横断して設けられてよい。副トレンチコンタクト２８は、隣接するトレンチ部と接しないように設けられる。これにより、エミッタ電極５２とゲート金属層５０とが短絡することを防止できる。

[0054] 副トレンチコンタクト２８は、メサ部７１において、主トレンチコンタクト２７に対し複数設けられてよい。複数の副トレンチコンタクト２８は、複数のトレンチ部のトレンチ延伸方向に延伸したエミッタ領域１２の上方に設けられる。副トレンチコンタクト２８をエミッタ領域１２の上方に設けることで、半導体基板１０のおもて面２１におけるエミッタ領域１２の面積を調整し、半導体装置１００の飽和電流を調整できる。

[0055] トレンチコンタクト部２６の下面には、後述するプラグ領域７３が設けられる。トレンチコンタクト部２６の下面にプラグ領域７３を設けることにより、半導体基板１０から正孔を引き抜き、半導体装置１００のラッチアップ耐量を向上できる。

[0056] メサ部７１は、半導体基板１０のおもて面２１と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部とは、隣り合う２つのトレンチ部に挟まれた半導体基板１０の部分であって、半導体基板１０のおもて面２１から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を１つのトレンチ部としてよい。即ち、２つの延伸部分に挟まれる領域をメサ部としてよい。

[0057] メサ部７１は、トランジスタ部７０において、ダミートレンチ部３０またはゲートトレンチ部４０の少なくとも１つに隣接して設けられる。メサ部７１は、半導体基板１０のおもて面２１において、ウェル領域１７と、エミッタ領域１２と、ベース領域１４とを有する。メサ部７１では、エミッタ領域１２が複数のトレンチ部のトレンチ延伸方向に延伸して設けられている。

[0058] ベース領域１４は、半導体基板１０のおもて面２１側に設けられた第２導電型の領域である。ベース領域１４は、一例としてＰ－型である。ベース領域１４のドーピング濃度は、１Ｅ１４ｃｍ$^{-3}$以上、１Ｅ１８ｃｍ$^{-3}$以下であってよい。ベース領域１４は、エミッタ領域１２の下方に設けられてよい。ベース領域１４は、ゲートトレンチ部４０に接して設けられる。ベース領域１４は、ダミートレンチ部３０に接して設けられてよい。ベース領域１４は、半導体基板１０のおもて面２１において、メサ部７１のＹ軸方向における両端部に設けられてよい。なお、図１Ａは、当該ベース領域１４のＹ軸方向の一方の端部のみを示している。

[0059] エミッタ領域１２は、ドリフト領域１８よりもドーピング濃度の高い第１導電型の領域である。本例のエミッタ領域１２は、一例としてＮ＋型である。エミッタ領域１２のドーパントの一例はヒ素（Ａｓ）であってよい。エミッタ領域１２は、メサ部７１のおもて面２１において、ゲートトレンチ部４０と接して設けられる。エミッタ領域１２は、メサ部７１を挟んだ２本のトレンチ部の一方から他方まで、Ｘ軸方向に延伸して設けられてよい。エミッタ領域１２は、コンタクトホール５４の下方にも設けられてよい。

[0060] また、エミッタ領域１２は、ダミートレンチ部３０と接してもよいし、接しなくてもよい。本例のエミッタ領域１２は、ダミートレンチ部３０と接している。

[0061] 本例の半導体装置１００は、半導体基板１０のおもて面２１において、高濃度の第２導電型領域が設けられていない。本例の半導体装置１００は、メサ部７１のうち、トランジスタとして動作する領域の全体に渡って、おもて面２１にエミッタ領域１２が設けられる。第２導電型の領域を設けないことにより、半導体装置１００の動作効率を向上できる。また、半導体装置１００を小型化した際の飽和電流を向上できる。

[0062] 図１Ｂは、図１Ａにおけるａ－ａ’断面の一例を示す。ａ－ａ’断面は、副トレンチコンタクト２８を通らないＸＺ面である。本例の半導体装置１００は、ａ－ａ’断面において、エミッタ領域１２、ベース領域１４、蓄積領域１６、ドリフト領域１８、バッファ領域２０、コレクタ領域２２およびプラグ領域７３が設けられた半導体基板１０、層間絶縁膜３８、エミッタ電極５２およびコレクタ電極２４を有する。

[0063] ドリフト領域１８は、半導体基板１０に設けられた第１導電型の領域である。本例のドリフト領域１８は、一例としてＮ－型である。ドリフト領域１８は、半導体基板１０において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域１８のドーピング濃度は半導体基板１０のドーピング濃度であってよい。

[0064] バッファ領域２０は、ドリフト領域１８よりも半導体基板１０の裏面２３側に設けられた第１導電型の領域である。本例のバッファ領域２０は、一例としてＮ型である。バッファ領域２０のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。バッファ領域２０は、ベース領域１４の下面側から広がる空乏層が、第２導電型のコレクタ領域２２に到達することを防ぐフィールドストップ層として機能してよい。なお、バッファ領域２０は、省略されてよい。

[0065] コレクタ領域２２は、トランジスタ部７０において、半導体基板１０の裏面２３に設けられる。コレクタ領域２２は、ベース領域１４よりもドーピング濃度の高い第２導電型の領域である。本例のコレクタ領域２２は、一例としてＰ＋型である。

[0066] コレクタ電極２４は、半導体基板１０の裏面２３と接して設けられた裏面側金属層の一例である。エミッタ電極５２は、半導体基板１０および層間絶縁膜３８の上方に形成される。

[0067] 蓄積領域１６は、半導体基板１０の深さ方向において、ベース領域１４よりも下方に設けられ、ドリフト領域１８よりもドーピング濃度の高い第１導電型の領域である。本例の蓄積領域１６は、一例としてＮ＋型である。蓄積領域１６を設けることで、キャリア注入促進効果（ＩＥ効果）を高めて、トランジスタ部７０のオン電圧を低減できる。

[0068] １つ以上のゲートトレンチ部４０および１つ以上のダミートレンチ部３０は、おもて面２１に設けられる。各トレンチ部は、おもて面２１からドリフト領域１８まで設けられる。エミッタ領域１２、ベース領域１４および蓄積領域１６の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域１８に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通したものに含まれる。

[0069] ゲートトレンチ部４０は、おもて面２１に形成されたゲートトレンチ、ゲート絶縁膜４２およびゲート導電部４４を有する。ゲート絶縁膜４２は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜４２は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部４４は、ゲートトレンチの内部においてゲート絶縁膜４２よりも内側に形成される。ゲート絶縁膜４２は、ゲート導電部４４と半導体基板１０とを絶縁す

る。ゲート導電部４４は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部４０は、おもて面２１において層間絶縁膜３８により覆われる。

[0070] ゲート導電部４４は、半導体基板１０の深さ方向において、ゲート絶縁膜４２を挟んでメサ部７１側で隣接するベース領域１４と対向する領域を含む。ゲート導電部４４に所定の電圧が印加されると、ベース領域１４のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャネルが形成される。

[0071] ダミートレンチ部３０は、ゲートトレンチ部４０と同一の構造を有してよい。ダミートレンチ部３０は、おもて面２１側に形成されたダミートレンチ、ダミー絶縁膜３２およびダミー導電部３４を有する。ダミー絶縁膜３２は、ダミートレンチの内壁を覆って形成される。ダミー導電部３４は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜３２よりも内側に形成される。ダミー絶縁膜３２は、ダミー導電部３４と半導体基板１０とを絶縁する。ダミートレンチ部３０は、おもて面２１において層間絶縁膜３８により覆われる。

[0072] 層間絶縁膜３８は、おもて面２１に設けられている。層間絶縁膜３８の上方には、エミッタ電極５２が設けられている。層間絶縁膜３８には、エミッタ電極５２と半導体基板１０とを電気的に接続するための１又は複数のトレンチコンタクト部２６が設けられている。即ち、複数のトレンチ部の間のメサ部において、トレンチコンタクト部２６が設けられる。コンタクトホール５５およびコンタクトホール５６も、トレンチコンタクト部２６と同様に、層間絶縁膜３８を貫通して設けられてよい。

[0073] 主トレンチコンタクト２７は、エミッタ電極５２と半導体基板１０とを電気的に接続する。半導体基板１０の深さ方向において、主トレンチコンタクト２７の下端の深さは、エミッタ領域１２の下端の深さよりも深い位置に設けられてよく、エミッタ領域１２の下端の深さと同一であってよい。主トレンチコンタクト２７の下端の深さは、ベース領域１４の下端よりも浅い位置に設けられてよい主トレンチコンタクト２７の下端をエミッタ領域１２の下

端よりも深い位置に設けることで、半導体装置１００のラッチアップ耐量を向上できる。

[0074] 主トレンチコンタクト２７は、複数のトレンチ部のトレンチ配列方向において、予め定められた幅を有してよい。本明細書において、主トレンチコンタクト２７の幅は、主トレンチコンタクト２７の下端における幅であってよく、半導体基板１０のおもて面２１における主トレンチコンタクト２７の一方の側壁から他方の側壁までの幅であってよく、層間絶縁膜３８の上端におけるコンタクトホール５４の開口幅のことであってよい。主トレンチコンタクト２７の幅は、複数のトレンチ部のトレンチ配列方向において、任意の深さにおける主トレンチコンタクト２７の一方の側壁から他方の側壁までの幅であってよい。本例では、主トレンチコンタクト２７の幅Ｗ２７は、主トレンチコンタクト２７の下端における幅である。

[0075] 一例では、複数のトレンチ部のトレンチ配列方向における主トレンチコンタクト２７の幅は、後述する複数のトレンチ部のトレンチ延伸方向における副トレンチコンタクト２８の幅と同一である。複数のトレンチ部のトレンチ配列方向における主トレンチコンタクト２７の幅は、複数のトレンチ部のトレンチ延伸方向における副トレンチコンタクト２８の幅よりも大きくてよく、小さくてもよい。複数のトレンチ部のトレンチ配列方向における主トレンチコンタクト２７の幅は、０．１μｍ以上であってよく、０．８μｍ以下であってよい。主トレンチコンタクト２７の幅を調整することにより、コンタクトホール５４に埋め込まれるタングステンプラグの埋め込み性を調整できる。

[0076] プラグ領域７３は、トレンチコンタクト部２６の下端に接して設けられた第２導電型の領域である。プラグ領域７３のドーピング濃度は、ベース領域１４のドーピング濃度よりも高い。本例のプラグ領域７３は、一例としてＰ＋型である。プラグ領域７３のドーピング濃度は、１Ｅ１７ｃｍ$^{-3}$以上であってよく、１Ｅ２０ｃｍ$^{-3}$以下であってよい。

[0077] プラグ領域７３は、トレンチコンタクト部２６の底部および側壁の一部を覆うように設けられてよい。プラグ領域７３は、エミッタ領域１２と離間して設けられてよく、エミッタ領域１２と接して設けられてよい。本例のプラグ領域７３は、エミッタ領域１２と接して設けられる。プラグ領域７３をトレンチコンタクト部２６の下面に設けることにより、半導体装置１００のラッチアップ耐量を向上できる。

[0078] プラグ領域７３は、複数のトレンチ部のトレンチ配列方向において、隣接するトレンチ部から離間して設けられてよい。プラグ領域７３は、ゲートトレンチ部４０から離間して設けられてよい。これにより、チャネル反転領域が形成されるために必要なゲート電圧が一定になり、半導体装置１００の特性を均一化できる。

[0079] プラグ領域７３は、コンタクトホール５４を介したドーパントの注入によって形成されてよい。プラグ領域７３は、主トレンチコンタクト２７および副トレンチコンタクト２８の両方の下面に設けられてよい。また、プラグ領域７３が先に設けられた後に、主トレンチコンタクト２７および副トレンチコンタクト２８を有するトレンチコンタクト部２６が設けられてもよい。

[0080] 図１Ｃは、図１Ａにおけるｂ－ｂ’断面の一例を示す。ｂ－ｂ’断面は、主トレンチコンタクト２７および副トレンチコンタクト２８を通るＸＺ面である。図１Ｃを用いて、図１Ｂに示した断面との相違点について説明する。

[0081] 副トレンチコンタクト２８は、エミッタ電極５２と半導体基板１０とを電気的に接続する。半導体基板１０の深さ方向において、副トレンチコンタクト２８の下端の深さは、主トレンチコンタクト２７の下端の深さと同一であってよい。図１Ｃにおいては、説明のために主トレンチコンタクト２７の位置を点線で示している。

[0082] 副トレンチコンタクト２８の下方にも、プラグ領域７３が設けられる。プラグ領域７３は、副トレンチコンタクト２８の底面および側壁の一部を覆ってよい。副トレンチコンタクト２８を設けることで、半導体基板１０のおもて面２１におけるエミッタ領域１２の面積を調整し、半導体装置１００の飽

和電流を調整しつつ、副トレンチコンタクト２８の下方にプラグ領域７３を設けることで、半導体装置１００のラッチアップ耐量を向上できる。

[0083] 副トレンチコンタクト２８は、複数のトレンチ部のトレンチ配列方向において、トレンチ部と離間して設けられる。一例では、副トレンチコンタクト２８は、トレンチ配列方向において、隣接するトレンチ部と予め定められた距離ｄｘを有するように設けられる。予め定められた距離ｄｘは、本例では、副トレンチコンタクト２８およびトレンチ部の最短距離であってよい。本例では、副トレンチコンタクト２８およびトレンチ部の最短距離は、隣接するトレンチ部の側壁から層間絶縁膜３８の上面における副トレンチコンタクト２８の側壁までの距離である。

[0084] 副トレンチコンタクト２８の側壁がテーパを有さない場合、副トレンチコンタクト２８およびトレンチ部の最短距離は、同一の深さにおける、隣接するトレンチ部の側壁から副トレンチコンタクト２８の側壁までの距離であってよい。副トレンチコンタクト２８の側壁が逆テーパを有する場合、副トレンチコンタクト２８およびトレンチ部の最短距離は、隣接するトレンチ部の側壁から副トレンチコンタクト２８の側壁の下端までの距離であってよい。

[0085] 複数のトレンチ部のトレンチ配列方向における、副トレンチコンタクト２８およびトレンチ部の最短距離は、０．１μｍ以上であってよく、０．７μｍ以下であってよい。副トレンチコンタクト２８を予め定められた距離ｄｘを有するように設けることにより、トレンチコンタクト部２６を形成する際にアライメントずれが発生した場合であっても、エミッタ電極５２とゲート金属層５０とが短絡することを防止できる。

[0086] 図１Ｄは、図１Ａにおけるｃ－ｃ’断面の一例を示す。ｃ－ｃ’断面は、主トレンチコンタクト２７に沿ったＹＺ面である。本例の主トレンチコンタクト２７は、エミッタ領域１２の下端の深さよりも深い位置まで設けられているので、図１Ｄに示した断面においては、エミッタ領域１２が図示されていない。

[0087] プラグ領域７３は、主トレンチコンタクト２７に沿い、複数のトレンチ部のトレンチ延伸方向に延伸して設けられる。プラグ領域７３は、主トレンチコンタクト２７の下面の一部を覆うように離散的に設けられてよく、主トレンチコンタクト２７の下面の全面を覆うように連続的に設けられてよい。主トレンチコンタクト２７の下面をプラグ領域７３で覆うことにより、半導体装置１００におけるトランジスタ動作をする部分を削減することなく、半導体装置１００のラッチアップ耐量を向上できる。

[0088] 図１Ｅは、図１Ａにおけるｄ－ｄ’断面の一例を示す。ｄ－ｄ’断面は、主トレンチコンタクト２７を通らず、副トレンチコンタクト２８を通るＹＺ面である。

[0089] 複数の副トレンチコンタクト２８は、複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔ｄ２８で設けられる。予め定められた間隔ｄ２８は、０．１μｍ以上であってよく、５．０μｍ以下であってよい。複数の副トレンチコンタクト２８が設けられる間隔を調整することで、半導体装置１００の飽和電流を調整できる。

[0090] 複数の副トレンチコンタクト２８は、複数のトレンチ部のトレンチ延伸方向において、予め定められた幅Ｗ２８を有する。本明細書において、副トレンチコンタクト２８の幅は、副トレンチコンタクト２８の下端における幅であってよく、半導体基板１０のおもて面２１における副トレンチコンタクト２８の一方の側壁から他方の側壁までの幅であってよく、層間絶縁膜３８の上端におけるコンタクトホール５４の開口幅のことであってよい。副トレンチコンタクト２８の幅は、複数のトレンチ部のトレンチ延伸方向において、任意の深さにおける副トレンチコンタクト２８の一方の側壁から他方の側壁までの幅であってよい。本例では、副トレンチコンタクト２８の幅Ｗ２８は、副トレンチコンタクト２８の下端における幅である。

[0091] 複数のトレンチ部のトレンチ延伸方向における副トレンチコンタクト２８の幅Ｗ２８は、複数のトレンチ部のトレンチ配列方向における主トレンチコンタクト２７の幅Ｗ２７と同一であってよく、異なっていてよい。複数のト

レンチ部のトレンチ延伸方向における副トレンチコンタクト２８の幅Ｗ２８は、複数のトレンチ部のトレンチ配列方向における主トレンチコンタクト２７の幅Ｗ２７の９０％以上であってよく、１１０％以下であってよい。

[0092] 複数のトレンチ部のトレンチ延伸方向における副トレンチコンタクト２８の幅Ｗ２８は、０．１μｍ以上であってよく、０．８μｍ以下であってよい。副トレンチコンタクト２８の幅Ｗ２８を調整することにより、コンタクトホール５４に埋め込まれるタングステンプラグの埋め込み性を調整できる。

[0093] プラグ領域７３は、複数のトレンチ部のトレンチ延伸方向において、予め定められた距離ｄ７３を有するように設けられる。予め定められた距離ｄ７３は、０．１μｍ以上であってよく、０．５μｍ以下であってよい。本例において、隣接する副トレンチコンタクト２８の下面にそれぞれ設けられたプラグ領域７３は、複数のトレンチ部のトレンチ延伸方向において接触しないように設けられる。

[0094] 図２は、半導体装置１００の上面の変形例を示す図である。図２を用いて、図１Ａに示した半導体装置１００との相違点について説明する。

[0095] 図２に示した上面の例では、メサ部７１のうち、トランジスタとして動作する領域にも、ベース領域１４が設けられている。即ち、メサ部７１において、半導体基板１０のおもて面２１には、エミッタ領域１２およびベース領域１４が、複数のトレンチ部のトレンチ延伸方向に交互に設けられてよい。

[0096] メサ部７１において、エミッタ領域１２およびベース領域１４は、予め定められた幅ＷｎおよびＷｐを有するように設けられてよい。幅ＷｎおよびＷｐは、離散的に設けられた各エミッタ領域１２および各ベース領域１４について同一であってよく、異なっていてよい。幅ＷｎおよびＷｐは、同一であってよく、異なっていてよい。

[0097] 幅ＷｎおよびＷｐの比Ｗｎ：Ｗｐは、３：１から１：８までの任意の比率に設定されてよい。本例において、幅ＷｎおよびＷｐの比Ｗｎ：Ｗｐは、約

１：３である。幅ＷｎおよびＷｐの比を調整することで、半導体装置１００の飽和電流を要求される特性にあわせて調整できる。

[0098] 主トレンチコンタクト２７は、トレンチ延伸方向に交互に設けられたエミッタ領域１２およびベース領域１４の上方において、トレンチ延伸方向に延伸して設けられる。主トレンチコンタクト２７は、半導体基板１０の深さ方向において、エミッタ領域１２およびベース領域１４の内部まで延伸して設けられ、エミッタ領域１２およびベース領域１４とエミッタ電極５２とを電気的に接続する。

[0099] 副トレンチコンタクト２８は、ベース領域１４の上方に設けられる。副トレンチコンタクト２８は、エミッタ領域１２の上方に設けられない。半導体基板１０のおもて面２１にベース領域１４が設けられた領域は、トランジスタ動作をしない領域なので、副トレンチコンタクト２８をこのように設けることにより、半導体装置１００の動作効率を低下させることなく、ラッチアップ耐量を向上できる。

[0100] 図２に示した上面の例では、メサ部７１のうち、トランジスタとして動作する領域において、ベース領域１４以外の第２導電型の領域が設けられていない。これにより、第２導電型の領域を別途形成するためのイオン注入工程が不要となり、半導体装置１００の製造コストを低減できる。

[0101] 図３は、半導体装置１００の上面の変形例を示す図である。図３を用いて、図１Ａに示した半導体装置１００との相違点について説明する。

[0102] 複数のトレンチ部は、第１トレンチ部と、第１トレンチ部に隣接する第２トレンチ部とを備えてよい。一例では、第１トレンチ部はゲートトレンチ部４０であり、第２トレンチ部はダミートレンチ部３０である。第１トレンチ部がダミートレンチ部３０であってよく、第２トレンチ部がゲートトレンチ部４０であってよい。

[0103] 複数の副トレンチコンタクト２８は、複数のトレンチ部のトレンチ配列方向において、主トレンチコンタクト２７から第１トレンチ部に向かって延伸し、第１トレンチ部に到達せずに終端する第１副トレンチコンタクト２８１

を含んでよい。複数の副トレンチコンタクト２８は、複数のトレンチ部のトレンチ配列方向において、主トレンチコンタクト２７から第２トレンチ部に向かって延伸し、第２トレンチ部に到達せずに終端する第２副トレンチコンタクト２８２を含んでよい。

[0104] 第１副トレンチコンタクト２８１は、複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔ｄ２８１を有するように設けられてよい。第２副トレンチコンタクト２８２は、複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔ｄ２８２を有するように設けられてよい。間隔ｄ２８１および間隔ｄ２８２は、同一であってよく、異なっていてよい。第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２は、同数設けられてよく、異なる数設けられてよい。

[0105] 第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２は、複数のトレンチ部のトレンチ延伸方向において交互に設けられてよい。複数のトレンチ部のトレンチ延伸方向において、２つの第１副トレンチコンタクト２８１の間に１つの第２副トレンチコンタクト２８２が設けられてよく、２つの第２副トレンチコンタクト２８２の間に１つの第１副トレンチコンタクト２８１が設けられてよい。

[0106] 第１副トレンチコンタクト２８１は、隣接する２つの第２副トレンチコンタクト２８２の間の間隔ｄ２８２を任意の比率に内分する位置に設けられてよい。本例では、第１副トレンチコンタクト２８１は、隣接する２つの第２副トレンチコンタクト２８２の間の間隔ｄ２８２の中点に設けられる。

[0107] 第２副トレンチコンタクト２８２は、隣接する２つの第１副トレンチコンタクト２８１の間の間隔ｄ２８１を任意の比率に内分する位置に設けられてよい。本例では、第２副トレンチコンタクト２８２は、隣接する２つの第１副トレンチコンタクト２８１の間の間隔ｄ２８１の中点に設けられる。

[0108] 第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２は、主トレンチコンタクト２７を挟んで対称な位置に設けられてよい。この場合、第１副トレンチコンタクト２８１および第２副トレンチコンタクト

２８２が接続され、１つの副トレンチコンタクト２８として扱われてよい。第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２の設けられる位置、個数および間隔を調整することで、要求される性能にあわせ、半導体装置１００の飽和電流を調整できる。

[0109] 第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２にも、プラグ領域７３が設けられてよい。これにより、半導体装置１００のラッチアップ耐量を向上できる。

[0110] 図３に示した変形例は、図２に示した変形例と組み合わされてもよい。即ち、半導体基板１０のおもて面２１に、複数のトレンチ部のトレンチ延伸方向にエミッタ領域１２およびベース領域１４が交互に設けられる実施例において、第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２は、ベース領域１４の上方に設けられてよく、エミッタ領域１２の上方に設けられなくてよい。

[0111] 図４Ａは、半導体装置１００の上面の変形例を示す図である。本例の半導体装置１００は、半導体基板１０のおもて面２１において、アノード領域１９を有するダイオード部８０を更に備えるＲＣ－ＩＧＢＴである。

[0112] ダイオード部８０は、半導体基板１０の裏面２３側に設けられたカソード領域８２を半導体基板１０の上面に投影した領域である。半導体基板１０の裏面２３において、カソード領域８２以外の領域には、コレクタ領域２２が設けられてよい。

[0113] アノード領域１９は、半導体基板１０のおもて面２１に設けられた第２導電型の領域である。本例のアノード領域１９は、一例としてＰ－型である。アノード領域１９のドーピング濃度は、ベース領域１４のドーピング濃度と同一であってよく、異なっていてよい。アノード領域１９のドーピング濃度は、１Ｅ１５ｃｍ$^{-3}$以上であってよく、１Ｅ１８ｃｍ$^{-3}$以下であってよい。

[0114] メサ部８１は、半導体基板１０のおもて面２１と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部８１は、ダイオード部８０において、２つのダミートレンチ部３０に隣接して設けられる。メサ部

８１は、半導体基板１０のおもて面２１において、ウェル領域１７と、ベース領域１４と、アノード領域１９とを有する。メサ部８１では、アノード領域１９が複数のトレンチ部のトレンチ延伸方向に延伸して設けられている。

[0115] 本例のトランジスタ部７０は、主領域７５と、トランジスタ部７０とダイオード部８０との境界に位置する境界部９０とを含む。但し、半導体装置１００は、境界部９０を備えなくてよい。

[0116] 主領域７５は、トランジスタ部７０のうち、境界部９０以外の領域である。主領域７５は、半導体装置１００の動作時にチャネル領域が形成され、活性領域として機能する。

[0117] 境界部９０は、トランジスタ部７０に設けられ、ダイオード部８０と隣接する領域である。境界部９０は、半導体基板１０のおもて面２１においてアノード領域１９を有する。本例の境界部９０は、エミッタ領域１２を有さない。境界部９０のトレンチ部は、ゲートトレンチ部４０であってよく、ダミートレンチ部３０であってよい。境界部９０は、Ｘ軸方向における両端がダミートレンチ部３０となるように配置されてよい。

[0118] メサ部９１は、半導体基板１０のおもて面２１と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部９１は、トランジスタ部７０において、ダミートレンチ部３０またはゲートトレンチ部４０の少なくとも１つに隣接して設けられる。本例において、メサ部９１の半導体基板１０のおもて面２１における構造は、メサ部８１における半導体基板１０のおもて面２１における構造と同一である。

[0119] コンタクトホール５４は、ダイオード部８０および境界部９０の上方にも設けられてよい。即ち、トレンチコンタクト部２６は、ダイオード部８０および境界部９０の上方に設けられてよく、主トレンチコンタクト２７および副トレンチコンタクト２８は、アノード領域１９の上方に設けられてよい。主トレンチコンタクト２７および副トレンチコンタクト２８をダイオード部８０の上方に設けることで、ダイオード部８０におけるコンタクト性が向上し、ダイオード部８０の順方向電圧Ｖｆを向上できる。

[0120] ダイオード部８０の上方において、主トレンチコンタクト２７のみが設けられ、副トレンチコンタクト２８が設けられなくてもよい。これにより、副トレンチコンタクト２８を形成するためのタングステンプラグが不要となり、半導体装置１００の製造コストを低減できる。

[0121] 図４Ｂは、図４Ａにおけるｅ－ｅ’断面の一例を示す。ｅ－ｅ’断面は、副トレンチコンタクト２８を通らないＸＺ面である。図４Ｂを用いて、図１Ｂに示した断面との相違点について説明する。

[0122] プラグ領域７３は、ダイオード部８０および境界部９０にも設けられる。プラグ領域７３は、ダイオード部８０および境界部９０において、トレンチコンタクト部２６の下面に設けられる。即ち、プラグ領域７３は、ダイオード部８０および境界部９０において、主トレンチコンタクト２７および副トレンチコンタクト２８の底部および側壁の一部を覆うように設けられてよい。

[0123] プラグ領域７３は、ダイオード部８０および境界部９０において、複数のトレンチ部のトレンチ延伸方向に連続的に設けられてよく、離散的に設けられてよい。プラグ領域７３は、ダイオード部８０および境界部９０に設けることで、半導体基板１０からの正孔の引き抜き効率を向上し、半導体装置１００のラッチアップ耐量を向上できる。

[0124] 蓄積領域１６は、ダイオード部８０に設けられてもよい。本例において、蓄積領域１６は、境界部９０において設けられ、ダイオード部８０において設けられない。

[0125] 図４Ａおよび図４Ｂに示した変形例についても、図２に示した変形例または図３に示した変形例、およびその両方の変形例と組み合わされてよい。即ち、ダイオード部８０を備える半導体装置１００において、トランジスタ部７０における半導体基板１０のおもて面２１に、複数のトレンチ部のトレンチ延伸方向にエミッタ領域１２およびベース領域１４が交互に設けられてよく、副トレンチコンタクト２８は、ベース領域１４の上方に設けられてよく、エミッタ領域１２の上方に設けられなくてよい。

[0126] ダイオード部８０を備える半導体装置１００において、第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２が設けられてよい。ダイオード部８０を備える半導体装置１００において、トランジスタ部７０における半導体基板１０のおもて面２１に、複数のトレンチ部のトレンチ延伸方向にエミッタ領域１２およびベース領域１４が交互に設けられてよく、第１副トレンチコンタクト２８１および第２副トレンチコンタクト２８２は、ベース領域１４の上方に設けられてよく、エミッタ領域１２の上方に設けられなくてよい。

[0127] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0128] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0129] １０・・・半導体基板、１２・・・エミッタ領域、１４・・・ベース領域、１６・・・蓄積領域、１７・・・ウェル領域、１８・・・ドリフト領域、１９・・・アノード領域、２０・・・バッファ領域、２１・・・おもて面、２２・・・コレクタ領域、２３・・・裏面、２４・・・コレクタ電極、２５・・・接続部、２６・・・トレンチコンタクト部、２７・・・主トレンチコンタクト、２８・・・副トレンチコンタクト、３０・・・ダミートレンチ部、３１・・・延伸部分、３２・・・ダミー絶縁膜、３３・・・接続部分、３

４・・・ダミー導電部、３８・・・層間絶縁膜、４０・・・ゲートトレンチ部、４１・・・延伸部分、４２・・・ゲート絶縁膜、４３・・・接続部分、４４・・・ゲート導電部、５０・・・ゲート金属層、５２・・・エミッタ電極、５４・・・コンタクトホール、５５・・・コンタクトホール、５６・・・コンタクトホール、７０・・・トランジスタ部、７１・・・メサ部、７３・・・プラグ領域、７５・・・主領域、８０・・・ダイオード部、８１・・・メサ部、８２・・・カソード領域、９０・・・境界部、９１・・・メサ部、１００・・・半導体装置、２８１・・・第１副トレンチコンタクト、２８２・・・第２副トレンチコンタクト

請求の範囲

[請求項1] 半導体基板に設けられた第１導電型のドリフト領域と、

前記半導体基板のおもて面に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、

前記ドリフト領域の上方に設けられた複数のトレンチ部と、

前記複数のトレンチ部の間のメサ部に設けられたトレンチコンタクト部と、

前記トレンチコンタクト部の下端に接して設けられた第２導電型のプラグ領域と

を備え、

前記トレンチコンタクト部は、

上面視で、トレンチ延伸方向に延伸する主トレンチコンタクトと、

上面視で、前記主トレンチコンタクトから前記トレンチ延伸方向と異なる方向に延伸する副トレンチコンタクトと

を有する

半導体装置。

[請求項2] 前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下である

請求項１に記載の半導体装置。

[請求項3] 前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトは、前記主トレンチコンタクトを横断して設けられる

請求項１に記載の半導体装置。

[請求項4] 前記メサ部において、前記主トレンチコンタクトに対し、複数の副トレンチコンタクトが設けられる

請求項１に記載の半導体装置。

[請求項5] 前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向に延伸した前記エミッタ領域の上方に設けられる

請求項４に記載の半導体装置。

[請求項6] 前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔で設けられる

請求項４に記載の半導体装置。

[請求項7] 前記間隔は、０．１μｍ以上、５．０μｍ以下である

請求項６に記載の半導体装置。

[請求項8] 前記ドリフト領域の上方に設けられた第２導電型のベース領域を備え、

前記メサ部において、前記半導体基板のおもて面には、前記エミッタ領域および前記ベース領域がトレンチ延伸方向に交互に設けられる

請求項１に記載の半導体装置。

[請求項9] 前記主トレンチコンタクトは、前記トレンチ延伸方向に交互に設けられた前記エミッタ領域および前記ベース領域の上方において、前記トレンチ延伸方向に延伸して設けられる

請求項８に記載の半導体装置。

[請求項10] 前記副トレンチコンタクトは、前記ベース領域の上方に設けられる

請求項８に記載の半導体装置。

[請求項11] 前記複数のトレンチ部は、第１トレンチ部と、前記第１トレンチ部に隣接する第２トレンチ部とを備え、

前記複数の副トレンチコンタクトは、

前記複数のトレンチ部のトレンチ配列方向において、前記主トレンチコンタクトから前記第１トレンチ部に向かって延伸し、前記第１トレンチ部に到達せずに終端する第１副トレンチコンタクトと、

前記複数のトレンチ部のトレンチ配列方向において、前記主トレンチコンタクトから前記第２トレンチ部に向かって延伸し、前記第２トレンチ部に到達せずに終端する第２副トレンチコンタクトとを含む、請求項４に記載の半導体装置。

[請求項12] 前記半導体装置は、ダイオード部をさらに備えるＲＣ－ＩＧＢＴである

請求項１に記載の半導体装置。

[請求項13] 前記ダイオード部は、前記半導体基板のおもて面に設けられた第２導電型のアノード領域を有し、

前記主トレンチコンタクトおよび前記副トレンチコンタクトは、前記アノード領域の上方に設けられる

請求項１２に記載の半導体装置。

[請求項14] 前記複数のトレンチ部のトレンチ延伸方向における、前記副トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下である

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項15] 前記複数のトレンチ部のトレンチ延伸方向における前記副トレンチコンタクトの幅は、前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅の９０％以上、１１０％以下である

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項16] 前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトおよびトレンチ部の最短距離は、０．１μｍ以上、０．７μｍ以下である

請求項１から１３のいずれか一項に記載の半導体装置。

補正された請求の範囲（条約第19条）

2024年11月5日（ 05.11.2024 ） 国際事務局受理

[請求項1] 半導体基板に設けられた第１導電型のドリフト領域と、

前記半導体基板のおもて面に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、

前記ドリフト領域の上方に設けられた複数のトレンチ部と、

前記複数のトレンチ部の間のメサ部に設けられたトレンチコンタクト部と、

前記トレンチコンタクト部の下端に接して設けられた第２導電型のプラグ領域と

を備え、

前記トレンチコンタクト部は、

上面視で、トレンチ延伸方向に延伸する主トレンチコンタクトと、

上面視で、前記主トレンチコンタクトから前記トレンチ延伸方向と異なる方向に延伸する副トレンチコンタクトと

を有する

半導体装置。

[請求項2] 前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下である

請求項１に記載の半導体装置。

[請求項3] 前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトは、前記主トレンチコンタクトを横断して設けられる

請求項１に記載の半導体装置。

[請求項4] 前記メサ部において、前記主トレンチコンタクトに対し、複数の副トレンチコンタクトが設けられる

請求項１に記載の半導体装置。

[請求項5] 前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向に延伸した前記エミッタ領域の上方に設けられる

請求項４に記載の半導体装置。

[請求項6] 前記複数の副トレンチコンタクトは、前記複数のトレンチ部のトレンチ延伸方向において、予め定められた間隔で設けられる

請求項４に記載の半導体装置。

[請求項7] 前記間隔は、０．１μｍ以上、５．０μｍ以下である

請求項６に記載の半導体装置。

[請求項8] 前記ドリフト領域の上方に設けられた第２導電型のベース領域を備え、

前記メサ部において、前記半導体基板のおもて面には、前記エミッタ領域および前記ベース領域がトレンチ延伸方向に交互に設けられる

請求項１に記載の半導体装置。

[請求項9] 前記主トレンチコンタクトは、前記トレンチ延伸方向に交互に設けられた前記エミッタ領域および前記ベース領域の上方において、前記トレンチ延伸方向に延伸して設けられる

請求項８に記載の半導体装置。

[請求項10] 前記副トレンチコンタクトは、前記ベース領域の上方に設けられる

請求項８に記載の半導体装置。

[請求項11] 前記複数のトレンチ部は、第１トレンチ部と、前記第１トレンチ部に隣接する第２トレンチ部とを備え、

前記複数の副トレンチコンタクトは、

前記複数のトレンチ部のトレンチ配列方向において、前記主トレンチコンタクトから前記第１トレンチ部に向かって延伸し、前記第１トレンチ部に到達せずに終端する第１副トレンチコンタクトと、

前記複数のトレンチ部のトレンチ配列方向において、前記主トレンチコンタクトから前記第２トレンチ部に向かって延伸し、前記第２トレンチ部に到達せずに終端する第２副トレンチコンタクトとを含む、請求項４に記載の半導体装置。

[請求項12] 前記半導体装置は、ダイオード部をさらに備えるＲＣ－ＩＧＢＴである

請求項１に記載の半導体装置。

[請求項13] 前記ダイオード部は、前記半導体基板のおもて面に設けられた第２導電型のアノード領域を有し、

前記主トレンチコンタクトおよび前記副トレンチコンタクトは、前記アノード領域の上方に設けられる

請求項１２に記載の半導体装置。

[請求項14] 前記複数のトレンチ部のトレンチ延伸方向における、前記副トレンチコンタクトの幅は、０．１μｍ以上、０．８μｍ以下である

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項15] 前記複数のトレンチ部のトレンチ延伸方向における前記副トレンチコンタクトの幅は、前記複数のトレンチ部のトレンチ配列方向における前記主トレンチコンタクトの幅の９０％以上、１１０％以下である

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項16] 前記複数のトレンチ部のトレンチ配列方向において、前記副トレンチコンタクトおよびトレンチ部の最短距離は、０．１μｍ以上、０．７μｍ以下である

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項17] [追加]

前記半導体基板の上方に設けられた層間絶縁膜を備え、

前記主トレンチコンタクトおよび前記副トレンチコンタクトは、前記層間絶縁膜に設けられたコンタクトホールから、前記半導体基板のおもて面を貫通して、前記半導体基板の内部まで設けられる

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項18] [追加]

前記ドリフト領域の上方に設けられた第２導電型のベース領域を備え、

前記メサ部において、前記半導体基板のおもて面には、前記エミッタ領域および前記ベース領域がトレンチ延伸方向に交互に設けられ、

前記半導体基板のおもて面に露出した前記ベース領域に複数設けられる

請求項１に記載の半導体装置。

[請求項19] [追加]

前記半導体基板の深さ方向における前記トレンチコンタクト部の下端の位置は、前記エミッタ領域の下端の位置よりも深い

請求項１から１３のいずれか一項に記載の半導体装置。

[請求項20] [追加]

前記ドリフト領域の上方に設けられた第２導電型のベース領域を備え、

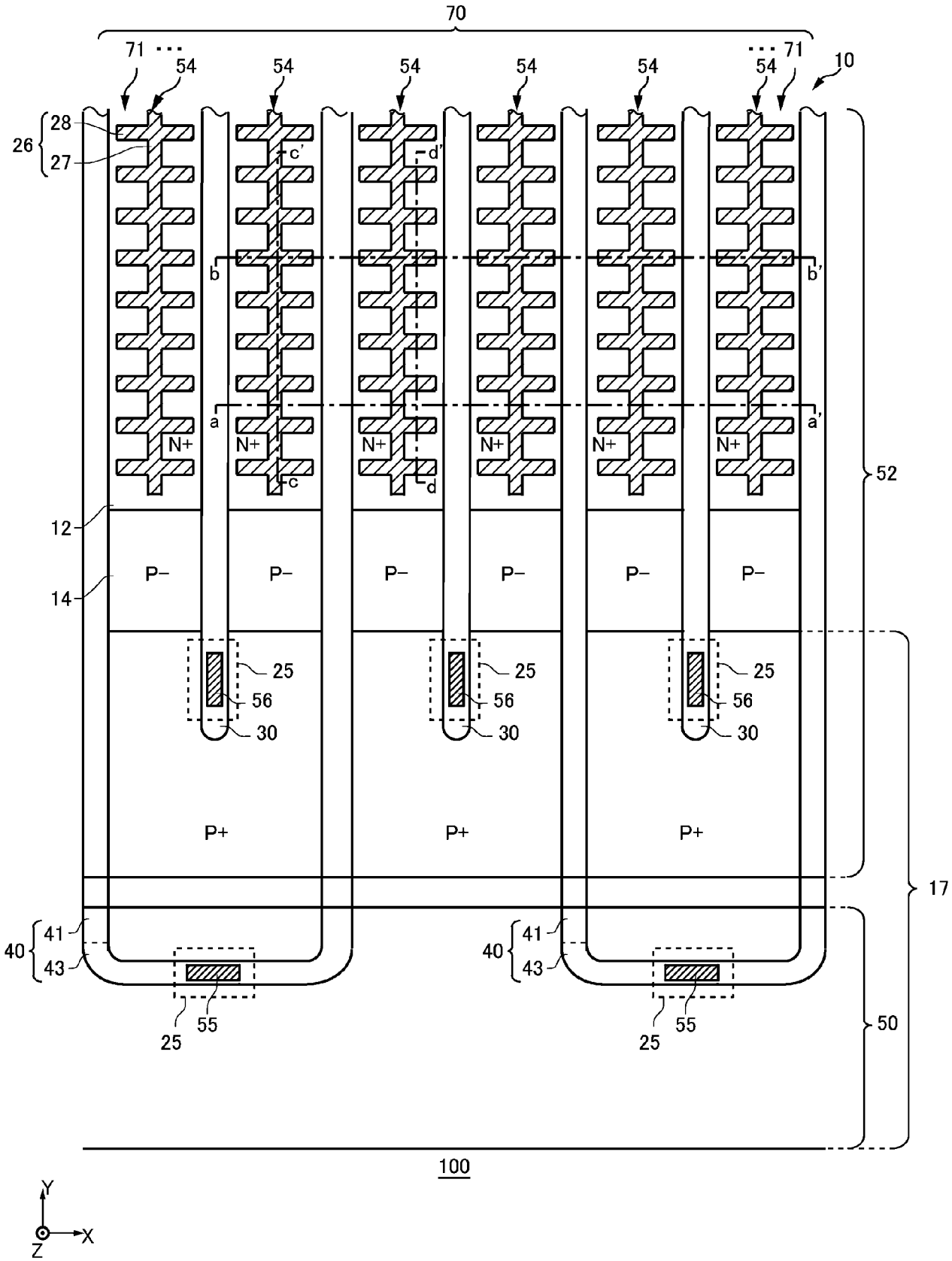
前記メサ部は、前記トレンチ延伸方向における両端において第２導電型のベース領域を有し、

前記エミッタ領域は、前記メサ部において、一方の前記ベース領域から他方の前記ベース領域まで前記トレンチ延伸方向に延伸して設けられ、

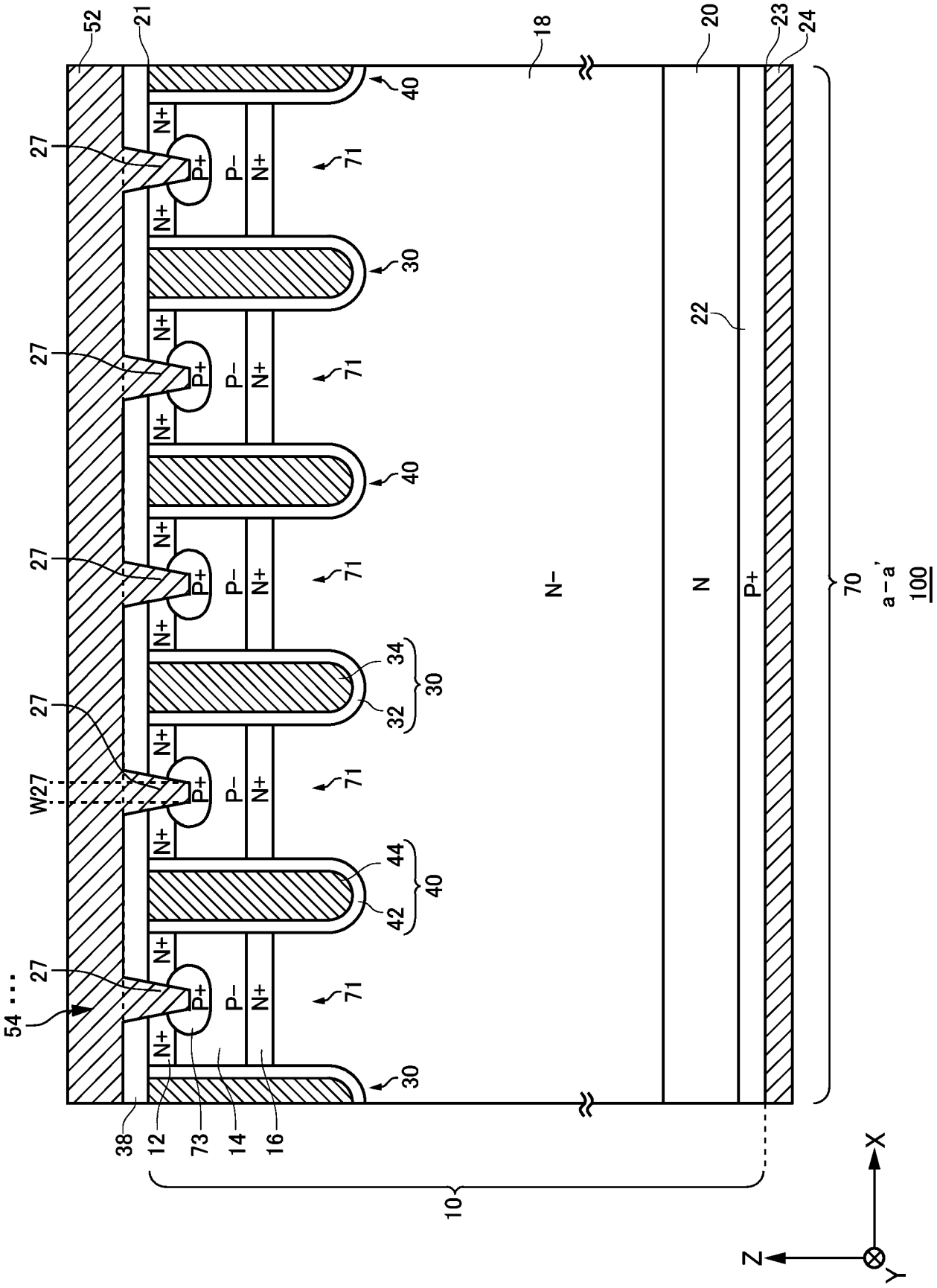
前記トレンチコンタクト部は、前記半導体基板のおもて面に露出した前記エミッタ領域に設けられる

請求項１に記載の半導体装置。

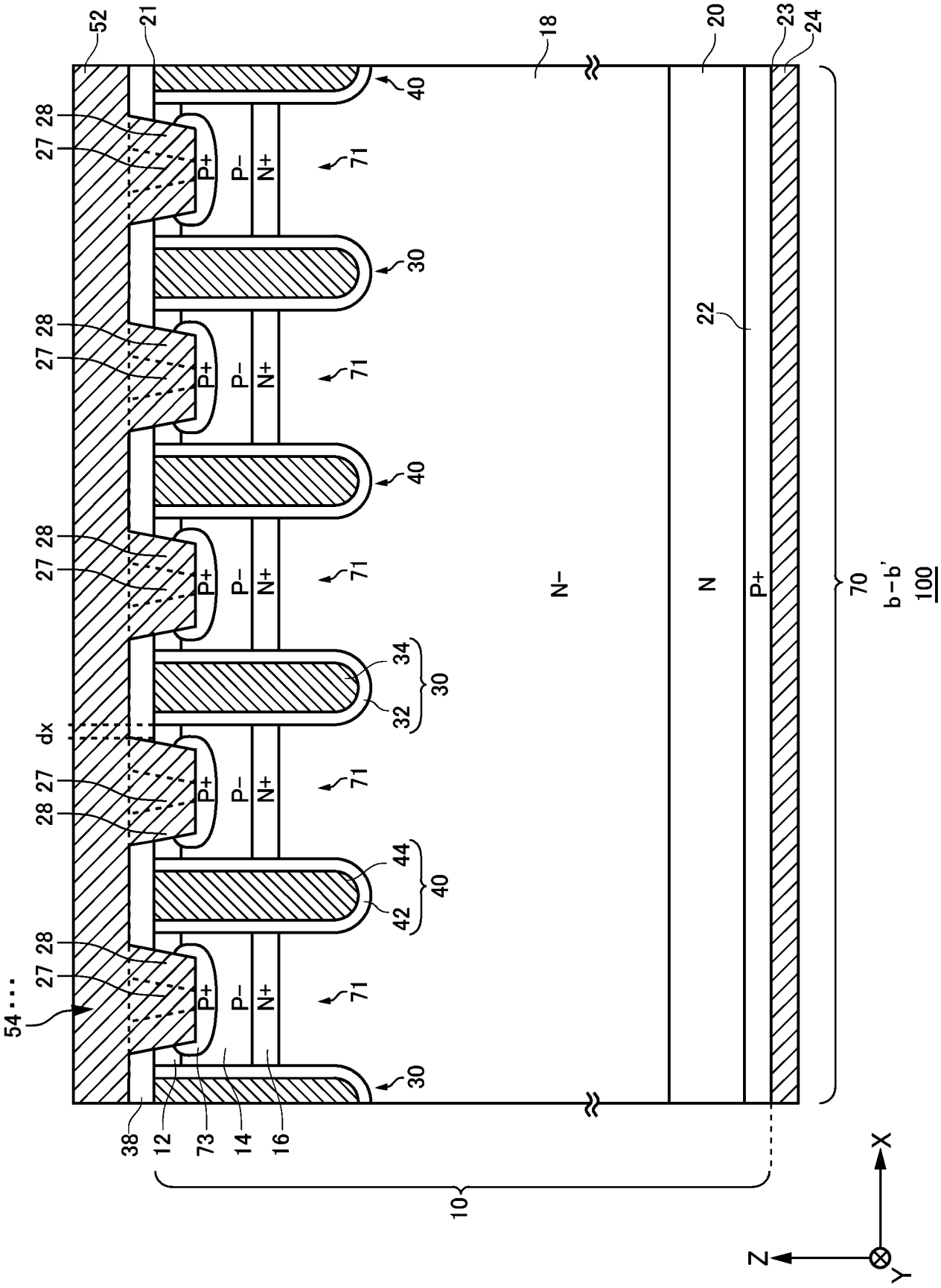
[図 1A]


70
71
54
10
26
28
27
c'
d'
b
b'
a
a'
N+
c
d
52
12
14
P−
25
56
30
P+
17
41
40
43
55
50
100
Y
X
Z

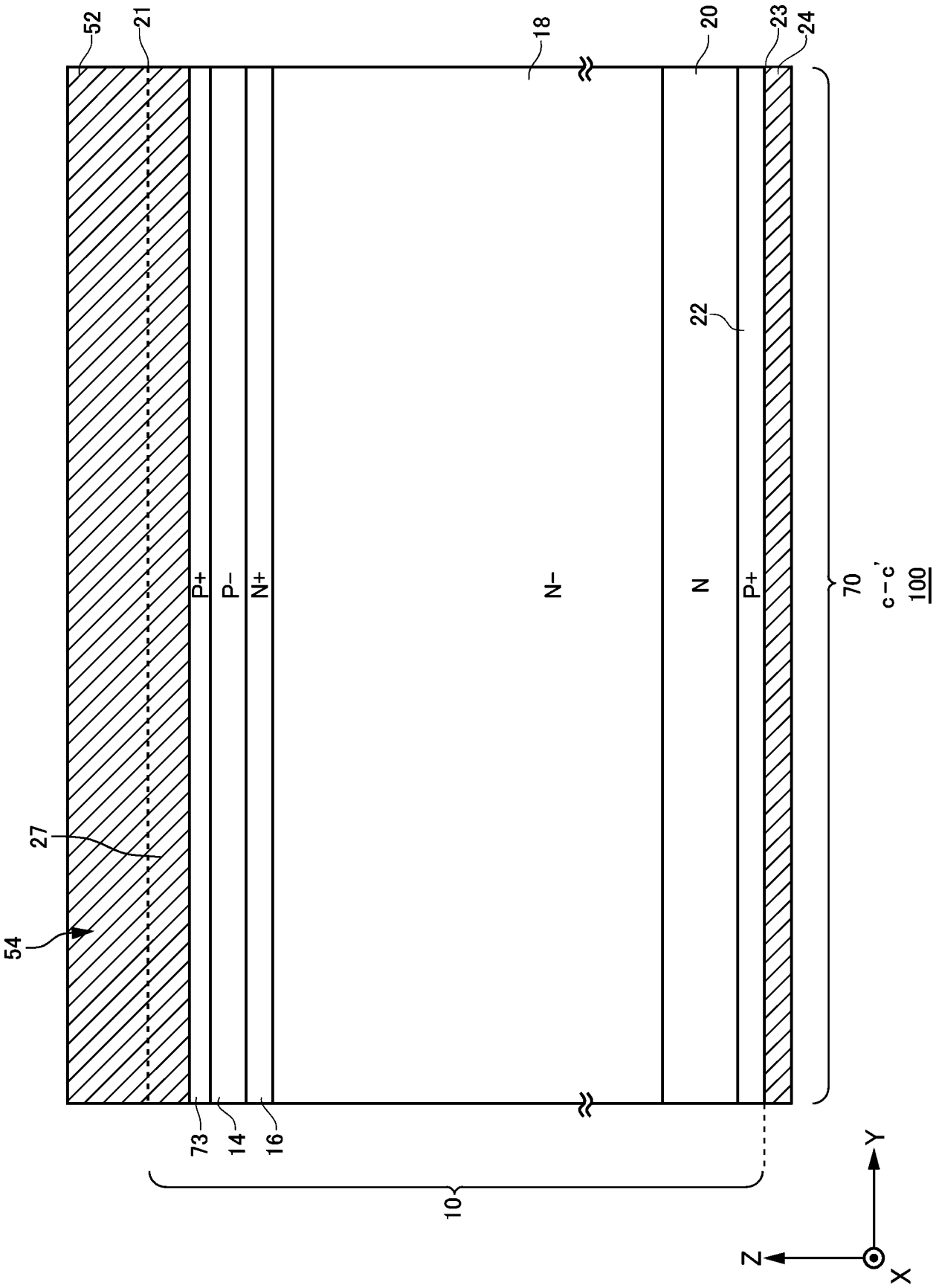
[図 1B]


52
21
18
20
23
24
40
27
N+
P+
P−
71
30
22
34
32
44
42
W27
54
38
12
73
14
16
10
N−
N
P+
70
a−a'
100
X
Z
Y

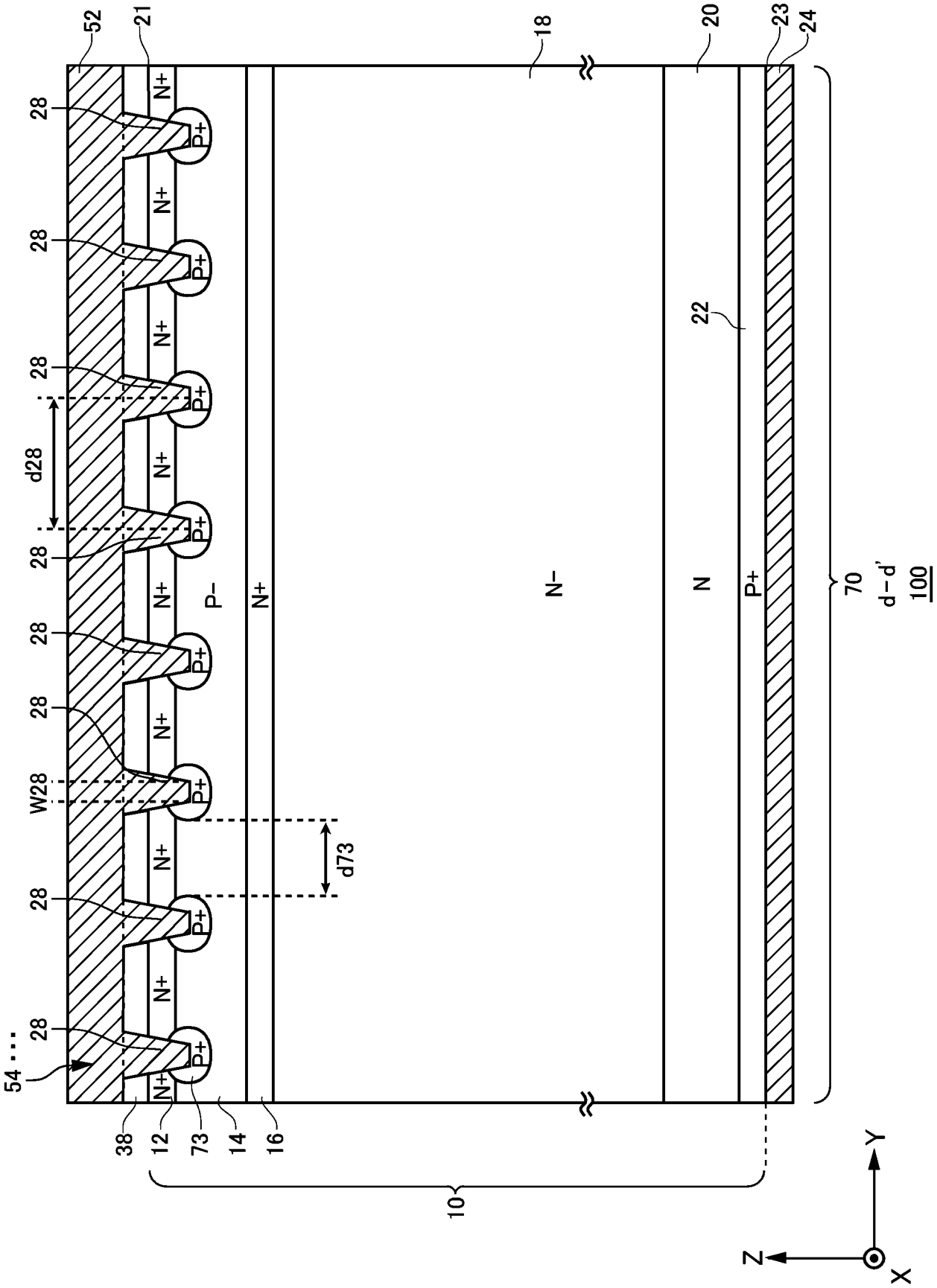
[図 1C]


52
21
18
20
23
24
40
27 28
P+
P−
N+
71
30
22
dx
34
32
44
42
54
38
12
73
14
16
10
N−
N
P+
70
b−b'
100
X
Z
Y

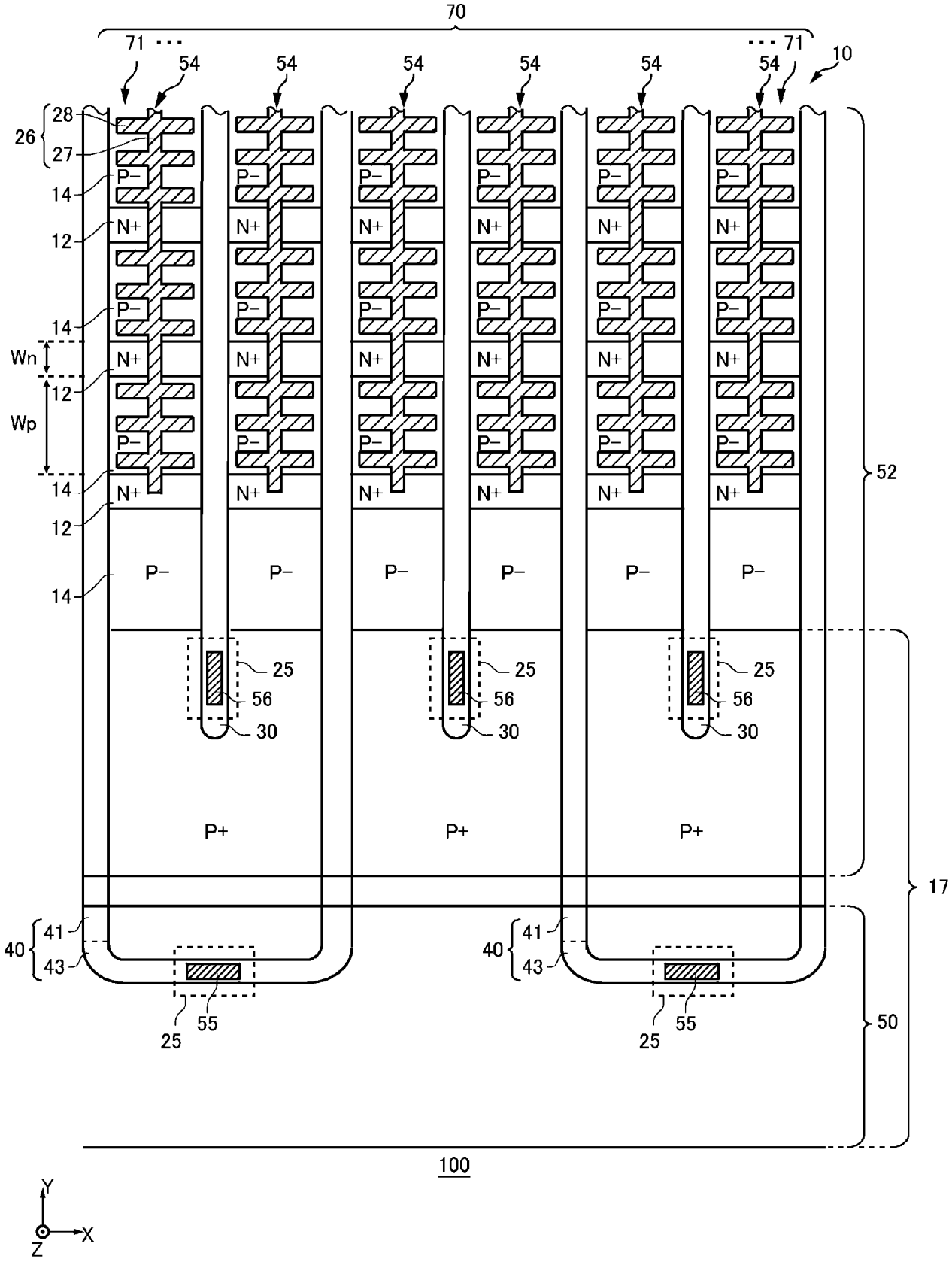
[図 1D]



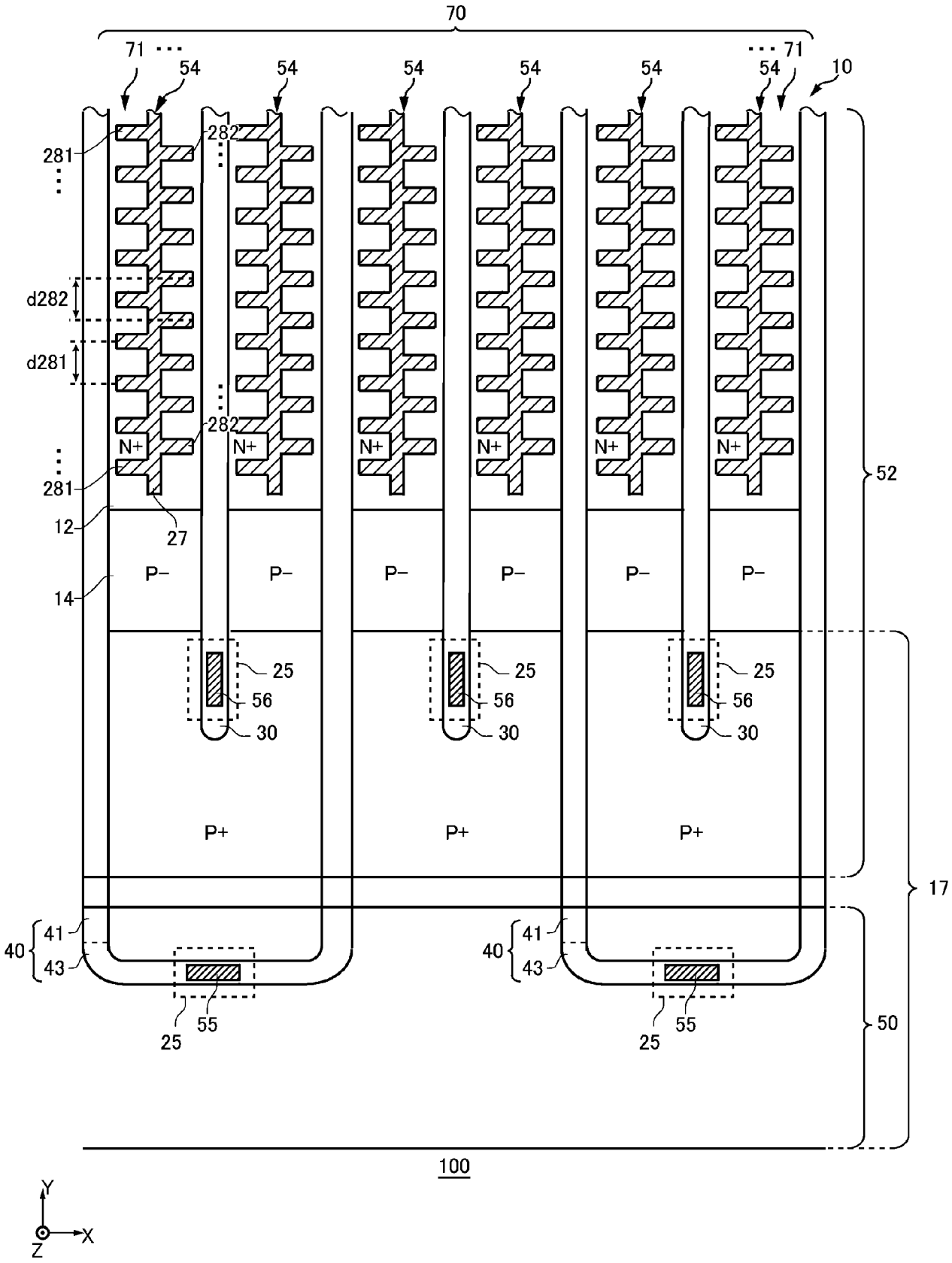
[図 1E]


52
21
18
20
23
24
28
N+
P+
P−
N−
N
22
d28
W28
d73
54
38
12
73
14
16
10
70
d−d'
100
Y
Z
X

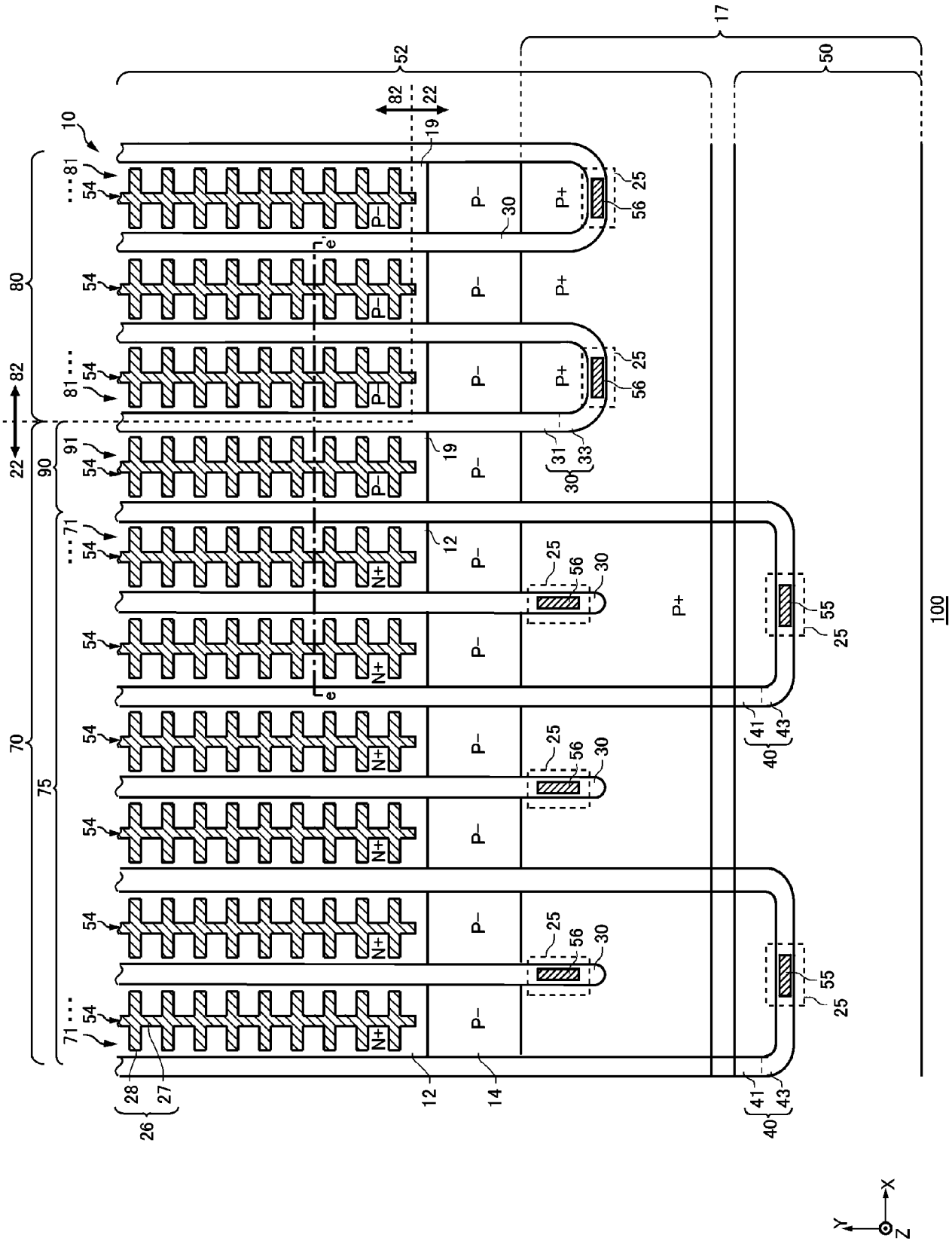
[図 2]


70
71
54
10
26
28
27
14
12
Wn
Wp
N+
P−
52
25
56
30
P+
17
41
40
43
55
50
100
Y
X
Z

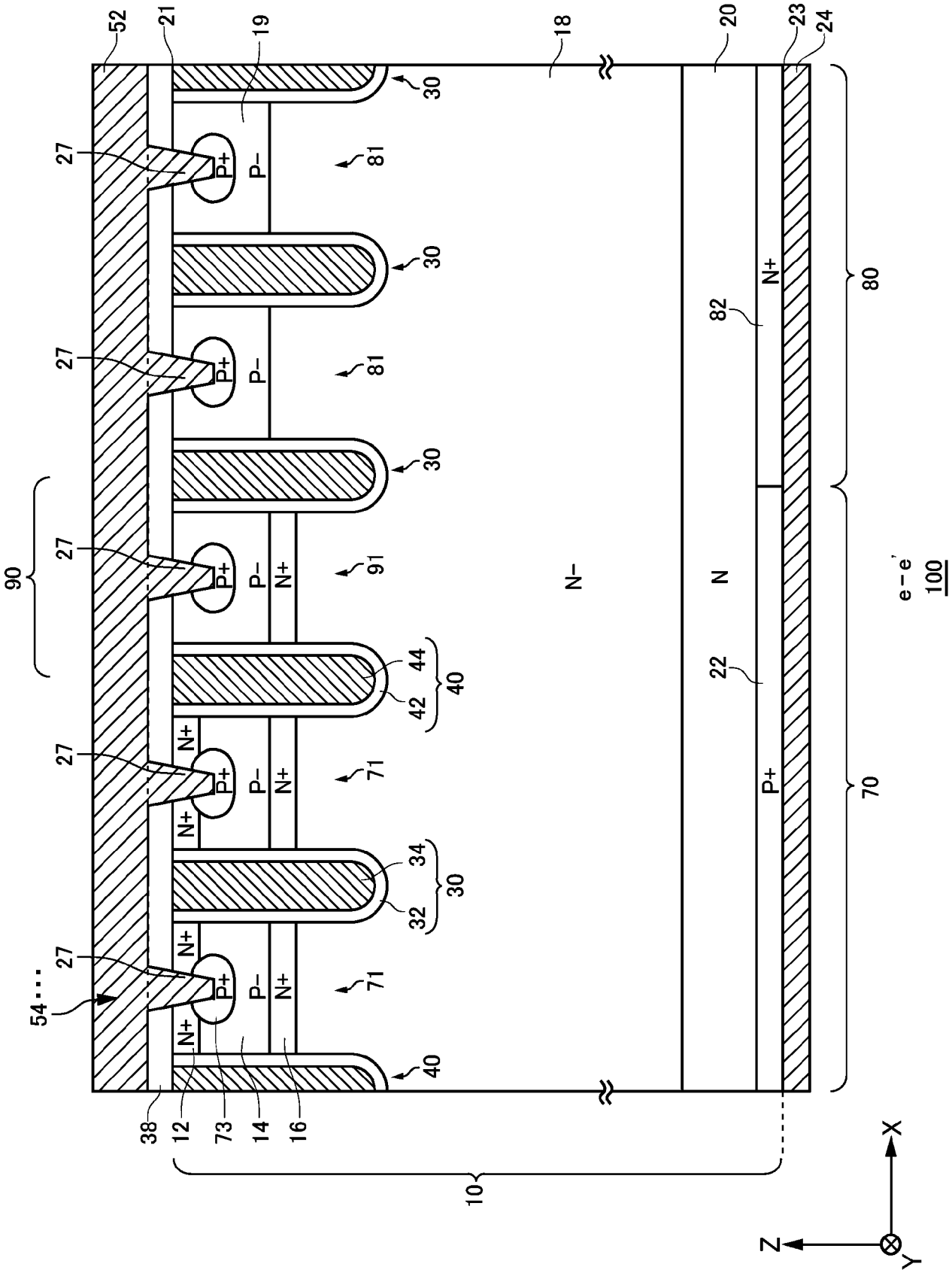
[図 3]


70
71
54
10
281
282
d282
d281
N+
P−
P+
12
14
27
25
56
30
52
17
40
41
43
55
50
100
Y
X
Z

[図 4A]


10
17
52
50
82
22
19
81
54
P−
P+
30
25
56
80
82
22
90
91
31
33
71
12
N+
55
100
70
75
41
43
40
28
27
26
14
X
Y
Z

[図 4B]


52
21
19
18
20
23
24
30
27
P+
P−
81
82
N+
80
90
91
N−
N
e−e'
100
44
42
40
22
71
P+
70
34
32
54
38
12
73
14
16
10
X
Z
Y

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/018628

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 29/12***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i

FI: H01L29/78 655G; H01L29/78 652T; H01L29/78 655F; H01L29/78 653A; H01L29/78 652J; H01L29/78 652M; H01L29/78 652D; H01L29/78 657D; H01L29/91 F; H01L29/91 C; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2023/105834 A1 (FUJI ELECTRIC CO., LTD.) 15 June 2023 (2023-06-15) paragraphs [0042], [0058], [0070]-[0071], [0078], [0091], [0103]-[0105], [0141]-[0145], fig. 9, 11, 35-36	1-10, 12, 14-16
Y	paragraphs [0042], [0058], [0070]-[0071], [0078], [0091], [0103]-[0105], [0141]-[0145], fig. 9, 11, 35-36	11, 13
Y	JP 2023-019322 A (FUJI ELECTRIC CO., LTD.) 09 February 2023 (2023-02-09) paragraphs [0045]-[0047], [0052], fig. 1	11, 13
A	JP 2021-027140 A (KABUSHIKI KAISHA TOSHIBA) 22 February 2021 (2021-02-22) fig. 1-3	1-16
A	JP 2017-028244 A (FUJI ELECTRIC CO., LTD.) 02 February 2017 (2017-02-02) fig. 1	1-16

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July 2024	**13 August 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/018628

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2023-082869 A (DENSO CORPORATION) 15 June 2023 (2023-06-15) fig. 6	1-16
A	JP 2013-115158 A (HITACHI, LTD.) 10 June 2013 (2013-06-10) fig. 25	1-16
A	WO 2021/010000 A1 (FUJI ELECTRIC CO., LTD.) 21 January 2021 (2021-01-21) fig. 18A	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/018628

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2023/105834 A1	15 June 2023	US 2024/0088276 A1 paragraphs [0067], [0084], [0096]-[0097], [0104], [0117], [0129]-[0131], [0167]-[0171], fig. 9, 11, 35-36 CN 117355946 A	
JP 2023-019322 A	09 February 2023	US 2023/0036039 A1 paragraphs [0036]-[0038], [0043], fig. 1 CN 115692464 A	
JP 2021-027140 A	22 February 2021	US 2021/0036102 A1 fig. 1-3	
JP 2017-028244 A	02 February 2017	US 2017/0018636 A1 fig. 1	
JP 2023-082869 A	15 June 2023	(Family: none)	
JP 2013-115158 A	10 June 2013	US 2013/0146897 A1 fig. 25 DE 102012221690 A1	
WO 2021/010000 A1	21 January 2021	US 2021/0351284 A1 fig. 18A CN 113287201 A	

国際調査報告

国際出願番号
PCT/JP2024/018628

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 655G; H01L29/78 652T; H01L29/78 655F; H01L29/78 653A; H01L29/78 652J; H01L29/78 652M; H01L29/78 652D; H01L29/78 657D; H01L29/91 F; H01L29/91 C; H01L27/06 102A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2023/105834 A1（富士電機株式会社）15.06.2023（2023-06-15） 段落0042,0058,0070-0071,0078,0091,0103-0105,0141-0145,図9,11,35-36	1-10,12,14-16
Y	段落0042,0058,0070-0071,0078,0091,0103-0105,0141-0145,図9,11,35-36	11,13
Y	JP 2023-019322 A（富士電機株式会社）09.02.2023（2023-02-09） 段落0045-0047,0052,図1	11,13
A	JP 2021-027140 A（株式会社東芝）22.02.2021（2021-02-22） 図1-3	1-16
A	JP 2017-028244 A（富士電機株式会社）02.02.2017（2017-02-02） 図1	1-16
A	JP 2023-082869 A（株式会社デンソー）15.06.2023（2023-06-15） 図6	1-16

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
31.07.2024	13.08.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西村　治郎 5F 1164
電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-115158 A (株式会社日立製作所) 10.06.2013 (2013-06-10) 図25	1-16
A	WO 2021/010000 A1 (富士電機株式会社) 21.01.2021 (2021-01-21) 図18A	1-16

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/018628

引用文献	公表日	パテントファミリー文献	公表日
WO 2023/105834 A1	15.06.2023	US 2024/0088276 A1 Paragraphs0067,0084, 0096-0097,0104,0117, 0129-0131,0167-0171, Figs.9,11,35-36 CN 117355946 A	
JP 2023-019322 A	09.02.2023	US 2023/0036039 A1 Paragraphs0036-0038,0043, Fig.1 CN 115692464 A	
JP 2021-027140 A	22.02.2021	US 2021/0036102 A1 Figs.1-3	
JP 2017-028244 A	02.02.2017	US 2017/0018636 A1 Fig.1	
JP 2023-082869 A	15.06.2023	（ファミリーなし）	
JP 2013-115158 A	10.06.2013	US 2013/0146897 A1 Fig.25 DE 102012221690 A1	
WO 2021/010000 A1	21.01.2021	US 2021/0351284 A1 Fig.18A CN 113287201 A	