(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 10 月 14 日(14.10.2010)

PCT

(10) 国際公開番号
WO 2010/116737 A1

(51) 国際特許分類:
H03M 1/50 (2006.01) *H03M 1/10* (2006.01)

(21) 国際出願番号: PCT/JP2010/002557

(22) 国際出願日: 2010 年 4 月 7 日(07.04.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-095010 2009 年 4 月 9 日(09.04.2009) JP

(71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 Tokyo (JP). 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町１丁目１番地 Aichi (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 加藤秀一(KATO, Shuichi) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 オリンパス株式会社内 Tokyo (JP).

(74) 代理人: 棚井澄雄, 外(TANAI, Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

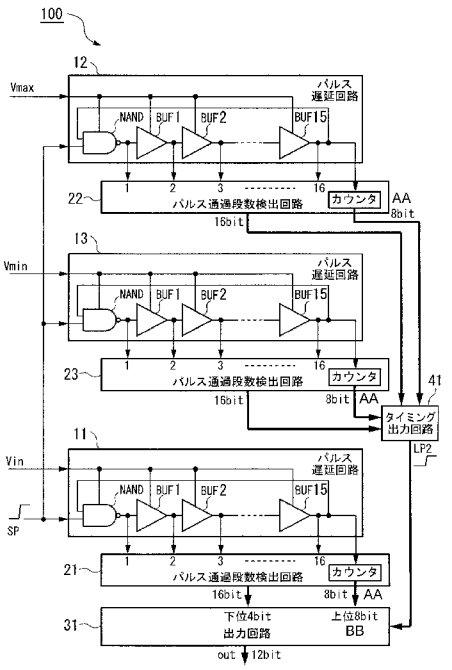
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) **Title**: A/D CONVERSION DEVICE

(54) 発明の名称 : Ａ／Ｄ変換装置

[図1]



12,13,11 pulse delay circuit
22,23,21 pulse passage stage detection circuit
41 timing output circuit
31 lower 4 bit output circuit
AA counter
BB higher 8 bit

(57) **Abstract**: An A/D conversion device comprising first, second, and third pulse delay circuits, first, second, and third pulse passage stage detection circuits, a timing output circuit, and an output circuit. The first pulse delay circuit is comprised of multiple stages of delay units, which delay a first pulse signal, connected together. The first pulse passage stage detection circuit detects a first number of stages. The second pulse delay circuit is comprised of multiple stages of delay units, which delay a second pulse signal, connected together. The second pulse passage stage detection circuit detects a second number of stages. The timing output circuit outputs a timing signal. The third pulse delay circuit is comprised of multiple stages of delay units, which delay a third pulse signal, connected together. The third pulse passage stage detection circuit detects a third number of stages. The output circuit outputs a digital value corresponding to the third number of stages.

(57) 要約: Ａ／Ｄ変換装置は、第１、第２、及び第３のパルス遅延回路と、第１、第２、及び第３のパルス通過段数検出回路と、タイミング出力回路と、出力回路とを有する。第１のパルス遅延回路は、第１のパルス信号を遅延させる遅延ユニットを複数段接続する。第１のパルス通過段数検出回路は、第１の段数を検出する。第２のパルス遅延回路は、第２のパルス信号を遅延させる遅延ユニットを複数段接続する。第２のパルス通過段数検出回路は、第２の段数を検出する。タイミング出力回路は、タイミング信号を出力する。第３のパルス遅延回路は、第３のパルス信号を遅延させる遅延ユニットを複数段接続する。第３のパルス通過段数検出回路は、第３の段数を検出する。出力回路は、前記第３の段数に対応する前記デジタル値を出力する。

WO 2010/116737 A1

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： Ａ／Ｄ変換装置

技術分野

[0001] 本発明は、アナログ入力電圧の大きさに応じた遅延時間でパルス信号を遅延させるパルス遅延回路を用いてアナログ入力電圧をデジタル値に変換するＡ／Ｄ変換装置に関する。

本願は、２００９年４月９日に日本国に出願された特願２００９－０９５０１０号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、簡単な構成で高分解能のデジタル値が得られるＡ／Ｄ変換装置として、図８に示すものが知られている（特許文献１参照）。図８に示すＡ／Ｄ変換装置４００において、パルス遅延回路１１は、それぞれが各種ゲート回路からなる複数の遅延ユニット（ＮＡＮＤ１，ＢＵＦ１，・・・，ＢＵＦ１５）をリング状に接続した構成を有している。各遅延ユニットの電源電圧として、Ａ／Ｄ変換の対象となるアナログ入力電圧Ｖｉｎが供給される。

[0003] このパルス遅延回路１１にサンプリングパルス（ＳＰ）が入力されると、ＳＰは、電源電圧に応じた遅延時間をかけて各遅延ユニットを順次通過し、パルス遅延回路１１内を周回する。ＳＰが通過した遅延ユニットの段数は、各遅延ユニットの遅延時間、すなわち、電源電圧として供給されたアナログ入力電圧Ｖｉｎによって決まる。パルス通過段数検出回路２１は、この通過段数（および周回数）を検出する。

[0004] 出力回路３１は、ＳＰの入力が開始してからサンプリング時間が経過した後にラッチパルス（ＬＰ）が入力されるタイミングで、パルス通過段数検出回路２１による通過段数の検出結果を取り込む。さらに、出力回路３１は、その通過段数をエンコードした値を、Ａ／Ｄ変換後のデジタル値（ｏｕｔ）として出力する。

[0005] 上記のＡ／Ｄ変換装置４００では、アナログ入力電圧Ｖｉｎが所定の入力

電圧範囲（Ｖｍｉｎ～Ｖｍａｘ）にある場合、図９の直線Ｌ１０が示すように、Ｖｉｎとｏｕｔの関係が線形となる。

先行技術文献

特許文献

[0006] 特許文献1：特開平５－２５９９０７号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記のＡ／Ｄ変換装置４００では、温度等の環境要因や、素子の種類、素子のバラツキ等により、遅延ユニットの遅延時間が変動し、図９の直線Ｌ１１が示すように、入出力特性の傾き（＝分解能）が大きく変動してしまい、安定した結果を得られないという問題がある。

[0008] 具体的に説明すると、入出力特性が図９の直線Ｌ１０で表される場合、所定の電圧範囲（Ｖｍｉｎ～Ｖｍａｘ）に対するＡ／Ｄ変換結果がとりうる範囲はΔｏｕｔ０となる。一方、入出力特性が図９の直線Ｌ１１で表される場合、所定の電圧範囲（Ｖｍｉｎ～Ｖｍａｘ）に対するＡ／Ｄ変換結果がとりうる範囲はΔｏｕｔ１となる。ただし、サンプリング時間は同一とする。直線Ｌ１０と直線Ｌ１１の傾きが異なるため、図９に示すように、同一電圧範囲（Ｖｍｉｎ～Ｖｍａｘ）に対するＡ／Ｄ変換結果の範囲であるΔｏｕｔ０とΔｏｕｔ１が異なってしまう。このため、安定したＡ／Ｄ変換結果が得られなくなる。

[0009] 本発明は、上述した課題に鑑みてなされたものであって、入出力特性の傾き（分解能）の変動を抑えたＡ／Ｄ変換装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明のＡ／Ｄ変換装置は、アナログ入力電圧をデジタル値に変換するＡ／Ｄ変換装置であって、第１のタイミングで第１のパルス信号が入力され、第１のアナログ電圧の大きさに応じた遅延時間で該第１のパルス信号を遅延させる遅延ユニットを複数段接続した第１のパルス遅延回路と、前記第１の

パルス信号が前記第１のパルス遅延回路内の遅延ユニットを通過した第１の段数を検出する第１のパルス通過段数検出回路と、前記第１のタイミングと同一の第２のタイミングで第２のパルス信号が入力され、前記第１のアナログ電圧と異なる第２のアナログ電圧の大きさに応じた遅延時間で該第２のパルス信号を遅延させる遅延ユニットを複数段接続した第２のパルス遅延回路と、前記第２のパルス信号が前記第２のパルス遅延回路内の遅延ユニットを通過した第２の段数を検出する第２のパルス通過段数検出回路と、前記第１の段数と前記第２の段数との差が所定の段数となるタイミングを示すタイミング信号を出力するタイミング出力回路と、前記第１のタイミングおよび前記第２のタイミングと同一のタイミングで第３のパルス信号が入力され、前記アナログ入力電圧の大きさに応じた遅延時間で該第３のパルス信号を遅延させる遅延ユニットを複数段接続した第３のパルス遅延回路と、前記第３のパルス信号が前記第３のパルス遅延回路内の遅延ユニットを通過した第３の段数を検出する第３のパルス通過段数検出回路と、前記タイミング信号が示すタイミングで検出された前記第３の段数に対応する前記デジタル値を出力する出力回路と、を有する。

[0011] 本発明のＡ／Ｄ変換装置は、前記タイミング信号が示すタイミングに対応するサンプリング時間を記憶するメモリ回路をさらに有し、前記第３のパルス遅延回路はさらに、前記第１のタイミング、前記第２のタイミング、および前記第３のタイミングよりも後の第４のタイミングで第４のパルス信号が入力され、前記第３のパルス通過段数検出回路はさらに、前記第４のパルス信号が前記第４のパルス遅延回路内の遅延ユニットを通過した第４の段数を検出し、前記出力回路はさらに、前記第４のパルス信号が入力されてから、前記メモリ回路に記憶された前記サンプリング時間が経過したタイミングで検出された前記第４の段数に対応する前記デジタル値を出力するものとしてもよい。

[0012] 本発明のＡ／Ｄ変換装置は、前記メモリ回路に前記サンプリング時間が記憶された後、前記第１のパルス遅延回路または前記第２のパルス遅延回路の

動作を停止させる制御回路をさらに有してもよい。

[0013] 本発明のＡ／Ｄ変換装置は、前記メモリ回路に前記サンプリング時間が記憶された後、前記第１のパルス遅延回路および前記第２のパルス遅延回路の動作を停止させる制御回路をさらに有してもよい。

発明の効果

[0014] 本発明のＡ／Ｄ変換装置は、第１のアナログ電圧に応じた第１の段数と、第２のアナログ電圧に応じた第２の段数との差が所定の段数となるタイミングで、アナログ入力電圧に応じた第３の段数を検出する。このように、所定の電圧範囲に対するＡ／Ｄ変換結果が一定となる条件で第３の段数を検出するので、本発明のＡ／Ｄ変換装置によれば、入出力特性の傾き（分解能）の変動を抑えることができる。

図面の簡単な説明

[0015] [図1]本発明の第１の実施形態によるＡ／Ｄ変換装置の構成を示すブロック図である。

[図2]本発明の第１の実施形態によるＡ／Ｄ変換装置の処理手順を示すフローチャートである。

[図3]本発明の第２の実施形態によるＡ／Ｄ変換装置の構成を示すブロック図である。

[図4]本発明の第２の実施形態によるＡ／Ｄ変換装置の処理手順を示すフローチャートである。

[図5]本発明の第２の実施形態におけるサンプリングパルスとラッチパルスの波形を示すタイミングチャートである。

[図6]本発明の第３の実施形態によるＡ／Ｄ変換装置の構成を示すブロック図である。

[図7]本発明の第３の実施形態によるＡ／Ｄ変換装置の処理手順を示すフローチャートである。

[図8]従来のＡ／Ｄ変換装置の構成を示すブロック図である。

[図9]従来のＡ／Ｄ変換装置の入出力特性を示す参考図である。

発明を実施するための形態

[0016] 以下、図面を参照しつつ、本発明の好適な実施形態について説明する。ただし、本発明は以下の各実施形態に限定されるものではなく、例えばこれら実施形態の構成要素同士を適宜組み合わせてもよい。

[0017] ＜第１の実施形態＞

まず、本発明の第１の実施形態を説明する。図１は、本実施形態によるＡ／Ｄ変換装置の構成を示している。図１において、Ａ／Ｄ変換装置１００は、パルス遅延回路１１，１２，１３と、パルス通過段数検出回路２１，２２，２３と、出力回路３１と、タイミング出力回路４１から構成される。

[0018] パルス遅延回路１１は、Ｖｉｎ（アナログ入力電圧）の大きさに応じた遅延時間でサンプリングパルス（ＳＰ）を遅延させる遅延ユニットを複数段接続した構成を有する。パルス遅延回路１２は、Ｖｉｎのとりうる電圧範囲の最大値（Ｖｍａｘ）の大きさに応じた遅延時間でＳＰを遅延させる遅延ユニットを複数段接続した構成を有する。パルス遅延回路１３は、Ｖｉｎのとりうる電圧範囲の最小値（Ｖｍｉｎ）の大きさに応じた遅延時間でＳＰを遅延させる遅延ユニットを複数段接続した構成を有する。

[0019] パルス通過段数検出回路２１は、ＳＰがパルス遅延回路１１内の遅延ユニットを通過した段数を検出する。パルス通過段数検出回路２２は、ＳＰがパルス遅延回路１２内の遅延ユニットを通過した段数を検出する。パルス通過段数検出回路２３は、ＳＰがパルス遅延回路１３内の遅延ユニットを通過した段数を検出する。

[0020] タイミング出力回路４１は、パルス通過段数検出回路２２とパルス通過段数検出回路２３の出力信号に基づきラッチパルス（ＬＰ２）を生成し、出力回路３１に出力する。出力回路３１は、ＬＰ２に基づきパルス通過段数検出回路２１の出力信号をラッチし、出力信号をエンコードして、Ｖｉｎに対応するデジタル値（ｏｕｔ）を出力する。

[0021] 以下、パルス遅延回路１１の詳細な構成を説明する。パルス遅延回路１１は、電源電圧に応じた遅延量を入力信号に与える１６段の遅延ユニットがリ

ング状に接続された構成を有し、この構成によりＳＰを周回させるリングディレイライン（ＲＤＬ）である。初段の遅延ユニットＮＡＮＤは２つの入力端子を有し、一方の入力端子にＳＰが入力され、もう一方の入力端子に１６段目の遅延ユニットＢＵＦ１５の出力が入力される。遅延ユニットＮＡＮＤは、パルス遅延回路１１が動作している時は常に１６段目の遅延ユニットＢＵＦ１５の出力の論理を反転する。

[0022] また、２段目の遅延ユニットＢＵＦ１から１６段目の遅延ユニットＢＵＦ１５までの各遅延ユニットは、入力端子に入力された値を出力端子に出力するゲート回路（例えば、ＮＯＴゲートを２段接続したバッファ回路）である。各遅延ユニット（ＮＡＮＤ１，ＢＵＦ１，・・・，ＢＵＦ１５）には、Ｖｉｎが電源電圧として印加される。各遅延ユニットは、それぞれ前段の遅延ユニットから入力されたＳＰを、電源電圧（Ｖｉｎ）の電圧レベルに応じた遅延時間だけ遅延させて次段の遅延ユニットに出力する。リング状に接続された各遅延ユニットが同様に動作し、ＳＰが前段から後段の遅延ユニットへ順次伝達されることにより、ＳＰがパルス遅延回路１１内を周回する。

[0023] ＳＰがパルス遅延回路１１内を周回する過程を具体的に説明すると次の通りである。初段の遅延ユニットＮＡＮＤの一方の入力端子にＳＰが入力されていない時（ＳＰが“Ｌ”レベルの時）、遅延ユニットＮＡＮＤの出力端子のレベルは、もう一方の入力端子の入力によらず、“Ｈ”レベルになる。２段目の遅延ユニットＢＵＦ１以降の各遅延ユニットの出力端子のレベルも、“Ｈ”レベルになる。

[0024] 続いて、初段の遅延ユニットＮＡＮＤの一方の入力端子にＳＰが入力される（ＳＰが“Ｈ”レベルになる）。遅延ユニットＮＡＮＤのもう一方の入力端子のレベルは、最終段の遅延ユニットＢＵＦ１５から出力されたＳＰにより“Ｈ”レベルとなっているため、遅延ユニットＮＡＮＤの出力端子のレベルは、電源電圧（Ｖｉｎ）の電圧レベルに応じた遅延時間をかけて“Ｌ”レベルに切り替わる。２段目の遅延ユニットＢＵＦ１以降の各遅延ユニットの出力端子のレベルも、電源電圧（Ｖｉｎ）の電圧レベルに応じた遅延時間を

かけて順次“Ｌ”レベルに切り替わる。

[0025] 最終段の遅延ユニットＢＵＦ１５の出力端子のレベルが“Ｌ”レベルに切り替わると、初段の遅延ユニットＮＡＮＤの出力端子のレベルは、電源電圧（Ｖｉｎ）の電圧レベルに応じた遅延時間をかけて“Ｈ”レベルに切り替わる。２段目の遅延ユニットＢＵＦ１以降の各遅延ユニットの出力端子のレベルも、電源電圧（Ｖｉｎ）の電圧レベルに応じた遅延時間をかけて順次“Ｈ”レベルに切り替わる。

[0026] 最終段の遅延ユニットＢＵＦ１５の出力端子のレベルが“Ｈ”レベルに切り替わると、次の周回では初段の遅延ユニットＮＡＮＤから順に出力端子のレベルが“Ｌ”レベルに切り替わる。以降、ＳＰが入力されている間、最終段の遅延ユニットＢＵＦ１５の出力端子のレベルが切り替わるごとに初段の遅延ユニットＮＡＮＤから順次出力端子のレベルが逆のレベルに切り替わるという動作が繰り返し行われる。この結果、ＳＰがパルス遅延回路１１内を周回し続ける。

[0027] 各遅延ユニットの入力端子のレベルが切り替わってから出力端子のレベルが切り替わるまでに要する時間は、各遅延ユニットの電源電圧であるＶｉｎに応じた遅延時間となる。このため、ある所定の時間内にＳＰが通過する遅延ユニットの段数は、アナログ入力電圧（Ｖｉｎ）に依存することとなる。

[0028] パルス通過段数検出回路２１は、ＳＰがパルス遅延回路１１内の遅延ユニットを通過した段数を検出する回路である。パルス通過段数検出回路２１には、パルス遅延回路１２内の各遅延ユニットの出力信号が入力される。

[0029] パルス通過段数検出回路２１は、パルス遅延回路１１内の１６段目の遅延ユニットＢＵＦ１５の出力端子のレベルが“Ｈ”レベルから“Ｌ”レベル、または“Ｌ”レベルから“Ｈ”レベルに切り替わる回数をカウンタがカウントした結果を８ビットのカウント値として出力する。また、パルス通過段数検出回路２１は、パルス遅延回路１１の１６段の各遅延ユニットの出力端子のレベルがそれぞれ“Ｈ”レベルまたは“Ｌ”レベルとなっている状態を表す１６ビットのデータを出力する。

[0030] パルス通過段数検出回路２１から出力される上記の８ビットのカウント値と１６ビットのデータは、ＳＰがパルス遅延回路１１内を何周周回して何段目の遅延ユニットまで進んだかを示している。例えば、上記カウント値が４回であり、５段目の遅延ユニットＢＵＦ４の出力が“Ｌ”レベル、６段目の遅延ユニットＢＵＦ５の出力が“Ｈ”レベルであった場合、ＳＰが遅延ユニットを通過した段数は、１６段×４回＋５段＝６９段となる。

[0031] 以上のように、パルス通過段数検出回路２１は、アナログ入力電圧（Ｖｉｎ）が電源電圧として印加された遅延ユニットで構成されたパルス遅延回路１１をＳＰが通過した段数を８ビット＋１６ビットのデジタル信号で出力する。

[0032] なお、パルス遅延回路１２、パルス通過段数検出回路２２の構成はそれぞれ、上記のパルス遅延回路１１、パルス通過段数検出回路２１の構成と同じである。パルス通過段数検出回路２２は、アナログ電圧（Ｖｍａｘ）が電源電圧として印加された遅延ユニットで構成されたパルス遅延回路１２をＳＰが通過した段数を８ビット＋１６ビットのデジタル信号で出力する。

[0033] また、パルス遅延回路１３、パルス通過段数検出回路２３の構成もそれぞれ、上記のパルス遅延回路１１、パルス通過段数検出回路２１の構成と同じである。パルス通過段数検出回路２３は、アナログ電圧（Ｖｍｉｎ）が電源電圧として印加された遅延ユニットで構成されたパルス遅延回路１３をＳＰが通過した段数を８ビット＋１６ビットのデジタル信号で出力する。

[0034] 次に、Ａ／Ｄ変換装置１００の処理手順について、図２を用いて説明する。まず、パルス遅延回路１１，１２，１３に同時にＳＰが入力される（ＳＰのレベルが“Ｌ”レベルから“Ｈ”レベルに切り替わる）（ステップＳ１）。ＳＰは、パルス遅延回路１１，１２，１３内を、それぞれ異なる遅延時間（パルス遅延回路１１内はＶｉｎに基づく遅延時間、パルス遅延回路１２内はＶｍａｘに基づく遅延時間、パルス遅延回路１３内はＶｍｉｎに基づく遅延時間）で周回を開始する（ステップＳ２）。パルス通過段数検出回路２１，２２，２３は、ＳＰがそれぞれの遅延ユニットを通過する段数を検出する

（ステップＳ３）。

[0035] ここで、ＳＰがパルス遅延回路１２内の遅延ユニットを通過する段数をＣｍａｘとし、ＳＰがパルス遅延回路１３内の遅延ユニットを通過する段数をＣｍｉｎとし、あらかじめ定められた所定の段数をΔｏｕｔとする。タイミング出力回路４１は、ＣｍａｘとＣｍｉｎの差がΔｏｕｔを超えたタイミング、つまり以下の（１）式の条件を満たしたタイミング（ステップＳ４）で、ラッチパルス（ＬＰ２）を出力する（ＬＰ２のレベルを“Ｌ”レベルから“Ｈ”レベルに切り替える）（ステップＳ５）。

Δｏｕｔ≧Ｃｍａｘ－Ｃｍｉｎ ・・・（１）

[0036] 出力回路３１は、タイミング出力回路４１からのＬＰ２が入力されるタイミング（ＬＰ２のレベルが“Ｌ”レベルから“Ｈ”レベルに切り替わるタイミング）で、パルス通過段数検出回路２１が検出した段数（カウント値と各遅延ユニットの出力値）をラッチする。さらに、出力回路３１は、ラッチした段数を１２ｂｉｔにエンコードして最終的なＡ／Ｄ変換結果（ｏｕｔ）として出力する（ステップＳ６）。

[0037] 例えば、パルス通過段数検出回路２１からの信号（８ビット＋１６ビットのデジタル信号）が以下の値を表していたとする。

１～１６段の各遅延ユニットの出力値＝“０００００００１１１１１１１”

ＳＰの周回数を示すカウント値＝“００１１１１１０”

[0038] この場合、カウント値は１０進数表記では６２であるから、ＳＰが１６段の遅延ユニットを６２回周回したことが分かる。また、各遅延ユニットの出力値から、６３回目の周回においてＳＰが遅延ユニットを８段通過したことが分かる。したがって、Ｖｉｎに基づく通過段数は、１６段×６２回＋８段＝１０００段 になる。出力回路３１は、この段数を１２ｂｉｔのデジタル信号にエンコードした値（“００１１１１１０１０００”）を出力する。

[0039] このように動作するＡ／Ｄ変換装置１００においては、ＶｍａｘとＶｍｉｎの差（Ｖｍａｘ－Ｖｍｉｎ）が一定であり、所定の段数Δｏｕｔが一定で

ある。また、Ｖｍａｘ、Ｖｍｉｎ、ＶｉｎのサンプリングＳが同時に開始され、Ｖｍａｘ－Ｖｍｉｎの差に対応する段数がΔｏｕｔとなるタイミングで、Ｖｉｎに対応する段数がラッチされ、Ａ／Ｄ変換結果（ｏｕｔ）として出力される。したがって、アナログ入力電圧Ｖｉｎに対する出力ｏｕｔの入出力特性が線形性を有する場合、その入出力特性の傾き（＝分解能）は一定になる。

[0040] 例えば、前述した従来のＡ／Ｄ変換装置４００（図８）において、温度Ｔ１での入出力特性が図９の直線Ｌ１０であり、温度Ｔ２での入出力特性が図９の直線Ｌ１１であるとする。Ａ／Ｄ変換装置４００が有するパルス遅延回路１１と同じ特性のパルス遅延回路を用いて本実施形態によるＡ／Ｄ変換装置１００を構成した場合、温度変化による入出力特性の傾きの変化に関わらず、Δｏｕｔが一定となる（図９のΔｏｕｔ０＝Δｏｕｔ１となる）ように、温度Ｔ２でのＬＰ２の出力タイミングが温度Ｔ１でのＬＰ２の出力タイミングよりも遅くなるようにＡ／Ｄ変換装置１００が動作する。このため、温度がＴ１の時もＴ２の時も、入出力特性の傾きは一致する。

[0041] 上述したように、本実施形態によれば、温度の変動や、パルス遅延回路を構成するトランジスタの特性の変動によらず、入出力特性の傾き（分解能）の変動を抑えることができる。

[0042] また、本実施形態によれば、パルス遅延回路１１，１２，１３に対して同時にＳＰが入力され、ＬＰ２の出力タイミングを決定するためのＶｍａｘ，Ｖｍｉｎのサンプリングと、所望のＶｉｎのサンプリングとが並行的に行われ、一度のサンプリングで入出力特性の傾き（分解能）の変動を抑えた結果を得ることができるので、Ａ／Ｄ変換結果を高速に得ることができる。例えば、本実施形態のように、Ｖｍａｘ，Ｖｍｉｎのサンプリング結果からリアルタイムにＶｉｎのサンプリングを終了するタイミング（ＬＰ２の出力タイミング）を決定するのではなく、最初のサンプリングでＶｍａｘ，Ｖｍｉｎのサンプリングを一定時間（Ｔ１）行い、その結果から次のＶｉｎのサンプリングの時間（Ｔｓ）を決定するような、２回以上のサンプリングによって

Ｖｉｎのサンプリング時間を決定し、入出力特性の傾き（分解能）の変動を抑える手法も考えられる。具体例で説明すると、１回目の一定時間Ｔ１のサンプリングにおいて、Ｖｍａｘのサンプリング結果とＶｍｉｎのサンプリング結果の差が、所定値に対して２倍の値であった場合に、２回目のサンプリングにおいて、Ｖｉｎのサンプリング時間をＴ１の半分にする（Ｔｓ=Ｔ／２）ようなフィードバックをかけることによって、Ｖｍａｘのサンプリング結果とＶｍｉｎのサンプリング結果の差が一定に近づくようなサンプリング時間でＶｉｎのサンプリングを行い、結果として入出力特性の傾き（分解能）の変動を抑えることも可能性である。しかしながら、サンプリングを繰り返さないと所望の結果を得られないので、Ａ／Ｄ変換の高速化を実現できない。本実施形態によれば、一度のサンプリングで入出力特性の傾き（分解能）の変動を抑えた所望の結果を得ることができ、Ａ／Ｄ変換の高速化を実現することが可能である。

[0043] ＜第２の実施形態＞

次に、本発明の第２の実施形態を説明する。図３は、本実施形態によるＡ／Ｄ変換装置の構成を示している。図３において、Ａ／Ｄ変換装置２００は、パルス遅延回路１１，１２，１３と、パルス通過段数検出回路２１，２２，２３と、出力回路３１と、タイミング出力回路４１と、メモリ回路５１と、制御回路６１から構成される。パルス遅延回路１１，１２，１３、パルス通過段数検出回路２１，２２，２３、出力回路３１、タイミング出力回路４１の構成はそれぞれ、第１の実施形態によるＡ／Ｄ変換装置１００が有する各構成と同じである。ただし、タイミング出力回路４１は、ラッチパルスＬＰ２を出力回路３１とメモリ回路５１に出力する。

[0044] メモリ回路５１は、ＳＰとタイミング出力回路４１からのＬＰ２とに基づくサンプリング時間を記憶する。このサンプリング時間は、ＳＰがパルス遅延回路１１，１２，１３に入力されてから、ＬＰ２がタイミング出力回路４１から出力されるまでの時間である。また、制御回路６１はパルス遅延回路１２とパルス遅延回路１３を制御する。

[0045] 次に、Ａ／Ｄ変換装置２００の処理手順について、図４を用いて説明する。図４に示すステップＳ１～Ｓ５の処理手順は、図２に示すステップＳ１～Ｓ５の処理手順と同じであるので、説明を省略する。

[0046] ステップＳ５でタイミング出力回路４１からラッチパルス（ＬＰ２）が出力されると、メモリ回路５１は、ＳＰが入力されたステップＳ１のタイミングから、ＬＰ２が入力されたステップＳ５のタイミングまでの時間（サンプリング時間Ｔｓ：図５参照）を記憶する（ステップＳ７）。続いて、制御回路６１は、パルス遅延回路１２とパルス遅延回路１３の動作を停止させる（ステップＳ８）。

[0047] 一方、出力回路３１は、タイミング出力回路４１からのＬＰ２が入力されるタイミング（ＬＰ２のレベルが“Ｌ”レベルから“Ｈ”レベルに切り替わるタイミング）で、パルス通過段数検出回路２１が検出した段数（カウント値と各遅延ユニットの出力値）をラッチする。さらに、出力回路３１は、ラッチした段数を１２ｂｉｔにエンコードして最終的なＡ／Ｄ変換結果（ｏｕｔ）として出力する（ステップＳ６）。

[0048] 上記のステップＳ６までの処理で１回分のＡ／Ｄ変換が完了する。これで処理を完了することもできるが、本実施形態においては、効率的に連続したＡ／Ｄ変換の処理を行うことが可能である。すなわち、連続処理を行わない（ステップＳ９）場合、処理が完了するが、連続処理を行う（ステップＳ９）場合、ステップＳ１０～Ｓ１５の処理が行われる。以下、連続処理（ステップＳ１０～Ｓ１５）について説明する。

[0049] 連続処理を行う場合、まずＶｉｎの値が変更される（ステップＳ１０）。ただし、オーバーサンプリング等で同じ入力信号を複数回Ａ／Ｄ変換する場合には、このステップは不要となる。

[0050] 続いて、ＳＰが再度入力される（ステップＳ１１）と、ＳＰは、Ｖｉｎに基づく遅延時間でパルス遅延回路１１内の遅延ユニットの周回を開始する（ステップＳ１２）。メモリ回路５１は、ステップＳ１１でＳＰが再度入力されてから、ステップＳ８で記憶したサンプリング時間Ｔｓが経過した後にラ

ッチパルス（ＬＰ２）を出力する（ステップＳ１３）。出力回路３１は、メモリ回路５１からのＬＰ２が入力される（ＬＰ２のレベルが“Ｌ”レベルから“Ｈ”レベルに切り替わる）タイミングで、パルス通過段数検出回路２１が検出した段数（カウント値と各遅延ユニットの出力値）をラッチする。さらに、出力回路３１は、ラッチした段数を１２ｂｉｔにエンコードして最終的なＡ／Ｄ変換結果（ｏｕｔ）として出力する（ステップＳ１４）。

[0051] 以後、連続処理を繰り返す場合には、ステップＳ１０～Ｓ１４の処理が繰り返し行われる（ステップＳ１５）。

[0052] このように動作するＡ／Ｄ変換装置２００においても、入出力特性の傾きを一定にすることができる。したがって、本実施形態によれば、温度の変動や、パルス遅延回路を構成するトランジスタの特性の変動によらず、入出力特性の傾き（分解能）の変動を抑えることができる。

[0053] また、本実施形態においても、前述した第１の実施形態と同様に、パルス遅延回路１１，１２，１３に対して同時にＳＰが入力され、ＬＰ２の出力タイミングを決定するためのＶｍａｘ，Ｖｍｉｎのサンプリングと、所望のＶｉｎのサンプリングとが並行的に行われるので、１回目のＡ／Ｄ変換結果を高速に得ることができる。

[0054] さらに、連続してＡ／Ｄ変換を繰り返す場合に、ＬＰ２の出力タイミングをメモリ回路５１に記憶しておくことで、パルス遅延回路１２，１３を停止することができる。したがって、消費電力を低減することができる。なお、パルス遅延回路１２，１３のうちの一方のみを停止してもよく、この場合も消費電力を低減することができる。

[0055] ＜第３の実施形態＞

次に、本発明の第３の実施形態を説明する。図６は、本実施形態によるＡ／Ｄ変換装置の構成を示している。図６において、Ａ／Ｄ変換装置３００は、パルス遅延回路１２，１４と、パルス通過段数検出回路２２，２４と、出力回路３１と、タイミング出力回路４１と、メモリ回路５１と、制御回路６１と、セレクタ７１から構成される。パルス遅延回路１２、パルス通過段数

検出回路２２、出力回路３１、タイミング出力回路４１、メモリ回路５１、制御回路６１の構成はそれぞれ、第２の実施形態によるＡ／Ｄ変換装置２００が有する各構成と同じである。

[0056] パルス遅延回路１４、パルス通過段数検出回路２４の構成はそれぞれ、第１の実施形態に係るパルス遅延回路１１、パルス通過段数検出回路２１の構成と同じである。また、パルス通過段数検出回路２４は、セレクタ７１の出力電圧が電源電圧として印加された遅延ユニットで構成されたパルス遅延回路１４をＳＰが通過した段数を、８ビット＋１６ビットのデジタル信号で出力する。セレクタ７１は、出力する電圧を切り替えることが可能であり、ＶｉｎとＶｍｉｎのうちいずれかを出力する。

[0057] 次に、Ａ／Ｄ変換装置３００の処理手順について、図７を用いて説明する。まず、セレクタ７１の出力がＶｍｉｎに切り替えられる（ステップＳ０）。続いて、図４に示すステップＳ１～Ｓ７の処理と同じ処理が行われる。ステップＳ７でメモリ回路５１がサンプリング時間Ｔｓを記憶した後、制御回路６１は、パルス遅延回路１２の動作を停止させる（ステップＳ１６）。

[0058] 続いて、セレクタ７１の出力がＶｉｎに切り替えられる（ステップＳ１７）。この後、再度ＳＰが入力され、Ｖｉｎに基づくＡ／Ｄ変換が行われる（ステップＳ１１～Ｓ１４）。図８に示すステップＳ１１～Ｓ１４の処理は、図４に示すステップＳ１１～Ｓ１４の処理と同じである。

[0059] 連続処理を繰り返す場合には（ステップＳ１５）、Ｖｉｎの値が変更され（ステップＳ１８）、ステップＳ１１～Ｓ１５までの処理が繰り返される。

[0060] このように動作するＡ／Ｄ変換装置３００においても、入出力特性の傾きを一定にすることができる。したがって、本実施形態によれば、温度の変動や、パルス遅延回路を構成するトランジスタの特性の変動によらず、入出力特性の傾き（分解能）の変動を抑えることができる。

[0061] また、連続してＡ／Ｄ変換を繰り返す場合に、ＬＰ２の出力タイミングをメモリ回路５１に記憶しておくことで、パルス遅延回路１２を停止することができる。したがって、消費電力を低減することができる。

[0062] また、Ｖｉｎに基づくサンプリングと、Ｖｍｉｎに基づくサンプリングとを同一のパルス遅延回路により行うため、誤差を低減することができる。例えば、図１に示すＡ／Ｄ変換装置１００において、パルス遅延回路１１とパルス遅延回路１３の特性が異なり、同じアナログ電圧を加えた時の遅延が異なっていると、それらの特性の差は誤差となって現れる。しかし、本実施形態によれば、２回のサンプリングで共通のパルス遅延回路を用いるため、この特性差による誤差は生じない。また、２回のサンプリングに用いるパルス遅延回路とパルス通過段数検出回路を共通化したことで、回路規模を縮小することができる。

[0063] なお、本実施形態では、パルス遅延回路１１とパルス遅延回路１３を共通化したパルス遅延回路１４を用いているが、パルス遅延回路１１とパルス遅延回路１２の特性が異なる場合にも、同様にそれらの特性の差は誤差となって現れるので、パルス遅延回路１１とパルス遅延回路１２を共通化してもよい。

[0064] 本実施形態では、Ｖｉｎに基づくサンプリングを行う前に、サンプリング時間を検出するため、Ｖｍａｘ，Ｖｍｉｎに基づくサンプリングを行う必要がある。このため、Ａ／Ｄ変換を開始してからＶｉｎのＡ／Ｄ変換結果が得られるまでの時間は、第１の実施形態および第２の実施形態よりも遅くなる。ただし、回路規模は第１の実施形態および第２の実施形態よりも小さくなる。

[0065] 以上、図面を参照して本発明の実施形態について詳述してきたが、本発明の具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。例えば、上記では、ＶｉｎがＶｍａｘ～Ｖｍｉｎの電圧範囲に含まれることを想定しているが、Ｖｍａｘ～Ｖｍｉｎの電圧範囲に含まれないアナログ入力電圧を上記のＶｉｎとし、上記と同様にＡ／Ｄ変換を行ってもよい。

産業上の利用可能性

[0066] 本発明は、入出力特性の傾き（分解能）の変動を抑えたＡ／Ｄ変換装置の

提供を可能とする。

符号の説明

[0067] １１，１２，１３，１４　　パルス遅延回路

２１，２２，２３，２４　　パルス通過段数検出回路

３１　　出力回路

４１　　タイミング出力回路

５１　　メモリ回路

６１　　制御回路

７１　　セレクタ

１００，２００，３００，４００　　Ａ／Ｄ変換装置

請求の範囲

[請求項1] アナログ入力電圧をデジタル値に変換するＡ／Ｄ変換装置であって、

第１のタイミングで第１のパルス信号が入力され、第１のアナログ電圧の大きさに応じた遅延時間で該第１のパルス信号を遅延させる遅延ユニットを複数段接続した第１のパルス遅延回路と、

前記第１のパルス信号が前記第１のパルス遅延回路内の遅延ユニットを通過した第１の段数を検出する第１のパルス通過段数検出回路と、

前記第１のタイミングと同一の第２のタイミングで第２のパルス信号が入力され、前記第１のアナログ電圧と異なる第２のアナログ電圧の大きさに応じた遅延時間で該第２のパルス信号を遅延させる遅延ユニットを複数段接続した第２のパルス遅延回路と、

前記第２のパルス信号が前記第２のパルス遅延回路内の遅延ユニットを通過した第２の段数を検出する第２のパルス通過段数検出回路と、

前記第１の段数と前記第２の段数との差が所定の段数となるタイミングを示すタイミング信号を出力するタイミング出力回路と、

前記第１のタイミングおよび前記第２のタイミングと同一のタイミングで第３のパルス信号が入力され、前記アナログ入力電圧の大きさに応じた遅延時間で該第３のパルス信号を遅延させる遅延ユニットを複数段接続した第３のパルス遅延回路と、

前記第３のパルス信号が前記第３のパルス遅延回路内の遅延ユニットを通過した第３の段数を検出する第３のパルス通過段数検出回路と、

前記タイミング信号が示すタイミングで検出された前記第３の段数に対応する前記デジタル値を出力する出力回路と、

を有するＡ／Ｄ変換装置。

[請求項2] 前記タイミング信号が示すタイミングに対応するサンプリング時間を記憶するメモリ回路をさらに有し、

前記第３のパルス遅延回路はさらに、前記第１のタイミング、前記第２のタイミング、および前記第３のタイミングよりも後の第４のタイミングで第４のパルス信号が入力され、

前記第３のパルス通過段数検出回路はさらに、前記第４のパルス信号が前記第４のパルス遅延回路内の遅延ユニットを通過した第４の段数を検出し、

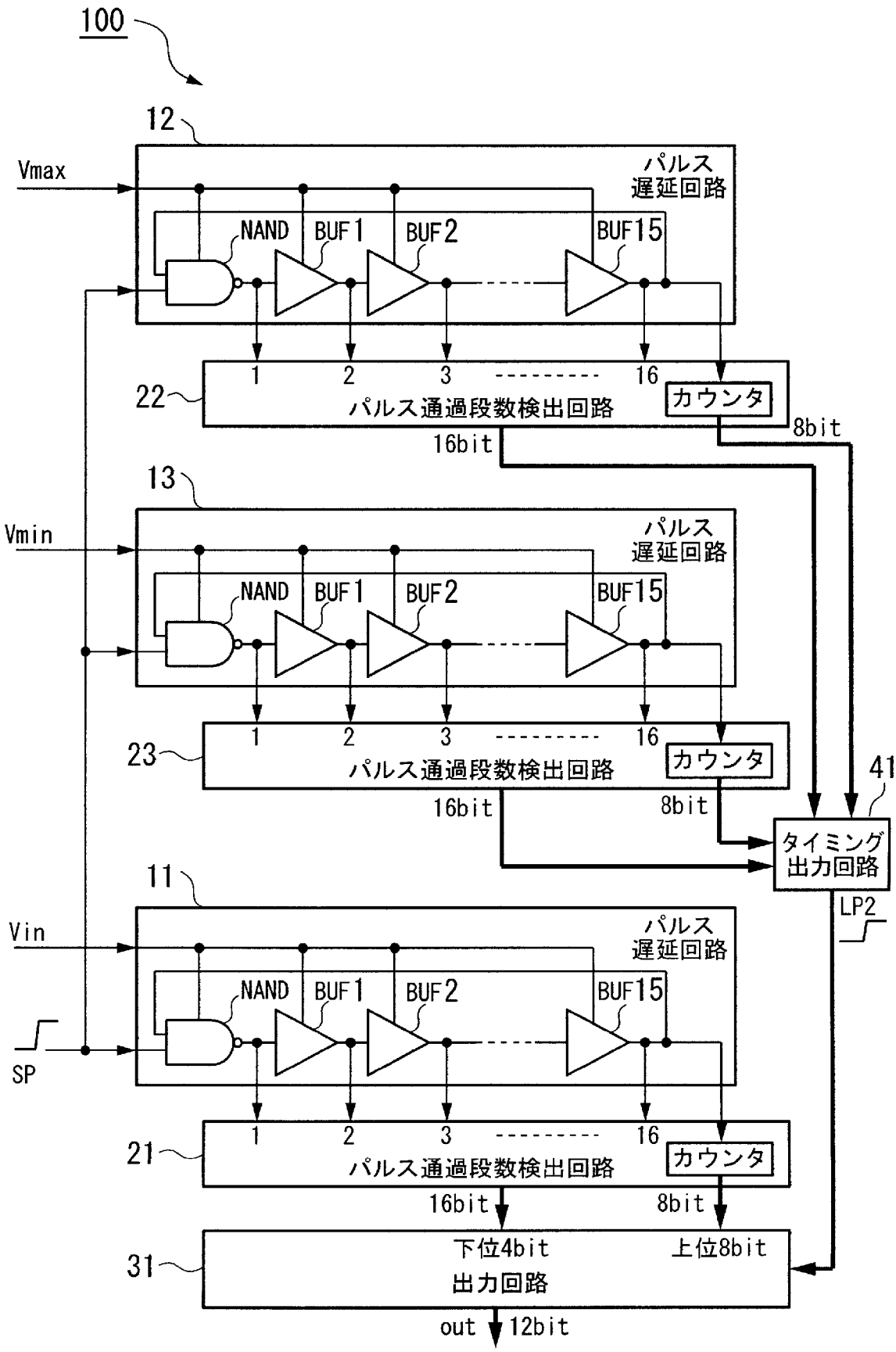
前記出力回路はさらに、前記第４のパルス信号が入力されてから、前記メモリ回路に記憶された前記サンプリング時間が経過したタイミングで検出された前記第４の段数に対応する前記デジタル値を出力する、

請求項１に記載のＡ／Ｄ変換装置。

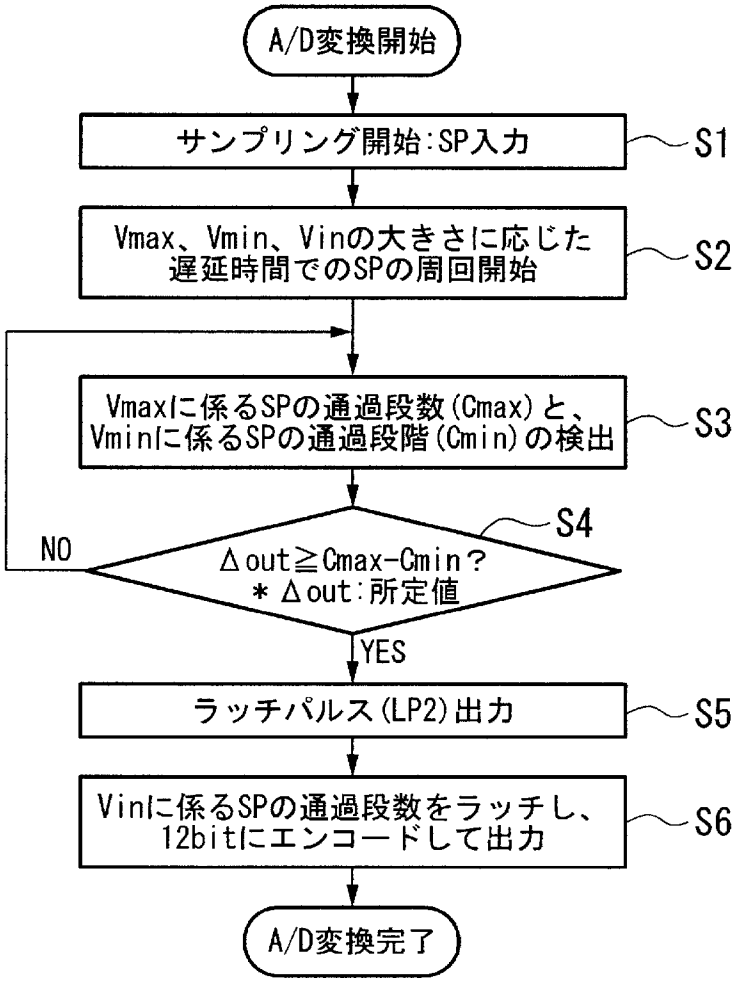
[請求項3] 前記メモリ回路に前記サンプリング時間が記憶された後、前記第１のパルス遅延回路または前記第２のパルス遅延回路の動作を停止させる制御回路をさらに有する、請求項２に記載のＡ／Ｄ変換装置。

[請求項4] 前記メモリ回路に前記サンプリング時間が記憶された後、前記第１のパルス遅延回路および前記第２のパルス遅延回路の動作を停止させる制御回路をさらに有する、請求項２に記載のＡ／Ｄ変換装置。

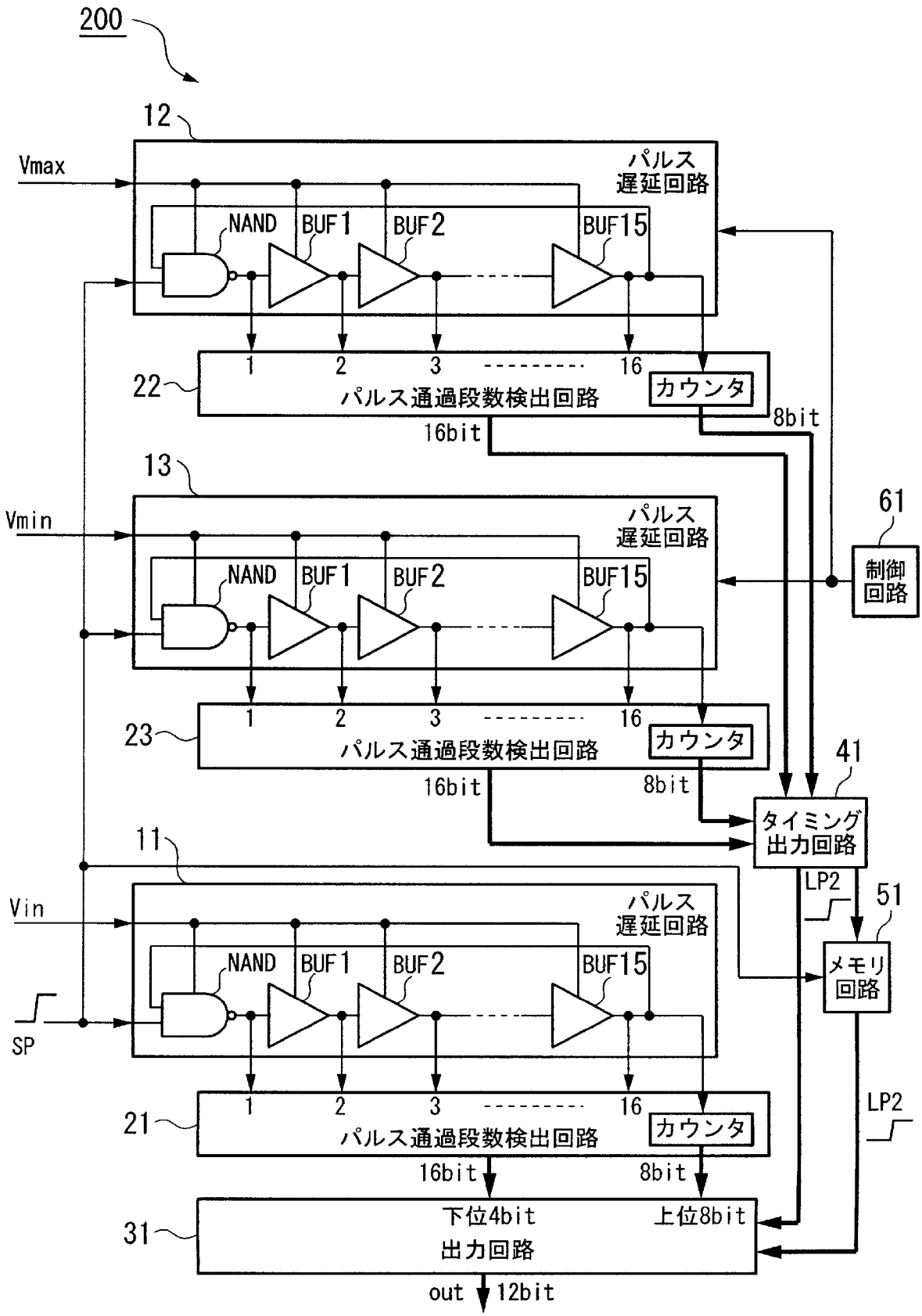
[図1]


100
12
Vmax
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
1
2
3
16
22
パルス通過段数検出回路
カウンタ
8bit
16bit
13
Vmin
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
1
2
3
16
23
パルス通過段数検出回路
カウンタ
41
16bit
8bit
タイミング
出力回路
11
Vin
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
SP
LP2
1
2
3
16
21
パルス通過段数検出回路
カウンタ
16bit
8bit
31
下位4bit
上位8bit
出力回路
out
12bit

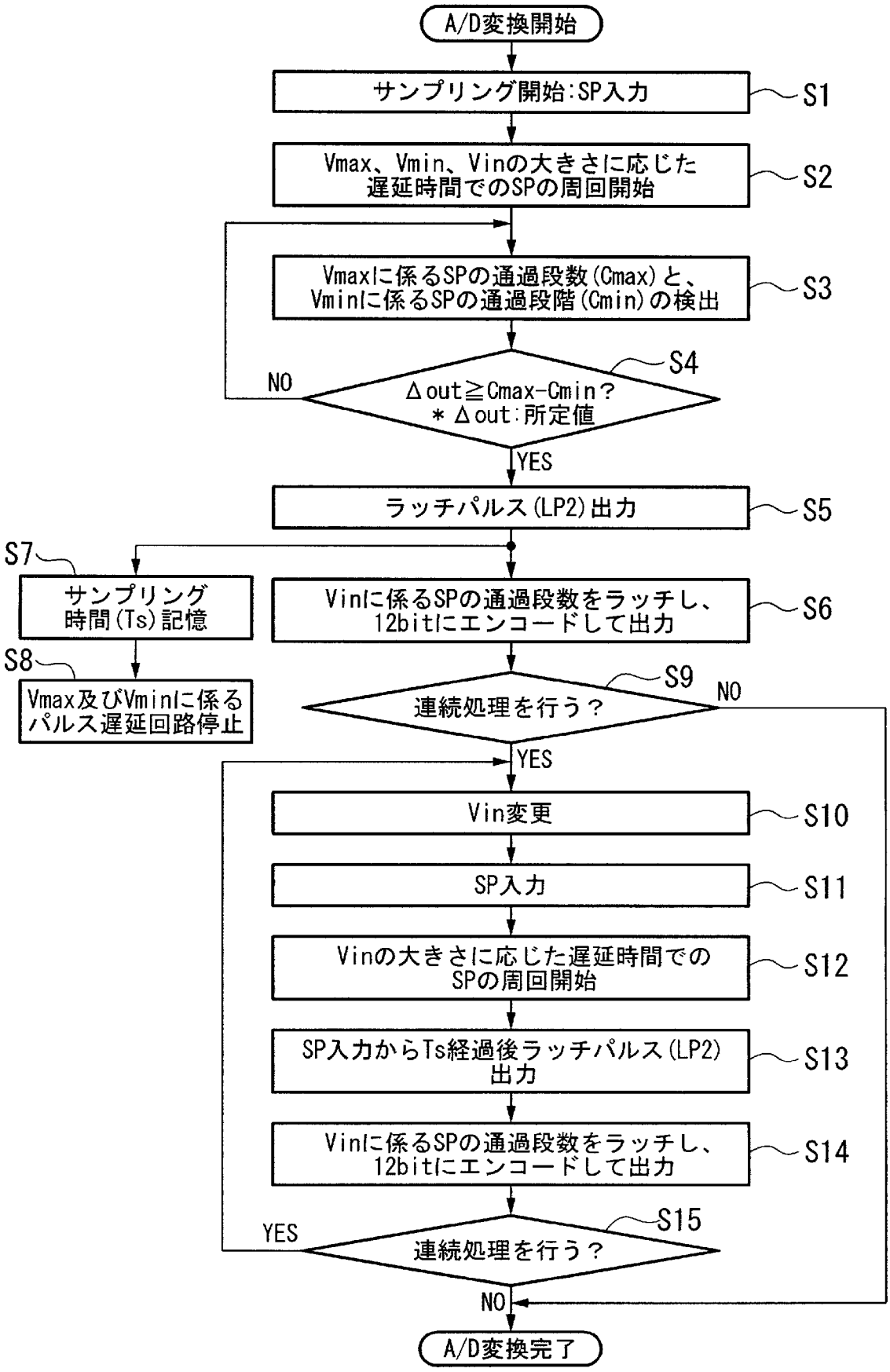
[図2]


A/D変換開始
サンプリング開始:SP入力
S1
Vmax、Vmin、Vinの大きさに応じた
遅延時間でのSPの周回開始
S2
Vmaxに係るSPの通過段数(Cmax)と、
Vminに係るSPの通過段階(Cmin)の検出
S3
S4
NO
Δout≧Cmax-Cmin？
＊Δout:所定値
YES
ラッチパルス(LP2)出力
S5
Vinに係るSPの通過段数をラッチし、
12bitにエンコードして出力
S6
A/D変換完了

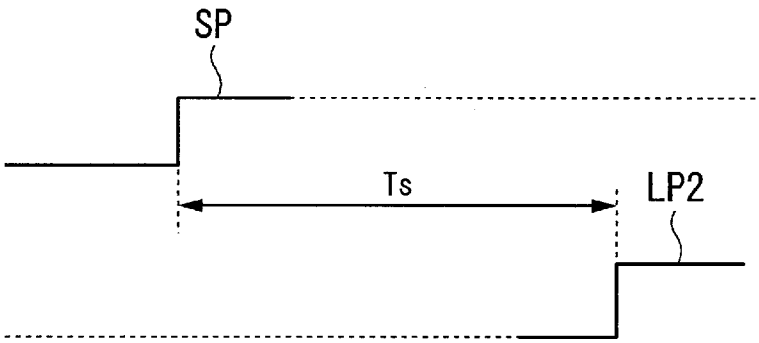
[図3]


200
12
Vmax
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
1
2
3
16
22
パルス通過段数検出回路
カウンタ
8bit
16bit
13
Vmin
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
61
制御
回路
1
2
3
16
23
パルス通過段数検出回路
カウンタ
16bit
8bit
41
タイミング
出力回路
11
Vin
パルス
遅延回路
NAND
BUF1
BUF2
BUF15
LP2
51
メモリ
回路
SP
1
2
3
16
21
パルス通過段数検出回路
カウンタ
16bit
8bit
LP2
31
下位4bit
上位8bit
出力回路
out
12bit

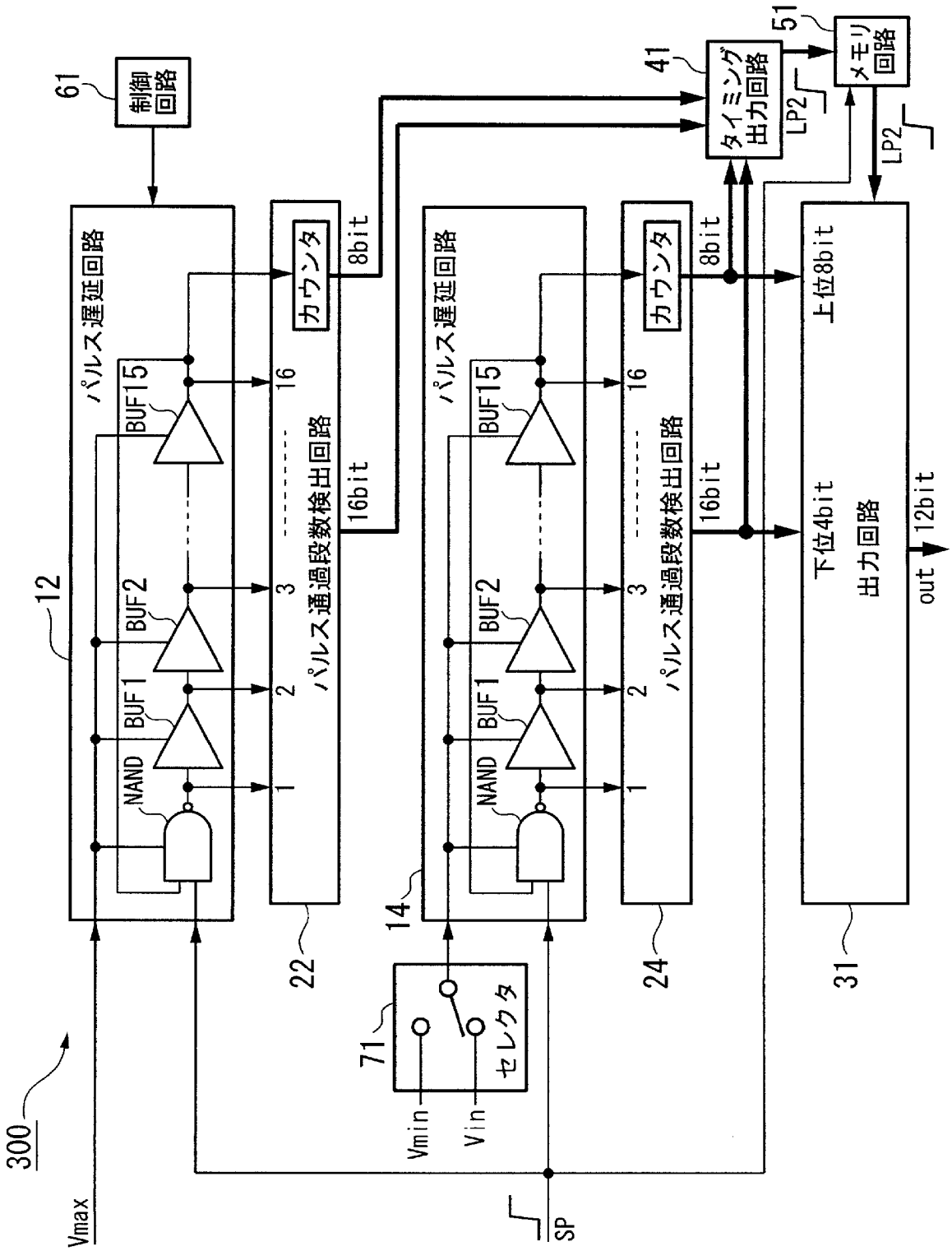
[図4]


A/D変換開始
サンプリング開始:SP入力
S1
Vmax、Vmin、Vinの大きさに応じた遅延時間でのSPの周回開始
S2
Vmaxに係るSPの通過段数(Cmax)と、Vminに係るSPの通過段階(Cmin)の検出
S3
Δout≧Cmax-Cmin?
＊Δout:所定値
S4
NO
YES
ラッチパルス(LP2)出力
S5
S7
サンプリング時間(Ts)記憶
S8
Vmax及びVminに係るパルス遅延回路停止
Vinに係るSPの通過段数をラッチし、12bitにエンコードして出力
S6
連続処理を行う?
S9
NO
YES
Vin変更
S10
SP入力
S11
Vinの大きさに応じた遅延時間でのSPの周回開始
S12
SP入力からTs経過後ラッチパルス(LP2)出力
S13
Vinに係るSPの通過段数をラッチし、12bitにエンコードして出力
S14
連続処理を行う?
S15
YES
NO
A/D変換完了

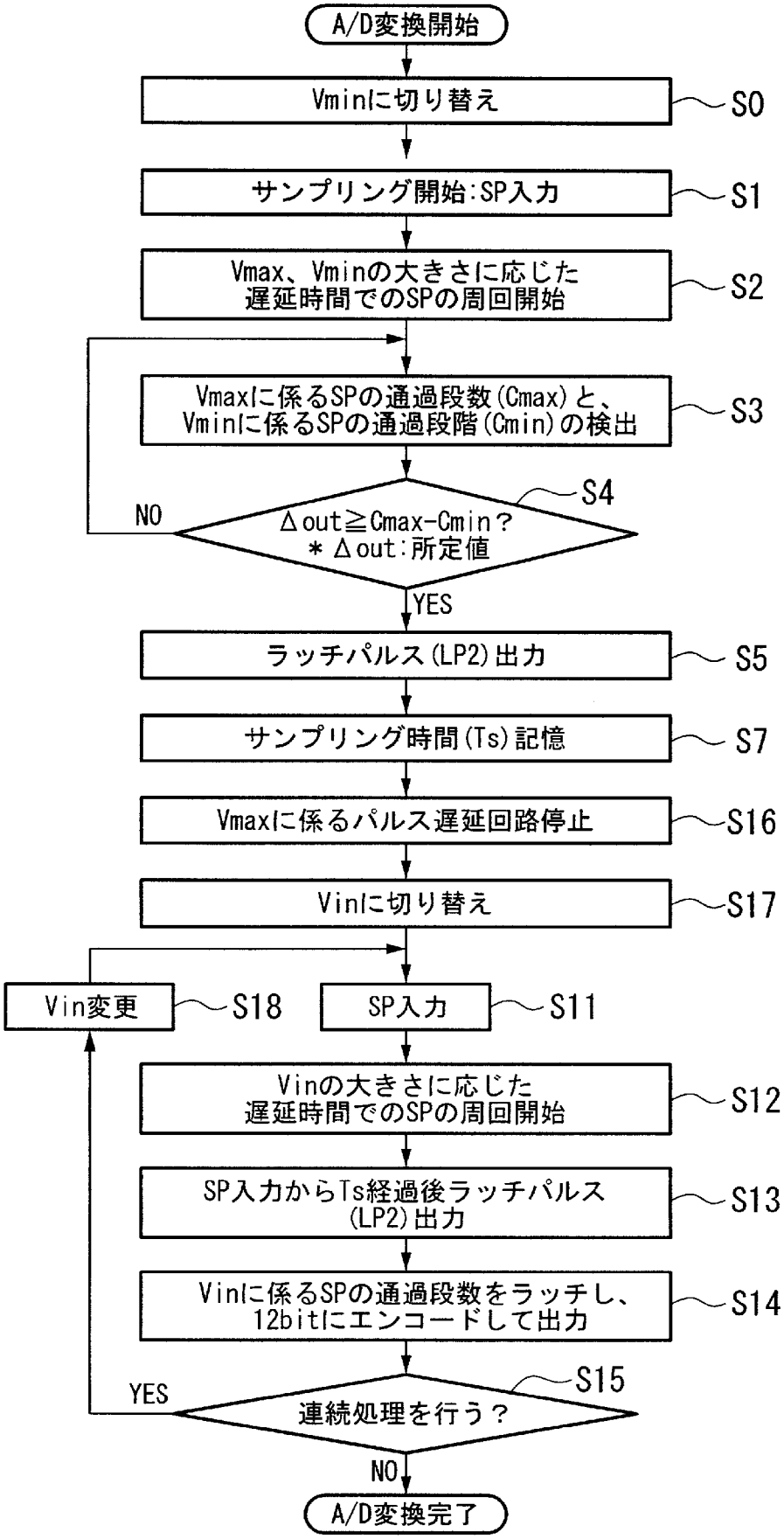
[図5]



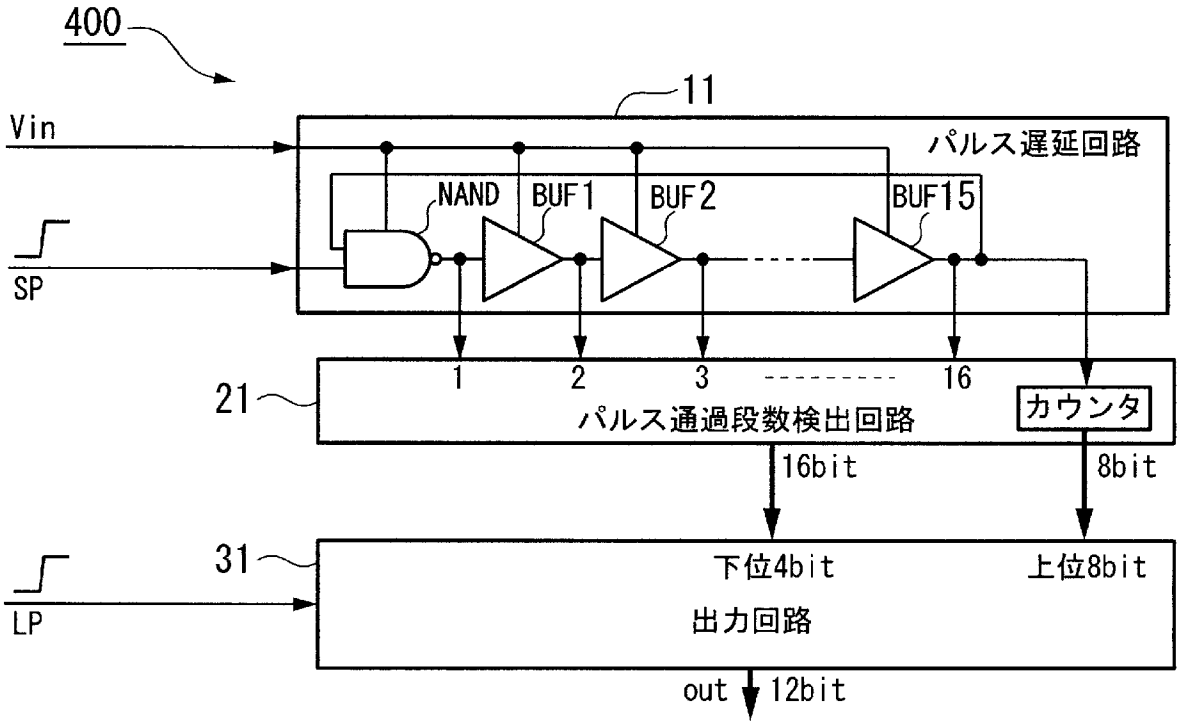
[図6]


61
制御回路
41
タイミング出力回路
51
メモリ回路
LP2
LP2
パルス遅延回路
BUF15
BUF2
BUF1
NAND
12
16
3
2
1
パルス通過段数検出回路
カウンタ
8bit
16bit
22
14
24
31
上位8bit
下位4bit
出力回路
out
12bit
71
セレクタ
Vmin
Vin
300
Vmax
SP

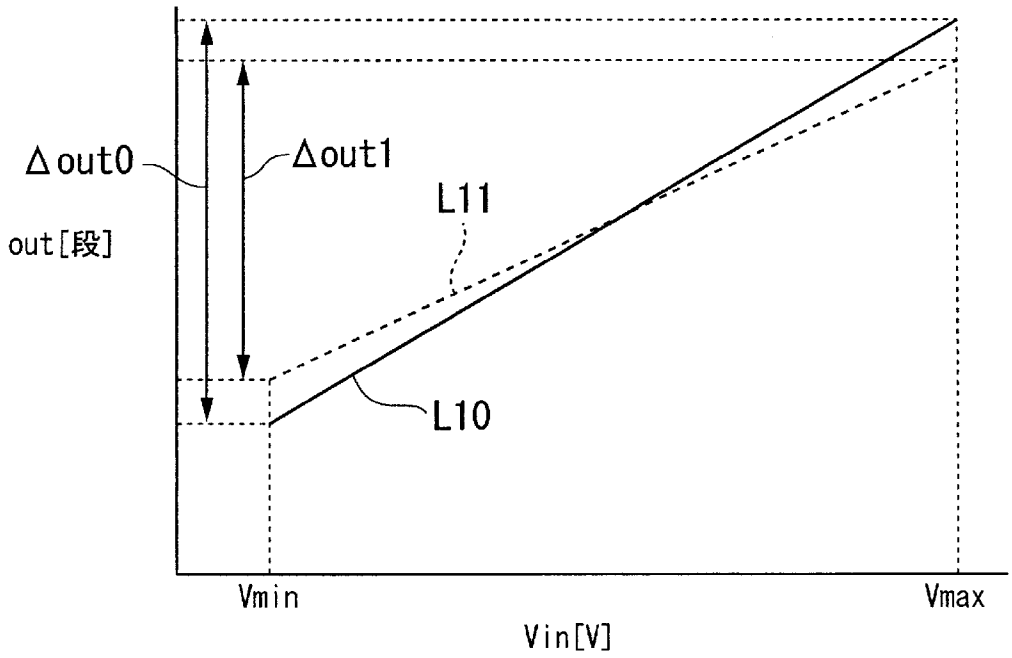
[図7]


A/D変換開始
Vminに切り替え
S0
サンプリング開始:SP入力
S1
Vmax、Vminの大きさに応じた
遅延時間でのSPの周回開始
S2
Vmaxに係るSPの通過段数(Cmax)と、
Vminに係るSPの通過段階(Cmin)の検出
S3
S4
NO
Δout≧Cmax-Cmin？
＊Δout:所定値
YES
ラッチパルス(LP2)出力
S5
サンプリング時間(Ts)記憶
S7
Vmaxに係るパルス遅延回路停止
S16
Vinに切り替え
S17
Vin変更
S18
SP入力
S11
Vinの大きさに応じた
遅延時間でのSPの周回開始
S12
SP入力からTs経過後ラッチパルス
(LP2)出力
S13
Vinに係るSPの通過段数をラッチし、
12bitにエンコードして出力
S14
S15
YES
連続処理を行う？
NO
A/D変換完了

[図8]


400
11
Vin
パルス遅延回路
NAND
BUF1
BUF2
BUF15
SP
1
2
3
16
21
パルス通過段数検出回路
カウンタ
16bit
8bit
31
下位4bit
上位8bit
LP
出力回路
out
12bit

[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/002557

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/50(2006.01)i, *H03M1/10*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-279839 A (Denso Corp.), 12 October 2006 (12.10.2006), front page & US 2006/0232456 A1 & DE 102006014042 A1	1-4
A	JP 2004-274157 A (Denso Corp. et al.), 30 September 2004 (30.09.2004), paragraphs [0077] to [0111]; fig. 1 to 4 & US 2004/0177102 A1 & DE 102004010906 A1	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 April, 2010 (22.04.10)	11 May, 2010 (11.05.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／００２５５７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/50(2006.01)i, H03M1/10(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2006-279839 A (株式会社デンソー) 2006.10.12, フロントページ & US 2006/0232456 A1 & DE 102006014042 A1	1-4
A	JP 2004-274157 A (株式会社デンソー（他１名）) 2004.09.30, 段落 77-111, 第1-4図 & US 2004/0177102 A1 & DE 102004010906 A1	1-4

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．０４．２０１０	１１．０５．２０１０

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　９５６１
柳下　勝幸
電話番号　０３－３５８１－１１０１　内線　３５９６