

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月3日(03.03.2022)



(10) 国際公開番号

WO 2022/044749 A1

(51) 国際特許分類:

G06F 30/3308 (2020.01)

(21) 国際出願番号: PCT/JP2021/029021

(22) 国際出願日: 2021年8月4日(04.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-146418 2020年8月31日(31.08.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 高橋 治子 (TAKAHASHI, Haruko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 黒田 真実(KURODA,

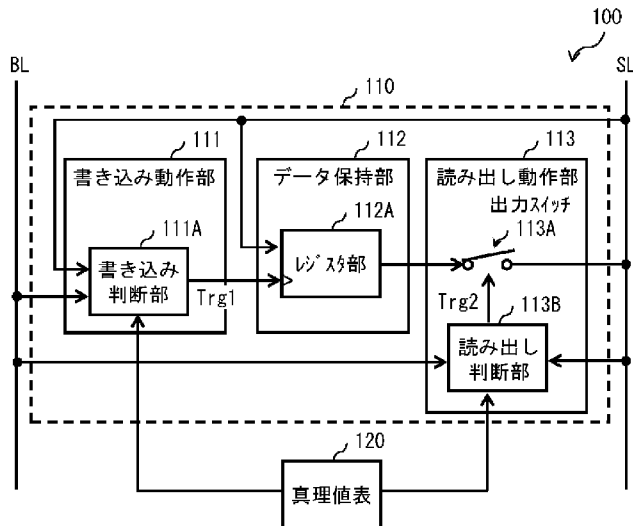
Masami); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 相澤 みどり (AIZAWA, Midori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: LOGIC SIMULATION DEVICE AND LOGIC SIMULATION PROGRAM

(54) 発明の名称: 論理シミュレーション装置および論理シミュレーションプログラム



- 111 Write operation section
- 111A Write determination section
- 112 Data holding section
- 112A Register section
- 113 Read operation section
- 113A Output switch
- 113B Read determination section
- 120 Truth table

(57) Abstract: A logic simulation device according to one aspect of the present disclosure includes an operation model of a resistive random-access memory element installed between two terminals. The operation model includes: a register section for holding data; a truth table; and a determination section. In the truth table, the relationships between signal values at the two terminals and data write to the register section and data read from the register section are defined. The determination section makes a determination about data write and data read, on the basis of the signal values input to the two terminals and the truth table.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の一側面に係る論理シミュレーション装置は、2つの端子の間に設けられた抵抗変化型メモリ素子の動作モデルを備えている。動作モデルは、データを保持するためのレジスタ部と、真理値表と、判断部とを有している。真理値表では、2つの端子の信号値と、レジスタ部へのデータ書き込みおよびレジスタ部からのデータ読み出しとの関係が規定されている。判断部は、2つの端子へ入力された信号値と、真理値表とに基づいて、データ書き込みおよびデータ読み出しについての判断を行う。

明 細 書

発明の名称：

論理シミュレーション装置および論理シミュレーションプログラム

技術分野

[0001] 本開示は、論理シミュレーション装置および論理シミュレーションプログラムに関する。

背景技術

[0002] 複数の抵抗変化型メモリ素子を含むメモリ回路を設計する際には、指定されたアドレスの抵抗変化型メモリ素子への正しいアクセスを検証するために、メモリ回路をモデル化したシミュレーションが行われる（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-243149号公報

発明の概要

[0004] ところで、論理シミュレーション装置では、抵抗変化型メモリ素子を抵抗の論理素子で表現した場合、抵抗変化型メモリ素子の信号レベルを0と1の2状態でしか表現できない。そのため、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することができないという問題があった。従って、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することの可能な論理シミュレーション装置および論理シミュレーションプログラムを提供することが望ましい。

[0005] 本開示の一側面に係る論理シミュレーション装置は、2つの端子の間に設けられた抵抗変化型メモリ素子の動作モデルを備えている。この動作モデルは、データを保持するためのレジスタ部と、真理値表と、判断部とを有している。真理値表では、2つの端子の信号値と、レジスタ部へのデータ書き込

みおよびレジスタ部からのデータ読み出しとの関係が規定されている。判断部は、2つの端子へ入力された信号値と、真理値表とに基づいて、データ書き込みおよびデータ読み出しについての判断を行う。

[0006] 本開示の一側面に係る論理シミュレーションプログラムは、2つの端子の間に設けられた抵抗変化型メモリ素子の論理シミュレーションプログラムであって、2つの端子の信号値と、データを保持するためのレジスタ部へのデータ書き込みおよびレジスタ部からのデータ読み出しとの関係について規定された真理値表と、2つの端子へ入力された信号値とに基づいて、データ書き込みおよびデータ読み出しについての判断を行うことをコンピュータに実行させる。

[0007] 本開示の一側面に係る論理シミュレーション装置および論理シミュレーションプログラムでは、2つの端子へ入力された信号値と、真理値表とに基づいて、データ書き込みおよびデータ読み出しについての判断が行われる。これにより、例えば、抵抗変化型メモリ素子の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。

図面の簡単な説明

[0008] [図1]本開示の第1の実施の形態に係る動作モデルの機能ブロックの一例を表す図である。

[図2]図1の動作モデルにおける真理値表の一例を表す図である。

[図3]図1の動作モデルにおける信号波形の一例を表す図である。

[図4]図1の動作モデルにおける動作の一例を表す図である。

[図5]図1の動作モデルの機能ブロックの一変形例を表す図である。

[図6]図5の動作モデルにおける信号波形の一例を表す図である。

[図7]図1の動作モデルの機能ブロックの一変形例を表す図である。

[図8]図7の動作モデルにおける真理値表の一例を表す図である。

[図9]本開示の第2の実施の形態に係る動作モデルの機能ブロックの一例を表す図である。

[図10]図9の動作モデルにおける真理値表の一例を表す図である。

[図11]図9の動作モデルにおける動作の一例を表す図である。

[図12]図9の動作モデルにおける動作の一変形例を表す図である。

[図13]図9の動作モデルにおける動作の一変形例を表す図である。

[図14]図9の動作モデルの機能ブロックの一変形例を表す図である。

[図15]図9の動作モデルの機能ブロックの一変形例を表す図である。

[図16]図9の動作モデルの機能ブロックの一変形例を表す図である。

[図17]図9の動作モデルの機能ブロックの一変形例を表す図である。

[図18]図17の動作モデルにおける真理値表の一例を表す図である。

[図19]図1、図5、図7、図9、図14、図15、図16、図17の動作モデルを備えた情報処理システムの概略構成例を表す図である。

[図20]図19のメモリセルアレイユニットの機能ブロックの一例を表す図である。

発明を実施するための形態

[0009] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

1. 第1の実施の形態（動作モデル）

B LとS Lとの間に抵抗変化型メモリ素子を設けた例…図1～図4

2. 第1の実施の形態の変形例（動作モデル）

変形例A：データ保持部に選択部を設けた例…図5，図6

変形例B：B LとS Lを逆にした例…図7，図8

3. 第2の実施の形態（動作モデル）

W Lを更に設けた例…図9～図11

4. 第2の実施の形態の変形例（動作モデル）

変形例C：書き込み・読出しに待ち時間を設けた例…図12

変形例D：Weakで出力する例…図13

変形例E：複数の抵抗変化素子を設けた例…図14～図16

変形例 F : B L と S L を逆にした例…図 1 7, 図 1 8

5. 適用例 (情報処理システム)

上記動作モデルを情報処理システムに適用した例…図 1 9, 図 2 0

[0010] < 1. 第 1 の実施の形態 >

[構成]

図 1 は、本開示の第 1 の実施の形態に係る動作モデル 1 0 0 の機能ブロックの一例を表したものである。動作モデル 1 0 0 が、本開示の「論理シミュレーション装置」の一部の一具体例もしくは「論理シミュレーションプログラム」の一部の一具体例に相当する。動作モデル 1 0 0 は、2 つの端子 (ビット線 B L およびソース線 S L) の間に設けられる。動作モデル 1 0 0 は、抵抗変化型メモリ素子が論理素子で表現されたモデルである。動作モデル 1 0 0 は、例えば、図 1 に示したように、抵抗変化型メモリ素子 1 1 0 と、真理値表 1 2 0 とを備える。

[0011] 動作モデル 1 0 0 が本開示の「論理シミュレーション装置」の一部の一具体例に相当する場合、抵抗変化型メモリ素子 1 1 0 は、抵抗変化型メモリ素子 1 1 0 の機能を実現するハードウェアによって構成され、真理値表 1 2 0 は、例えば、D R A M (Dynamic Random Access Memory) などの揮発性メモリ、または、E E P R O M (Electrically Erasable Programmable Read-Only Memory) やフラッシュメモリなどの不揮発性メモリに格納される。動作モデル 1 0 0 が本開示の「論理シミュレーションプログラム」の一部の一具体例に相当する場合、動作モデル 1 0 0 は、例えば、D R A M などの揮発性メモリ、または、E E P R O M やフラッシュメモリなどの不揮発性メモリに格納され、C P U (Central Processing Unit) に動作モデル 1 0 0 がロードされることにより、C P U が動作モデル 1 0 0 の機能を実現する。

[0012] 抵抗変化型メモリ素子 1 1 0 は、ビット線 B L およびソース線 S L の間に設けられる。抵抗変化型メモリ素子 1 1 0 は、例えば、書き込み動作部 1 1 1、データ保持部 1 1 2 および読み出し動作部 1 1 3 を有する。

[0013] 書き込み動作部 1 1 1 は、データ保持部 1 1 2 へのデータ書き込みを制御

する。書き込み動作部 111 は、例えば、図 1 に示したように、書き込み判断部 111 A を含んで構成される。書き込み判断部 111 A には、ビット線 BL およびソース線 SL が接続される。書き込み判断部 111 A は、ビット線 BL およびソース線 SL へ入力された信号値と、真理値表 120 とに基づいて、データ保持部 112（後述のレジスタ部 112 A）へのデータ書き込みについての判断を行う。書き込み判断部 111 A は、ビット線 BL およびソース線 SL へ入力されたデータと、真理値表 120 とに基づいて、データ保持部 112（レジスタ部 112 A）へのデータ書き込みであると判断したとき、ソース線 SL へ入力された信号値をデータ保持部 112（レジスタ部 112 A）へ書き込むための制御信号 $Trg1$ をデータ保持部 112（レジスタ部 112 A）へ出力する。

[0014] 図 2 は、真理値表 120 の一具体例を表したものである。真理値表 120 は、ビット線 BL およびソース線 SL の信号値と、レジスタ部 112 A へのデータ書き込みおよびレジスタ部 112 A からのデータ読み出しとの関係について規定されたデータである。真理値表 120 には、例えば、図 2 に示したように、「1 write」動作、「0 write」動作および「read」動作の 3 種類の動作モードが規定される。

[0015] 「1 write」動作には、ソース線 SL の信号値が「1」となっており、ビット線 BL の信号値が「0」となっているとき、レジスタ部 112 A にレジスタ値として「1」を書き込むことが規定される。「1 write」動作が実行されたとき、抵抗変化型メモリ素子 110 からソース線 SL に「H i - z」（ハイインピーダンスに相当する値）が出力される。

[0016] 「0 write」動作には、ソース線 SL の信号値が「0」となっており、ビット線 BL の信号値が「1」となっているとき、レジスタ部 112 A にレジスタ値として「0」を書き込むことが規定される。「0 write」動作が実行されたとき、抵抗変化型メモリ素子 110 からソース線 SL に「H i - z」が出力される。

[0017] 「read」動作には、ソース線 SL の信号値が「H i - z」となってお

り、ビット線BLの信号値が「0」となっているとき、レジスタ部112Aからレジスタ値として「1」または「0」を読み出すことが規定される。「read」動作が実行されたとき、抵抗変化型メモリ素子110からソース線SLにレジスタ値（「1」または「0」）が読み出される。

[0018] 書き込み判断部111Aは、ビット線BLおよびソース線SLへ入力されたデータ（信号値）が真理値表120に規定された複数の動作モードのいずれに該当するかを判断する。書き込み判断部111Aは、その結果、該当した動作モードに応じた制御をデータ保持部112（レジスタ部112A）に対して行う。書き込み判断部111Aは、例えば、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっているとき、「1write」動作が指定されたと判断し、レジスタ部112Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「1」）を書き込むための制御信号Trg1をレジスタ部112Aに出力する。書き込み判断部111Aは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっているとき、「0write」動作が指定されたと判断し、レジスタ部112Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「0」）を書き込むための制御信号Trg1をレジスタ部112Aに出力する。書き込み判断部111Aは、例えば、ソース線SLの信号値が「Hi-z」となっており、ビット線BLの信号値が「0」となっているとき、「read」動作が指定されたと判断し、制御信号Trg1をレジスタ部112Aに出力せず、例えば、レジスタ部112Aにおいて制御信号Trg1の検出に用いられる閾値よりも低い定電圧を出力する。

[0019] データ保持部112は、書き込み判断部111Aによる制御に従って、ソース線SLの信号値を保持する。データ保持部112は、例えば、図1に示したように、レジスタ部112Aを含んで構成される。レジスタ部112Aには、ソース線SLが接続される。レジスタ部112Aは、書き込み判断部111Aから入力される制御信号Trg1をトリガとして、ソース線SLの

信号値を受け取り、レジスタ値として記憶する。レジスタ部 112 Aは、「1 w r i t e」動作、または、「O w r i t e」動作のとき、読み出し動作部 113 に対して、「H i - z」を出力する。レジスタ部 112 Aは、「r e a d」動作のとき、読み出し動作部 113 に対して、レジスタ値を出力する。

[0020] 読み出し動作部 113 は、例えば、図 1 に示したように、出力スイッチ 113 A および読み出し判断部 113 B を含んで構成される。出力スイッチ 113 A は、レジスタ部 112 A の出力端とソース線 S L とに接続され、読み出し判断部 113 B からの制御信号 T r g 2 に応じて、レジスタ部 112 A の出力端とソース線 S L との継断を行う。

[0021] 読み出し判断部 113 B は、ソース線 S L へのデータ読み出しを制御する。読み出し判断部 113 B には、ビット線 B L およびソース線 S L が接続される。読み出し判断部 113 B は、ビット線 B L およびソース線 S L へ入力された信号値と、真理値表 120 とに基づいて、レジスタ部 112 A からソース線 S L へのデータ読み出しについての判断を行う。読み出し判断部 113 B は、ビット線 B L およびソース線 S L へ入力されたデータと、真理値表 120 とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部 112 A からソース線 S L へレジスタ値を読み出すための制御信号 T r g 2 を出力スイッチ 113 A へ出力する。出力スイッチ 113 A は、読み出し判断部 113 B から、レジスタ値を読み出すための制御信号 T r g 2 が入力されると、レジスタ部 112 A の出力端とソース線 S L とを接続する。

[0022] 読み出し判断部 113 B は、ビット線 B L およびソース線 S L へ入力されたデータ（信号値）が真理値表 120 に規定された複数の動作モードのいずれに該当するかを判断する。読み出し判断部 113 B は、その結果、該当した動作モードに応じた制御を出力スイッチ 113 A に対して行う。

[0023] 読み出し判断部 113 B は、例えば、ソース線 S L の信号値が「1」となっており、ビット線 B L の信号値が「0」となっているとき、「1 w r i t e」動作であると判断し、出力スイッチ 113 A をオフするための制御信号

T r g 2 を出力スイッチ 1 1 3 A に出力する。このとき、出力スイッチ 1 1 3 A はオフとなるので、レジスタ部 1 1 2 A の出力端（抵抗変化型メモリ素子 1 1 0 の出力端）は、ソース線 S L に対してオープンとなる。

[0024] 読み出し判断部 1 1 3 B は、例えば、ソース線 S L の信号値が「0」となっており、ビット線 B L の信号値が「1」となっているとき、「O w r i t e」動作であると判断し、出力スイッチ 1 1 3 A をオフするための制御信号 T r g 2 を出力スイッチ 1 1 3 A に出力する。このとき、出力スイッチ 1 1 3 A はオフとなるので、レジスタ部 1 1 2 A の出力端（抵抗変化型メモリ素子 1 1 0 の出力端）は、ソース線 S L に対してオープンとなる。

[0025] 読み出し判断部 1 1 3 B は、例えば、ソース線 S L の信号値が「H i - z」となっており、ビット線 B L の信号値が「0」となっているとき、「r e a d」動作であると判断し、出力スイッチ 1 1 3 A をオンするための制御信号 T r g 2 を出力スイッチ 1 1 3 A に出力する。このとき、出力スイッチ 1 1 3 A はオンとなるので、レジスタ部 1 1 2 A の出力端（抵抗変化型メモリ素子 1 1 0 の出力端）は、ソース線 S L に接続される。その結果、ソース線 S L には、レジスタ部 1 1 2 A に保持されているレジスタ値（「1」または「0」）が読み出される。

[0026] 図 3 は、動作モデル 1 0 0 における信号波形の一例を表したものである。ソース線 S L の信号値が「0」→「1」→「0」→「1」と周期的に変化し、ビット線 B L の信号値が「0」→「1」→「0」→「1」と、ソース線 S L の信号値の周期に対して半周期ずれて変化しているとする。例えば、ビット線 B L の信号値が「0」のとき、ソース線 S L の信号値が「0」から「1」に変化したタイミング（t 1）で、「1 w r i t e」が書き込み判断部 1 1 1 A によって検出される。このとき、ソース線 S L の信号値（＝「1」）がレジスタ部 1 1 2 A に書き込まれる。例えば、ビット線 B L の信号値が「1」のとき、ソース線 S L の信号値が「1」から「0」に変化したタイミング（t 2）で、「O w r i t e」が書き込み判断部 1 1 1 A によって検出される。このとき、ソース線 S L の信号値（＝「0」）がレジスタ部 1 1 2 A

に書き込まれる。

[0027] 例えば、ソース線SLの信号値が「0」のとき、ビット線BLの信号値が「0」から「1」に変化したタイミング(t3)で、「0write」が書き込み判断部111Aによって検出される。このとき、ソース線SLの信号値(=「0」)がレジスタ部112Aに書き込まれる。例えば、ソース線SLの信号値が「1」のとき、ビット線BLの信号値が「1」から「0」に変化したタイミング(t4)で、「1write」が書き込み判断部111Aによって検出される。このとき、ソース線SLの信号値(=「1」)がレジスタ部112Aに書き込まれる。

[0028] 図4は、動作モデル100における動作の一例を表したものである。動作モデル100は、ソース線SLの信号値とビット線BLの信号値との排他的論理和が「1」か否か判断する(ステップS101)。その結果、上記の排他的論理和が「1」のとき、動作モデル100は出力スイッチ113Aを開く(ステップS102)。このとき、動作モデル100は、ソース線SLの信号値をレジスタ部112Aに書き込む(ステップS103)。一方、上記の排他的論理和が1ではないとき、動作モデル100は出力スイッチ113Aを閉じる(ステップS104)。続いて、動作モデル100は、ソース線SLの信号値が「Hi-z」であって、かつ、ビット線BLの信号値が「0」であるか否か判断する(ステップS105)。その結果、ソース線SLの信号値が「Hi-z」ではないか、または、ビット線BLの信号値が「0」ではないときには、動作モデル100は動作を終了する。一方、ソース線SLの信号値が「Hi-z」であって、かつ、ビット線BLの信号値が「0」であるとき、動作モデル100は、レジスタ部112Aの値(レジスタ値)をソース線SLに読み出し(ステップS106)、動作を終了する。

[0029] [効果]

次に、動作モデル100の効果について説明する。

[0030] 複数の抵抗変化型メモリ素子を含むメモリ回路を設計する際には、指定されたアドレスの抵抗変化型メモリ素子への正しいアクセスを検証するために

、メモリ回路をモデル化したシミュレーションが行われる。ところで、論理シミュレーション装置では、抵抗変化型メモリ素子を抵抗の論理素子で表現した場合、抵抗変化型メモリ素子の信号レベルを「0」と「1」の2状態でしか表現できない。そのため、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することができないという問題があった。

[0031] 一方、本実施の形態では、ビット線BLおよびソース線SLへ入力された信号値と、真理値表120とに基づいて、データ書き込みおよびデータ読み出しについての判断が行われる。これにより、例えば、抵抗変化型メモリ素子110の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することが可能となる。

[0032] また、本実施の形態では、ビット線BLおよびソース線SLへ入力された信号値と、真理値表120とに基づいて、データ書き込みが指定されたと判断したとき、ソース線SLへ入力された信号値がレジスタ値としてレジスタ部112Aへ書き込まれる。これにより、例えば、抵抗変化型メモリ素子110の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子へのデータ書き込みを再現することが可能となる。

[0033] また、本実施の形態では、ビット線BLおよびソース線SLへ入力された信号値と、真理値表120とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部112Aに保持されたレジスタ値がソース線SLへ出力される。これにより、例えば、抵抗変化型メモリ素子110の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子からのデータ読み出しを再現することが可能となる。

[0034] <2. 第1の実施の形態に係る変形例>

〔変形例 A〕

上記実施の形態において、例えば、図 5 に示したように、選択部 112B がデータ保持部 112 に設けられてもよい。選択部 112B は、レジスタ部 112A へ入力する信号値を制御する。選択部 112B には、ソース線 SL と、レジスタ部 112A の出力端とが接続される。選択部 112B は、ソース線 SL の信号値と、レジスタ部 112A の出力値とに基づいて、レジスタ部 112A へ入力する信号値を制御する。選択部 112B は、書き込み判断部 111A から入力される制御信号 $Trg1$ によって、ソース線 SL の信号値と、レジスタ部 112A の出力値のどちらかをレジスタ部 112A へ入力する信号値として制御する。例えば、制御信号 $Trg1$ によってソース線 SL が選択された場合、選択部 112B は、ソース線 SL の信号値をレジスタ部 112A へ入力する（書き込む）。例えば、レジスタ部 112A の出力値が選択された場合、選択部 112B は、レジスタ部 112A の出力の信号値をレジスタ部 112A へ入力する（書き込む）。

[0035] 選択部 112B は、例えば、書き込み判断部 111A から入力される制御信号 $Trg1$ をトリガとして、ソース線 SL の信号値と、レジスタ部 112A の出力値とを受け取り、受け取った 2 つの値に基づいて、レジスタ部 112A へ入力する信号値を制御する。例えば、ソース線 SL の信号値と、レジスタ部 112A の出力値とが互いに異なる場合、選択部 112B は、ソース線 SL の信号値をレジスタ部 112A へ入力する（書き込む）。例えば、ソース線 SL の信号値と、レジスタ部 112A の出力値とが互いに等しい場合、選択部 112B は、レジスタ部 112A への入力（書き込み）を行わない。これにより、レジスタ部 112A への書き込みが省略される。

[0036] 本変形例では、書き込み判断部 111A は、データ書き込みについての判断だけでなく、ソース線 SL およびビット線 BL のいずれか一方の信号値に変化があるか否かの判断も行う。書き込み判断部 111A は、ソース線 SL およびビット線 BL のいずれか一方の信号値に変化があると判断したとき、レジスタ部 112A へのデータ書き込みを制御するための制御信号 $Trg3$

をレジスタ部 112A へ出力する。

[0037] 図6は、本変形例に係る動作モデル100における信号波形の一例を表したものである。ソース線SLの信号値が「0」→「1」→「0」→「1」と周期的に変化し、ビット線BLの信号値が「0」→「1」→「0」→「1」と、ソース線SLの信号値の周期に対して半周期ずれて変化しているとする。例えば、ビット線BLの信号値が「0」のとき、ソース線SLの信号値が「0」から「1」に変化したタイミング(t1)で、「1write」が書き込み判断部111Aによって検出される。このとき、制御信号Trg1が書き込み判断部111Aから選択部112Bに出力され、制御信号Trg3が書き込み判断部111Aからレジスタ部112Aに出力される。その結果、ソース線SLの信号値が選択部112Bからレジスタ部112Aに出力され、ソース線SLの信号値がレジスタ部112Aに書き込まれる。

[0038] 例えば、ビット線BLの信号値が「1」のとき、ソース線SLの信号値が「1」から「0」に変化したタイミング(t2)で、「0write」が書き込み判断部111Aによって検出される。このとき、制御信号Trg1が書き込み判断部111Aから選択部112Bに出力され、制御信号Trg3が書き込み判断部111Aからレジスタ部112Aに出力される。その結果、ソース線SLの信号値が選択部112Bからレジスタ部112Aに出力され、ソース線SLの信号値がレジスタ部112Aに書き込まれる。

[0039] 例えば、ソース線SLの信号値が「0」のとき、ビット線BLの信号値が「0」から「1」に変化したタイミング(t3)で、「0write」が書き込み判断部111Aによって検出される。このとき、制御信号Trg1が書き込み判断部111Aから選択部112Bに出力され、制御信号Trg3が書き込み判断部111Aからレジスタ部112Aに出力される。その結果、ソース線SLの信号値が選択部112Bからレジスタ部112Aに出力され、ソース線SLの信号値がレジスタ部112Aに書き込まれる。

[0040] 例えば、ソース線SLの信号値が「1」のとき、ビット線BLの信号値が「1」から「0」に変化したタイミング(t4)で、「1write」が書

き込み判断部 111A によって検出される。このとき、制御信号 $Trg1$ が書き込み判断部 111A から選択部 112B に出力され、制御信号 $Trg3$ が書き込み判断部 111A からレジスタ部 112A に出力される。その結果、ソース線 SL の信号値が選択部 112B からレジスタ部 112A に出力され、ソース線 SL の信号値がレジスタ部 112A に書き込まれる。

[0041] このように、本変形例では、上記実施の形態と同様の書き込み制御がなされる。従って、本変形例では、上記実施の形態と同様の効果が得られる。

[0042] [変形例 B]

上記実施の形態およびその変形例において、ソース線 SL とビット線 BL とが逆になっていてもよい。例えば、図 7 に示したように、上記実施の形態において、ソース線 SL とビット線 BL とが逆になっていてもよい。このとき、真理値表 120 の代わりに、真理値表 121 が設けられる。

[0043] 図 8 は、真理値表 121 の一具体例を表したものである。真理値表 121 は、ビット線 BL およびソース線 SL の信号値と、レジスタ部 112A へのデータ書き込みおよびレジスタ部 112A からのデータ読み出しとの関係について規定されたデータである。真理値表 121 には、例えば、図 8 に示したように、「1 write」動作、「0 write」動作および「read」動作の 3 種類の動作モードが規定される。

[0044] 「1 write」動作には、ソース線 SL の信号値が「1」となっており、ビット線 BL の信号値が「0」となっているとき、レジスタ部 112A にレジスタ値として「1」を書き込むことが規定される。「1 write」動作が実行されたとき、抵抗変化型メモリ素子 110 からビット線 BL に「H i - z」が出力される。

[0045] 「0 write」動作には、ソース線 SL の信号値が「0」となっており、ビット線 BL の信号値が「1」となっているとき、レジスタ部 112A にレジスタ値として「0」を書き込むことが規定される。「0 write」動作が実行されたとき、抵抗変化型メモリ素子 110 からビット線 BL に「H i - z」が出力される。

[0046] 「read」動作には、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「Hi-z」となっているとき、レジスタ部112Aからレジスタ値として「1」または「0」を読み出すことが規定される。「read」動作が実行されたとき、抵抗変化型メモリ素子110からビット線BLにレジスタ値（「1」または「0」）が読み出される。

[0047] 本変形例では、書き込み判断部111Aは、ビット線BLおよびソース線SLへ入力されたデータ（信号値）が真理値表121に規定された複数の動作モードのいずれに該当するかを判断する。書き込み判断部111Aは、その結果、該当した動作モードに応じた制御をデータ保持部112（レジスタ部112A）に対して行う。書き込み判断部111Aは、例えば、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっているとき、「1write」動作が指定されたと判断し、レジスタ部112Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「1」）を書き込むための制御信号Trg1をレジスタ部112Aに出力する。書き込み判断部111Aは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっているとき、「0write」動作が指定されたと判断し、レジスタ部112Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「0」）を書き込むための制御信号Trg1をレジスタ部112Aに出力する。書き込み判断部111Aは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「Hi-z」となっているとき、「read」動作が指定されたと判断し、制御信号Trg1をレジスタ部112Aに出力せず、例えば、レジスタ部112Aにおいて制御信号Trg1の検出に用いられる閾値よりも低い定電圧を出力する。

[0048] 本変形例では、出力スイッチ113Aは、例えば、図7に示したように、レジスタ部112Aの出力端とビット線BLとに接続され、読み出し判断部113Bからの制御信号Trg2に応じて、レジスタ部112Aの出力端とビット線BLとの継断を行う。

- [0049] 本変形例では、読み出し判断部113Bは、ビット線BLへのデータ読み出しを制御する。読み出し判断部113Bには、ビット線BLおよびソース線SLが接続される。読み出し判断部113Bは、ビット線BLおよびソース線SLへ入力された信号値と、真理値表121とに基づいて、レジスタ部112Aからビット線BLへのデータ読み出しについての判断を行う。読み出し判断部113Bは、ビット線BLおよびソース線SLへ入力されたデータと、真理値表121とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部112Aからビット線BLへレジスタ値を読み出すための制御信号Trg2を出力スイッチ113Aへ出力する。出力スイッチ113Aは、読み出し判断部113Bから、レジスタ値を読み出すための制御信号Trg2が入力されると、レジスタ部112Aの出力端とビット線BLとを接続する。
- [0050] 読み出し判断部113Bは、ビット線BLおよびソース線SLへ入力されたデータ（信号値）が真理値表121に規定された複数の動作モードのいずれに該当するかを判断する。読み出し判断部113Bは、その結果、該当した動作モードに応じた制御を出力スイッチ113Aに対して行う。
- [0051] 読み出し判断部113Bは、例えば、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっているとき、「1write」動作であると判断し、出力スイッチ113Aをオフするための制御信号Trg2を出力スイッチ113Aに出力する。このとき、出力スイッチ113Aはオフとなるので、レジスタ部112Aの出力端（抵抗変化型メモリ素子110の出力端）は、ビット線BLに対してオープンとなる。
- [0052] 読み出し判断部113Bは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっているとき、「0write」動作であると判断し、出力スイッチ113Aをオフするための制御信号Trg2を出力スイッチ113Aに出力する。このとき、出力スイッチ113Aはオフとなるので、レジスタ部112Aの出力端（抵抗変化型メモリ素子110の出力端）は、ビット線BLに対してオープンとなる。

[0053] 読み出し判断部 113B は、例えば、ソース線 SL の信号値が「0」となっており、ビット線 BL の信号値が「Hi-z」となっているとき、「read」動作であると判断し、出力スイッチ 113A をオンするための制御信号 Trg2 を出力スイッチ 113A に出力する。このとき、出力スイッチ 113A はオンとなるので、レジスタ部 112A の出力端（抵抗変化型メモリ素子 110 の出力端）は、ビット線 BL に接続される。その結果、ビット線 BL には、レジスタ部 112A に保持されているレジスタ値（「1」または「0」）が読み出される。

[0054] このように、本変形例では、上記実施の形態と比較すると、読み出す配線が異なるものの、上記実施の形態と同様の書き込み制御および読み出し制御がなされる。従って、本変形例では、上記実施の形態と同様の効果が得られる。

[0055] <3. 第2の実施の形態>

[構成]

図9は、本開示の第2の実施の形態に係る動作モデル200の機能ブロックの一例を表したものである。動作モデル200が、本開示の「論理シミュレーション装置」の一部の一具体例もしくは「論理シミュレーションプログラム」の一部の一具体例に相当する。動作モデル200は、上記実施の形態と同様、2つの端子（ビット線BLおよびソース線SL）の間に設けられる。動作モデル200は、抵抗変化型メモリ素子が論理素子で表現されたモデルである。動作モデル200は、例えば、図9に示したように、2つの端子（ビット線BLおよびソース線SL）とは異なる制御端子（ワード線WL）に接続されており、ワード線WLの信号値により、データ書き込みもしくはデータ読み出しを行う選択状態と、抵抗変化型メモリ素子の非選択状態とを制御する。例えば、ワード線WLの信号値が「1」のとき、データ書き込みおよびデータ読み出しのいずれか一方の動作が行われ、ワード線WLの信号値が「0」のとき、抵抗変化型メモリ素子が非選択となり、データ書き込みおよびデータ読み出しのいずれも行われない。

[0056] 動作モデル200は、例えば、図9に示したように、抵抗変化型メモリ素子210と、真理値表220とを備える。動作モデル200が本開示の「論理シミュレーション装置」の一部の一具体例に相当する場合、抵抗変化型メモリ素子210は、抵抗変化型メモリ素子210の機能を実現するハードウェアによって構成され、真理値表220は、例えば、DRAMなどの揮発性メモリ、または、EEPROMやフラッシュメモリなどの不揮発性メモリに格納される。動作モデル200が本開示の「論理シミュレーションプログラム」の一部の一具体例に相当する場合、動作モデル200は、例えば、DRAMなどの揮発性メモリ、または、EEPROMやフラッシュメモリなどの不揮発性メモリに格納され、CPUに動作モデル200がロードされることにより、CPUが動作モデル200の機能を実現する。

[0057] 抵抗変化型メモリ素子210は、ビット線BLおよびソース線SLの間に設けられる。抵抗変化型メモリ素子210は、例えば、書き込み動作部211、データ保持部212および読み出し動作部213を有する。

[0058] 書き込み動作部211は、データ保持部212へのデータ書き込みを制御する。書き込み動作部211は、例えば、図9に示したように、書き込み判断部211Aを含んで構成される。書き込み判断部211Aには、ビット線BL、ソース線SLおよびワード線WLが接続される。書き込み判断部211Aは、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表220とに基づいて、データ保持部212（後述のレジスタ部212A）へのデータ書き込みについての判断を行う。書き込み判断部211Aは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータと、真理値表220とに基づいて、データ保持部212（レジスタ部212A）へのデータ書き込みであると判断したとき、ソース線SLへ入力された信号値をデータ保持部212（レジスタ部212A）へ書き込むための制御信号Trg1をデータ保持部212（レジスタ部212A）へ出力する。

[0059] 図10は、真理値表220の一具体例を表したものである。真理値表22

0は、ビット線BL、ソース線SLおよびワード線WLの信号値と、レジスタ部212Aへのデータ書き込みおよびレジスタ部212Aからのデータ読み出しとの関係について規定されたデータである。真理値表220には、例えば、図10に示したように、「1write」動作、「0write」動作、「read」動作および「非選択」動作の4種類の動作モードが規定される。

[0060] 「1write」動作には、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aにレジスタ値として「1」を書き込むことが規定される。「1write」動作が実行されたとき、抵抗変化型メモリ素子210からソース線SLに「Hi-z」が出力される。

[0061] 「0write」動作には、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aにレジスタ値として「0」を書き込むことが規定される。「0write」動作が実行されたとき、抵抗変化型メモリ素子210からソース線SLに「Hi-z」が出力される。

[0062] 「read」動作には、ソース線SLの信号値が「Hi-z」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aからレジスタ値として「1」または「0」を読み出すことが規定される。「read」動作が実行されたとき、抵抗変化型メモリ素子210からソース線SLにレジスタ値（「1」または「0」）が読み出される。

[0063] 「非選択」動作には、ワード線WLの信号値が「0」となっているとき、データ書き込みおよびデータ読み出しのいずれも行われず、ソース線SLが「Hi-z」になる。

[0064] 書き込み判断部211Aは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータ（信号値）が真理値表220に規定された複数の動作モードのいずれに該当するかを判断する。書き込み判断部211Aは、そ

の結果、該当した動作モードに応じた制御をデータ保持部 212（レジスタ部 212A）に対して行う。書き込み判断部 211A は、例えば、ソース線 SL の信号値が「1」となっており、ビット線 BL の信号値が「0」になっており、ワード線 WL の信号値が「1」となっているとき、「1 write」動作が指定されたと判断し、レジスタ部 212A にレジスタ値としてソース線 SL へ入力されたデータ（信号値）（＝「1」）を書き込むための制御信号 T r g 1 をレジスタ部 212A に出力する。書き込み判断部 211A は、例えば、ソース線 SL の信号値が「0」となっており、ビット線 BL の信号値が「1」になっており、ワード線 WL の信号値が「1」となっているとき、「0 write」動作が指定されたと判断し、レジスタ部 212A にレジスタ値としてソース線 SL へ入力されたデータ（信号値）（＝「0」）を書き込むための制御信号 T r g 1 をレジスタ部 212A に出力する。

[0065] 書き込み判断部 211A は、例えば、ソース線 SL の信号値が「H i e z」となっており、ビット線 BL の信号値が「0」になっており、ワード線 WL の信号値が「1」となっているとき、「read」動作が指定されたと判断し、制御信号 T r g 1 をレジスタ部 212A に出力せず、例えば、レジスタ部 212A において制御信号 T r g 1 の検出に用いられる閾値よりも低い定電圧を出力する。書き込み判断部 211A は、例えば、ワード線 WL の信号値が「0」となっているとき、「非選択」動作が指定されたと判断し、制御信号 T r g 1 をレジスタ部 212A に出力せず、例えば、レジスタ部 212A において制御信号 T r g 1 の検出に用いられる閾値よりも低い定電圧を出力する。

[0066] データ保持部 212 は、書き込み判断部 211A による制御に従って、ソース線 SL の信号値を保持する。データ保持部 212 は、例えば、図 9 に示したように、レジスタ部 212A を含んで構成される。レジスタ部 212A には、ソース線 SL が接続される。レジスタ部 212A は、書き込み判断部 211A から入力される制御信号 T r g 1 をトリガとして、ソース線 SL の信号値を受け取り、レジスタ値として記憶する。レジスタ部 212A は、「

「write」動作、または、「Overwrite」動作のとき、読み出し動作部213に対して、「Hi-z」を出力する。レジスタ部212Aは、「read」動作のとき、読み出し動作部213に対して、レジスタ値を出力する。レジスタ部212Aは、「非選択」動作のとき、読み出し動作部213に対して、「Hi-z」を出力する。

[0067] 読み出し動作部213は、例えば、図9に示したように、出力スイッチ213Aおよび読み出し判断部213Bを含んで構成される。出力スイッチ213Aは、レジスタ部212Aの出力端とソース線SLとに接続され、読み出し判断部213Bからの制御信号Trg2に応じて、レジスタ部212Aの出力端とソース線SLとの継断を行う。

[0068] 読み出し判断部213Bは、ソース線SLへのデータ読み出しを制御する。読み出し判断部213Bには、ビット線BL、ソース線SLおよびワード線WLが接続される。読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表220とに基づいて、レジスタ部212Aからソース線SLへのデータ読み出しについての判断を行う。読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータと、真理値表220とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部212Aからソース線SLへレジスタ値を読み出すための制御信号Trg2を出力スイッチ213Aへ出力する。出力スイッチ213Aは、読み出し判断部213Bから、レジスタ値を読み出すための制御信号Trg2が入力されると、レジスタ部212Aの出力端とソース線SLとを接続する。

[0069] 読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータ（信号値）が真理値表220に規定された複数の動作モードのいずれに該当するかを判断する。読み出し判断部213Bは、その結果、該当した動作モードに応じた制御を出力スイッチ213Aに対して行う。

[0070] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「1」とな

っており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、「1 write」動作であると判断し、出力スイッチ213Aをオフするための制御信号Trg2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ソース線SLに対してオープンとなる。

[0071] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっており、ワード線WLの信号値が「1」となっているとき、「0 write」動作であると判断し、出力スイッチ213Aをオフするための制御信号Trg2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ソース線SLに対してオープンとなる。

[0072] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「Hi-z」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、「read」動作であると判断し、出力スイッチ213Aをオンするための制御信号Trg2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオンとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ソース線SLに接続される。その結果、ソース線SLには、レジスタ部212Aに保持されているレジスタ値（「1」または「0」）が読み出される。

[0073] 読み出し判断部213Bは、例えば、ワード線WLの信号値が「0」となっているとき、「非選択」動作であると判断し、出力スイッチ213Aをオフするための制御信号Trg2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ソース線SLに対してオープンとなる。

[0074] 図11は、動作モデル200における動作の一例を表したものである。動

作モデル200は、ワード線WLの信号値が「1」か否か判断する（ステップS201）。その結果、ワード線WLの信号値が「1」ではないとき、動作モデル200は出力スイッチ113Aを開く（ステップS202）。その結果、ソース線SLの信号値がH i - zになり（ステップS203）、動作が終了する。

[0075] 一方、ワード線WLの信号値が「1」のとき、動作モデル200は、ソース線SLの信号値とビット線BLの信号値との排他的論理和が「1」か否か判断する（ステップS204）。その結果、上記の排他的論理和が「1」ではないとき、動作モデル200は出力スイッチ113Aを閉じる（ステップS205）。続いて、動作モデル200は、ソース線SLの信号値が「H i - z」であって、かつ、ビット線BLの信号値が「0」であるか否か判断する（ステップS206）。その結果、ソース線SLの信号値が「H i - z」ではないか、または、ビット線BLの信号値が「0」ではないときには、動作モデル200は動作を終了する。一方、ソース線SLの信号値が「H i - z」であって、かつ、ビット線BLの信号値が「0」であるとき、動作モデル200は、レジスタ部112Aの値（レジスタ値）をソース線SLに読み出し（ステップS207）、動作を終了する。

[0076] 上記ステップS04において、上記の排他的論理和が「1」のとき、動作モデル200は、出力スイッチ113Aを開く（ステップS208）。続いて、動作モデル200は、ソース線SLの信号値をレジスタ値としてレジスタ部112Aに書き込み（ステップS209）、動作を終了する。

[0077] [効果]

次に、動作モデル200の効果について説明する。

[0078] 本実施の形態では、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表220とに基づいて、データ書き込み、データ読み出しおよび非選択についての判断が行われる。これにより、例えば、抵抗変化型メモリ素子210の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーシ

ョンにおいて、抵抗変化型メモリ素子へのデータ書き込み、抵抗変化型メモリ素子からのデータ読出し、および抵抗変化型メモリ素子の非選択を再現することが可能となる。

[0079] また、本実施の形態では、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表220とに基づいて、データ書き込みが指定されたと判断したとき、ソース線SLへ入力された信号値がレジスタ値としてレジスタ部212Aへ書き込まれる。これにより、例えば、抵抗変化型メモリ素子210の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子へのデータ書き込みを再現することが可能となる。

[0080] また、本実施の形態では、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表220とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部212Aに保持されたレジスタ値がソース線SLへ出力される。これにより、例えば、抵抗変化型メモリ素子210の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子からのデータ読み出しを再現することが可能となる。

[0081] <4. 第2の実施の形態の変形例>

[変形例C]

図12は、上記第2の実施の形態に係る動作モデル200における動作の一変形例を表したものである。動作モデル200は、ワード線WLの信号値が「1」か否か判断する（ステップS301）。その結果、ワード線WLの信号値が「1」ではないとき、動作モデル200は出力スイッチ213Aを開く（ステップS302）。その結果、ソース線SLの信号値が「Hi-z」になり（ステップS303）、動作が終了する。

[0082] 一方、ワード線WLの信号値が「1」のとき、動作モデル200（読み出し判断部213B）は、ワード線WLの信号値が「1」となった時から所定

の時間 (Read Wait 時間) 経過するのを待つ (ステップ S 3 0 4)。
Read Wait 時間が経過すると、動作モデル 2 0 0 は、ソース線 S L の信号値が「H i - z」であって、かつ、ビット線 B L の信号値が「0」であるか否か判断する (ステップ S 3 0 5)。その結果、ソース線 S L の信号値が「H i - z」ではないか、または、ビット線 B L の信号値が「0」ではないときには、動作モデル 2 0 0 は動作を終了する。一方、ソース線 S L の信号値が「H i - z」であって、かつ、ビット線 B L の信号値が「0」であるとき、動作モデル 2 0 0 は、出力スイッチ 2 1 3 A を閉じる (ステップ S 3 0 6)。続いて、動作モデル 2 0 0 は、レジスタ部 2 1 2 A の値 (レジスタ値) をソース線 S L に読み出し (ステップ S 3 0 7)、動作を終了する。

[0083] ワード線 W L の信号値が「1」のとき、動作モデル 2 0 0 は、ソース線 S L の信号値とビット線 B L の信号値との排他的論理和が「1」か否か判断する (ステップ S 3 0 8)。その結果、上記の排他的論理和が「1」ではないとき、動作モデル 2 0 0 は動作を終了する。一方、上記の排他的論理和が「1」のとき、動作モデル 2 0 0 (書き込み判断部 2 1 1 A) は、上記の排他的論理和が「1」であると判断した時から所定の時間 (Write Wait 時間) 経過するのを待つ (ステップ S 3 0 9)。Write Wait 時間が経過すると、動作モデル 2 0 0 は、ソース線 S L の信号値が「H i - z」であって、かつ、ビット線 B L の信号値が「0」であるか否か判断する (ステップ S 3 1 0)。その結果、ソース線 S L の信号値が「H i - z」ではないか、または、ビット線 B L の信号値が「0」ではないときには、動作モデル 2 0 0 は動作を終了する。一方、ソース線 S L の信号値が「H i - z」であって、かつ、ビット線 B L の信号値が「0」であるとき、動作モデル 2 0 0 は、出力スイッチ 2 1 3 A を開く (ステップ S 3 1 1)。続いて、動作モデル 2 0 0 は、ソース線 S L の信号値をレジスタ値としてレジスタ部 2 1 2 A に書き込み (ステップ S 3 1 2)、動作を終了する。

[0084] このように、本変形例では、ワード線 W L の信号値に基づいて、レジスタ部 2 1 2 A に保持されたレジスタ値をソース線 S L へ出力するタイミングが

制御される。これにより、読み出しの際の、レジスタ部212Aへのアクセスタイムを再現することができる。また、本変形例では、ソース線SLおよびビット線BLの信号値に基づいて、レジスタ部212Aへ書き込むタイミングが制御される。これにより、書き込み状態がある時間継続した後に書き込みデータをレジスタ部212Aに書き込むことになる。その結果、短パルスの累積で書き込み動作が生じてしまう誤動作を回避することができる。

[0085] [変形例D]

図13は、上記第2の実施の形態に係る動作モデル200における動作の一変形例を表したものである。動作モデル200は、ワード線WLの信号値が「1」か否か判断する（ステップS401）。その結果、ワード線WLの信号値が「1」ではないとき、動作モデル200は出力スイッチ213Aを開く（ステップS402）。その結果、ソース線SLの信号値が「Hi-z」になり（ステップS403）、動作が終了する。

[0086] 一方、ワード線WLの信号値が「1」のとき、動作モデル200は、出力スイッチ213Aを閉じる（ステップS404）。続いて、動作モデル200は、レジスタ部212Aの値（レジスタ値）をWeakでソース線SLに読み出す（ステップS405）その後、動作モデル200は、ソース線SLの信号値とビット線BLの信号値との排他的論理和が「1」か否か判断する（ステップS406）。その結果、上記の排他的論理和が「1」ではないとき、動作モデル200は動作を終了する。一方、上記の排他的論理和が「1」のとき、動作モデル200は、ソース線SLの信号値をレジスタ値としてレジスタ部212Aに書き込み（ステップS407）、動作を終了する。

[0087] このように、本変形例では、レジスタ部212Aに保持されたレジスタ値が、ソース線SLへweakで出力される。従って、論理シミュレーションにおいて、抵抗変化型メモリ素子からのweakでのデータ読出しを再現することが可能となる。

[0088] [変形例E]

図14、図15、図16は、上記第2の実施の形態に係る動作モデル200

0の機能ブロックの一変形例を表したものである。本変形例では、動作モデル200は、複数の抵抗変換型メモリ素子210を備えている。

[0089] 図14には、動作モデル200が2つの抵抗変換型メモリ素子210を備えている場合が例示されている。図14の動作モデル200では、抵抗変換型メモリ素子210ごとに、一組の配線（ソース線SLおよびビット線BL）と、真理値表220とが割り当てられており、複数の抵抗変換型メモリ素子210に対して共通のワード線WLが割り当てられている。

[0090] 図15には、動作モデル200が2つの抵抗変換型メモリ素子210を備えている場合が例示されている。図15の動作モデル200では、複数の抵抗変換型メモリ素子210に対して共通の一組の配線（ソース線SLおよびビット線BL）が割り当てられており、さらに、抵抗変換型メモリ素子210ごとに、ワード線WLと、真理値表220とが割り当てられている。

[0091] 図16には、動作モデル200が、行列状（ $m \times n$ ）に配置された複数の抵抗変換型メモリ素子210を備えている場合が例示されている。図16の動作モデル200では、行方向に並んで配置された複数の抵抗変換型メモリ素子210の各々に、一組の配線（ソース線SLおよびビット線BL）と、真理値表220とが割り当てられており、行方向に並んで配置された複数の抵抗変換型メモリ素子210に対して共通のワード線WLが割り当てられている。図16の動作モデル200では、さらに、列方向に並んで配置された複数の抵抗変換型メモリ素子210に対して共通の一組の配線（ソース線SLおよびビット線BL）が割り当てられており、列方向に並んで配置された複数の抵抗変換型メモリ素子210の各々に、ワード線WLが割り当てられている。

[0092] このように、本変形例では、動作モデル200に複数の抵抗変換型メモリ素子210が設けられている。これにより、メモリセルアレイを動作モデル200で再現することが可能となる。

[0093] [変形例F]

上記第2の実施の形態およびその変形例において、ソース線SLとビット

線BLとが逆になっていてもよい。例えば、図17に示したように、上記第2の実施の形態において、ソース線SLとビット線BLとが逆になっていてもよい。このとき、真理値表220の代わりに、真理値表221が設けられる。

[0094] 図18は、真理値表221の一具体例を表したものである。真理値表221は、ビット線BL、ソース線SLおよびワード線WLの信号値と、レジスタ部212Aへのデータ書き込みおよびレジスタ部212Aからのデータ読み出しとの関係について規定されたデータである。真理値表221には、例えば、図18に示したように、「1write」動作、「0write」動作、「read」動作および「非選択」動作の4種類の動作モードが規定される。

[0095] 「1write」動作には、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aにレジスタ値として「1」を書き込むことが規定される。「1write」動作が実行されたとき、抵抗変化型メモリ素子210からビット線BLに「Hi-z」が出力される。

[0096] 「0write」動作には、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aにレジスタ値として「0」を書き込むことが規定される。「0write」動作が実行されたとき、抵抗変化型メモリ素子210からビット線BLに「Hi-z」が出力される。

[0097] 「read」動作には、ビット線BLの信号値が「Hi-z」となっており、ソース線SLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、レジスタ部212Aからレジスタ値として「1」または「0」を読み出すことが規定される。「read」動作が実行されたとき、抵抗変化型メモリ素子210からビット線BLにレジスタ値（「1」または「0」）が読み出される。

[0098] 「非選択」動作には、ワード線WLの信号値が「0」となっているとき、

レジスタ部212Aからレジスタ値を読み出すことが規定される。ただし、「read」動作が実行されたとき、抵抗変化型メモリ素子210からビット線BLに「Hi-z」が出力される。

[0099] 本変形例では、書き込み判断部211Aは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータ（信号値）が真理値表220に規定された複数の動作モードのいずれに該当するかを判断する。書き込み判断部211Aは、その結果、該当した動作モードに応じた制御をデータ保持部212（レジスタ部212A）に対して行う。書き込み判断部211Aは、例えば、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、「1write」動作が指定されたと判断し、レジスタ部212Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「1」）を書き込むための制御信号Trg1をレジスタ部212Aに出力する。書き込み判断部211Aは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっており、ワード線WLの信号値が「1」となっているとき、「0write」動作が指定されたと判断し、レジスタ部212Aにレジスタ値としてソース線SLへ入力されたデータ（信号値）（＝「0」）を書き込むための制御信号Trg1をレジスタ部212Aに出力する。

[0100] 書き込み判断部211Aは、例えば、ビット線BLの信号値が「Hi-z」となっており、ソース線SLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、「read」動作が指定されたと判断し、制御信号Trg1をレジスタ部212Aに出力せず、例えば、レジスタ部212Aにおいて制御信号Trg1の検出に用いられる閾値よりも低い定電圧を出力する。書き込み判断部211Aは、例えば、ワード線WLの信号値が「0」となっているとき、「非選択」動作が指定されたと判断し、制御信号Trg1をレジスタ部212Aに出力せず、例えば、レジスタ部212Aにおいて制御信号Trg1の検出に用いられる閾値よりも低い定電圧を出

力する。

[0101] 本変形例では、出力スイッチ213Aは、例えば、図17に示したように、レジスタ部212Aの出力端とビット線BLとに接続され、読み出し判断部213Bからの制御信号Trg2に応じて、レジスタ部212Aの出力端とビット線BLとの継断を行う。

[0102] 本変形例では、読み出し判断部213Bは、ビット線BLへのデータ読み出しを制御する。読み出し判断部213Bには、ビット線BL、ソース線SLおよびワード線WLが接続される。読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力された信号値と、真理値表221とに基づいて、レジスタ部212Aからビット線BLへのデータ読み出しについての判断を行う。読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータと、真理値表221とに基づいて、データ読み出しが指定されたと判断したとき、レジスタ部212Aからビット線BLへレジスタ値を読み出すための制御信号Trg2を出力スイッチ213Aへ出力する。出力スイッチ213Aは、読み出し判断部213Bから、レジスタ値を読み出すための制御信号Trg2が入力されると、レジスタ部212Aの出力端とビット線BLとを接続する。

[0103] 読み出し判断部213Bは、ビット線BL、ソース線SLおよびワード線WLへ入力されたデータ（信号値）が真理値表221に規定された複数の動作モードのいずれに該当するかを判断する。読み出し判断部213Bは、その結果、該当した動作モードに応じた制御を出力スイッチ213Aに対して行う。

[0104] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「1」となっており、ビット線BLの信号値が「0」となっており、ワード線WLの信号値が「1」となっているとき、「1write」動作であると判断し、出力スイッチ213Aをオフするための制御信号Trg2を出力スイッチ213Aへ出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ビッ

ト線BLに対してオープンとなる。

[0105] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「1」となっており、ワード線WLの信号値が「1」となっているとき、「O w r i t e」動作であると判断し、出力スイッチ213Aをオフするための制御信号T r g 2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ビット線BLに対してオープンとなる。

[0106] 読み出し判断部213Bは、例えば、ソース線SLの信号値が「0」となっており、ビット線BLの信号値が「H i - z」となっており、ワード線WLの信号値が「1」となっているとき、「r e a d」動作であると判断し、出力スイッチ213Aをオンするための制御信号T r g 2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオンとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ビット線BLに接続される。その結果、ビット線BLには、レジスタ部212Aに保持されているレジスタ値（「1」または「0」）が読み出される。

[0107] 読み出し判断部213Bは、例えば、ワード線WLの信号値が「0」となっているとき、「非選択」動作であると判断し、出力スイッチ213Aをオフするための制御信号T r g 2を出力スイッチ213Aに出力する。このとき、出力スイッチ213Aはオフとなるので、レジスタ部212Aの出力端（抵抗変化型メモリ素子210の出力端）は、ビット線BLに対してオープンとなる。

[0108] このように、本変形例では、上記第2の実施の形態と比較すると、読み出す配線が異なるものの、上記第2の実施の形態と同様の書き込み制御および読み出し制御がなされる。従って、本変形例では、上記実施の形態と同様の効果が得られる。

[0109] <5. 適用例>

図19は、上記各実施の形態およびその変形例に係る動作モデル100、

200を適用した情報処理システムの機能ブロックの一例を表したものである。この情報処理システムは、ホストコンピュータ300およびメモリ部400を備えている。メモリ部400は、メモリコントローラ500、1または複数のメモリセルアレイユニット600および電源部700を備えている。なお、図19には、1つのメモリセルアレイユニット600が設けられている様子が例示されている。メモリ部400が、本開示の「論理シミュレーション装置」「論理シミュレーションプログラム」の一具体例に相当する。

[0110] (ホストコンピュータ300)

ホストコンピュータ300は、メモリ部400を制御する。具体的には、ホストコンピュータ300は、アクセス先の論理アドレスを指定するコマンドを発行して、そのコマンドやデータをメモリ部400に供給する。ホストコンピュータ300は、メモリ部400から出力されたデータを受け取る。ここで、コマンドは、メモリ部400を制御するためのものであり、例えば、データの書き込み処理を指示するライトコマンド、データの読み出し処理を指示するリードコマンドを含む。また、論理アドレスは、ホストコンピュータ300が定義するアドレス空間において、ホストコンピュータ300がメモリ部400にアクセスする際のアクセス単位の領域ごとに割り振られたアドレスである。

[0111] (メモリコントローラ500)

メモリコントローラ500は、1または複数のメモリセルアレイユニット600を制御する。メモリコントローラ500は、ホストコンピュータ300から、論理アドレスを指定するライトコマンドを受け取る。また、メモリコントローラ500は、ライトコマンドに従って、データの書き込み処理を実行する。この書き込み処理においては、論理アドレスが物理アドレスに変換され、その物理アドレスにデータが書き込まれる。ここで、物理アドレスは、メモリコントローラ500が1または複数のメモリセルアレイユニット600にアクセスする際のアクセス単位ごとに1または複数のメモリセルアレイユニット600において割り振られたアドレスである。メモリコントロ

ーラ500は、論理アドレスを指定するリードコマンドを受け取ると、その論理アドレスを物理アドレスに変換し、その物理アドレスからデータを読み出す。そして、メモリコントローラ500は、読み出したデータをリードデータとしてホストコンピュータ300に出力する。

[0112] (電源部700)

電源部700は、1または複数のメモリセルアレイユニット600に対して所望の電圧を供給するものである。電源部700は、例えば、後述の行ドライバ22に対して、書き込み時または読み出し時に用いる電圧などを供給する。電源部700は、例えば、後述の列ドライバ23に対して、書き込み時または読み出し時に用いる電圧などを供給する。

[0113] (メモリセルアレイユニット600)

次に、メモリセルアレイユニット600について説明する。図20は、メモリセルアレイユニット600の機能ブロックの一例を表したものである。メモリセルアレイユニット600は、例えば、半導体チップで構成されている。メモリセルアレイユニット600は、例えば、メモリセルアレイ60および駆動部70を有している。駆動部70は、例えば、メモリコントローラ500との間で、コマンド、ライトデータおよびリードデータなどをやりとりする。駆動部70は、例えば、ライトコマンドに従って、メモリセルアレイ60にデータを書き込み、リードコマンドに従って、メモリセルアレイ60からデータを読み出す。

[0114] (メモリセルアレイ60)

メモリセルアレイ60は、複数のメモリセルMCを有している。メモリセルMCは、例えば、上記第2の実施の形態に係る動作モデル200によって構成される。

[0115] メモリセルアレイ60は、例えば、複数のワード線WLと、複数のビット線BLと、ワード線WLとビット線BLとが互いに対向する位置ごとに1つつ配置された複数のメモリセルMCと、複数のソース線SLとを有している。メモリセルアレイ60では、外部からのアドレス入力によって指定され

るメモリセルMCにデータを書き込むことができる。また、アドレス入力により指定されるメモリセルMCに記憶されたデータを読み出すことができる。

[0116] (駆動部70)

次に、駆動部70について説明する。駆動部70は、例えば、図20に示したように、アドレス制御部71、ワード線選択部72、コマンド制御部73、書き込み制御部74、ソース線・ビット線選択部75および読み出し制御部76を有している。

[0117] アドレス制御部71は、アドレス線から入力された行アドレスに応じた制御信号をワード線選択部72に出力するとともに、アドレス線から入力された列アドレスに応じた制御信号をソース線・ビット線選択部75に出力する。アドレス制御部71は、ワード線選択部72およびソース線・ビット線選択部75に対して出力電圧を変更するタイミングを制御する信号を出力する。ワード線選択部72は、書き込みまたは読み出しの動作を行う際に、書き込みまたは読み出しの動作に必要な所定の電圧で各ワード線WLをドライブする回路を含んでいる。ワード線選択部72は、メモリセルアレイ60の各ワード線WLに接続され、アドレス線から入力された行アドレスに応じたワード線WLを選択する。ワード線選択部72は、選択したワード線WLに対して、書き込みまたは読み出しの動作に必要な所定の電圧を出力する。

[0118] ソース線・ビット線選択部75は、書き込み動作を行う際、データを書き込むメモリセルMCに接続されたビット線BLおよびソース線SLを書き込み動作に必要な所定の電圧でドライブする回路を含んでいる。ソース線・ビット線選択部75は、さらに、データ読み出し動作を行う際、データを読み出すメモリセルMCに接続されたビット線BLおよびソース線SLをデータの書き換えが生じない所定の電圧でドライブする回路を含んでいる。

[0119] ソース線・ビット線選択部75は、メモリセルアレイ60の各ビット線BLおよび各ソース線SLに接続され、アドレス線から入力された列アドレスによって、対応するビット線BLおよびソース線SLを選択する。ソース線

・ビット線選択部 75 は、選択したビット線 B L およびソース線 S L に対して、書き込みまたは読み出しの動作に必要な所定の電圧を出力する。

[0120] コマンド制御部 73 は、メモリコントローラ 500 から入力されたコマンドに応じて、ワード線選択部 72、書き込み制御部 74 および読み出し制御部 76 を制御する。コマンド制御部 73 は、書き込み制御部 74 に対して、メモリコントローラ 500 から入力された入力データ D i n を所定のタイミングでソース線・ビット線選択部 75 に出力することを指示し、ワード線選択部 72 に対して、所定のタイミングでメモリセルアレイ 60 を走査するよう指示する。書き込み制御部 74 は、入力データ D i n を所定のタイミングでソース線・ビット線選択部 75 に出力する。コマンド制御部 73 は、さらに、読み出し制御部 76 に対して、データをメモリセルアレイ 60 から読み出すことを指示する。読み出し制御部 76 は、メモリセルアレイ 60 から読み出したデータを出力データ D o u t としてメモリコントローラ 500 に出力する。

[0121] 本適用例では、上記各実施の形態およびその変形例に係る動作モデル 100, 200 が情報処理システムに適用される。これにより、論理シミュレーションにおいて、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することが可能となる。

[0122] 本開示の一側面に係る論理シミュレーション装置および論理シミュレーションプログラムによれば、2つの端子へ入力された信号値と、真理値表とに基づいて、データ書き込みおよびデータ読み出しについての判断を行うようにしたので、例えば、抵抗変化型メモリ素子の両端に信号を印可した場合であっても、抵抗の論理素子のような信号衝突が生じることがない。従って、抵抗変化型メモリ素子へのデータ書き込みや、抵抗変化型メモリ素子からのデータ読出しを再現することが可能となる。

[0123] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0124] また、例えば、本開示は以下のような構成を取ることができる。

(1)

2つの端子の間に設けられた抵抗変化型メモリ素子の動作モデルを備え、
前記動作モデルは、

データを保持するためのレジスタ部と、

前記2つの端子の信号値と、前記レジスタ部へのデータ書き込みおよび前記レジスタ部からのデータ読み出しとの関係について規定された真理値表と、

前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ書き込みおよび前記データ読み出しについての判断を行う判断部と
を有する

論理シミュレーション装置。

(2)

前記判断部は、前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ書き込みが指定されたと判断したとき、前記2つの端子のうちいずれか一方へ入力された前記信号値をレジスタ値として前記レジスタ部へ書き込む

(1)に記載の論理シミュレーション装置。

(3)

前記判断部は、入力された制御信号に基づいて、前記信号値をレジスタ値として前記レジスタ部へ保存するタイミングを制御する

(2)に記載の論理シミュレーション装置。

(4)

前記判断部は、前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ読み出しが指定されたと判断したとき、前記レジスタに保持されたレジスタ値を、前記2つの端子のうちいずれか一方へ出力する

(1)ないし(3)のいずれか1つに記載の論理シミュレーション装置。

(5)

前記判断部は、入力された制御信号に基づいて、前記レジスタに保持されたレジスタ値を前記2つの端子のうちいずれか一方へ出力するタイミングを制御する

(4) に記載の論理シミュレーション装置。

(6)

前記判断部は、前記レジスタに保持されたレジスタ値を、常に、前記2つの端子のうちいずれか一方へweakで出力する

(4) に記載の論理シミュレーション装置。

(7)

2つの端子の間に設けられた抵抗変化型メモリ素子の論理シミュレーションプログラムであって、

前記2つの端子の信号値と、データを保持するためのレジスタ部へのデータ書き込みおよび前記レジスタ部からのデータ読み出しとの関係について規定された真理値表と、前記2つの端子へ入力された信号値とに基づいて、前記データ書き込みおよび前記データ読み出しについての判断を行うことをコンピュータに実行させる

論理シミュレーションプログラム。

[0125] 本出願は、日本国特許庁において2020年8月31日に出願された日本特許出願番号第2020-146418号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0126] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 2つの端子の間に設けられた抵抗変化型メモリ素子の動作モデルを備え、
- 前記動作モデルは、
- データを保持するためのレジスタ部と、
- 前記2つの端子の信号値と、前記レジスタ部へのデータ書き込みおよび前記レジスタ部からのデータ読み出しとの関係について規定された真理値表と、
- 前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ書き込みおよび前記データ読み出しについての判断を行う判断部と
- を有する
- 論理シミュレーション装置。
- [請求項2] 前記判断部は、前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ書き込みが指定されたと判断したとき、前記2つの端子のうちいずれか一方へ入力された前記信号値をレジスタ値として前記レジスタ部へ書き込む
- 請求項1に記載の論理シミュレーション装置。
- [請求項3] 前記判断部は、入力された制御信号に基づいて、前記信号値をレジスタ値として前記レジスタ部へ保存するタイミングを制御する
- 請求項2に記載の論理シミュレーション装置。
- [請求項4] 前記判断部は、前記2つの端子へ入力された信号値と、前記真理値表とに基づいて、前記データ読み出しが指定されたと判断したとき、前記レジスタに保持されたレジスタ値を、前記2つの端子のうちいずれか一方へ出力する
- 請求項1に記載の論理シミュレーション装置。
- [請求項5] 前記判断部は、入力された制御信号に基づいて、前記レジスタに保持されたレジスタ値を前記2つの端子のうちいずれか一方へ出力する

タイミングを制御する

請求項4に記載の論理シミュレーション装置。

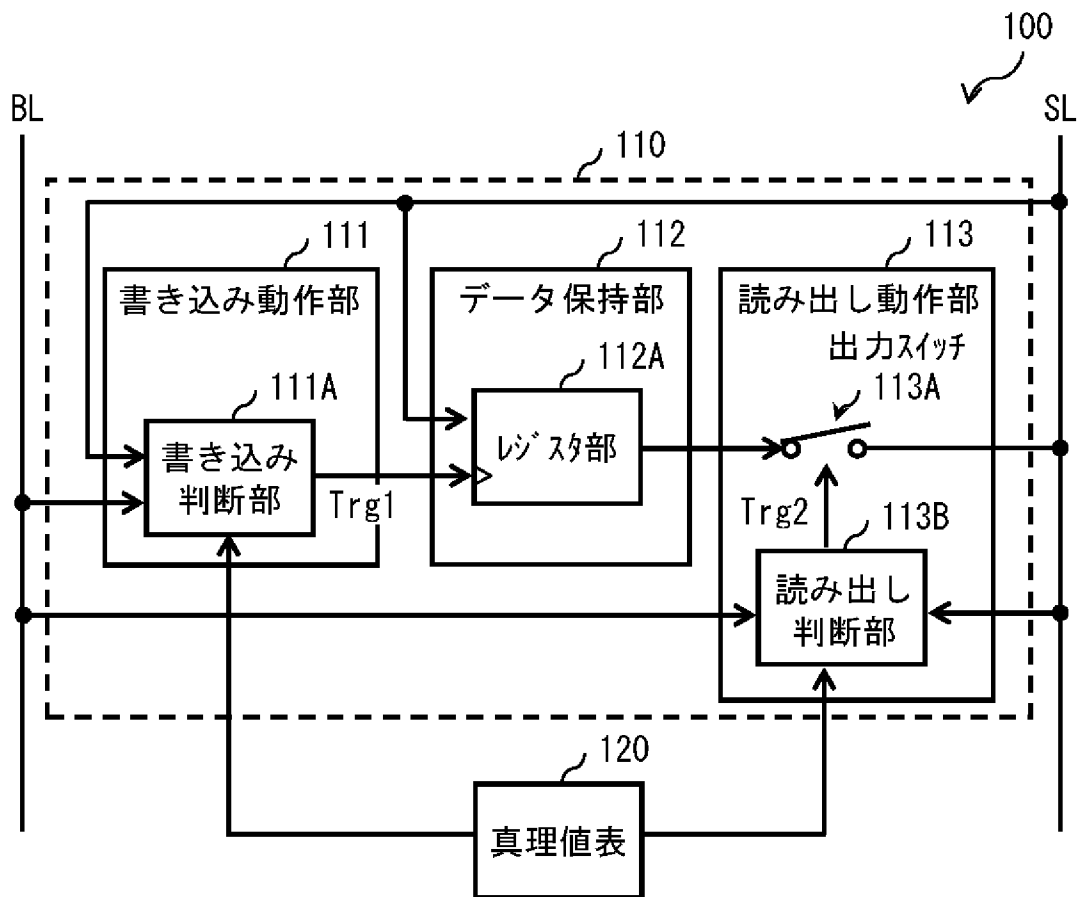
[請求項6] 前記判断部は、前記レジスタに保持されたレジスタ値を、常に、前記2つの端子のうちいずれか一方へweakで出力する

請求項4に記載の論理シミュレーション装置。

[請求項7] 2つの端子の間に設けられた抵抗変化型メモリ素子の論理シミュレーションプログラムであって、

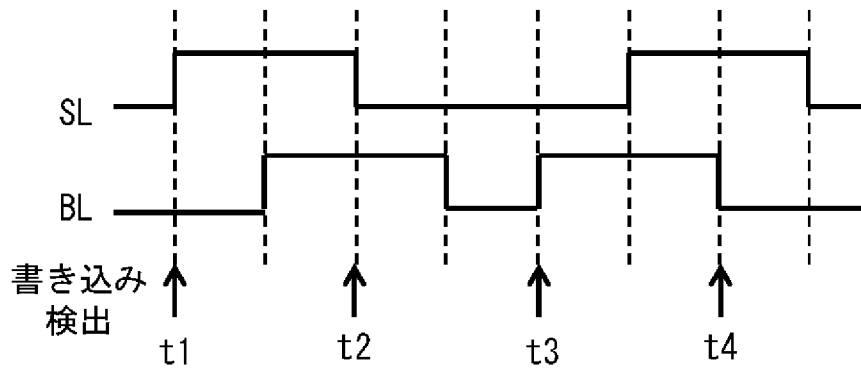
前記2つの端子の信号値と、データを保持するためのレジスタ部へのデータ書き込みおよび前記レジスタ部からのデータ読み出しとの関係について規定された真理値表と、前記2つの端子へ入力された信号値とに基づいて、前記データ書き込みおよび前記データ読み出しについての判断を行うことをコンピュータに実行させる

論理シミュレーションプログラム。

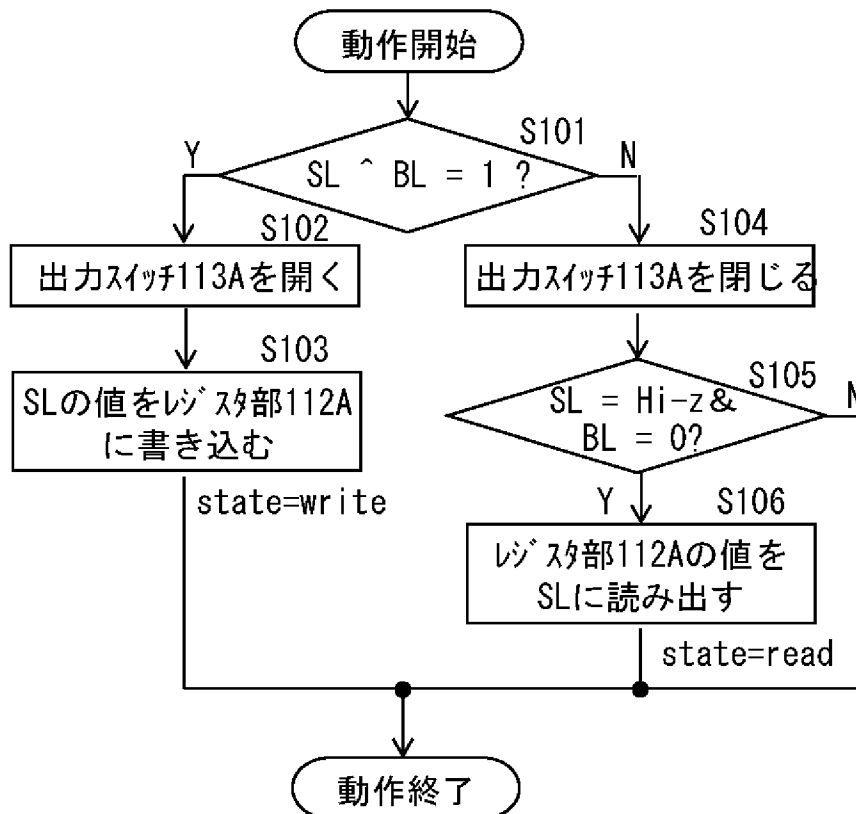


動作	入力		レジスタ値	出力
	SL	BL		SL
1 write	1	0	1	Hi-z
0 write	0	1	0	Hi-z
read	Hi-z	0	1	1
			0	0

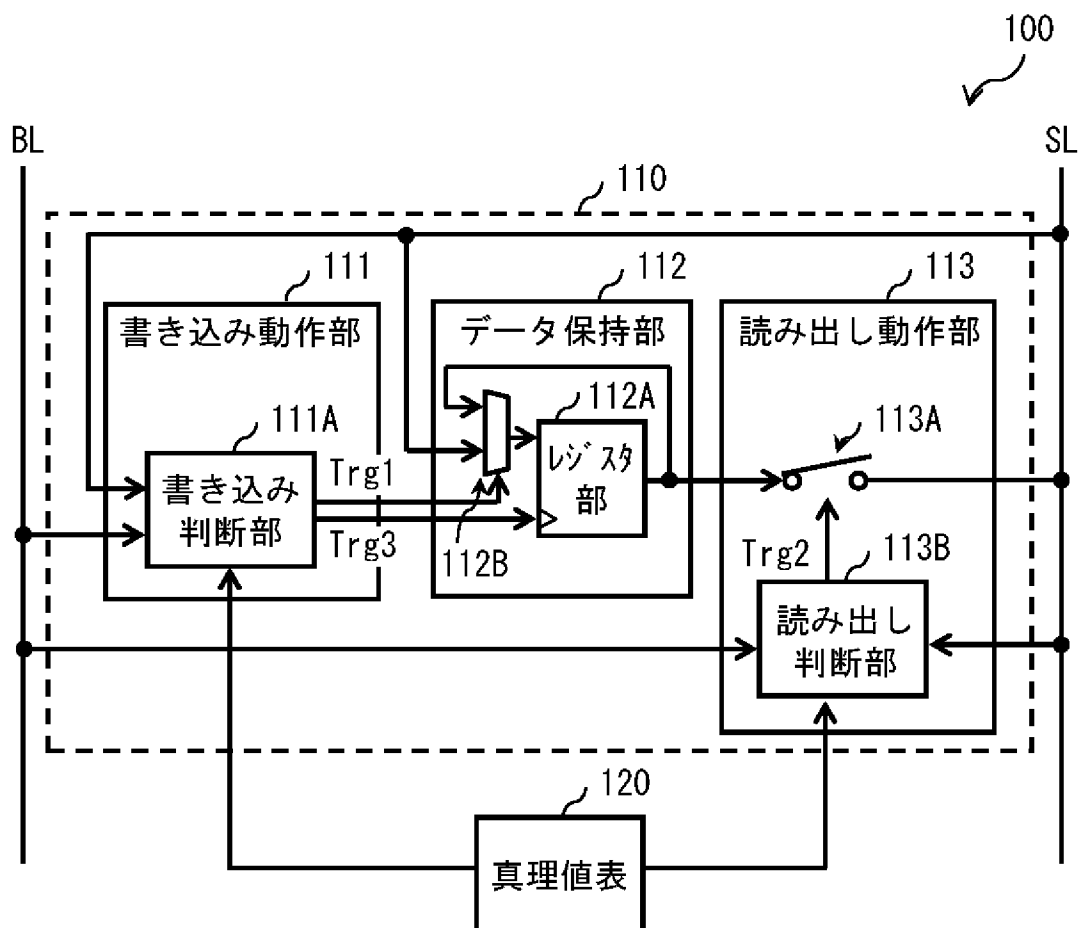
[図3]



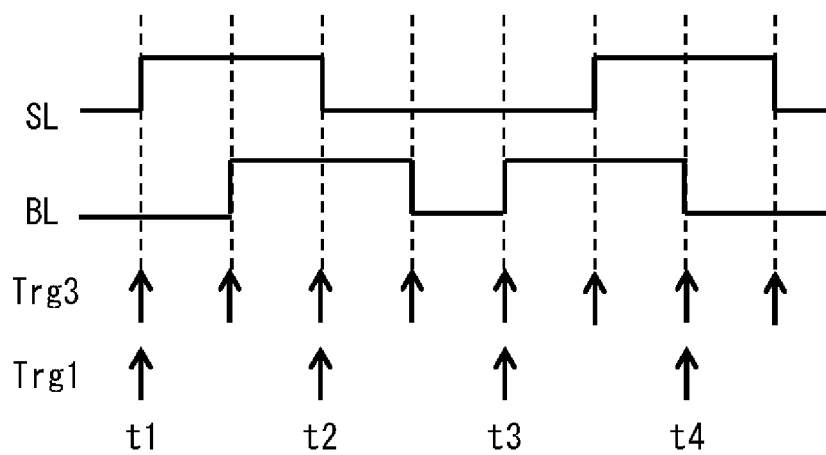
[図4]



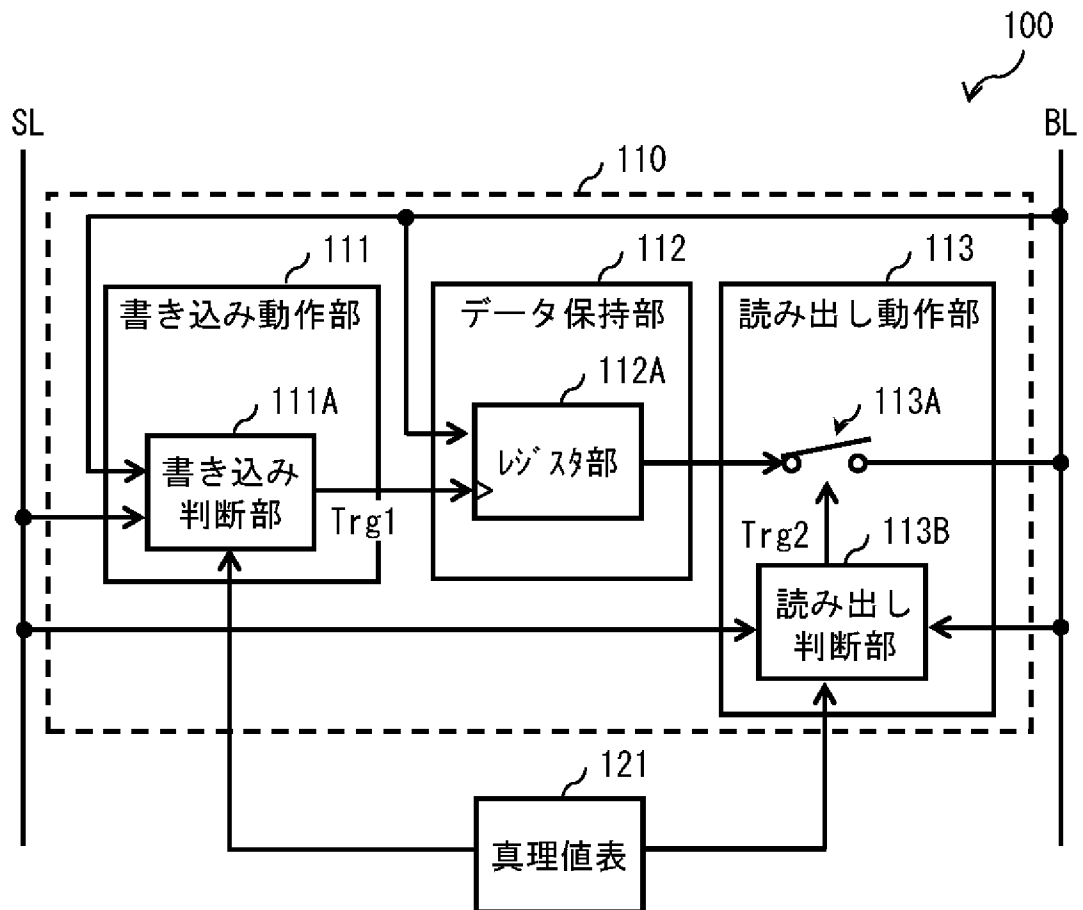
[図5]



[図6]



[図7]

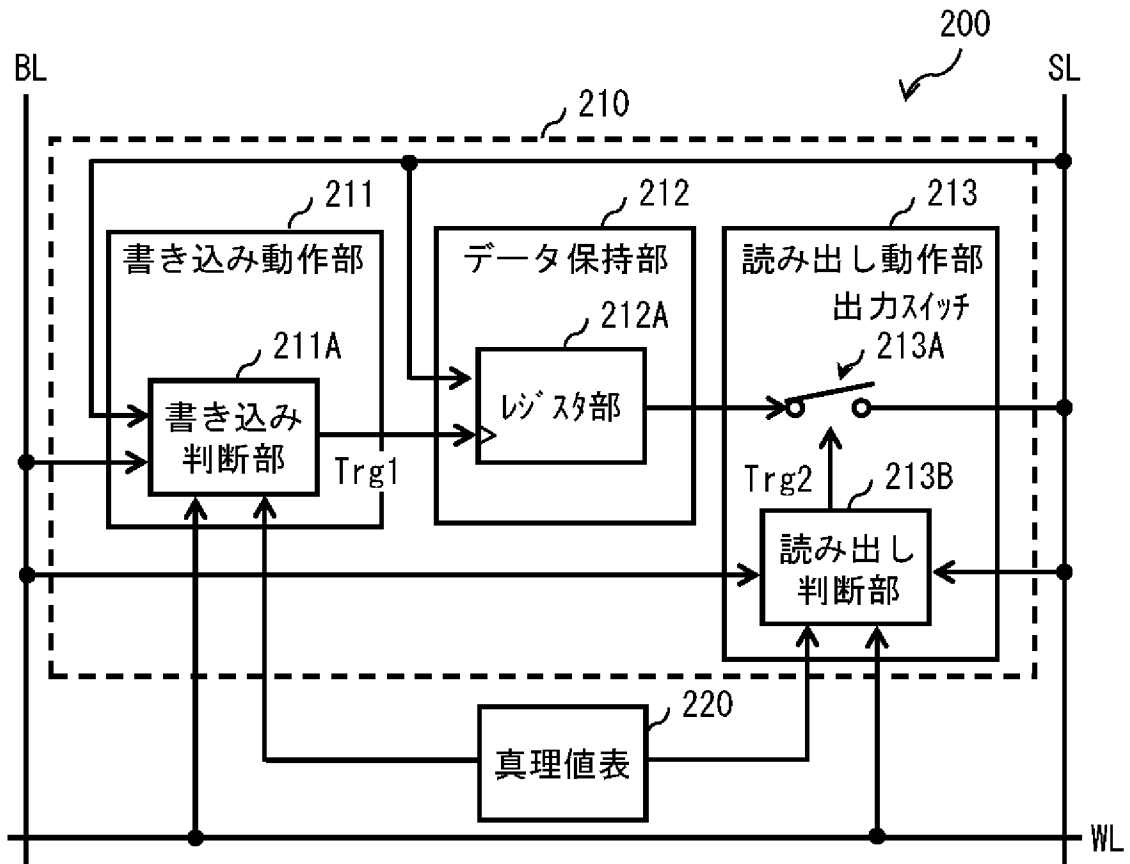


[図8]

Figure 8 is a truth table (真理値表) 121. The table defines the output BL based on the operation (動作) and the input signals SL and BL. The output BL is Hi-z (high impedance) for write operations and 1 or 0 for read operations.

動作	入力		レジスタ値	出力
	SL	BL		BL
1 write	1	0	1	Hi-z
0 write	0	1	0	Hi-z
read	0	Hi-z	1	1
			0	0

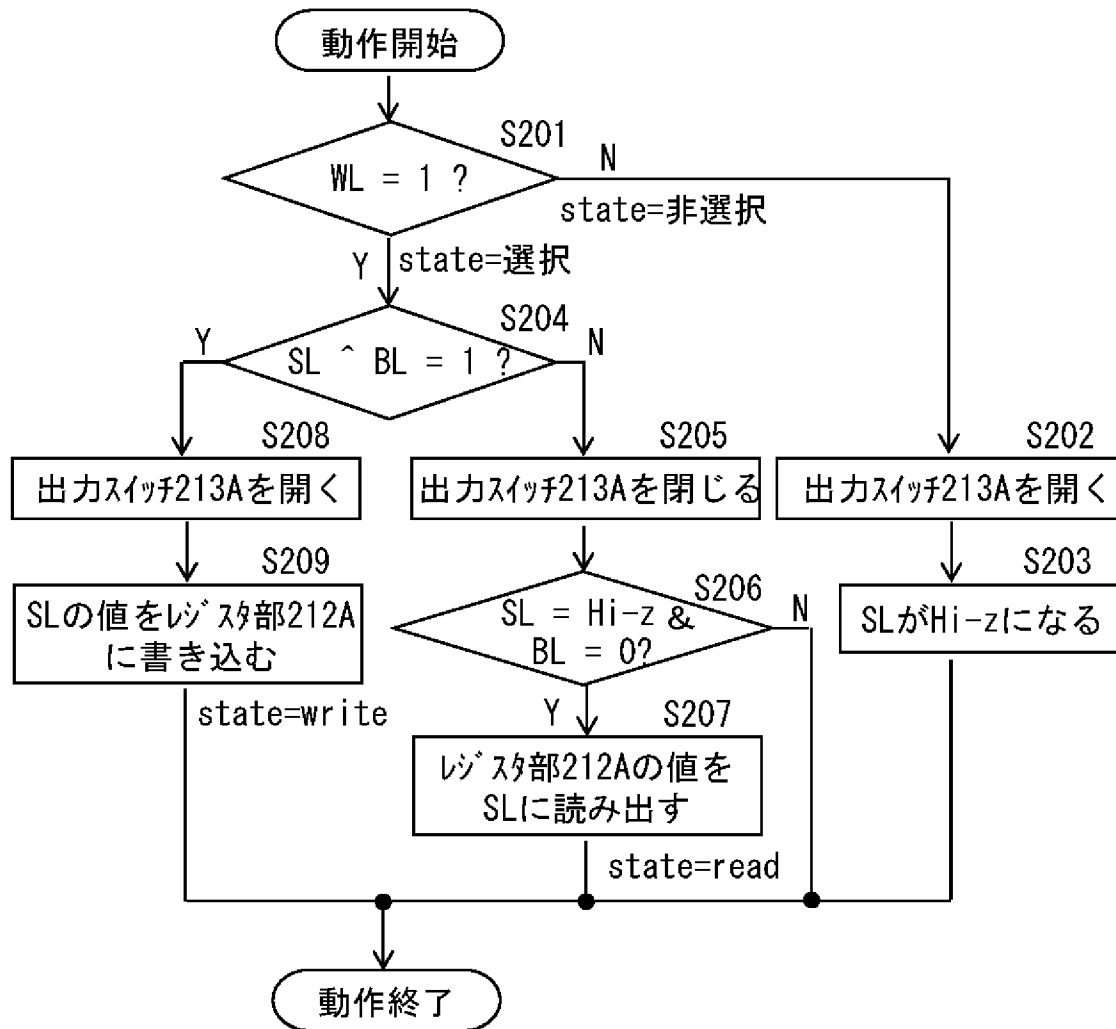
[図9]



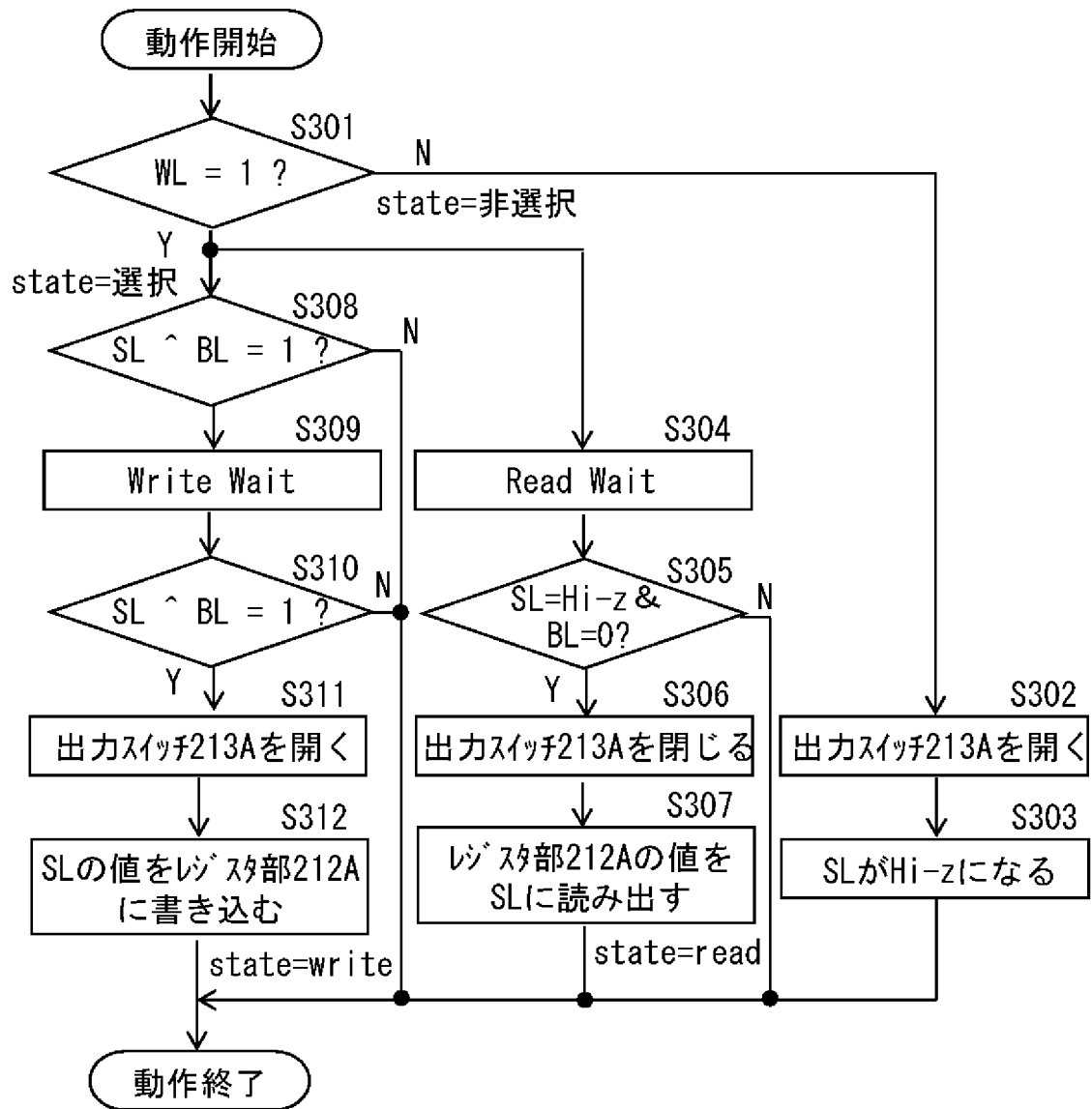
[図10]

動作	入力			レジスタ値	出力
	WL	SL	BL		SL
1 write	1	1	0	1	Hi-z
0 write	1	0	1	0	Hi-z
read	1	Hi-z	0	1	1
				0	0
非選択	0	-	-	-	Hi-z

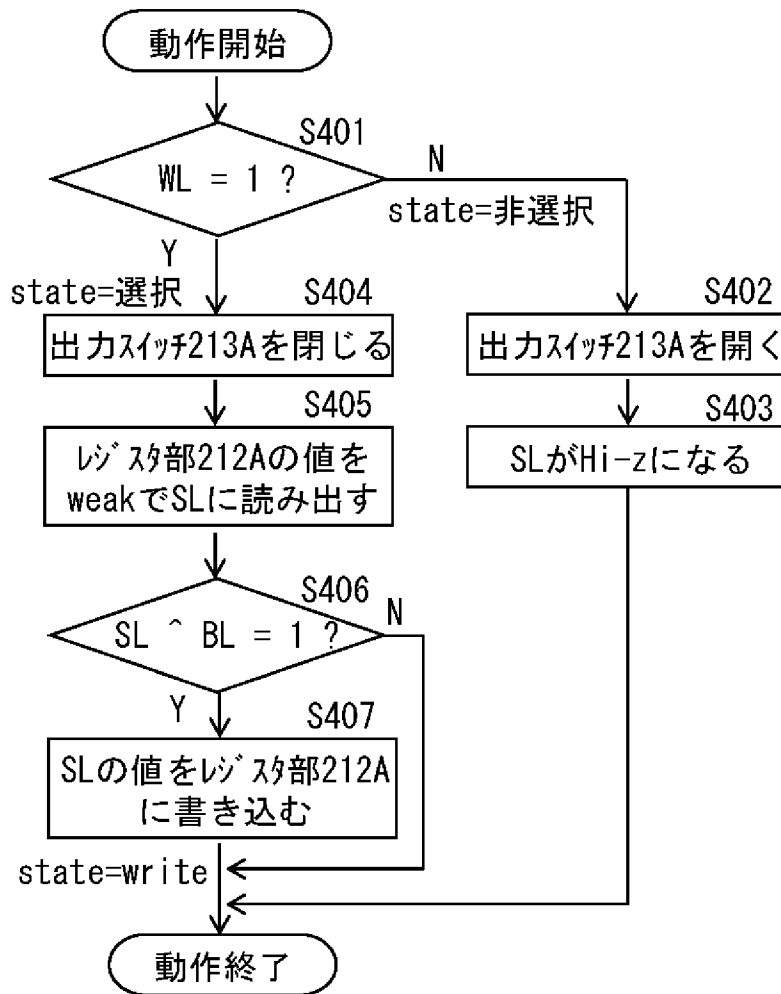
[図11]



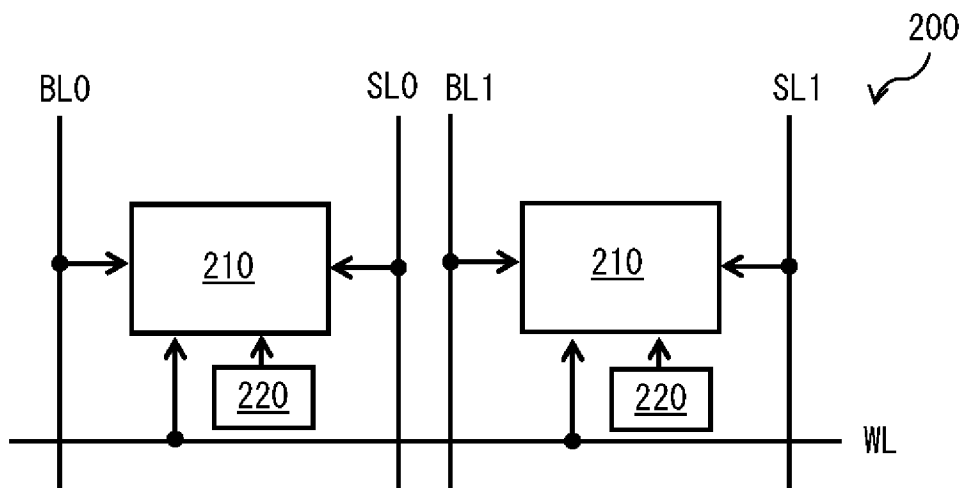
[図12]



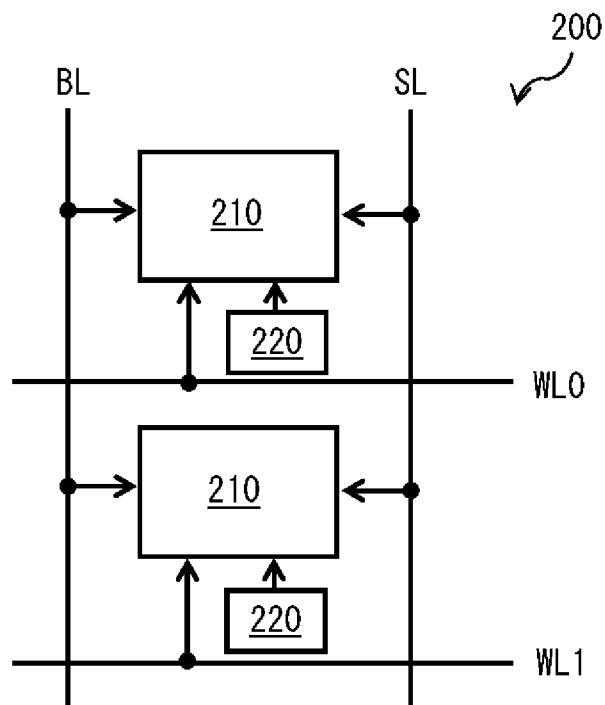
[図13]



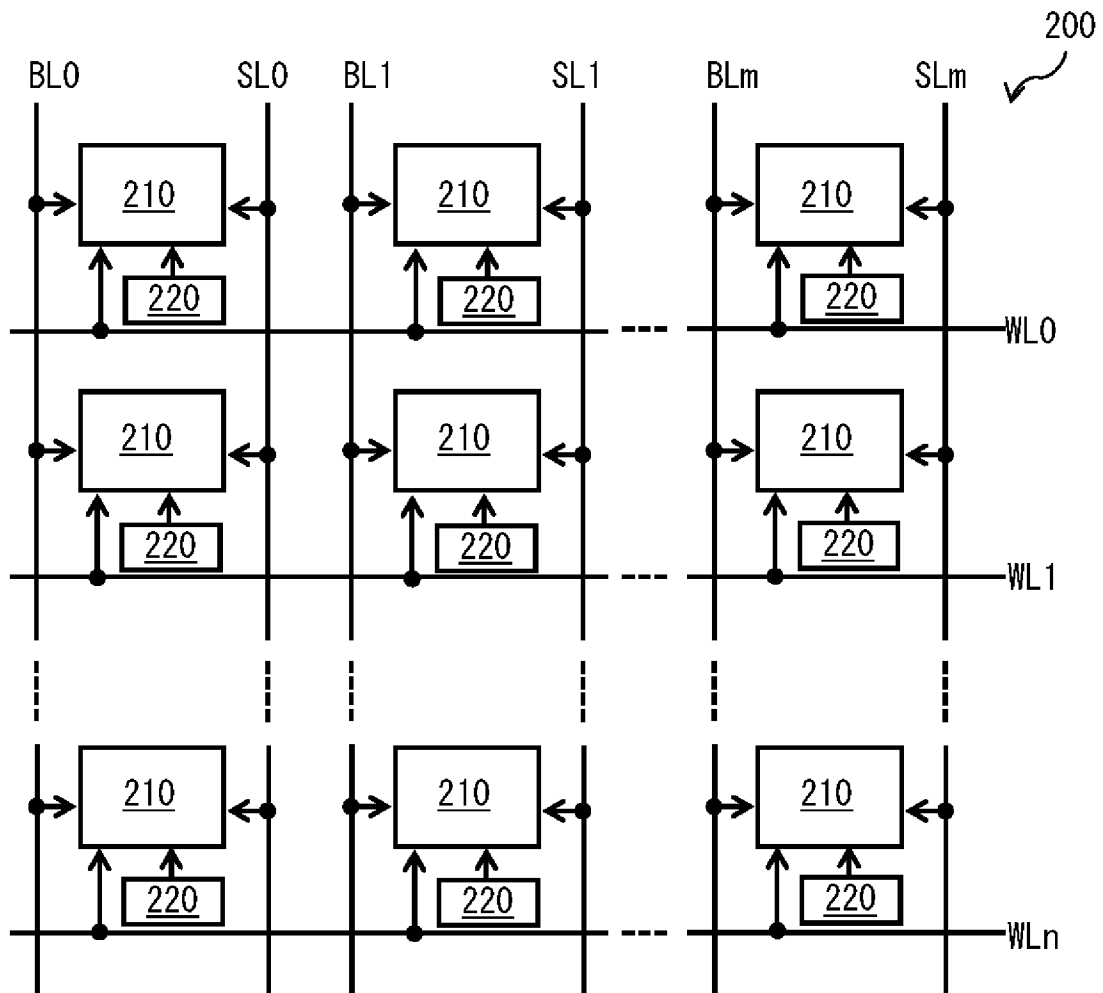
[図14]



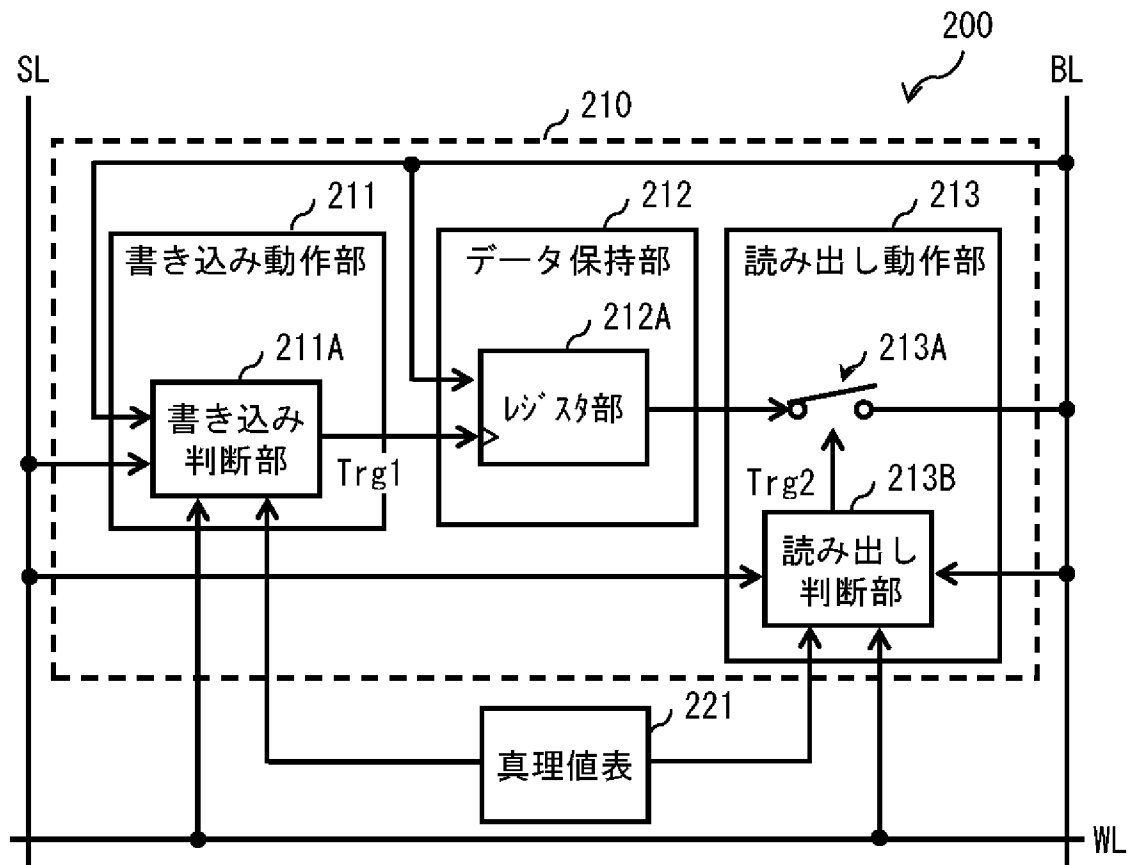
[図15]



[図16]



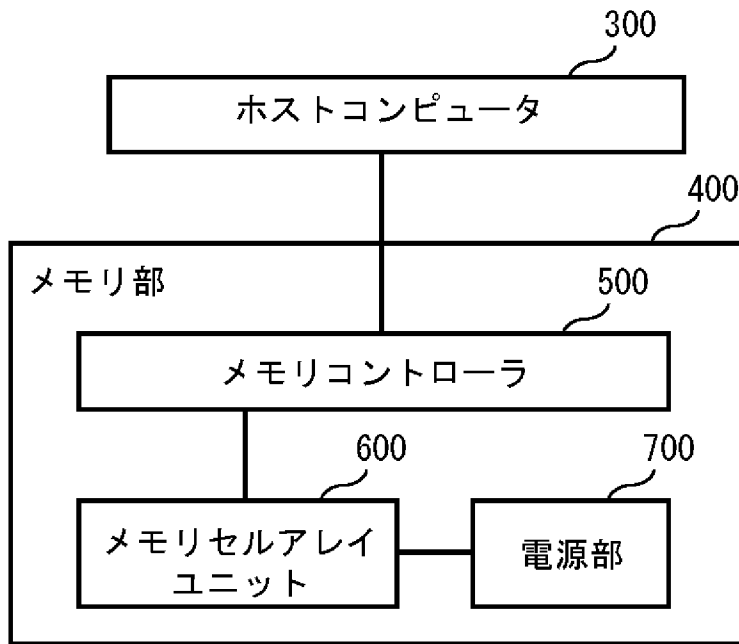
[図17]



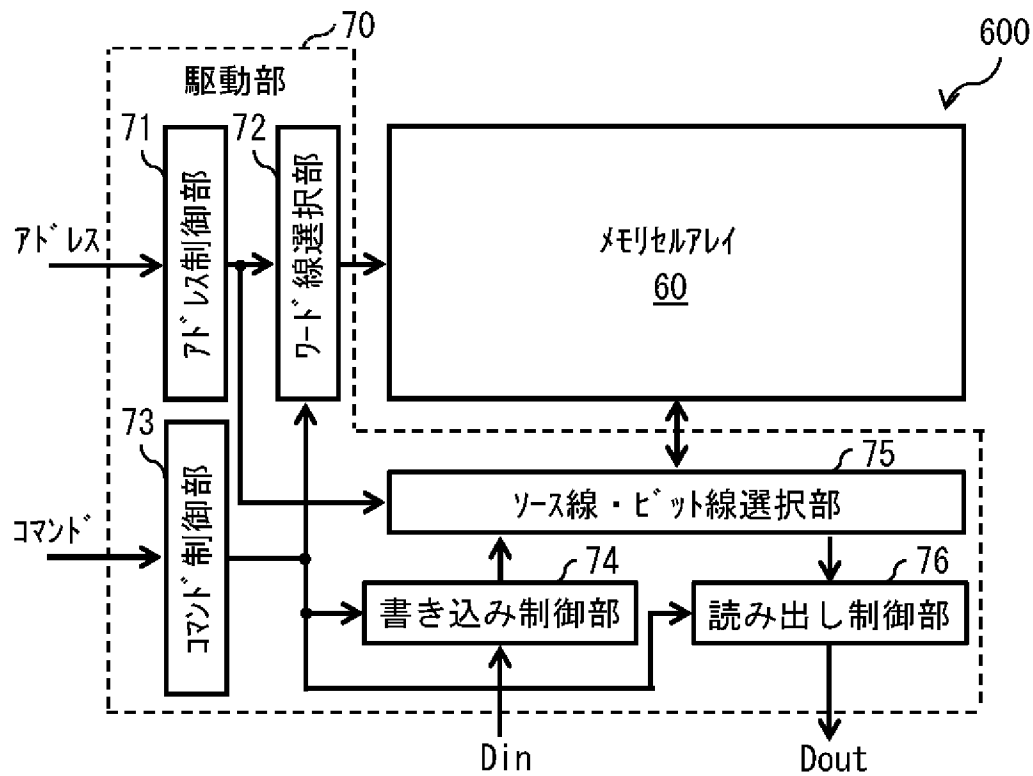
[図18]

動作	入力			レジスタ値	出力
	WL	SL	BL		BL
1 write	1	1	0	1	Hi-z
0 write	1	0	1	0	Hi-z
read	1	0	Hi-z	1	1
				0	0
非選択	0	-	-	-	Hi-z

[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029021

A. CLASSIFICATION OF SUBJECT MATTER**G06F 30/3308**(2020.01)i

FI: G06F30/3308

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F30/3308

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore; JSTPlus (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/155323 A1 (SHANDONG SINOCHIP SEMICONDUCTORS CO., LTD.) 06 October 2016 (2016-10-06) entire text, all drawings	1-7
A	AKOU, Nobuo et al. A behavioral model of unipolar resistive RAMs and its application to HSPICE integration. IEICE Electronics Express [online]., 10 October 2010 [retrieved on 11 October 2021], vol. 7(2010), no. 19, pp. 1467-1473, Retrieved from: J-STAGE, <DOI: https://doi.org/10.1587/elex.7.1467 > entire text, all drawings	1-7
A	WO 2017/176217 A1 (AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH) 12 October 2017 (2017-10-12) entire text, all drawings	1-7

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

11 October 2021

Date of mailing of the international search report

19 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/029021

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/155323	A1	06 October 2016	CN 104794261 A entire text, all drawings	
WO	2017/176217	A1	12 October 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 30/3308(2020.01)i FI: G06F30/3308		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G06F30/3308		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore; JSTPlus (JDreamIII)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/155323 A1 (SHANDONG SINOCHIP SEMICONDUCTORS CO.,LTD.) 06.10.2016 (2016-10-06) 全文, 全図	1-7
A	AKOU Nobuo et al., A behavioral model of unipolar resistive RAMs and its application to HSPICE integration, IEICE Electronics Express [online], 2010.10.10 [retrieved on 2021.10.11], Vol.7(2010), No.19, pages 1467-1473, Retrieved from: J-STAGE, <DOI: https://doi.org/10.1587/elex.7.1467> 全文, 全図	1-7
A	WO 2017/176217 A1 (AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH) 12.10.2017 (2017-10-12) 全文, 全図	1-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11.10.2021		国際調査報告の発送日 19.10.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 合田 幸裕 5H 4689 電話番号 03-3581-1101 内線 3531

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029021

引用文献			公表日	パテントファミリー文献	公表日
WO	2016/155323	A1	06.10.2016	CN 104794261 A 全文, 全図	
WO	2017/176217	A1	12.10.2017	(ファミリーなし)	