



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0053001
(43) 공개일자 2016년05월13일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G09F 9/00 (2006.01)
H01L 27/32 (2006.01)
(21) 출원번호 10-2014-0149057
(22) 출원일자 2014년10월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정승호
경기도 화성시 동탄문화센터로 39, 320동 406호
최천기
경기도 수원시 영통구 매봉로 20 매탄e편한세상아파트, 105동 2101동
(뒷면에 계속)
(74) 대리인
박영우

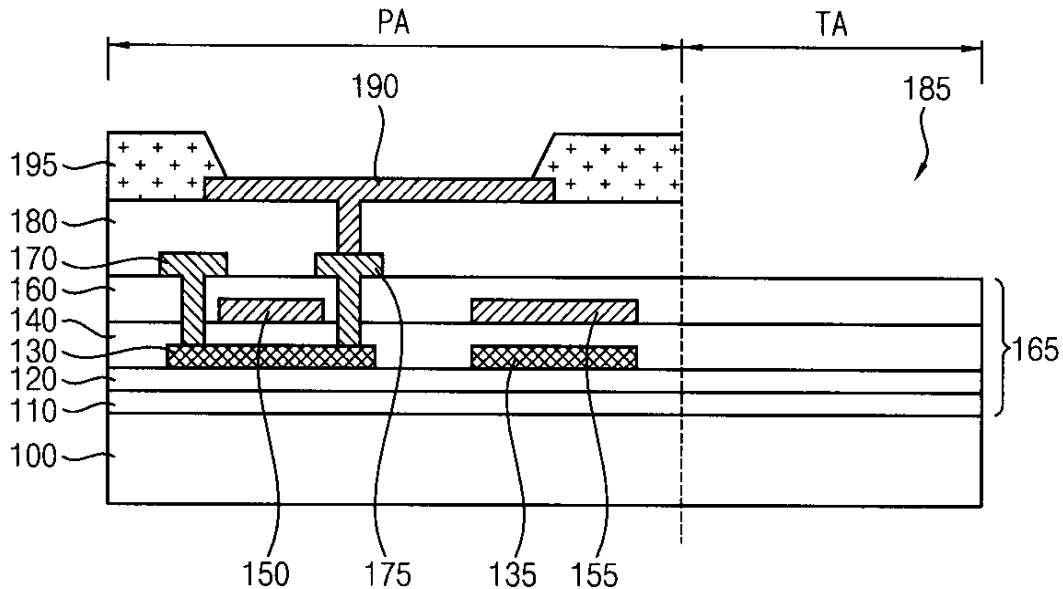
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 투명 표시 기판, 투명 표시 장치 및 투명 표시 장치의 제조 방법

(57) 요약

투명 표시 기판은 화소 영역 및 투과 영역을 포함하는 베이스 기판, 상기 베이스 기판 상에 형성된 배리어막, 상기 화소 영역의 상기 배리어막 부분 상에 배치되는 화소 회로, 상기 배리어막 상에 형성되며 상기 화소 회로를 커버하는 절연막, 상기 화소 영역 상에 선택적으로 배치되며 상기 절연막을 적어도 부분적으로 관통하여 상기 화소 회로와 전기적으로 연결되는 화소 전극, 및 상기 베이스 기판의 상기 투과 영역 상에 배치되며, 실리콘 산질 화물을 포함하는 단일 조성의 투과막 구조물을 포함한다.

대표도 - 도2



(72) 발명자

윤영식

서울특별시 강남구 개포로110길 15, 113동 706호

전주희

경기도 안양시 동안구 관악대로 135, 123동 702호

조정연

경기도 남양주시 진접읍 금강로1576번길 19, 101동
801호

명세서

청구범위

청구항 1

화소 영역 및 투과 영역을 포함하는 베이스 기판;

상기 베이스 기판의 상기 화소 영역 상에 배치되는 화소 회로;

상기 화소 회로를 커버하는 절연막;

상기 베이스 기판의 상기 화소 영역 상에 선택적으로 배치되며, 상기 절연막을 적어도 부분적으로 관통하여 상기 화소 회로와 전기적으로 연결되는 화소 전극; 및

상기 베이스 기판의 상기 투과 영역 상에 배치되며, 실리콘 산질화물을 포함하는 단일 조성의 투과막 구조물을 포함하는 투명 표시 기판.

청구항 2

제1항에 있어서, 상기 베이스 기판 및 상기 화소 회로 사이에 형성된 배리어막을 더 포함하는 투명 표시 기판.

청구항 3

제2항에 있어서, 상기 배리어막 및 상기 화소 회로 사이에 형성된 버퍼막을 더 포함하는 투명 표시 기판.

청구항 4

제3항에 있어서, 상기 배리어막 및 상기 버퍼막은 실리콘 산질화물로 구성되는 투명 표시 기판.

청구항 5

제4항에 있어서, 상기 투과막 구조물은 상기 배리어막 및 상기 버퍼막의 상기 투과 영역 상에 형성된 부분들을 포함하는 투명 표시 기판.

청구항 6

제5항에 있어서, 상기 투과막 구조물에 포함된 상기 배리어막 및 상기 버퍼막 부분들은 서로 병합되어, 상기 투과막 구조물은 단일 층 구조를 갖는 투명 표시 기판.

청구항 7

제5항에 있어서, 상기 절연막은 상기 화소 영역 상에 선택적으로 배치되며, 상기 투과 영역 상으로는 연장되지 않는 투명 표시 기판.

청구항 8

제2항에 있어서, 상기 화소 회로는 상기 배리어막 상에 적층된 액티브 패턴, 게이트 전극, 소스 전극 및 드레인 전극을 포함하며,

상기 절연막은,

상기 배리어막 상에 형성되며 상기 액티브 패턴을 커버하는 게이트 절연막;

상기 게이트 절연막 상에 형성되며 상기 게이트 전극을 커버하는 층간 절연막; 및

상기 층간 절연막 상에 배치되며 상기 소스 전극 및 상기 드레인 전극을 커버하는 비아 절연막을 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 및 상기 게이트 절연막을 관통하여 상기 액티브 패턴과 접촉하며,

상기 화소 전극은 상기 비아 절연막 상에 배치되며, 상기 비아 절연막을 관통하여 상기 드레인 전극과 접촉하는 투명 표시 기판.

청구항 9

제8항에 있어서, 상기 비아 절연막은 유기 물질을 포함하며, 상기 화소 영역 상에 선택적으로 배치되는 투명 표시 기판.

청구항 10

제8항에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 실리콘 산질화물로 구성되는 투명 표시 기판.

청구항 11

제10항에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 및 상기 투과 영역 상에서 공통으로 연속적으로 연장되는 투명 표시 기판.

청구항 12

제11항에 있어서, 상기 투과막 구조물은 상기 투과 영역 상에 형성된 상기 배리어막, 상기 게이트 절연막 및 상기 층간 절연막 부분들을 포함하는 투명 표시 기판.

청구항 13

제12항에 있어서, 상기 투과막 구조물들에 포함된 막들은 서로 병합되어 상기 투과막 구조물은 단일 층 구조를 갖는 투명 표시 기판.

청구항 14

제8항에 있어서, 상기 배리어막 및 상기 게이트 절연막 사이에 형성된 버퍼막을 더 포함하며, 상기 배리어막 및 상기 버퍼막은 실리콘 산질화물로 구성되는 투명 표시 기판

청구항 15

제14항에 있어서, 상기 배리어막, 상기 버퍼막, 상기 게이트 절연막 및 상기 층간 절연막 중 적어도 하나는 산소 및 질소의 상대적인 수직 농도 구배를 포함하는 실리콘 산질화물로 구성되는 투명 표시 기판.

청구항 16

제15항에 있어서, 상기 버퍼막은 상기 배리어막과의 계면에서는 질소가 상대적으로 풍부하며, 상기 게이트 절연막과의 계면에서는 산소가 상대적으로 풍부한 투명 표시 기판.

청구항 17

제15항에 있어서, 상기 게이트 절연막은 상기 버퍼막과의 계면에서는 산소가 상대적으로 풍부하며, 상기 층간 절연막과의 계면에서는 질소가 상대적으로 풍부한 투명 표시 기판.

청구항 18

화소 영역 및 투과 영역을 포함하는 베이스 기판;

상기 베이스 기판의 상기 화소 영역 상에 배치되는 화소 회로;

상기 베이스 기판의 상기 화소 영역 상에 선택적으로 배치되며, 상기 화소 회로와 전기적으로 연결되는 화소 전극;

상기 화소 전극 상에 형성된 표시층;

상기 표시층 상에 배치되며 상기 화소 전극과 마주보는 대향 전극;

상기 베이스 기판의 상기 투과 영역 상에 배치되며, 실리콘 산질화물로 구성되는 투과막 구조물; 및

상기 베이스 기판의 상기 투과 영역 상에서 정의되며 상기 투과막 구조물 상면을 노출시키는 투과창을 포함하는

투명 표시 장치.

청구항 19

제18항에 있어서,

상기 베이스 기판 및 상기 화소 회로 사이에 형성된 배리어막;

상기 배리어막 상에 순차적으로 형성되며 상기 화소 회로를 부분적으로 커버하는 게이트 절연막 및 층간 절연막;

상기 화소 영역의 상기 층간 절연막 부분 상에 선택적으로 배치되어 상기 화소 회로를 커버하는 비아 절연막; 및

상기 비아 절연막 상에 배치되어 상기 화소 전극을 부분적으로 커버하는 화소 정의막을 더 포함하는 투명 표시 장치.

청구항 20

제19항에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 및 상기 투과 영역 상에 공통으로 제공되며,

상기 배리어막, 상기 게이트 절연막 및 상기 층간 절연막은 실리콘 산질화물로 구성되며,

상기 투과막 구조물은 실리콘 산질화물을 포함하는 단일 조성의 단일 층 구조를 갖는 투명 표시 장치.

청구항 21

제20항에 있어서, 상기 투과창은 상기 화소 정의막 및 상기 비아 절연막의 측벽들, 및 상기 층간 절연막의 상면에 의해 정의되는 투명 표시 장치.

청구항 22

제19항에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 상에 선택적으로 배치되며,

상기 투과창은 상기 화소 정의막, 상기 비아 절연막, 상기 층간 절연막 및 상기 게이트 절연막의 측벽들, 및 상기 배리어막의 상면에 의해 정의되는 투명 표시 장치.

청구항 23

제19항에 있어서, 상기 대향 전극은 상기 화소 정의막 및 상기 화소 전극의 표면들, 및 상기 투과창의 측벽 및 저면을 따라 형성되며,

상기 대향 전극의 상기 투과창의 상기 측벽 및 저면 상에 형성된 부분은 상기 화소 정의막 및 상기 화소 전극의 상기 표면들 상에 형성된 부분보다 얇은 두께를 갖는 투명 표시 장치.

청구항 24

제18항에 있어서, 상기 대향 전극은 상기 화소 영역 상에 선택적으로 배치되며, 상기 투과 영역 상으로 연장되지 않는 투명 표시 장치.

청구항 25

제24항에 있어서, 상기 투과막 구조물 상에 배치된 증착 조절막을 더 포함하는 투명 표시 장치.

청구항 26

화소 영역 및 투과 영역을 포함하는 베이스 기판을 공정 챔버에 로딩하는 단계;

상기 공정 챔버 내에 실리콘 산화물 전구체 및 가변 유량의 질소 소스를 도입하여 실리콘 산질화물로 구성된 배리어막을 형성하는 단계;

상기 배리어막 상에 화소 회로를 형성하는 단계;

상기 배리어막 상에 상기 화소 회로를 커버하는 절연막을 형성하는 단계;
상기 절연막 상에 상기 화소 회로와 전기적으로 연결되는 화소 전극을 형성하는 단계;
상기 투과 영역 상에 형성된 절연막 부분을 적어도 부분적으로 제거하는 단계;
상기 화소 전극 상에 표시층을 형성하는 단계; 및
상기 표시층 상에 대향 전극을 형성하는 단계를 포함하는 투명 표시 장치의 제조 방법.

청구항 27

제26항에 있어서, 상기 배리어막을 형성하는 단계는,
상기 질소 소스의 유량을 조절하여 산소 및 질소의 상대적인 농도 구배를 생성하는 단계를 포함하는 투명 표시 장치의 제조 방법.

청구항 28

제26항에 있어서, 상기 베이스 기판은 폴리이미드 계열 수지를 포함하며,
상기 질소 소스는 상이한 복수의 질소 함유 가스들을 포함하며,
상기 배리어막을 형성하는 단계는,
상기 질소 소스 함유 가스들의 상대적인 유량을 조절하여 상기 베이스 기판의 굴절률과 정합시키는 단계를 포함하는 투명 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 투명 표시 기판, 투명 표시 장치 및 투명 표시 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 절연막 적층 구조를 포함하는 투명 표시 기판, 투명 표시 장치 및 투명 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 유기 발광 표시(Organic Light Emitting Display: OLED) 장치와 같은 표시 장치에 있어서 투과성 또는 투명성을 구현하려는 연구가 지속되고 있다.

[0003] 투명 표시 장치를 구현하기 위해, 기판, 전극, 절연막, 캡핑막 등과 같은 다양한 재료들의 조성, 배치, 두께 등 다양한 변수들을 최적화하는 것이 필요하다. 예를 들면, OLED 장치의 경우 서로 다른 물질을 포함하는 다수의 절연막들이 적층되며, 이에 따라 광학적 특성이 저하되어 원하는 투명성을 획득하는 것이 용이하지 않다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 과제는 투과도가 향상된 투명 표시 기판을 제공하는 것이다.
[0005] 본 발명의 일 과제는 투과도가 향상된 투명 표시 장치를 제공하는 것이다.
[0006] 본 발명의 일 과제는 투과도가 향상된 투명 표시 장치의 제조 방법을 제공하는 것이다.
[0007] 본 발명이 해결하고자 하는 과제가 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 상술한 본 발명의 일 과제를 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 투명 표시 기판은 화소 영역 및 투과 영역을 포함하는 베이스 기판, 상기 베이스 기판의 상기 화소 영역 상에 배치되는 화소 회로, 상기 화소 회로를 커버하는 절연막, 상기 화소 영역 상에 선택적으로 배치되며 상기 절연막을 적어도 부분적으로 관

통하여 상기 화소 회로와 전기적으로 연결되는 화소 전극, 및 상기 베이스 기관의 상기 투과 영역 상에 배치되며 실리콘 산질화물을 포함하는 단일 조성의 투과막 구조물을 포함한다.

- [0009] 예시적인 실시예들에 있어서, 상기 투명 표시 기관은 상기 베이스 기관 및 상기 상기 화소 회로 사이에 형성된 배리어막을 더 포함할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 투명 표시 기관은 상기 배리어막 및 상기 화소 회로 사이에 형성된 버퍼막을 더 포함할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 배리어막 및 상기 버퍼막은 실리콘 산질화물로 구성될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 투과막 구조물은 상기 배리어막 및 상기 버퍼막의 상기 투과 영역 상에 형성된 부분들을 포함할 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 투과막 구조물에 포함된 상기 배리어막 및 상기 버퍼막 부분들은 서로 병합되어, 상기 투과막 구조물은 단일 층 구조를 가질 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 절연막은 상기 화소 영역 상에 선택적으로 배치되며, 상기 투과 영역 상으로 는 연장되지 않을 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 화소 회로는 상기 배리어막 상에 적층된 액티브 패턴, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다. 상기 절연막은 상기 배리어막 상에 형성되며 상기 액티브 패턴을 커버하는 게이트 절연막, 상기 게이트 절연막 상에 형성되며 상기 게이트 전극을 커버하는 층간 절연막, 및 상기 층간 절연막 상에 배치되며 상기 소스 전극 및 상기 드레인 전극을 커버하는 비아 절연막을 포함할 수 있다. 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 및 상기 게이트 절연막을 관통하여 상기 액티브 패턴과 접촉할 수 있다. 상기 화소 전극은 상기 비아 절연막 상에 배치되며, 상기 비아 절연막을 관통하여 상기 드레인 전극과 접촉할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 비아 절연막은 유기 물질을 포함하며, 상기 화소 영역 상에 선택적으로 배치될 수 있다.
- [0017] 예시적인 실시예들에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 실리콘 산질화물로 구성될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 및 상기 투과 영역 상에서 공통으로 연속적으로 연장될 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 투과막 구조물은 상기 투과 영역 상에 형성된 상기 배리어막, 상기 게이트 절연막 및 상기 층간 절연막 부분들을 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 투과막 구조물들에 포함된 막들은 서로 병합되어 상기 투과막 구조물은 단일 층 구조를 가질 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 투명 표시 기관은 상기 배리어막 및 상기 게이트 절연막 사이에 형성된 버퍼막을 더 포함할 수 있다. 상기 배리어막 및 상기 버퍼막은 실리콘 산질화물로 구성될 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 배리어막, 상기 버퍼막, 상기 게이트 절연막 및 상기 층간 절연막 중 적어도 하나는 산소 및 질소의 상대적인 수직 농도 구배를 포함하는 실리콘 산질화물로 구성될 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 버퍼막은 상기 배리어막과의 계면에서는 질소가 상대적으로 풍부하며, 상기 게이트 절연막과의 계면에서는 산소가 상대적으로 풍부할 수 있다.
- [0024] 예시적인 실시예들에 있어서, 상기 게이트 절연막은 상기 버퍼막과의 계면에서는 산소가 상대적으로 풍부하며, 상기 층간 절연막과의 계면에서는 질소가 상대적으로 풍부할 수 있다.
- [0025] 상술한 본 발명의 일 과제를 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 투명 표시 장치는 화소 영역 및 투과 영역을 포함하는 베이스 기관, 상기 베이스 기관의 상기 화소 영역 상에 배치되는 화소 회로, 상기 베이스 기관의 상기 화소 영역 상에 선택적으로 배치되며, 상기 화소 회로와 전기적으로 연결되는 화소 전극, 상기 화소 전극 상에 형성된 표시층, 상기 표시층 상에 배치되며 상기 화소 전극과 마주보는 대향 전극, 상기 베이스 기관의 상기 투과 영역 상에 배치되며 실리콘 산질화물로 구성되는 투과막 구조물, 및 상기 베이스 기관의 상기 투과 영역 상에서 정의되며 상기 투과막 구조물 상면을 노출시키는 투과창을 포함한다.

- [0026] 예시적인 실시예들에 있어서, 상기 투명 표시 장치는 상기 베이스 기판 및 상기 화소 회로 사이에 형성된 배리어막, 상기 배리어막 상에 순차적으로 형성되며 상기 화소 회로를 부분적으로 커버하는 게이트 절연막 및 층간 절연막, 상기 화소 영역의 상기 층간 절연막 부분 상에 선택적으로 배치되어 상기 화소 회로를 커버하는 비아 절연막, 및 상기 비아 절연막 상에 배치되어 상기 화소 전극을 부분적으로 커버하는 화소 정의막을 더 포함할 수 있다.
- [0027] 예시적인 실시예들에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 및 상기 투과 영역 상에 공통으로 제공될 수 있다. 상기 배리어막, 상기 게이트 절연막 및 상기 층간 절연막은 실리콘 산질화물로 구성될 수 있다. 상기 투과막 구조물은 실리콘 산질화물을 포함하는 단일 조성의 단일 층 구조를 가질 수 있다.
- [0028] 예시적인 실시예들에 있어서, 상기 투과창은 상기 화소 정의막 및 상기 비아 절연막의 측벽들, 및 상기 층간 절연막의 상면에 의해 정의될 수 있다.
- [0029] 예시적인 실시예들에 있어서, 상기 게이트 절연막 및 상기 층간 절연막은 상기 화소 영역 상에 선택적으로 배치될 수 있다. 상기 투과창은 상기 화소 정의막, 상기 비아 절연막, 상기 층간 절연막 및 상기 게이트 절연막의 측벽들, 및 상기 배리어막의 상면에 의해 정의될 수 있다.
- [0030] 예시적인 실시예들에 있어서, 상기 대향 전극은 상기 화소 정의막 및 상기 화소 전극의 표면들, 및 상기 투과창의 측벽 및 저면을 따라 형성될 수 있다. 상기 대향 전극의 상기 투과창의 상기 측벽 및 저면 상에 형성된 부분은 상기 화소 정의막 및 상기 화소 전극의 상기 표면들 상에 형성된 부분보다 얇은 두께를 가질 수 있다.
- [0031] 예시적인 실시예들에 있어서, 상기 대향 전극은 상기 화소 영역 상에 선택적으로 배치되며, 상기 투과 영역 상으로 연장되지 않을 수 있다.
- [0032] 예시적인 실시예들에 있어서, 상기 투명 표시 장치는 상기 투과막 구조물 상에 배치된 증착 조절막을 더 포함할 수 있다.
- [0033] 상술한 본 발명의 일 과제를 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 투명 표시 장치의 제조 방법에 따르면, 화소 영역 및 투과 영역을 포함하는 베이스 기판을 공정 챔버에 로딩한다. 상기 공정 챔버 내에 실리콘 산화물 전구체 및 가변 유량의 질소 소스를 도입하여 실리콘 산질화물로 구성된 배리어막을 형성한다. 상기 배리어막 상에 화소 회로를 형성한다. 상기 배리어막 상에 상기 화소 회로를 커버하는 절연막을 형성한다. 상기 절연막 상에 상기 화소 회로와 전기적으로 연결되는 화소 전극을 형성한다. 상기 투과 영역 상에 형성된 절연막 부분을 적어도 부분적으로 제거한다. 상기 화소 전극 상에 표시층을 형성한다. 상기 표시층 상에 대향 전극을 형성한다.
- [0034] 예시적인 실시예들에 있어서, 상기 배리어막을 형성함에 있어서, 상기 질소 소스의 유량을 조절하여 산소 및 질소의 상대적인 농도 구배를 생성할 수 있다.
- [0035] 예시적인 실시예들에 있어서, 상기 베이스 기판은 폴리이미드 계열 수지를 포함할 수 있다. 상기 질소 소스는 상이한 복수의 질소 함유 가스들을 포함할 수 있다. 상기 배리어막을 형성함에 있어서, 상기 질소 소스 함유 가스들의 상대적인 유량을 조절하여 상기 베이스 기판의 굴절률과 정합시킬 수 있다.

발명의 효과

- [0036] 전술한 바와 같이 본 발명의 예시적인 실시예들에 따르면, 투명 표시 기판 상에 적층되는 절연막들을 실질적으로 실리콘 산질화물의 단일 조성으로 형성할 수 있다. 이에 따라, 상기 절연막들의 유전 특성, 투습 방지 특성과 같은 소정의 특성을 확보함과 동시에, 예를 들면 굴절률 변화에 따른 투과도 저하 현상을 최소화할 수 있다. 따라서, 투과도가 향상된 투명 표시 장치를 구현할 수 있다.

도면의 간단한 설명

- [0037] 도 1은 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 개략적인 평면도이다.
- 도 2 및 도 3은 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 단면도들이다.
- 도 4 및 도 5는 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 단면도들이다.
- 도 6 및 도 7은 예시적인 실시예들에 따른 투명 표시 장치를 나타내는 단면도들이다.

도 8 및 도 9는 예시적인 실시예들에 따른 투명 표시 장치를 나타내는 단면도들이다.

도 10은 일부 실시예들에 따른 투명 표시 장치를 나타내는 단면도이다.

도 11 내지 도 17b는 예시적인 실시예들에 따른 투명 표시 장치의 제조 방법을 설명하기 위한 단면도들이다,

도 18 내지 도 20은 예시적인 실시예들에 따른 투명 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 이 때, 도면상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서는 중복되는 설명을 생략하기로 한다.
- [0039] 도 1은 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 개략적인 평면도이다. 도 2 및 도 3은 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 단면도들이다. 예를 들면, 도 2 및 도 3은 도 1의 I-I'라인을 따라 절단한 단면도들이다.
- [0040] 도 1 및 도 2를 참조하면, 상기 투명 표시 기판은 화소 영역(Pixel Area: PA) 및 투과 영역(Transmittance Area: TA)을 포함할 수 있다.
- [0041] 화소 영역(PA)은 서로 인접하게 배치되는 적색 화소(Pr), 녹색 화소(Pg) 및 청색 화소(Pb)를 포함할 수 있다. 투과 영역(TA)은 화소 영역(PA)에 인접하게 배치될 수 있다. 도 1에 도시된 바와 같이, 투과 영역(TA)은 적색 화소(Pr), 녹색 화소(Pg) 및 청색 화소(Pb)들과 인접하며 연속적으로 연장될 수 있다. 일부 실시예들에 있어서, 투과 영역(TA)은 각 화소 들마다 패터닝되어 독립적으로 제공될 수도 있다.
- [0042] 화소 영역(PA)의 각 화소에는 박막 트랜지스터(Thin Film Transistor: TFT)와 같은 트랜지스터가 배치되며, 상기 트랜지스터는 데이터 라인(D) 및 스캔 라인(S)과 전기적으로 연결될 수 있다. 도 1에 도시된 바와 같이 데이터 라인(D) 및 스캔 라인(S)은 서로 교차하도록 배치되며, 데이터 라인(D) 및 스캔 라인(S)의 교차 영역 마다 상기 각 화소가 정의될 수 있다. 또한, 데이터 라인(D), 스캔 라인(S) 및 상기 트랜지스터에 의해 화소 회로가 정의될 수 있다.
- [0043] 도 1에 도시되지는 않았으나, 상기 화소 회로는 예를 들면, 데이터 라인(D)과 평행하게 배치되는 전원 라인(Vdd)을 더 포함할 수 있다. 또한, 전원 라인(Vdd) 및 상기 트랜지스터와 전기적으로 연결되는 커패시터가 각 화소 마다 배치될 수도 있다.
- [0044] 도 1 및 도 2에서는 하나의 트랜지스터만을 도시하였으나, 적어도 2이상의 트랜지스터들이 상기 각 화소마다 배치될 수 있다. 예를 들면, 상기 각 화소마다 스위칭 트랜지스터 및 구동 트랜지스터가 배치될 수 있다. 상기 스위칭 트랜지스터 및 상기 구동 트랜지스터 사이에 상기 커패시터가 전기적으로 연결될 수 있다.
- [0045] 도 2에 도시된 바와 같이, 상기 트랜지스터 및 상기 커패시터는 베이스 기판(100) 상에 형성된 버퍼막(120)의 화소 영역(PA) 부분 상에 배치될 수 있다. 상기 트랜지스터는 제1 액티브 패턴(130), 게이트 절연막(140), 제1 게이트 전극(150), 층간 절연막(160), 소스 전극(170) 및 드레인 전극(175)을 포함할 수 있다. 상기 트랜지스터를 커버하는 비아 절연막(180)이 형성되며, 비아 절연막(180) 상에는 화소 전극(190) 및 화소 정의막(195)이 배치될 수 있다.
- [0046] 상기 커패시터는 버퍼막 상에 배치된 제2 액티브 패턴(135), 게이트 절연막(140) 및 제2 게이트 전극(155)에 의해 정의될 수 있다.
- [0047] 베이스 기판(100)으로서 투명 절연 기판을 사용할 수 있다. 예를 들면, 베이스 기판(100)은 투명성 및 소정의 유연성을 갖는 폴리머 재질의 물질을 포함할 수 있다. 일부 실시예들에 있어서, 베이스 기판(100)은 폴리이미드 계열 수지를 포함할 수 있다.
- [0048] 베이스 기판(100)은 상술한 바와 같이 화소 영역(PA) 및 투과 영역(TA)으로 구분될 수 있다.
- [0049] 베이스 기판(100) 상에는 배리어막(barrier layer)(110) 및 버퍼막(buffer layer)(120)이 순차적으로 형성될 수 있다. 배리어막(110) 및 버퍼막(120)은 실질적으로 베이스 기판(100)의 전체 상면을 커버할 수 있다.
- [0050] 배리어막(110)에 의해 베이스 기판(100)을 통해 침투하는 수분이 차단될 수 있다. 또한, 베이스 기판(100) 및 베이스 기판(100) 상에 형성된 구조물 사이의 불순물 확산이 차단될 수 있다.

- [0051] 버퍼막(120)에 의해 상기 불순물 확산이 추가로 차단될 수 있으며, 베이스 기판(100) 상에 형성된 구조물로부터 발생하는 응력이 완화될 수 있다.
- [0052] 예시적인 실시예들에 따르면, 배리어막(110) 및 버퍼막(120)은 실리콘 산질화물(SiO_xN_y)을 포함할 수 있다. 일부 실시예들에 있어서, 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질화물로 구성될 수 있다. 이에 따라, 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질화물에 의한 단일 조성을 가질 수 있다.
- [0053] 일부 실시예들에 있어서, 배리어막(110) 및 버퍼막(120) 중 어느 하나가 생략될 수도 있다. 이 경우, 베이스 기판(100) 상에 실질적으로 실리콘 산질화물로 구성된 단일층의 배리어막이 형성될 수 있다.
- [0054] 화소 영역(PA)의 버퍼막(120) 상에는 액티브 패턴이 배치될 수 있다. 상기 액티브 패턴은 제1 액티브 패턴(130) 및 제2 액티브 패턴(135)을 포함할 수 있다.
- [0055] 상기 액티브 패턴은 폴리실리콘과 같은 실리콘 화합물을 포함할 수 있다. 일 실시예에 있어서, 제1 액티브 패턴(130)의 양 단부에는 p형 혹은 n형 불순물을 포함하는 소스 영역 및 드레인 영역이 형성될 수 있다. 제2 액티브 패턴(135) 역시 상기 불순물을 포함할 수 있으며, 상기 불순물은 제2 액티브 패턴(135)의 실질적으로 전체 영역에 걸쳐 분포될 수 있다.
- [0056] 일부 실시예들에 있어서, 상기 액티브 패턴은 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 아연-주석 산화물(Zinc Tin Oxide: ZTO), 또는 인듐-주석-아연 산화물(Indium Tin Zinc Oxide: ITZO)과 같은 산화물 반도체를 포함할 수도 있다.
- [0057] 도 2에 도시된 바와 같이, 제1 및 제2 액티브 패턴들(130, 135)은 실질적으로 동일한 레벨 혹은 동일한 평면 상에 배치될 수 있다.
- [0058] 게이트 절연막(140)은 버퍼막(120) 상에 형성되어 상기 액티브 패턴들을 커버할 수 있다. 예시적인 실시예들에 있어서, 게이트 절연막(140)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물을 포함하는 단일 조성의 단일층 구조를 가질 수 있다. 일부 실시예들에 있어서, 게이트 절연막(140)은 배리어막(110) 및 버퍼막(120)과 유사하게 실질적으로 실리콘 산질화물로 구성된 단일층 구조를 가질 수 있다.
- [0059] 게이트 절연막(140) 상에는 게이트 전극이 배치될 수 있다. 일부 실시예들에 있어서, 상기 게이트 전극은 제1 게이트 전극(150) 및 제2 게이트 전극(155)을 포함할 수 있다. 제1 게이트 전극(150) 및 제2 게이트 전극(155)은 각각 제1 액티브 패턴(130) 및 제2 액티브 패턴(135)과 실질적으로 중첩될 수 있다.
- [0060] 제1 게이트 전극(150)은 스캔 라인(S)과 전기적으로 연결될 수 있다. 예를 들면, 제1 게이트 전극(150)은 스캔 라인(S)으로부터 분기되는 형태를 가질 수 있다. 제1 및 제2 게이트 전극들(130, 135)은 실질적으로 동일한 레벨 혹은 동일한 평면 상에 배치될 수 있다.
- [0061] 상기 게이트 전극은 알루미늄(Al), 은(Ag), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc) 등과 같은 금속 물질, 상기 금속들의 합금 또는 상기 금속들의 질화물을 포함할 수 있다. 이들은 단독으로 혹은 2 이상이 조합되어 사용될 수 있다. 일 실시예에 있어서, 상기 게이트 전극은 저저항화를 위해, 예를 들면 알루미늄과 몰리브덴이 적층된 Al/Mo 구조 혹은 티타늄과 구리가 적층된 Ti/Cu 구조를 가질 수 있다.
- [0062] 층간 절연막(160)은 게이트 절연막(140) 상에 형성되어 게이트 전극들(150, 155)을 커버할 수 있다. 예시적인 실시예들에 있어서, 층간 절연막(160)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물을 포함하는 단일 조성의 단일층 구조를 가질 수 있다. 일부 실시예들에 있어서, 층간 절연막(160)은 배리어막(110) 및 버퍼막(120)과 유사하게 실질적으로 실리콘 산질화물로 구성된 단일층 구조를 가질 수 있다.
- [0063] 소스 전극(170) 및 드레인 전극(175)은 층간 절연막(160) 및 게이트 절연막(140)을 관통하여 제1 액티브 패턴(130)과 접촉할 수 있다. 소스 전극(170) 및 드레인 전극(175)은 Al, Ag, W, Cu, Ni, Cr, Mo, Ti, Pt, Ta, Nd, Sc 등과 같은 금속 물질, 상기 금속들의 합금 또는 상기 금속들의 질화물을 포함할 수 있다. 이들은 단독으로 혹은 2 이상이 조합되어 사용될 수 있다. 예를 들면, 소스 전극(170) 및 드레인 전극(175)은 예를 들면, Al 층 및 Mo 층과 같은 서로 다른 2개 이상의 금속층이 적층된 구조를 가질 수도 있다.
- [0064] 소스 전극(170) 및 드레인 전극(175)은 각각 제1 액티브 패턴(130)의 상기 소스 영역 및 상기 드레인 영역에 각각 접촉될 수 있다. 이 경우, 상기 소스 영역 및 상기 드레인 영역 사이의 제1 액티브 패턴(130) 부분은 전하가 이동하는 채널로서 제공될 수 있다.

- [0065] 소스 전극(170)은 데이터 라인(D)과 전기적으로 연결될 수 있다. 예를 들면, 소스 전극(170)은 데이터 라인(D)으로부터 분기되는 형태를 가질 수 있다.
- [0066] 상술한 제1 액티브 패턴(130), 게이트 절연막(140), 제1 게이트 전극(150), 소스 전극(170) 및 드레인 전극(175)에 의해 상기 박막 트랜지스터가 정의될 수 있다. 또한, 제2 액티브 패턴(135), 게이트 절연막(140) 및 제2 게이트 전극(155)에 의해 커패시터가 정의될 수 있다.
- [0067] 도 2에서는 제1 게이트 전극(150)이 제1 액티브 패턴(130) 상부에 배치되는 탑 게이트(Top Gate) 구조의 박막 트랜지스터가 도시되었으나, 상기 박막 트랜지스터는 제1 게이트 전극(150)이 제1 액티브 패턴(130) 하부에 배치되는 바텀 게이트(Bottom Gate) 구조를 가질 수도 있다.
- [0068] 도 2에 도시된 바와 같이, 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)은 화소 영역(PA) 및 투과 영역(TA) 상에서 연속적으로 공통으로 연장될 수 있다. 이에 따라, 상기 박막 트랜지스터, 상기 커패시터 및 배선들이 배치되지 않는 투과 영역(TA)의 베이스 기판(100) 상에는 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)이 순차적으로 적층된 투과막 구조물(165)이 형성될 수 있다.
- [0069] 상술한 바와 같이 예시적인 실시예들에 따르면, 배리어막(110) 및 버퍼막(120)은 각각 실질적으로 실리콘 산질 화물로 구성된 단일 층 구조를 가질 수 있다. 일부 실시예들에 있어서, 게이트 절연막(140) 및 층간 절연막(160) 역시 각각 실질적으로 실리콘 산질 화물로 구성된 단일 층 구조를 가질 수 있다. 이 경우, 투과막 구조물(165)은 전체적으로 실리콘 산질 화물의 단일 조성 적층체일 수 있다.
- [0070] 비교예에 있어서, 투명 표시 기판에 포함되는 배리어막, 버퍼막, 게이트 절연막 또는 층간 절연막은 각각 실리콘 산화막 및 실리콘 질화막의 적층 구조를 가질 수 있다. 예를 들면, 상기 배리어막 또는 상기 버퍼막의 경우, 투습 차단을 위해 실리콘 질화막을 포함할 수 있다. 그러나, 상기 실리콘 질화막이 적층되는 경우 응력 또는 스트레스가 증가하여 상기 투명 표시 기판에 포함되는 박막 트랜지스터와 같은 소자의 신뢰성을 저하시킬 수 있다. 이에 따라, 상기 응력 또는 스트레스 완화 혹은 완충을 위해 상기 실리콘 산화막이 추가로 포함될 수 있다.
- [0071] 이에 따라, 비교예의 경우 상기 실리콘 산화막 및 실리콘 질화막이 교대로 반복적으로 적층될 수 있으며, 따라서 복수의 막들 사이의 계면들이 생성될 수 있다. 예를 들면, 투과 영역에서 외광이 주입되는 경우 상기 계면들에서의 굴절률 차이에 의해 빛의 전반사 혹은 간섭 현상이 초래되어 상기 투명 표시 기판의 투과도가 전체적으로 열화될 수 있다.
- [0072] 그러나, 상술한 예시적인 실시예들에 따르면, 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질 화물로 구성된 단일 조성의 단일층 구조를 가질 수 있다. 따라서, 복수의 막들이 적층됨으로 인한 계면들의 수를 감소시킬 수 있으며, 막 조성 또는 물질 변화에 따른 굴절률 변화를 방지할 수 있다. 이에 따라, 투과 영역(TA)에서의 투과도를 현저하게 향상시킬 수 있다.
- [0073] 추가적으로, 배리어막(110) 및 버퍼막(120)은 실리콘 산질 화물을 포함하므로 실리콘 산화물 및 실리콘 질화물이 갖는 장점들을 함께 포괄할 수 있다. 예를 들면, 배리어막(110) 및 버퍼막(120)은 응력 또는 스트레스를 지나치게 발생시키지 않으면서 충분한 투습 및 불순물 확산 방지 효과를 제공할 수 있다.
- [0074] 일부 실시예들에 있어서, 게이트 절연막(140) 및 층간 절연막(160) 역시 각각 실질적으로 실리콘 산질 화물로 구성된 단일 층 구조를 가질 수 있으며, 투과 영역(TA)에서의 투과도가 더욱 향상될 수 있다.
- [0075] 일부 예시적인 실시예들에 따르면, 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및/또는 층간 절연막(160)은 실리콘 산질 화물(SiO_xN_y)을 포함하되 각 막의 특성에 따라 산소 및 질소의 상대적인 수직 농도 구배를 포함할 수 있다. 이에 따라, 각 막의 조성에 있어서 x 및 y의 수치가 수직 방향을 따라 변화할 수 있다.
- [0076] 예를 들면, 버퍼막(120)에 있어서 배리어막(110)과의 계면 인접부는 상대적으로 질소가 풍부한 실리콘 산질 화물 조성을 가질 수 있다(예를 들면, y가 x보다 큼). 따라서, 배리어막(110)과의 상기 계면에서 투습 또는 불순물 확산 차단 효과를 향상시킬 수 있다.
- [0077] 한편, 버퍼막(120)의 게이트 절연막(140)과의 계면 인접부는 상대적으로 산소가 풍부한 실리콘 산질 화물 조성을 가질 수 있다(예를 들면, x보다 y가 큼). 따라서, 액티브 패턴들(130, 135)에 의해 발생하는 응력을 효과적으로 흡수할 수 있다.
- [0078] 예를 들면, 게이트 절연막(140)에 있어서, 버퍼막(120) 또는 액티브 패턴들(130, 135)과의 계면 인접부는 상대

적으로 산소가 풍부한 실리콘 산질화물 조성을 가질 수 있다(예를 들면, x보다 y가 큼). 따라서, 버퍼막(120) 상부와의 정합성을 향상시키며, 상기 응력을 효과적으로 흡수할 수 있다.

- [0079] 한편, 게이트 절연막(140)의 층간 절연막(160) 또는 게이트 전극들(150, 155)과의 계면 인접부는 상대적으로 질소가 풍부한 실리콘 산질화물(예를 들면, y가 x보다 큼). 따라서, 게이트 전극(150, 155) 및 액티브 패턴(130, 135) 사이에서의 불순물 확산을 차단할 수 있다.
- [0080] 베이스 기판(100)이 상기 폴리이미드 계열 수지를 포함하는 경우, 베이스 기판(100)은 약 1.7 내외의 굴절률을 가질 수 있다. 일부 예시적인 실시예들에 있어서, 배리어막(110) 및 버퍼막(120)은 약 1.6 내지 약 1.8 범위의 굴절률을 갖는 실리콘 산질화물을 포함할 수 있다. 따라서, 굴절률의 급격한 변화에 따른 빛의 전반사를 최소화하여 상기 투명 표시 기판의 투과도를 향상시킬 수 있다.
- [0081] 일부 실시예들에 있어서, 게이트 절연막(140) 및 층간 절연막(160) 역시 약 1.6 내지 약 1.8 범위의 굴절률을 갖는 실리콘 산질화물을 포함할 수 있다. 따라서, 투과 영역(TA)에 형성된 투과막 구조물(165) 전체적으로 상기 범위의 굴절률을 갖는 단일 조성으로 조절되어 투과도를 극대화할 수 있다.
- [0082] 비아 절연막(180)은 층간 절연막(160) 상에 형성되어 소스 전극(170) 및 드레인 전극(175)을 커버할 수 있다. 비아 절연막(180)은 화소 전극(190)과 드레인 전극(175)을 전기적으로 연결시키는 비아(Via) 구조를 수용할 수 있다. 또한, 비아 절연막(180)은 실질적으로 평탄화 층으로 제공될 수 있다.
- [0083] 예를 들면, 비아 절연막(180)은 폴리이미드, 에폭시계 수지, 아크릴계 수지, 폴리에스테르와 같은 유기 물질을 포함할 수 있다.
- [0084] 예시적인 실시예들에 따르면, 비아 절연막(180)은 화소 영역(PA) 상에 선택적으로 배치되며, 투과 영역(TA) 상으로는 연장되지 않을 수 있다. 이에 따라, 투과막 구조물(165)에 포함된 물질과 다른 유기 물질이 투과 영역(TA)에 존재함에 따른 투과도 저하 현상을 방지할 수 있다.
- [0085] 화소 전극(190)은 비아 절연막(180) 상에 배치되며, 비아 절연막(180)을 관통하여 드레인 전극(175)과 접촉 혹은 전기적으로 연결되는 상기 비아 구조를 포함할 수 있다.
- [0086] 예시적인 실시예들에 따르면, 화소 전극(190)은 상기 각 화소 마다 독립적으로 배치될 수 있다.
- [0087] 일 실시예에 있어서, 화소 전극(190)은 반사 전극으로 제공될 수 있다. 이 경우, 화소 전극(190)은 Al, Ag, W, Cu, Ni, Cr, Mo, Ti, Pt, Ta, Nd, Sc 등과 같은 금속 물질 또는 이들 금속의 합금을 포함할 수 있다.
- [0088] 일 실시예에 있어서, 화소 전극(190)은 일함수가 높은 투명 도전성 물질을 포함할 수도 있다. 예를 들면, 화소 전극(190)은 인듐 주석 화합물(Indium Tin Oxide: ITO), 인듐 아연 화합물(Indium Zinc Oxide: IZO), 아연 산화물 또는 인듐 산화물을 포함할 수도 있다.
- [0089] 일 실시예에 있어서, 화소 전극(190)은 상기 투명 도전성 물질 및 상기 금속을 포함하는 복층 구조를 가질 수도 있다.
- [0090] 화소 정의막(195)은 비아 절연막(180) 상에 형성되어, 화소 전극(190)의 주변부를 커버할 수 있다. 화소 정의막(195)은 폴리이미드 수지 또는 아크릴 수지와 같은 투명 유기 물질을 포함할 수 있다.
- [0091] 예시적인 실시예들에 따르면, 화소 정의막(195)은 화소 영역(PA)의 비아 절연막(180) 상에 선택적으로 배치되어 화소 전극(190)을 적어도 부분적으로 노출시킬 수 있다. 화소 정의막(195)은 투과 영역(TA) 상으로는 연장되지 않을 수 있다. 일부 실시예들에 있어서, 화소 정의막(195) 및 비아 절연막(180)의 측벽 들은 동일한 평면 상에 위치할 수 있다.
- [0092] 한편, 투과 영역(TA)에서는 화소 정의막(195) 및 비아 절연막(180)의 상기 측벽들 및 투과막 구조물(165)의 상면에 의해 투과창(185)이 정의될 수 있다.
- [0093] 도 3을 참조하면, 투과 영역(TA)에 형성된 투과막 구조물(165a)은 실질적으로 실리콘 산질화물로 구성된 단일 조성을 가질 수 있다. 이에 따라, 투과막 구조물(165a)은 실질적으로 단일 층 구조를 가질 수 있다.
- [0094] 화소 영역(PA)에서는 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)이 적층되면서 액티브 패턴(130, 135), 게이트 전극(150, 155) 등과 같은 상기 화소 회로에 포함되는 구성들이 형성될 수 있다. 이에 따라, 상기 구성들의 형성을 위해 열처리 공정, 식각 공정들이 추가되어 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및/또는 층간 절연막(160) 사이의 계면들이 구분될 수 있다. 그러나, 투과 영역(TA)에서는 실질

적으로 다른 구조물들이 개재됨이 없이, 각각 실리콘 산질화물로 구성된 동일한 조성의 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)이 순차적으로 적층되어 투과막 구조물(165a)이 형성될 수 있다.

- [0095] 이에 따라, 투과 영역(TA)에서는 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)이 서로 병합되어 도 3에 도시된 바와 같이 실질적으로 단일 층 구조의 투과막 구조물(165a)이 형성될 수 있다.
- [0096] 도 4 및 도 5는 예시적인 실시예들에 따른 투명 표시 기판을 나타내는 단면도들이다.
- [0097] 도 4 및 도 5에 도시된 투명 표시 기판은 투과 영역(TA)의 구조를 제외하고는 도 1 내지 도 3에 도시된 투명 표시 기판과 실질적으로 동일하거나 유사한 구성 및/또는 구조를 포함할 수 있다. 따라서, 중복되는 구성 및/또는 구조에 대한 상세한 설명은 생략하며, 동일하거나 유사한 구성에 대해서는 동일하거나 유사한 참조 부호를 사용한다.
- [0098] 도 4를 참조하면, 상기 투명 표시 기판은 화소 영역(PA) 및 투과 영역(TA)을 포함할 수 있다. 상기 투명 표시 기판의 화소 영역(PA)은 도 2 및 도 3에 도시된 투명 표시 기판의 화소 영역(PA)과 실질적으로 동일한 구조를 가질 수 있다.
- [0099] 상기 투명 표시 기판의 투과 영역(TA)에서는 투과창(187)이 형성될 수 있다. 투과창(187)은 화소 정의막(195), 비아 절연막(180), 층간 절연막(160) 및 게이트 절연막(140)의 측벽들, 및 투과막 구조물(166)의 상면에 의해 정의될 수 있다.
- [0100] 투과막 구조물(166)은 베이스 기판(100) 상에 순차적으로 적층된 배리어막(110) 및 버퍼막(120)을 포함할 수 있다. 일부 실시예들에 있어서, 배리어막(110) 및 버퍼막(120) 중 어느 하나가 생략될 수 있으며, 이 경우 실질적으로 단층의 배리어막이 투과막 구조물(166)을 구성할 수 있다. 상술한 바와 같이, 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질화물로 구성된 단일 조성을 가질 수 있다.
- [0101] 배리어막(110) 및 버퍼막(120)은 베이스 기판(100) 상에서 화소 영역(PA) 및 투과 영역(TA)에 연속적으로 공통적으로 연장될 수 있다.
- [0102] 게이트 절연막(140), 층간 절연막(160) 및 비아 절연막(180)은 투과 영역(TA)에서는 제거되어, 화소 영역(PA) 상에 선택적으로 형성될 수 있다.
- [0103] 예시적인 실시예들에 따르면, 화소 정의막(195), 비아 절연막(180), 층간 절연막(160) 및 게이트 절연막(140)의 상기 측벽들은 동일한 평면 상에 연장될 수 있으며, 이에 따라 투과막 구조물(166)의 상기 상면과 함께 투과창(187)을 정의할 수 있다.
- [0104] 도 5를 참조하면, 투과 영역(TA)에 형성된 투과막 구조물(166a)은 실질적으로 단일 층 구조를 가질 수 있다. 도 3을 참조로 설명한 바와 같이 화소 영역(PA)에서는 박막 트랜지스터와 같은 소자 형성을 위한 공정에 의해 절연막들이 구분될 수 있으나, 투과 영역(TA)에서는 배리어막(110) 및 버퍼막(120)이 실질적으로 서로 병합될 수 있다. 따라서, 투과 영역(TA)에서는 실질적으로 단일 층의 투과막 구조물(166a)이 형성될 수 있다.
- [0105] 상술한 예시적인 실시예들에 따르면, 투과 영역(TA)에서의 층간 절연막(160) 및 게이트 절연막(140) 부분들이 제거되어 투과창(187)이 도 2 및 도 3에 도시된 투과창(185) 보다 확장될 수 있다. 이에 따라, 투과 영역(TA)에서의 투과도가 보다 향상될 수 있다. 또한, 투과창(187)에 형성된 투과막 구조물(166, 166a)은 실질적으로 실리콘 산질화물로 구성된 단일 조성 또는 단일 층 구조를 가질 수 있다. 따라서, 투과 영역(TA)에서의 빛의 전반사 또는 간섭에 의한 투과도 저하를 최소화할 수 있다.
- [0106] 도 6 및 도 7은 예시적인 실시예들에 따른 투명 표시 장치를 나타내는 단면도들이다. 예를 들면, 도 6 및 도 7은 도 1 내지 도 3을 참조로 설명한 투명 표시 기판을 포함하는 유기 발광 표시(Organic Light Emitting Display: OLED) 장치를 도시하고 있다.
- [0107] 한편, 도 1 내지 도 3을 참조로 설명한 투명 표시 기판의 구성 및/또는 구조에 대한 상세한 설명은 생략한다.
- [0108] 도 6을 참조하면, 상기 투명 표시 장치는 상기 투명 표시 기판 상에 순차적으로 적층되는 표시층(210), 대향 전극(220) 및 봉지층(encapsulation film)(230)을 포함할 수 있다.
- [0109] 표시층(210)은 화소 정의막(195) 및 화소 전극(190) 상에 배치될 수 있다. 표시층(210)은 적색 화소(Pr), 녹색 화소(Pg) 및 청색 화소(Pb) 마다 독립적으로 패터닝되어 각 화소별로 다른 색광들을 발생시키는 유기 발광층을

포함할 수 있다. 상기 유기 발광층은 정공 및 전자에 의해 여기되는 호스트(host) 물질, 및 에너지의 흡수 및 방출을 통해 발광효율을 증가시키는 도펀트(dopant) 물질을 포함할 수 있다.

- [0110] 일부 실시예들에 있어서, 표시층(210)은 화소 전극(190) 및 상기 유기 발광층 사이에 배치되는 정공 수송층(hole transport layer: HTL)을 더 포함할 수 있다. 또한, 표시층(210)은 대향 전극(220) 및 상기 유기 발광층 사이에 배치되는 전자 수송층(electron transport layer: ETL)을 더 포함할 수 있다.
- [0111] 상기 정공 수송층은 예를 들면, 4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐(NPB), 4,4'-비스[N-(3-메틸페닐)-N-페닐아미노]비페닐(TPD), N,N-디-1-나프틸-N,N-디페닐-1,1-비페닐-4,4-디아민(NPD), N-페닐카바졸, 폴리비닐 카바졸 등의 정공 수송 물질을 포함할 수 있다.
- [0112] 상기 전자 수송층은 예를 들면, 트리스(8-퀴놀리놀라토)알루미늄(Alq3), 2-(4-비페닐릴)-5-(4-tert-부틸페닐)-1,3,4-옥시디아졸(PBD), 비스(2-메틸-8-퀴놀리놀라토)-4-페닐페놀라토-알루미늄(BAlq), 바소쿠프로인(BCP), 트리아졸(TAZ), 페닐퀴노잘린(phenylquinoxaline) 등의 전자 수송 물질을 포함할 수 있다.
- [0113] 일부 실시예들에 있어서, 표시층(210)은 상술한 유기 발광층 대신 액정층을 포함할 수도 있다. 이 경우, 상기 투명 표시 장치는 액정 표시 장치(Liquid Crystal Display: LCD)로 제공될 수 있다.
- [0114] 표시층(210)은 도 6에 도시된 바와 같이, 화소 정의막(195)의 측벽 및 화소 정의막(195)에 의해 노출된 화소 전극(190)의 상면 상에 형성되며, 화소 정의막(195)의 상면 상에도 일부 연장될 수 있다. 일부 실시예들에 있어서, 표시층(210)은 화소 정의막(195)의 측벽에 의해 한정되어 각 화소 마다 독립적으로 배치될 수도 있다.
- [0115] 일부 실시예들에 있어서, 표시층(210)에 포함된 상기 정공 수송층 및/또는 상기 전자 수송층은 복수의 상기 화소들에 공통적으로 연속적으로 제공될 수도 있다.
- [0116] 대향 전극(220)은 화소 정의막(195) 및 표시층(210) 상에 배치될 수 있다. 대향 전극(220)은 표시층(210)을 사이에 두고 화소 전극(190)과 서로 마주보도록 배치될 수 있다.
- [0117] 예시적인 실시예들에 따르면, 대향 전극(220)은 복수의 상기 화소들에 공통적으로 배치되는 공통 전극으로 제공될 수 있다. 또한, 화소 전극(190) 및 대향 전극(220)은 각각 상기 투명 표시 장치의 양극(anode) 및 음극(cathode)으로 제공될 수 있다.
- [0118] 대향 전극(220)은 Al, Ag, W, Cu, Ni, Cr, Mo, Ti, Pt, Ta, Nd, Sc 등과 같은 일 함수가 낮은 금속 물질 또는 이들 금속의 합금을 포함할 수 있다.
- [0119] 도 6에 도시된 바와 같이, 표시층(210) 및 대향 전극(220)은 화소 영역(PA) 상에 선택적으로 배치되며, 투과 영역(PA)으로는 실질적으로 연장되지 않을 수 있다. 따라서, 투과창(185)에 의해 투과막 구조물(165)만이 노출될 수 있으며, 투과 영역(TA)에서의 투과도 감소를 최소화할 수 있다.
- [0120] 일부 실시예들에 있어서, 상기 투과막 구조물은 도 3에 도시된 바와 같이 실질적으로 단일 층 구조를 가질 수도 있다.
- [0121] 봉지층(230)은 화소 영역(PA) 및 투과 영역(TA) 상에서 연속적으로 공통적으로 연장되어, 대향 전극(220) 및 투과막 구조물(165)을 커버할 수 있다.
- [0122] 봉지층(230)은 예를 들면, 실리콘 질화물 및/또는 금속 산화물과 같은 무기 물질을 포함할 수 있다. 일부 실시예들에 있어서, 봉지층(230)은 투과막 구조물(165)과 실질적으로 동일하거나 유사한 조성의 실리콘 산질화물을 포함할 수도 있다. 이에 따라, 투과 영역(TA)에서의 층 구조가 실질적으로 단일화 될 수 있으며, 빛의 전반사, 간섭 등에 의한 투과도 저하를 최소화할 수 있다.
- [0123] 일부 실시예들에 있어서, 대향 전극(220) 및 봉지층(230) 사이에 캡핑층이 더 배치될 수도 있다. 상기 캡핑층은 폴리이미드 수지, 에폭시 수지, 아크릴 수지 등과 같은 유기 물질, 또는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등과 같은 무기 물질을 포함할 수 있다.
- [0124] 도 7을 참조하면, 대향 전극(220)은 화소 영역(PA) 및 투과 영역(TA) 상에서 공통적으로 연속적으로 연장될 수 있다. 이 경우, 대향 전극(220)은 화소 정의막(195) 및 표시층(210)의 상면, 및 투과창(185)의 측벽 및 저면을 따라 컨포멀하게 형성될 수 있다.
- [0125] 예시적인 실시예들에 따르면, 투과 영역(TA)에서의 대향 전극(220a) 두께는 화소 영역(PA)에서의 대향 전극(220)의 두께보다 작을 수 있다. 예를 들면, 도 7에 도시된 바와 같이 투과 영역(TA)에서 대향 전극(220a)은 투

과창(185)의 상기 측벽 및 저면 상에서 화소 영역(PA)에서 보다 얇은 두께로 컨포멀하게 형성될 수 있다. 이에 따라, 대향 전극(220a)에 의한 투과도 저하를 방지할 수 있다.

- [0126] 봉지층(230)은 대향 전극(220, 220a) 상에 형성되어 화소 영역(PA) 및 투과 영역(TA)을 함께 보호할 수 있다.
- [0127] 도 8 및 도 9는 예시적인 실시예들에 따른 투명 표시 장치를 나타내는 단면도들이다. 예를 들면, 도 8 및 도 9는 도 4 또는 도 5를 참조로 설명한 투명 표시 기판을 포함하는 OLED 장치를 도시하고 있다.
- [0128] 한편, 도 4 및 도 5, 또는 도 6 및 도 7을 참조로 설명한 구성 및/또는 구조에 대한 상세한 설명은 생략한다.
- [0129] 도 8을 참조하면, 상기 투명 표시 장치의 화소 영역(PA) 상에는 표시층(210) 및 대향 전극(225)이 선택적으로 배치될 수 있다. 표시층(210)은 각 화소의 화소 전극(190)마다 독립적으로 배치될 수 있으며, 대향 전극(225)은 화소 정의막(195) 및 상기 각 화소의 화소 전극들(190) 및 표시층들(210)을 커버하며, 투과 영역(TA)으로는 연장되지 않을 수 있다.
- [0130] 투과 영역(TA)에서는 투과창(187)이 형성될 수 있다. 예시적인 실시예들에 따르면, 투과 영역(TA)의 비아 절연막(180), 층간 절연막(160) 및 게이트 절연막(140) 부분들이 제거될 수 있다. 이에 따라, 실질적으로 동일한 평면 상에서 연장되는 화소 정의막(195), 비아 절연막(180), 층간 절연막(160) 및 게이트 절연막(140)의 측벽들, 및 버퍼막(120) 및 배리어막(110)을 포함하는 투과막 구조물(166)의 상면에 의해 투과창(187)이 정의될 수 있다.
- [0131] 봉지층(235)은 화소 영역(PA) 상에서 대향 전극(225)을 커버하며, 투과창(187)의 측벽 및 저면을 따라 컨포멀하게 형성될 수 있다.
- [0132] 일부 실시예들에 있어서, 도 5를 참조로 설명한 바와 같이 배리어막(110) 및 버퍼막(120)은 서로 병합되어 상기 투과막 구조물은 실질적으로 단일 층 구조를 가질 수도 있다.
- [0133] 일부 실시예들에 있어서, 봉지층(235)은 실리콘 산질화물을 포함할 수 있으며, 이 경우 투과막 구조물(166)과의 정합성이 향상되므로 투과 영역(TA)의 투과도가 더욱 개선될 수 있다.
- [0134] 도 9를 참조하면, 대향 전극(225)은 화소 영역(PA) 및 투과 영역(TA) 상에서 공통으로 연속적으로 연장될 수 있다. 예시적인 실시예들에 따르면, 투과 영역(TA)에서 대향 전극(225a)은 화소 영역(PA)의 대향 전극(225) 보다 매우 얇은 두께로 형성되어, 투과 영역(TA)에서의 투과도 감소를 방지할 수 있다. 봉지층(235)은 대향 전극(225)을 커버하며, 화소 영역(PA) 및 투과 영역(TA)을 보호할 수 있다.
- [0135] 상술한 예시적인 실시예들에 따르면, 투과막 구조물(166)을 투습 및 불순물 확산 방지를 위한 최소한의 두께로 투과 영역(TA)에 잔류시킬 수 있다. 이에 따라, 투과 영역(TA)에서의 투과도를 극대화할 수 있으며, 대향 전극(225)의 구조를 적절히 조절하여 투과도를 최적화할 수 있다.
- [0136] 도 10은 일부 실시예들에 따른 투명 표시 장치를 나타내는 단면도이다. 도 6 내지 도 9에 도시된 구성 및/또는 구조와 중복되는 구성 및/또는 구조에 대한 상세한 설명은 생략한다.
- [0137] 도 10을 참조하면, 상기 투명 표시 장치는 투과 영역(TA) 상에서 정의되는 투과막 구조물(166) 상에 형성된 증착 조절막(215)을 더 포함할 수 있다. 증착 조절막(215)은 예를 들면, 금속 물질과의 접착성 또는 친화도가 상대적으로 표시층(210) 및 투과막 구조물(166)보다 작은 물질을 포함할 수 있다. 일부 실시예들에 있어서, 증착 조절막(215)은 발광 특성을 갖지 않는 유기 물질을 포함할 수 있다. 예를 들면, 증착 조절막(215)은 N,N'-디페닐-N,N'-비스(9-페닐-9H-카바졸-3-일)바이페닐-4,4'-디아민, N(디페닐-4-일)9,9-디메틸-N-(4(9-페닐-9H-카바졸-3-일)페닐)-9H-플루오렌-2-아민, 2-(4-(9,10-디(나프탈렌-2-일)안트라센-2-일)페닐)-1-페닐-1H-벤조-[D]이미다졸 등과 같은 물질을 포함할 수 있다.
- [0138] 이 경우, 대향 전극(225)은 화소 영역(TA) 상에서 화소 정의막(195) 및 표시층(210)을 커버하며, 투과 영역(TA)에서 투과창(187)의 측벽 상에만 선택적으로 얇은 두께로 형성될 수 있다. 대향 전극(225)은 증착 조절막(215) 상면 상에는 실질적으로 배치되지 않을 수 있다. 이에 따라, 투과 영역(TA)에서 대향 전극(225)의 개재에 따른 투과도 저하를 방지할 수 있다.
- [0139] 도 11 내지 도 17b는 예시적인 실시예들에 따른 투명 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0140] 도 11을 참조하면, 캐리어 기판(50) 상에 베이스 기판(100)을 형성하고, 베이스 기판(100) 상에 배리어막(110) 및 버퍼막(120)을 순차적으로 형성할 수 있다. 베이스 기판(100)은 화소 영역(PA) 및 투과 영역(TA)으로 구분되

며, 배리어막(110) 및 버퍼막(120)은 화소 영역(PA) 및 투과 영역(TA)에 공통으로 연속적으로 형성될 수 있다.

- [0141] 캐리어 기판(50)은 상기 투명 표시 장치의 제조 공정이 진행되는 동안 베이스 기판(100)의 지지체 역할을 수행할 수 있다. 예를 들면, 캐리어 기판(50)으로서 유리 기판 혹은 금속 기판을 사용할 수 있다.
- [0142] 베이스 기판(100)은 폴리이미드 계열 수지와 같은 투명 고분자 수지를 사용하여 형성될 수 있다. 예를 들면, 캐리어 기판(50) 상에 폴리이미드 전구체를 포함하는 전구체 조성물을 스핀 코팅(spin coating) 공정을 통해 도포하여 코팅막을 형성할 수 있다. 이후, 상기 코팅막을 열 경화시켜 베이스 기판(100)을 형성할 수 있다.
- [0143] 상기 폴리이미드 전구체는 디아민(diamine) 및 디무수물(dianhydride)을 포함할 수 있다. 상기 전구체 조성물은 상기 폴리이미드 전구체를 유기 용매에 용해시켜 제조될 수 있다. 상기 유기 용매는 비제환적인 예로서, N-메틸-2-피롤리돈(N-Methyl-2-Pyrrolidone: NMP), 디메틸포름아미드(DMF), 테트라하이드로퓨란(THF), 트리에틸아민(TEA), 에틸아세테이트(ethylacetate), 디메틸설폭사이드(DMSO) 또는 에틸렌글리콜 계열 에테르 용매를 포함할 수 있다. 이들은 단독으로 혹은 2 이상이 조합되어 사용될 수 있다.
- [0144] 상기 열 경화 공정에 의해 디아민 및 디무수물 사이의 중합이 유도되어 폴리아믹산이 형성되며, 폴리아믹산이 추가로 열 경화되어 탈수 축합이 진행되면서 상기 폴리이미드 계열 수지가 형성될 수 있다.
- [0145] 배리어막(110) 및 버퍼막(120)은 실리콘 산질화물을 포함하도록 형성될 수 있다. 예시적인 실시예들에 따르면, 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질화물로 구성될 수 있다.
- [0146] 예를 들면, 배리어막(110) 및 버퍼막(120)은 화학 기상 증착(Chemical Vapor Deposition: CVD) 공정, 플라즈마 증대 화학 기상 증착(plasma enhanced chemical vapor deposition: PECVD) 공정, 고밀도 플라즈마-화학 기상 증착(high density plasma-chemical vapor deposition: HDP-CVD) 공정 등을 통해 형성될 수 있다.
- [0147] 예를 들면, 캐리어 기판(50)에 부착된 베이스 기판(100)을 CVD 공정 챔버 내에 로딩하고, 베이스 기판(100) 상에 실리콘 산화물 전구체 및 질소 소스를 주입하여 배리어막(110) 및 버퍼막(120)을 형성할 수 있다.
- [0148] 상기 실리콘 산화물 전구체의 예로서 테오스(TetraEthyl OrthoSilicate: TEOS) 또는 피이오엑스(Plasma Enhanced Oxide: PEOX)를 들 수 있다. 상기 질소 소스의 예로서 암모니아(NH₃)가스, 아산화질소(N₂O)가스 등을 들 수 있다.
- [0149] 일부 실시예들에 있어서, 상기 실리콘 산화물 전구체 대신, 실리콘 소스 및 산소 소스를 각각 별도로 상기 공정 챔버 내에 주입할 수 있다. 예를 들면, 상기 실리콘 소스는 실란(SiH₄), 디실란(Si₂H₆), 디클로로실란(SiH₂Cl₂)등을 포함할 수 있다. 상기 산소 소스는 산소(O₂), 오존(O₃)등을 포함할 수 있다.
- [0150] 예시적인 실시예들에 따르면, 상기 질소 소스의 유량을 조절하여 배리어막(110) 및/또는 버퍼막(120)의 내부의 산소 및 질소의 상대적인 수직 농도 구배를 생성할 수 있다.
- [0151] 예를 들면, 버퍼막(120) 형성 시, 상기 실리콘 산화물 전구체(또는 상기 실리콘 소스 및 상기 산소 소스) 및 상기 질소 소스를 함께 도입한 후, 상기 질소 소스의 유량을 점진적으로 감소시킬 수 있다. 이에 따라, 버퍼막(120)과 배리어막(110)의 계면에서부터 버퍼막(120)의 상면까지 점진적으로 질소의 함량이 감소될 수 있다. 따라서, 버퍼막(120)의 하부는 상대적으로 질소가 풍부한 실리콘 산질화물을 포함할 수 있으며, 버퍼막(120)의 상부는 상대적으로 산소가 풍부한 실리콘 산질화물을 포함할 수 있다.
- [0152] 일부 실시예들에 있어서, 상기 질소 소스는 상이한 종류의 복수의 질소 함유 가스를 포함할 수 있다. 일 실시예에 있어서, 상기 질소 소스로서 NH₃ 및 N₂O를 함께 사용할 수 있으며, N₂O에 대한 NH₃의 유량비(NH₃/N₂O)를 조절하여, 배리어막(110) 및/또는 버퍼막(120)의 굴절률을 조절할 수 있다.
- [0153] 예를 들면, 베이스 기판(100)이 상기 폴리이미드 계열 수지를 포함하는 경우, 베이스 기판(100)은 약 1.7 내외의 굴절률을 가질 수 있으며, 베이스 기판(100)과의 광학적 정합성을 위해 배리어막(110) 및/또는 버퍼막(120)이 약 1.6 내지 약 1.8 범위의 굴절률을 갖도록 상기 유량비를 조절할 수 있다.
- [0154] 예시적인 실시예들에 따르면, 상기 N₂O에 대한 NH₃의 유량비는 약 1 내지 약 5의 범위로 조절될 수 있다. 일 실시예에 있어서, 상기 유량비는 약 1.5 내지 약 3의 범위로 조절될 수 있다.
- [0155] 일부 실시예들에 있어서, 배리어막(110) 및 버퍼막(120) 중 어느 하나의 막은 생략될 수도 있다. 따라서, 베이스 기판(100) 상에 실질적으로 실리콘 산질화물의 단일 조성을 갖는 단일 층의 배리어막이 형성될 수 있다.

- [0156] 일부 실시예들에 있어서, 배리어막(110) 및 버퍼막(120)은 실질적으로 동일하거나 유사한 조성을 가지므로 실질적으로 서로 병합될 수 있다. 따라서, 베이스 기판(100) 상에 실질적으로 실리콘 산질화물의 단일 조성을 갖는 단일 층의 배리어막이 형성될 수 있다.
- [0157] 도 12를 참조하면, 버퍼막(120) 상에 추가적인 절연막들 및 화소 회로를 형성할 수 있다.
- [0158] 버퍼막(120) 상에는 제1 및 제2 액티브 패턴들(130, 135)을 형성할 수 있다.
- [0159] 예시적인 실시예들에 따르면, 버퍼막(120) 상에 비정질 실리콘 또는 폴리실리콘을 사용하여 반도체 층을 형성한 후, 상기 반도체 층을 패터닝하여 제1 및 제2 액티브 패턴(130, 135)을 형성할 수 있다.
- [0160] 일부 실시예들에 있어서, 상기 반도체 층 형성 후, 저온 폴리실리콘(Low Temperature Polycrystalline silicon: LTPS) 공정 또는 레이저 결정화 공정과 같은 결정화 공정을 수행할 수 있다.
- [0161] 일부 실시예들에 있어서, 상기 반도체층은 IGZO, ZTO, ITZO 등과 같은 산화물 반도체를 사용하여 형성될 수도 있다.
- [0162] 버퍼막(120) 상에 액티브 패턴들(130, 135)을 덮는 게이트 절연막(140)을 형성하고, 게이트 절연막(140) 상에 게이트 전극(150, 155)을 형성할 수 있다.
- [0163] 예를 들면, 게이트 절연막(140) 상에 제1 도전막을 형성하고, 상기 제1 도전막을 예를 들면, 사진 식각 공정을 통해 식각하여 제1 게이트 전극(150) 및 제2 게이트 전극(155)을 형성할 수 있다. 제1 게이트 전극(150) 및 제2 게이트 전극(155)은 게이트 절연막(140)을 사이에 두고 제1 액티브 패턴(130) 및 제2 액티브 패턴(135)과 각각 실질적으로 중첩되도록 패터닝될 수 있다.
- [0164] 상기 제1 도전막은 금속, 상기 금속의 합금 또는 상기 금속의 질화물을 사용하여 형성될 수 있다. 상기 제1 도전막은 복수의 금속층을 적층하여 형성될 수도 있다.
- [0165] 게이트 전극들(150, 155)은 스캔 라인(S)(도 1 참조)과 실질적으로 동시에 형성될 수 있다. 예를 들면, 게이트 전극들(150, 155) 및 스캔 라인(S)은 상기 제1 도전막으로부터 동일한 식각 공정을 통해 형성되며, 스캔 라인(S)은 제1 게이트 전극(150)과 일체로 형성될 수 있다.
- [0166] 일부 실시예들에 있어서, 제1 게이트 전극(150)을 이온 주입 마스크로 사용하여 제1 액티브 패턴(130)에 불순물을 주입함으로써, 제1 액티브 패턴(130)의 양 단부에 소스 영역 및 드레인 영역을 형성할 수 있다.
- [0167] 게이트 절연막(140) 상에 게이트 전극들(150, 155)을 덮는 층간 절연막(160)을 형성하고, 층간 절연막(160) 및 게이트 절연막(140)을 관통하여 제1 액티브 패턴(130)과 접촉하는 소스 전극(170) 및 드레인 전극(175)을 형성할 수 있다.
- [0168] 예를 들면, 층간 절연막(160) 및 게이트 절연막(140)을 부분적으로 식각하여 제1 액티브 패턴(130)을 부분적으로 노출시키는 콘택 홀들을 형성할 수 있다. 이후, 층간 절연막(160) 상에 상기 콘택 홀들을 매립하는 제2 도전막을 형성하고, 상기 제2 도전막을 사진 식각 공정을 통해 패터닝하여 소스 전극(170) 및 드레인 전극(175)을 형성할 수 있다.
- [0169] 일부 실시예들에 있어서, 소스 전극(170) 및 드레인 전극(175)은 상기 소스 영역 및 드레인 영역과 각각 접촉할 수 있다. 소스 전극(170)은 데이터 라인(D)(도 1 참조)과 일체로 연결되도록 형성될 수 있다. 이 경우, 소스 전극(170), 드레인 전극(175) 및 데이터 라인(D)은 상기 제2 도전막으로부터 동일한 식각 공정을 통해 형성될 수 있다.
- [0170] 상기 제2 도전막은 금속, 상기 금속의 합금 또는 상기 금속의 질화물을 사용하여 형성될 수 있다. 상기 제2 도전막은 복수의 금속층을 적층하여 형성될 수도 있다.
- [0171] 게이트 절연막(140) 및 층간 절연막(160)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물과 같은 무기 물질을 포함하도록 형성될 수 있다.
- [0172] 일부 실시예들에 따르면, 게이트 절연막(140) 및/또는 층간 절연막(160)은 배리어막(110) 및/또는 버퍼막(120)과 실질적으로 동일하거나 유사한 공정 및 재료를 사용하여 형성될 수 있다. 이에 따라, 게이트 절연막(140) 및/또는 층간 절연막(160)은 실리콘 산질화물을 포함하도록 형성될 수 있으며, 일부 실시예들에 있어서 실질적으로 실리콘 산질화물로 구성될 수 있다.

- [0173] 상술한 바와 같이, 질소 소스의 유량을 조절함으로써 게이트 절연막(140) 및/또는 층간 절연막(160) 내에 산소 및 질소의 상대적인 수직 농도 구배를 생성할 수 있다/
- [0174] 예를 들면, 게이트 절연막(140) 형성 시, 실리콘 산화물 전구체(또는 실리콘 소스 및 상기 산소 소스) 및 상기 질소 소스를 함께 도입한 후, 상기 질소 소스의 유량을 점진적으로 증가시킬 수 있다. 이에 따라, 버퍼막(120)과 게이트 절연막(140)의 계면에서부터 게이트 절연막(140)의 상면까지 점진적으로 질소의 함량이 증가될 수 있다. 따라서, 게이트 절연막(140)의 하부는 상대적으로 산소가 풍부한 실리콘 산질화물을 포함할 수 있으며, 게이트 절연막(140)의 상부는 상대적으로 질소가 풍부한 실리콘 산질화물을 포함할 수 있다.
- [0175] 일부 실시예들에 있어서, 상기 질소 소스로서 NH_3 및 N_2O 를 함께 사용할 수 있으며, N_2O 에 대한 NH_3 의 유량비 (NH_3/N_2O)를 조절하여, 게이트 절연막(140) 및/또는 층간 절연막(160)의 굴절률을 소정의 범위로 조절할 수 있다.
- [0176] 예를 들면, 게이트 절연막(140) 및/또는 층간 절연막(160)의 굴절률이 약 1.6 내지 약 1.8 범위로 조절되도록, 상기 유량비를 약 1 내지 약 5, 일 실시예에 있어서 약 1.5 내지 약 3의 범위로 조절할 수 있다.
- [0177] 게이트 절연막(140) 및 층간 절연막(150)은 화소 영역(PA) 및 투과 영역(TA) 상에 공통으로 연속적으로 형성되어, 버퍼막(120) 상에 적층될 수 있다.
- [0178] 한편, 상기 제1 도전막 및 상기 제2 도전막은 CVD 공정, PECVD 공정, HDP-CVD 공정, 열 증착 공정, 진공 증착 공정, 스퍼터링(sputtering) 공정, 원자층 증착(Atomic Layer Deposition: ALD) 공정 또는 프린팅(printing) 공정 중 적어도 하나의 공정을 통해 형성될 수 있다.
- [0179] 화소 영역(PA) 상에는, 소스 전극(170), 드레인 전극(175), 제1 게이트 전극(150), 게이트 절연막(140) 및 제1 액티브 패턴(130)을 포함하는 박막 트랜지스터가 형성되며, 제2 액티브 패턴(135), 게이트 절연막(140) 및 제2 게이트 전극(155)에 의해 정의되는 커패시터가 형성될 수 있다. 이에 따라, 데이터 라인(D), 스캔 라인(S), 상기 박막 트랜지스터, 상기 커패시터 등을 포함하는 상기 화소 회로가 형성될 수 있다.
- [0180] 도 13을 참조하면, 층간 절연막(160) 상에 소스 전극(170) 및 드레인 전극(175)을 커버하는 비아 절연막(180)을 형성할 수 있다.
- [0181] 예를 들면, 비아 절연막(180)은 폴리이미드, 에폭시계 수지, 아크릴계 수지, 폴리에스테르와 같은 투명 유기 물질을 사용하여 형성될 수 있다. 비아 절연막(180)은 충분한 두께로 형성되어 실질적으로 평탄한 상면을 가질 수 있다. 비아 절연막(180)은 예를 들면, 스핀 코팅 공정 또는 프린팅 공정을 통해 형성될 수 있다.
- [0182] 비아 절연막(180) 상에 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극(190)을 형성할 수 있다. 예를 들면, 비아 절연막(180)을 부분적으로 식각하여 드레인 전극(175)을 노출시키는 비아 홀을 형성할 수 있다.
- [0183] 비아 절연막(180) 및 노출된 드레인 전극(175) 상에 상기 비아 홀을 채우는 제3 도전막을 형성하고, 이를 패터닝하여 화소 전극(190)을 형성할 수 있다.
- [0184] 상기 제3 도전막은 Al, Ag, W, Cu, Ni, Cr, Mo, Ti, Pt, Ta, Nd, Sc 등과 같은 금속 물질 또는 이들 금속의 합금을 사용하여, 열 증착 공정, 진공 증착 공정, 스퍼터링 공정, ALD 공정, CVD 공정, 프린팅 공정 등을 통해 형성될 수 있다. 일 실시예에 있어서, 상기 제3 도전막은 ITO, IZO, 아연 산화물 또는 인듐 산화물과 같은 투명 도전성 물질을 사용하여 형성될 수도 있다.
- [0185] 이후, 비아 절연막(180) 상에 화소 정의막(195)을 형성할 수 있다. 화소 정의막(195)은 화소 전극(190)의 주변부 및 투과 영역(TA)을 커버하며, 화소 전극(190)의 상면을 부분적으로 노출시킬 수 있다. 화소 정의막(195)에 의해 각 화소의 화소 전극(190)을 노출시키는 복수의 개구부들이 형성될 수 있다. 화소 정의막(195)은 예를 들면, 폴리이미드 수지 또는 아크릴 수지와 같은 감광성유기물질을 도포한 후, 노광 및 현상 공정을 통해 형성될 수 있다.
- [0186] 도 14a 및 도 14b를 참조하면, 투과 영역(TA) 상에 형성된 화소 정의막(195) 및 절연막들을 부분적으로 제거하여 투과창 및 투과막 구조물을 형성할 수 있다.
- [0187] 일부 실시예들에 있어서, 도 14a에 도시된 바와 같이, 투과 영역(TA) 상에 형성된 화소 정의막(195) 및 비아 절연막(180) 부분들을 제거하여 투과창(185)을 형성할 수 있다. 투과창(185)에 의해 층간 절연막(160)의 상면이 노출될 수 있다. 이 경우, 투과창(185)은 화소 정의막(195) 및 비아 절연막(180)의 측벽들 및 층간 절연막(160)

0)의 상기 상면에 의해 정의될 수 있다.

- [0188] 화소 정의막(195) 및 비아 절연막(180)은 실질적으로 유사한 유기 물질을 포함할 수 있다. 따라서, 화소 정의막(195) 및 비아 절연막(180)은 실질적으로 동일한 식각 공정 또는 현상 공정에 의해 함께 제거될 수 있으므로, 용이하게 투과창(185)을 형성할 수 있다.
- [0189] 투과 영역(TA) 상에 잔류하는 절연막들은 투과막 구조물(165)로 정의될 수 있다. 일부 실시예들에 있어서, 투과막 구조물(165)은 투과 영역(TA)의 베이스 기판(100) 상에 순차적으로 적층된 배리어막(110), 버퍼막(120), 게이트 절연막(140) 및 층간 절연막(160)을 포함할 수 있다.
- [0190] 일 실시예에 있어서, 투과막 구조물(165)에 포함된 배리어막(110) 및 버퍼막(120)은 실질적으로 실리콘 산질화물로 구성된 단일 조성을 가질 수 있다.
- [0191] 일 실시예에 있어서, 투과막 구조물(165)은 전체적으로 실리콘 산질화물로 구성된 단일 조성을 가질 수 있다. 이 경우, 투과막 구조물(165)에 포함된 막들은 실질적으로 병합되어 도 3에 도시된 바와 같이 단일 층 구조로 변환될 수 있다.
- [0192] 일부 실시예들에 있어서, 도 14b에 도시된 바와 같이, 투과 영역(TA) 상에 형성된 층간 절연막(160) 및 게이트 절연막(140) 부분들을 추가적으로 제거하여 도 14a에 도시된 투과창(185) 보다 확장된 투과창(187)을 형성할 수 있다. 이에 따라, 투과창(187)은 화소 정의막(195), 비아 절연막(180), 층간 절연막(160) 및 게이트 절연막(140)의 측벽들 및 버퍼막(120)의 상면에 의해 정의될 수 있다.
- [0193] 투과 영역(TA) 상에 잔류하는 배리어막(110) 및 버퍼막(120) 부분들은 투과막 구조물(166)로 정의될 수 있다. 투과막 구조물(166)은 실질적으로 실리콘 산질화물로 구성된 단일 조성을 가질 수 있으며, 일 실시예에 있어서, 도 5에 도시된 바와 같이 실질적으로 병합된 단일 층 구조를 가질 수 있다.
- [0194] 도 15a 및 도 15b를 참조하면, 화소 영역(PA) 상에 선택적으로 표시층(210) 및 대향 전극(220, 225)을 형성하고, 화소 영역(PA) 및 투과 영역(TA)을 공통적으로 커버하는 봉지층(230, 235)을 형성할 수 있다.
- [0195] 표시층(210)은 예를 들면, 적색, 녹색 또는 청색 발광을 위한 유기 발광 물질을 사용하여 각 화소 전극(190) 상에 형성될 수 있다. 예를 들면, 표시층(210)은 적색 화소, 녹색 화소 및 청색 화소가 형성될 영역을 노출시키는 개구부를 포함하는 파인 메탈 마스크(Fine Metal Mask: FMM)를 사용하여 스핀 코팅 공정, 롤 프린팅 공정, 노즐 프린팅 공정, 잉크젯 프린팅 공정 등을 통해 형성될 수 있다. 이에 따라, 각 화소별로 상기 유기 발광 물질을 포함하는 유기 발광층이 형성될 수 있다.
- [0196] 일부 실시예들에 있어서, 상기 유기 발광층 형성 전에 상술한 정공 수송 물질을 사용하여 정공 수송층을 더 형성할 수 있다. 또한, 상기 유기 발광층 상에 상술한 전자 수송 물질을 사용하여 전자 수송층을 더 형성할 수 있다. 상기 정공 수송층 및 상기 전자 수송층은 화소 정의막(195) 및 화소 전극(190) 표면들을 따라 컨포멀하게 형성되어 복수의 화소들에 공통으로 제공될 수 있다. 이와는 달리, 상기 정공 수송층 및 상기 전자 수송층은 상기 유기 발광층과 유사한 공정을 통해 각 화소별로 패터닝될 수도 있다.
- [0197] 표시층(210) 상에는 예를 들면, Al, Ag, W, Cu, Ni, Cr, Mo, Ti, Pt, Ta, Nd, Sc 등과 같은 일 함수가 낮은 금속 물질 또는 이들 금속의 합금을 증착하여 대향 전극(220, 225)을 형성할 수 있다. 대향 전극(220, 225)은 투과 영역(TA)을 커버하며, 복수의 화소들을 동시에 노출시키는 개구부를 포함하는 마스크를 사용하여 상기 금속 물질을 예를 들면, 스퍼터링 공정을 통해 증착함으로써 형성될 수 있다.
- [0198] 대향 전극(220, 225) 상에는 봉지층(230, 235)을 형성할 수 있다. 봉지층(230)은 대향 전극(220)을 커버하며 투과 영역(TA)까지 연장되어, 투과창(185, 187)의 측벽 및 저면을 따라 컨포멀하게 형성될 수 있다.
- [0199] 봉지층(230)은 실리콘 질화물 및/또는 금속 산화물과 같은 무기 물질을 포함하도록 형성될 수 있다. 일부 실시예들에 있어서, 봉지층(230)은 투과막 구조물(165, 166)과 실질적으로 동일하거나 유사한 조성의 실리콘 산질화물을 포함하도록 형성될 수도 있다.
- [0200] 일 실시예에 있어서, 봉지층(230) 형성 전에 폴리이미드 수지, 에폭시 수지, 아크릴 수지 등과 같은 유기 물질, 또는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등과 같은 무기 물질을 증착하여 캡핑층을 더 형성할 수도 있다.
- [0201] 도 16a 및 도 16b를 참조하면, 베이스 기판(100)으로부터 캐리어 기판(50)을 분리시킬 수 있다. 예를 들면, 베이스 기판(100)의 저부로 레이저를 조사하여 캐리어 기판(50)을 박리시킬 수 있다. 또한, 상기 레이저 조사 없

이 캐리어 기관(50)에 기계적 장력을 가하여 박리시킬 수도 있다.

- [0202] 일부 실시예들에 있어서, 도 17a 및 도 17b에 도시된 바와 같이, 대향 전극(220, 225)은 화소 영역(PA) 및 투과 영역(TA) 상에 공통으로 연속적으로 형성될 수도 있다. 이 경우, 대향 전극(220, 225)은 화소 영역(PA) 및 투과 영역(TA)을 공통으로 노출시키는 오픈 마스크를 사용하여 금속 물질을 증착함으로써 형성될 수 있다.
- [0203] 상기 금속 물질의 증착 공정 시, 투과 영역(TA)에서는 투과창(185, 187)에 의해 화소 영역(PA) 보다 높이가 낮은 단차가 형성될 수 있다. 이에 따라, 상기 금속 물질이 증착되기 위한 이동 거리가 증가되어 대향 전극(220, 225)은 투과 영역(TA)에서 상대적으로 낮은 두께로 형성될 수 있다. 이에 따라, 투과 영역(TA)의 대향 전극(220a, 225a)은 박막 형태로 형성되어 투과 영역(TA)에서의 투과도 감소를 방지할 수 있다.
- [0204] 이후, 도 16a 및 도 16b를 참조로 설명한 바와 같이, 캐리어 기관(50)을 베이스 기관(100)으로부터 박리시켜 예시적인 실시예들에 따른 투명 표시 장치를 수득할 수 있다.
- [0205] 도 18 내지 도 20은 예시적인 실시예들에 따른 투명 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 11 내지 도 17b를 참조로 설명한 바와 실질적으로 동일하거나 유사한 공정 및/또는 재료들에 대한 상세한 설명은 생략한다.
- [0206] 도 18을 참조하면, 도 11 내지 도 14b를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 통해 화소 영역(PA) 상에 화소 회로, 절연막들, 화소 전극(190) 및 화소 정의막(195)을 형성하고, 투과 영역(TA) 상에 투과창(187) 및 투과막 구조물(166)을 형성할 수 있다.
- [0207] 도 19를 참조하면, 투과창(187)에 의해 노출된 투과막 구조물(166) 상면 상에 증착 조절막(215)을 형성할 수 있다. 증착 조절막(215)은 예를 들면, 투과 영역(TA)을 선택적으로 노출시키는 파인 메탈 마스크를 사용하여 증착 조절 물질을 프린팅 혹은 증착시킴으로써 형성될 수 있다.
- [0208] 상기 증착 조절 물질은 상술한 바와 같이 비발광 특성을 가지면서 금속과 같은 도전성 물질에 대한 친화도 및/또는 접착력이 표시층(210)에 포함된 발광 물질보다 낮은 물질을 포함할 수 있다.
- [0209] 도 20을 참조하면, 도 17a 및 도 17b를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 통해 대향 전극(225) 및 봉지층(235)을 형성할 수 있다.
- [0210] 예시적인 실시예들에 따르면, 대향 전극(225) 형성을 위한 금속 물질의 스퍼터링 공정 등의 증착 공정 수행시, 상기 금속 물질에 대한 친화도 혹은 접착력이 떨어지는 증착 조절막(215)에 의해 대향 전극(225)은 실질적으로 화소 영역(PA)에만 선택적으로 형성될 수 있다. 일부 실시예들에 있어서, 대향 전극(225)은 도 20에 도시된 바와 같이 투과창(187) 측벽 상에도 얇은 두께로 형성될 수 있다.
- [0211] 도 20에서는 대향 전극(225)이 화소 영역(PA)에만 형성되는 것으로 도시되었으나, 대향 전극(225)은 증착 조절막(215)에 의해 투과 영역(TA)에서는 매우 얇은 두께로 형성될 수도 있다.
- [0212] 이후, 도 16a 및 도 16b를 참조로 설명한 바와 같이 캐리어 기관(50)을 베이스 기관(100)으로부터 박리시켜 예시적인 실시예들에 따른 투명 표시 장치를 수득할 수 있다.
- [0213] 이하에서는, 구체적인 실험예를 참조로 예시적인 실시예들에 따른 투명 표시 장치의 특성을 설명한다.
- [0214] **실험예: 절연막 구조에 따른 투과도 평가**
- [0215] 10 마이크로미터의 폴리이미드 기관 상에 각각 실리콘 산화막 및 실리콘 질화막의 적층 구조를 갖는 배리어막, 버퍼막, 게이트 절연막 및 층간 절연막을 순차적으로 형성하여 비교예에 따른 적층체들을 형성하였다.
- [0216] 한편, 동일한 상기 폴리이미드 기관 상에 실리콘 산질화물 단일 조성의 배리어막, 버퍼막, 게이트 절연막 및 층간 절연막을 순차적으로 형성하여 실시예에 따른 적층체를 형성하였다.
- [0217] 비교예들 및 실시예의 상기 적층체들의 구조는 하기 표 1에 기재된 바와 같다.

표 1

[0218]

구분	배리어막	버퍼막	게이트 절연막	층간 절연막
비교예 1	실리콘 산화막(1500 ㎞) /실리콘 질화막(600 ㎞) /실리콘 산화막(1500 ㎞)	실리콘 질화막 (1000 ㎞) /실리콘 산화막 (3000 ㎞)	실리콘 산화막 (750 ㎞) /실리콘 질화막 (400 ㎞)	실리콘 산화막 (3000 ㎞) /실리콘 질화막 (2000 ㎞)
비교예 2	실리콘 질화막(600 ㎞) /실리콘 산화막(1500 ㎞) /실리콘 질화막(600 ㎞)	실리콘 질화막 (1000 ㎞) /실리콘 산화막 (3000 ㎞)	실리콘 산화막 (750 ㎞) /실리콘 질화막 (400 ㎞)	실리콘 산화막 (3000 ㎞) /실리콘 질화막 (2000 ㎞)
비교예 3	실리콘 산화막(5000 ㎞) /실리콘 질화막(600 ㎞)	실리콘 질화막 (1000 ㎞) /실리콘 산화막 (3000 ㎞)	실리콘 산화막 (750 ㎞) /실리콘 질화막 (400 ㎞)	실리콘 산화막 (3000 ㎞) /실리콘 질화막 (2000 ㎞)
실시예	실리콘 산질화막 (5600 ㎞)	실리콘 산질화막 (4000 ㎞)	실리콘 산질화막 (1150 ㎞)	실리콘 산질화막 (5000 ㎞)

[0219]

상기 비교예 및 실시예들의 적층체 상부에서 빛을 조사하여 폴리이미드 기판을 통과시킨 후 투과도를 측정하였다. 측정 결과는 하기의 표 2에 기재된 바와 같다.

표 2

[0220]

구분	비교예 1	비교예 2	비교예 3	실시예
투과도	63.1%	60.3%	63.3%	89.7%

[0221]

상기 표 2에 나타난 바와 같이, 절연막 구조를 실리콘 산질화물로 단일화한 경우, 다수의 상이한 절연막을 반복 적층한 비교예들에 비해 월등한 투과도 향상 효과를 얻을 수 있음을 알 수 있다.

산업상 이용가능성

[0222]

본 발명의 예시적인 실시예들에 따른 투명 표시 기관 및 투명 표시 장치는 투과성이 향상된 플렉시블 표시 장치에 활용될 수 있다. 예를 들면, 상기 투명 표시 기관 및 투명 표시 장치는 컴퓨터, 휴대폰, 스마트폰, 스마트패드, MP3 플레이어 등의 전자 기기 뿐만 아니라, 자동차용 네비게이션 또는 헤드 업(Head up) 디스플레이 등에도 적용될 수 있다.

[0223]

이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0224]

PA: 화소 영역 TA: 투과 영역

50: 캐리어 기관 100: 베이스 기관

110: 배리어 막 120: 버퍼막

130: 제1 액티브 패턴 135: 제2 액티브 패턴

140: 게이트 절연막 150: 제1 게이트 전극

155: 제2 게이트 전극 160: 층간 절연막

165, 165a, 166: 투과막 구조물

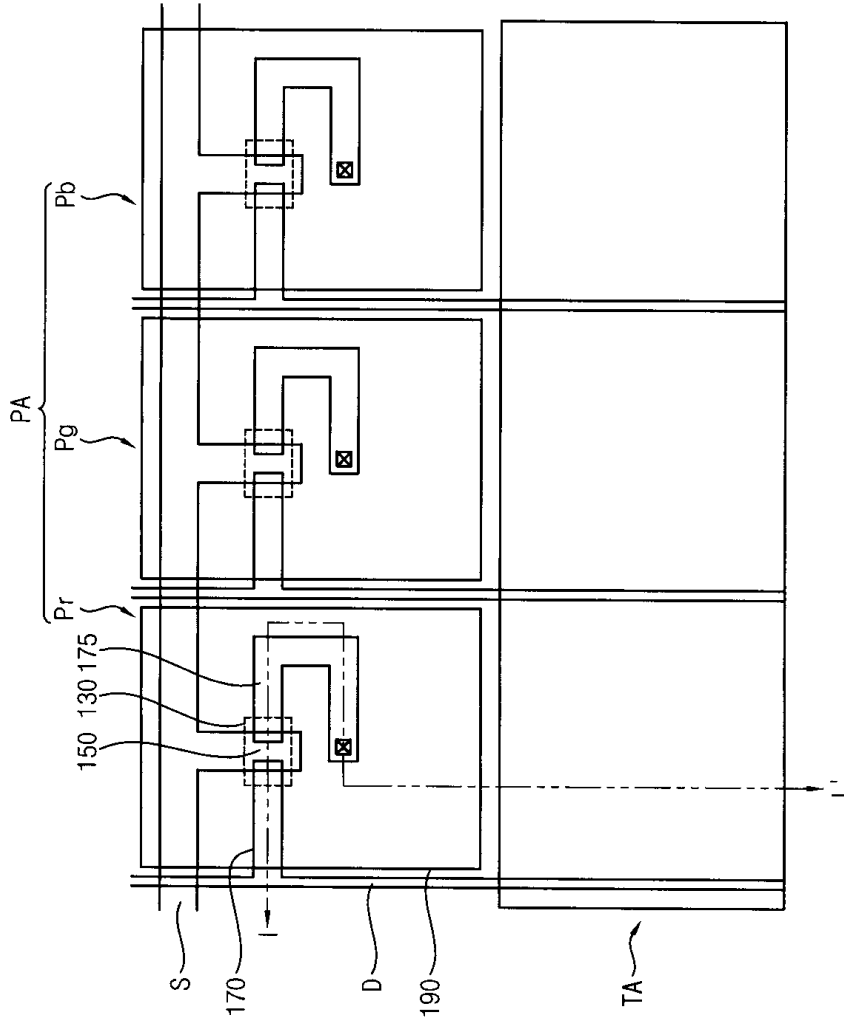
170: 소스 전극 175: 드레인 전극

180: 비아 절연막 185, 187: 투과창

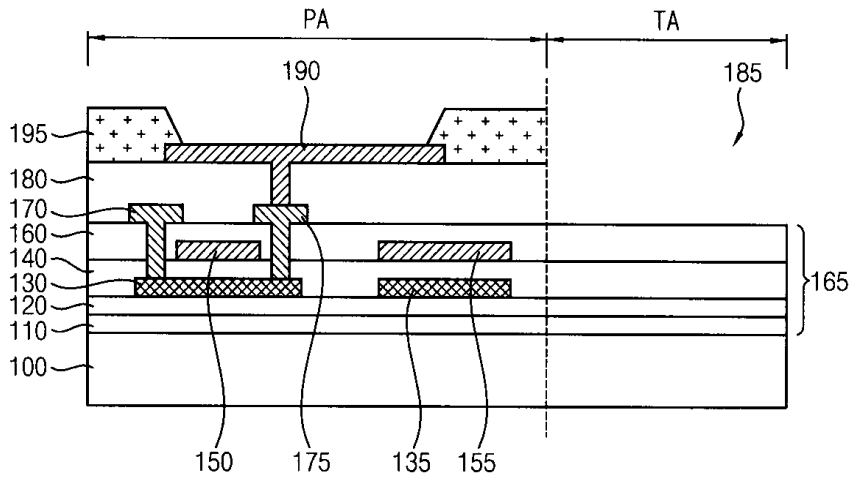
190: 화소 전극 195: 화소 정의막
 210: 표시층 220, 220a, 225, 225a: 대향 전극
 215: 증착 조절막 230, 235: 봉지층

도면

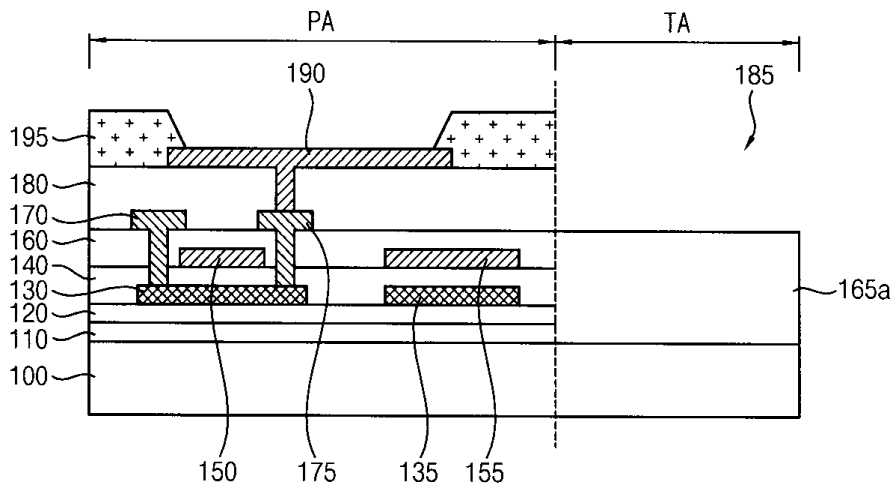
도면1



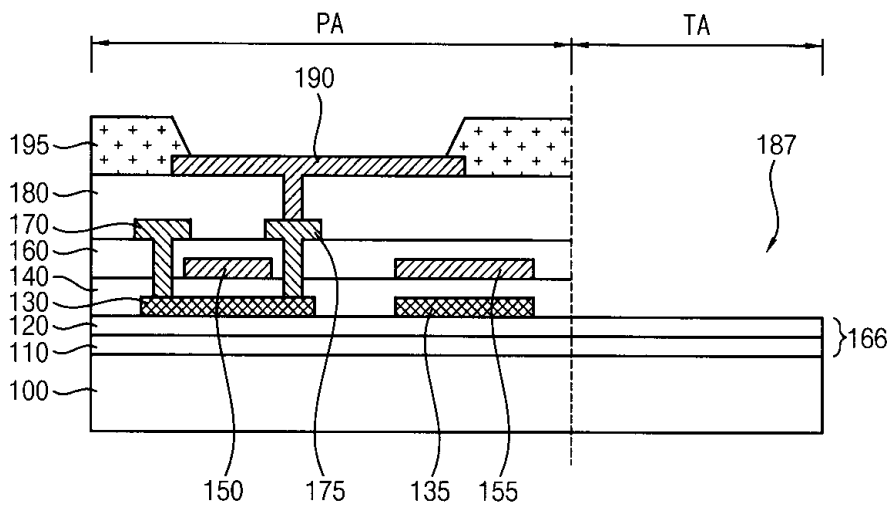
도면2



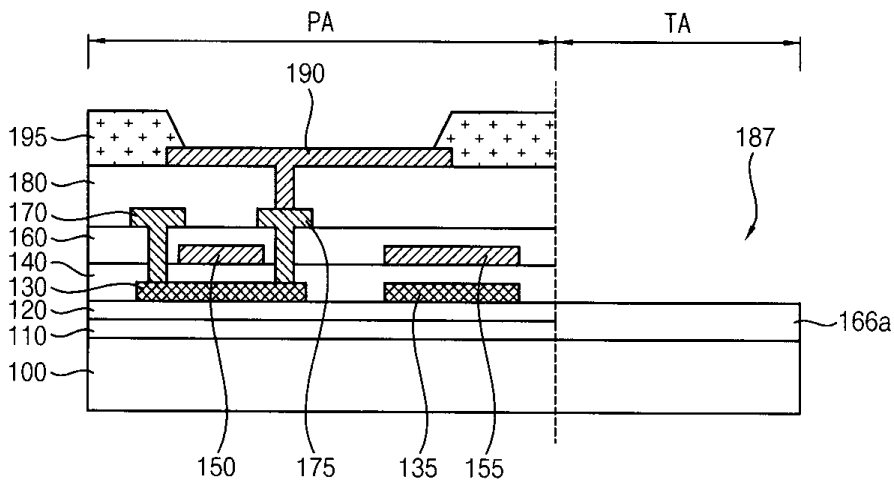
도면3



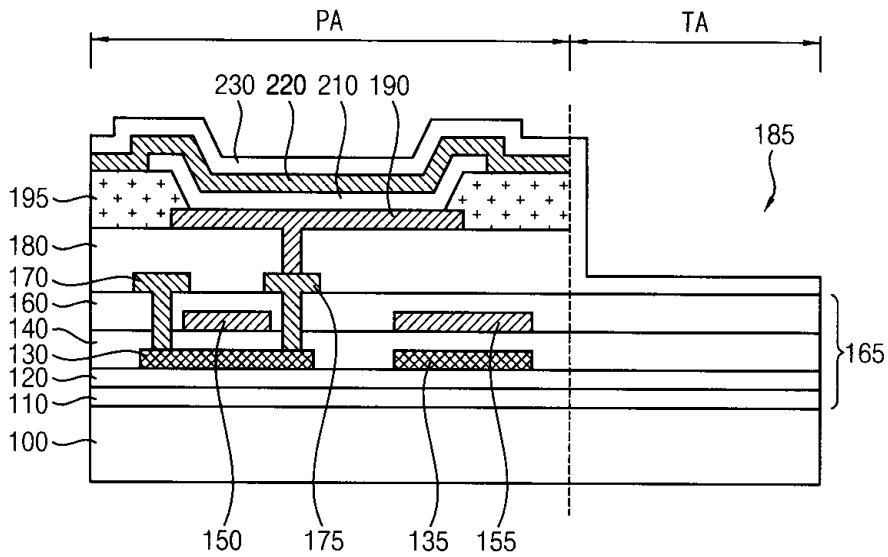
도면4



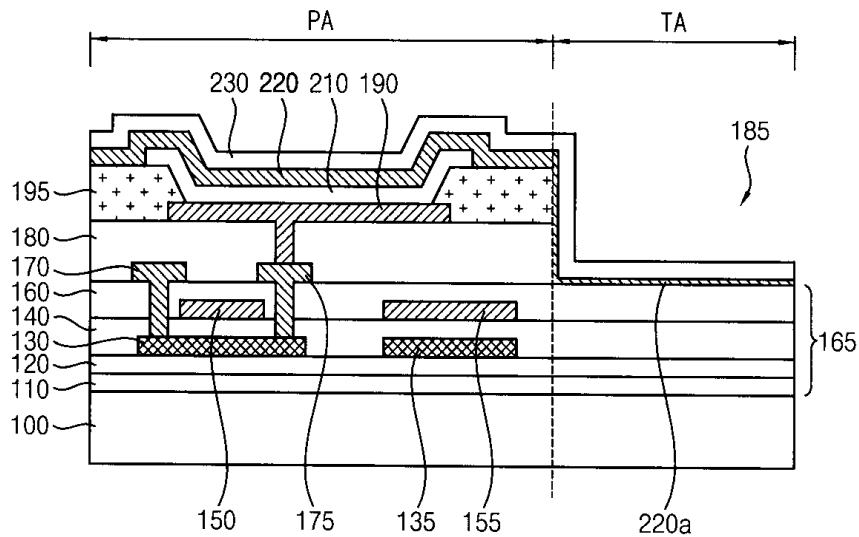
도면5



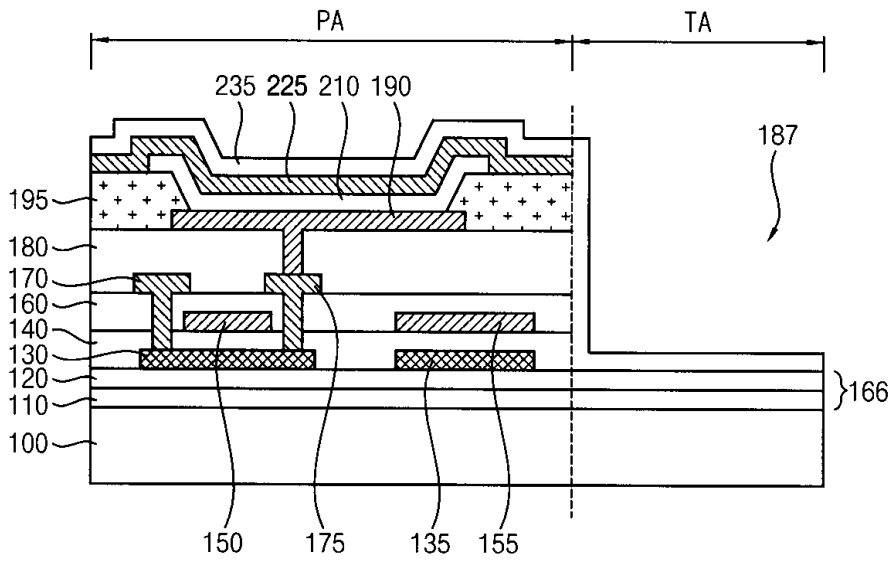
도면6



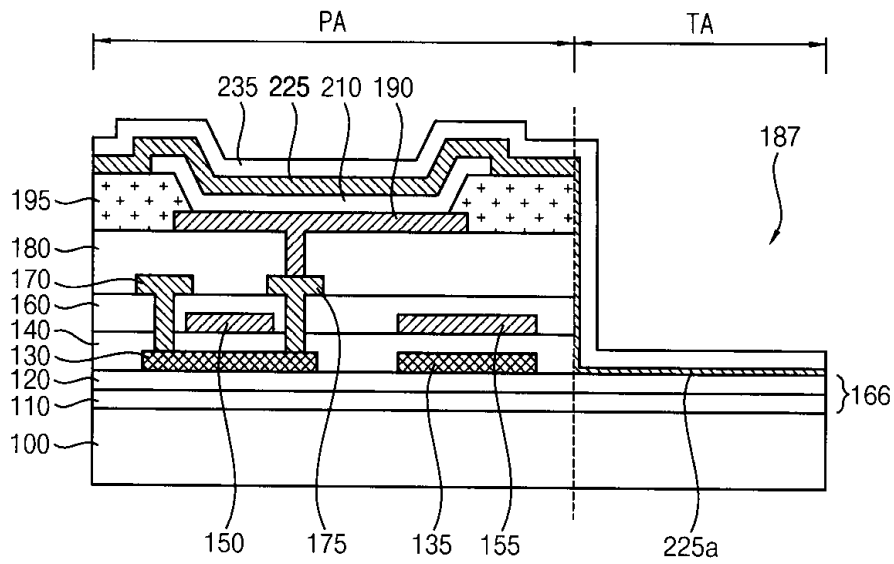
도면7



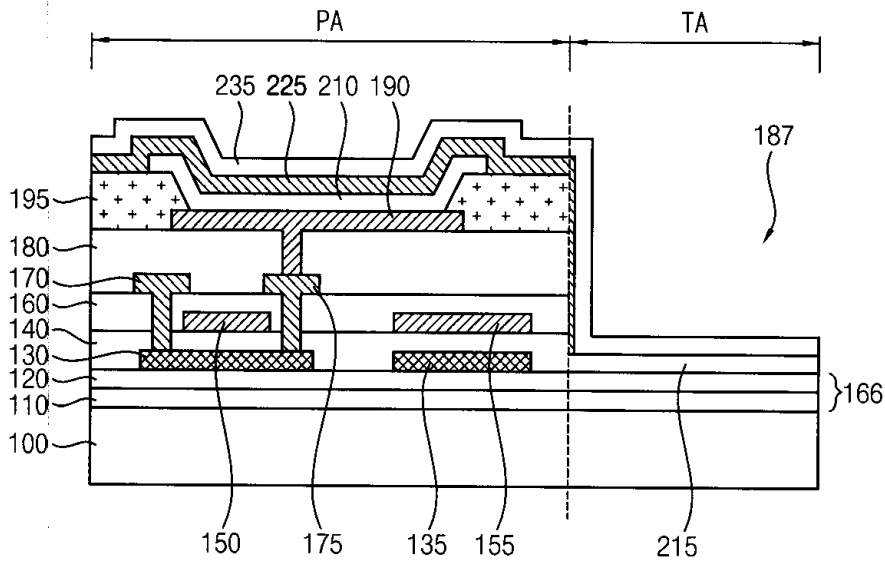
도면8



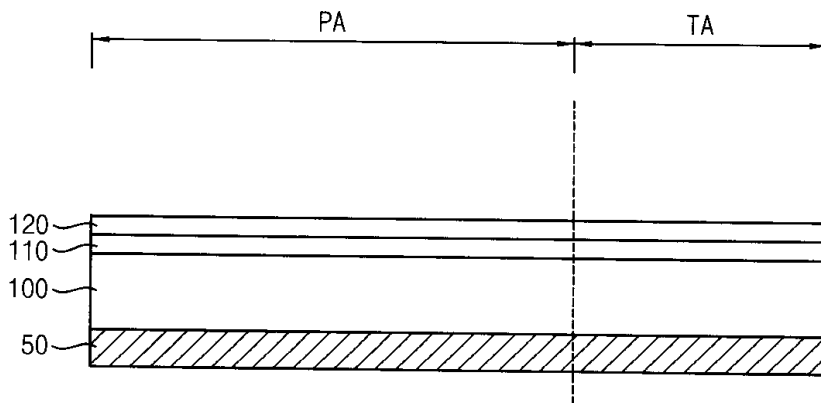
도면9



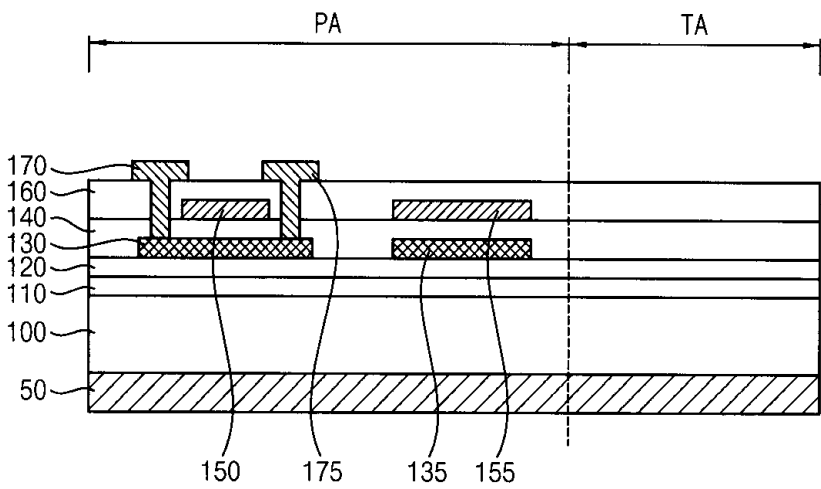
도면10



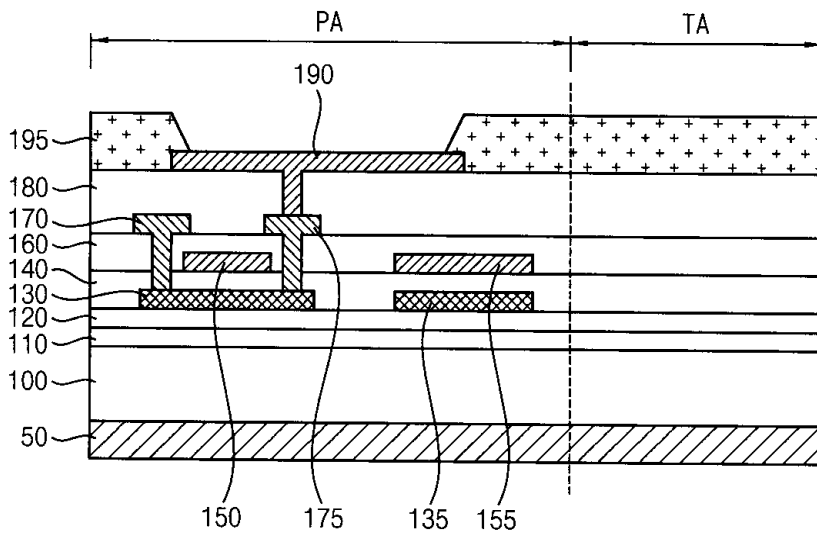
도면11



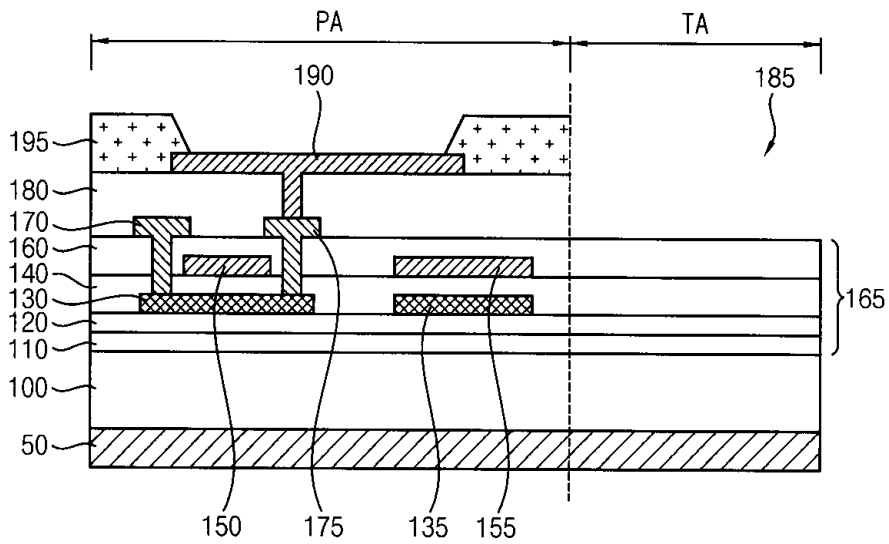
도면12



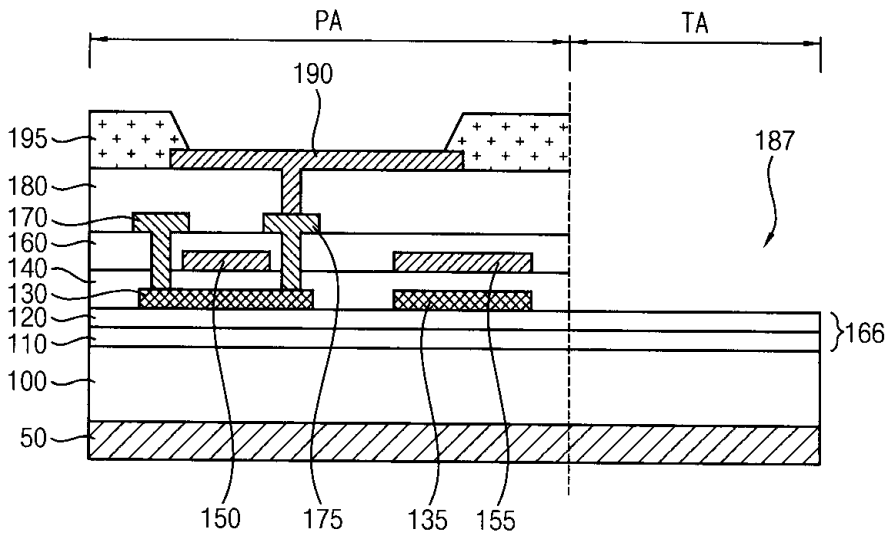
도면13



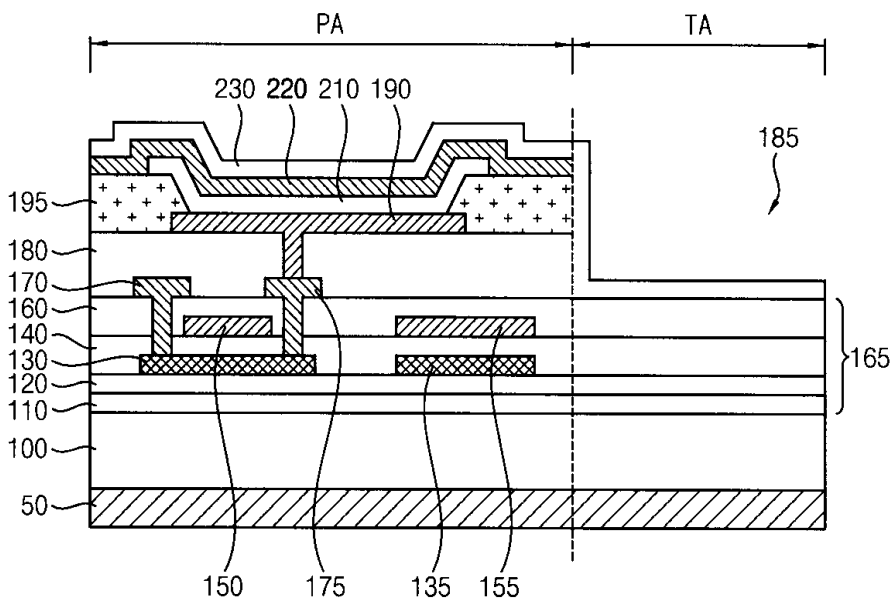
도면14a



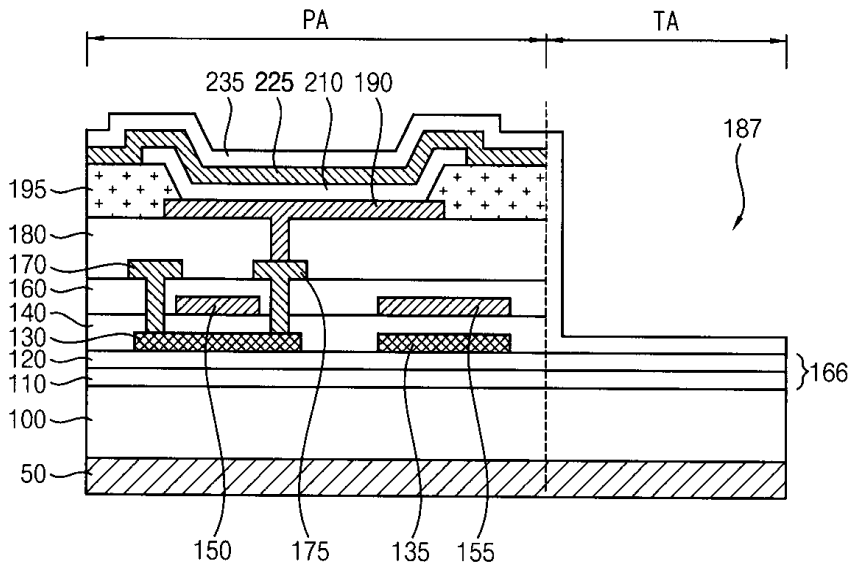
도면14b



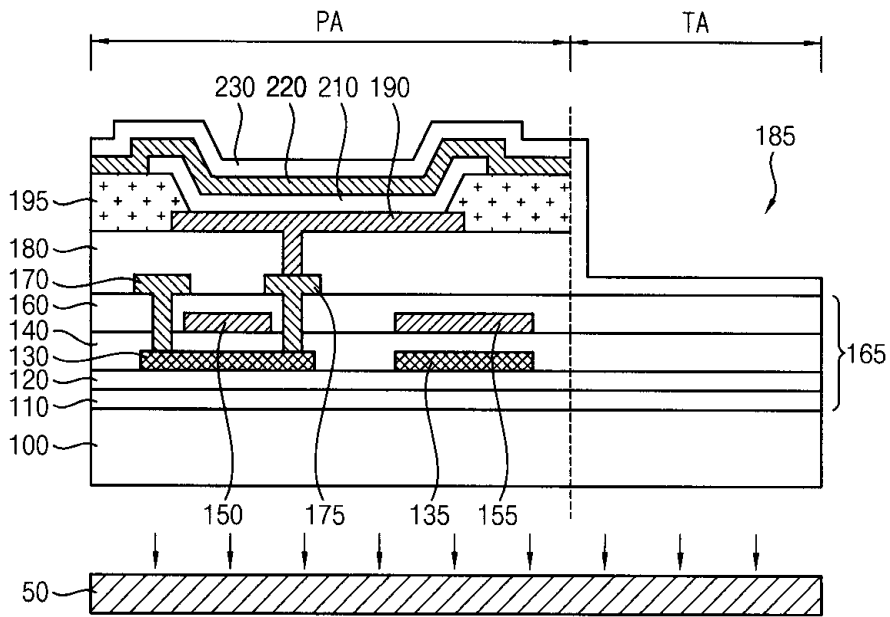
도면15a



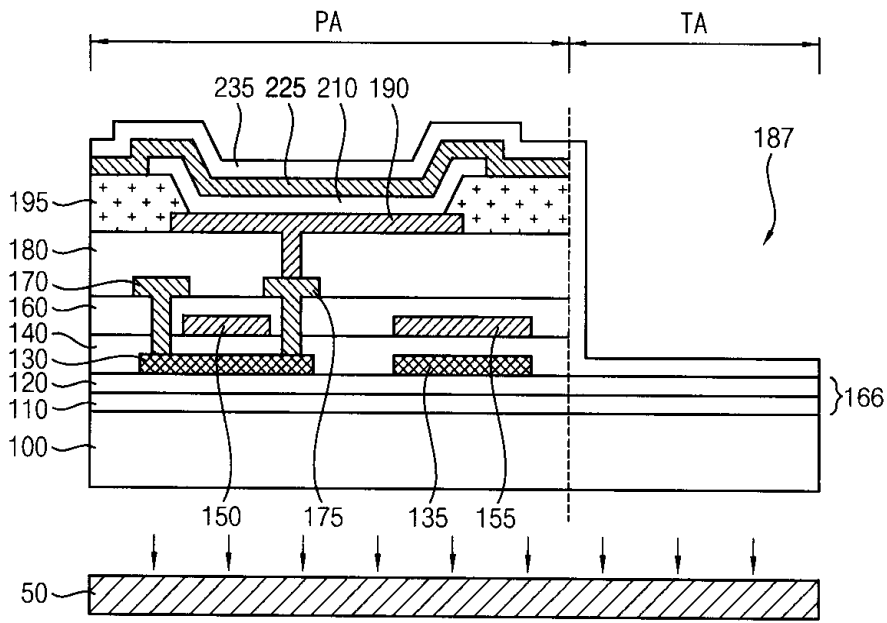
도면15b



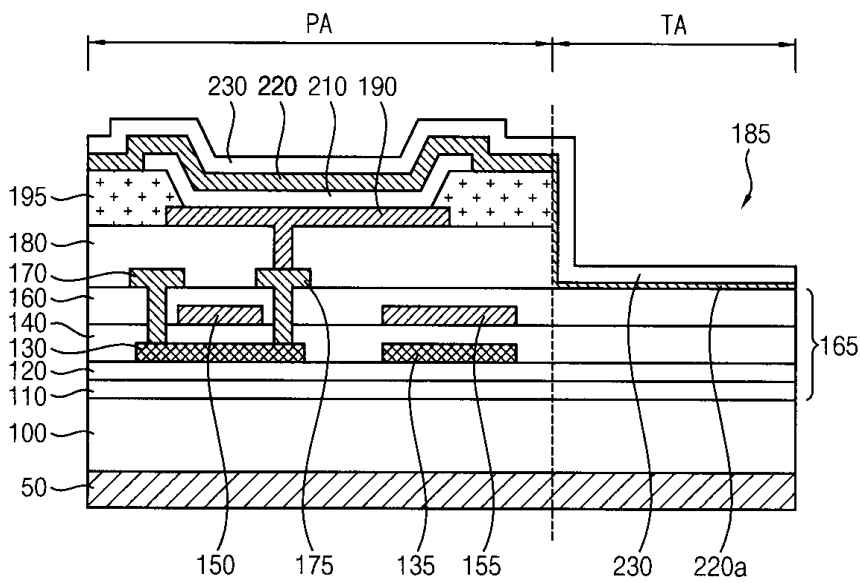
도면16a



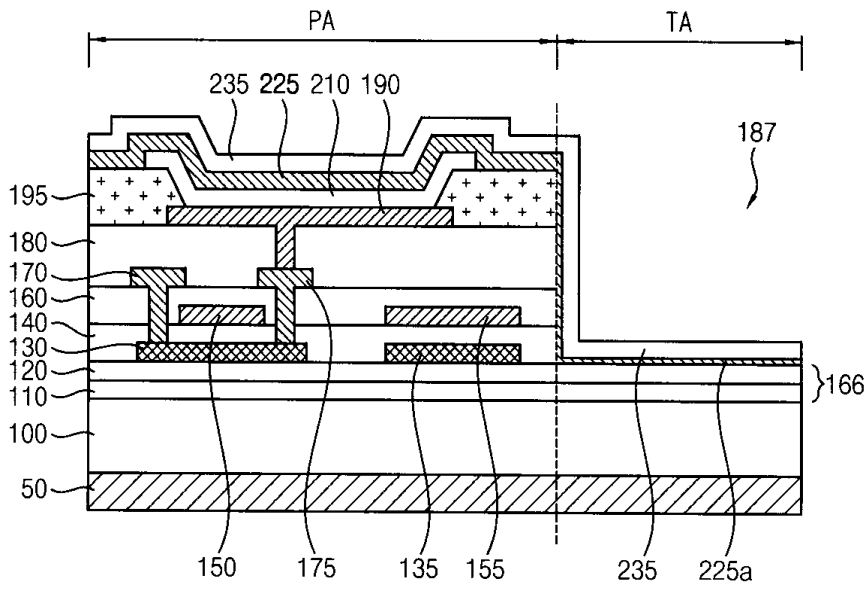
도면16b



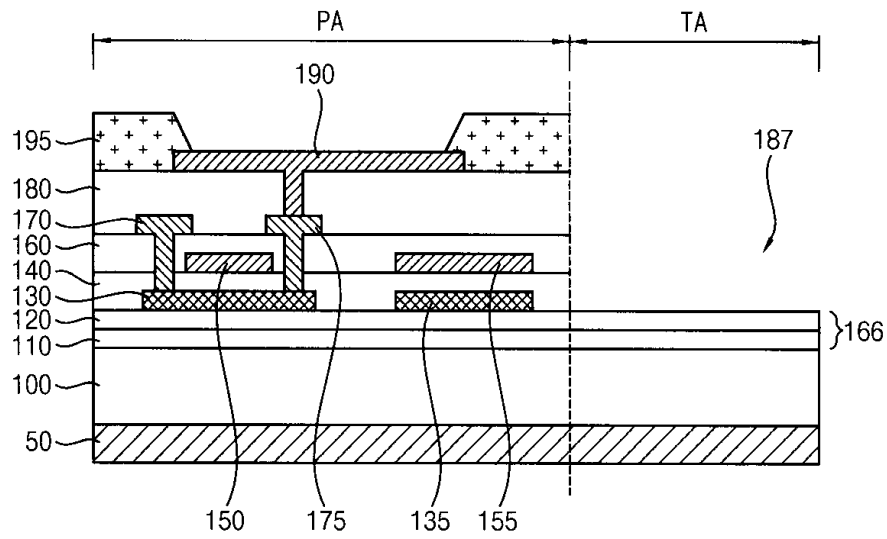
도면17a



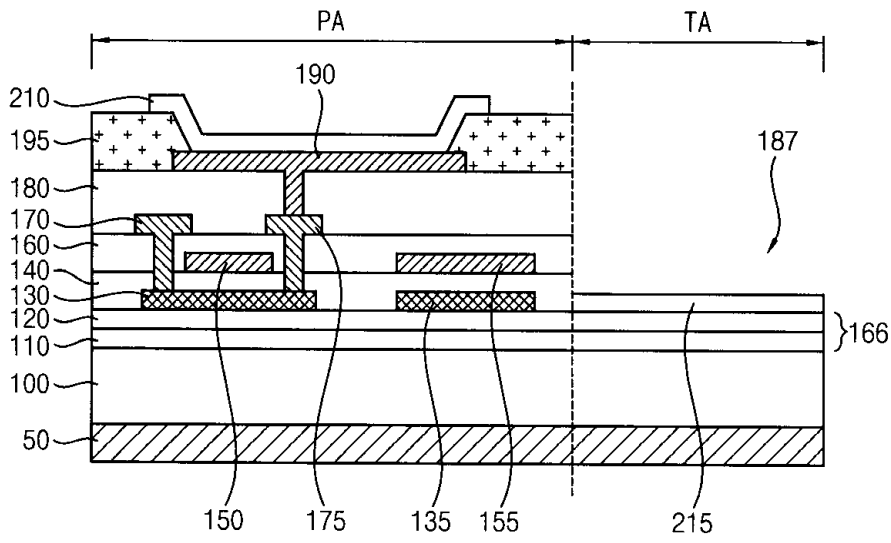
도면17b



도면18



도면19



도면20

