

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-8981

(P2010-8981A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611C	2H193
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 611J	5C006
<b>H03F 3/45 (2006.01)</b>	G09G 3/20 611F	5C080
	G09G 3/20 621F	5J500

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-171701 (P2008-171701)  
 (22) 出願日 平成20年6月30日 (2008.6.30)

(71) 出願人 00002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100080160  
 弁理士 松尾 憲一郎  
 (72) 発明者 橋本 光一  
 神奈川県横浜市保土ヶ谷区神戸町134  
 ソニーエルエスアイデザイン株式会社内  
 (72) 発明者 鈴木 登志生  
 神奈川県横浜市保土ヶ谷区神戸町134  
 ソニーエルエスアイデザイン株式会社内  
 Fターム(参考) 2H093 NA16 NA53 NC12 NC13 NC34  
 ND06 ND39 ND42 NH18  
 2H193 ZA04 ZD23 ZF36

最終頁に続く

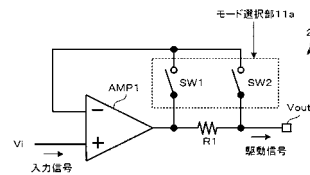
(54) 【発明の名称】 液晶パネル駆動回路

(57) 【要約】

【課題】異なる負荷容量を駆動可能としつつも、液晶パネルへ出力する駆動信号のセtring時間を改善することができる液晶パネル駆動回路を提供すること。

【解決手段】液晶パネルへ駆動信号を出力する複数のバッファアンプ部20のそれぞれを、オペアンプAMP1と、このオペアンプAMP1の出力ノードと反転入力ノードとの間に接続された第1スイッチSW1と、オペアンプAMP1の出力ノードに一端が接続された出力抵抗R1と、この出力抵抗R1の他端とオペアンプAMP1の反転入力ノードとの間に接続された第2スイッチSW2とにより構成する。そして、重い負荷の装置が接続されるときに第1モードに設定して第1スイッチSW1を短絡状態にし、軽い負荷の装置が接続されるときに第2モードに設定して第2スイッチSW2を短絡状態にする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

液晶パネルへ駆動信号を出力する複数のバッファアンプ部を備え、  
各前記バッファアンプ部は、  
アンプと、  
前記アンプの出力ノードと反転入力ノードとの間に接続された第 1 スイッチと、  
前記アンプの出力ノードに一端が接続された出力抵抗と、  
前記出力抵抗の他端と前記アンプの反転入力ノードとの間に接続された第 2 スイッチと  
を備え、

第 1 モードに設定されたときに前記第 1 スイッチを短絡状態にし、第 2 モードに設定されたときに前記第 2 スイッチを短絡状態にする液晶パネル駆動回路。 10

## 【請求項 2】

液晶パネルへ駆動信号を出力する複数のバッファアンプ部を備え、  
各前記バッファアンプ部は、  
アンプと、  
前記アンプの出力と反転入力ノードとの間に接続された第 1 スイッチと、  
前記アンプの出力ノードに一端が直列に接続された複数の抵抗からなる出力抵抗と、  
各前記抵抗の他端と前記アンプの反転入力ノードとの間に接続された複数の第 2 スイッチとを備え、

第 1 モードに設定されたときに前記第 1 スイッチを短絡状態にし、第 2 モードに設定されたときに前記第 2 スイッチのいずれかを短絡状態にする液晶パネル駆動回路。 20

## 【請求項 3】

前記第 1 スイッチ及び前記第 2 スイッチは、半導体スイッチで構成される請求項 1 又は請求項 2 に記載の液晶パネル駆動回路。

## 【請求項 4】

前記出力抵抗は、ポリシリコンで形成される請求項 1 ~ 3 のいずれか 1 項に記載の液晶パネル駆動回路。

## 【請求項 5】

モード設定端子を備え、  
前記モード設定端子が第 1 の電圧レベルのときに前記第 1 モードに設定し、前記モード設定端子が第 2 の電圧レベルのときに前記第 2 モードに設定する請求項 1 ~ 4 のいずれか 1 項に記載の液晶パネル駆動回路。 30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶パネルへ駆動信号を出力する複数のバッファアンプ部を備えた液晶パネル駆動回路に関する。

## 【背景技術】

## 【0002】

近年、表示装置として、液晶表示装置 (LCD: Liquid Crystal Device) が幅広く普及している。この液晶表示装置は、薄型、軽量及び低消費電力を特徴とすることから、特に携帯電話機、PDA (Personal Digital Assistance)、ノートパソコン、携帯用 TV などのいわゆるモバイル端末に利用される機会が増えている。また、大型の液晶表示装置の開発も進んでおり、据え置き型の大画面表示装置や大画面テレビなどへの用途も広がりつつある。 40

## 【0003】

このような液晶表示装置は、液晶パネルと、この液晶パネルを駆動する液晶パネル駆動回路を有している。

## 【0004】

液晶パネル駆動回路は、映像信号として入力されるデジタル信号を内部の D/A 変換回 50

路によってアナログ信号に変換して、液晶パネルに駆動信号として入力することによって、液晶パネルに映像（画像）を表示する。この液晶パネル駆動回路は、液晶ソースドライバとも呼ばれ、フレキシブル基板に実装されたICとして提供されることが多い。

【0005】

この液晶パネル駆動回路は、液晶パネルへ駆動信号を出力する出力部を備えており、生産時の検査工程において、この出力部から正常に駆動信号が出力されるか否かの検査が行われる。

【0006】

液晶パネル駆動回路の検査は、この出力部の出力にテスターの測定用プローブを接続することによって行われる。測定用プローブは純粋容量負荷となるため、液晶パネルの負荷に比べ重い負荷が出力部に接続されることとなる。

10

【0007】

液晶パネル駆動回路の出力部はバッファアンプで構成されるが、このバッファアンプの駆動能力は一定である。そのため、バッファアンプの駆動能力に対して出力の負荷が重い場合、その出力波形にリングングが生じ、最悪の場合、出力の発振という問題を引き起こすおそれがある。

【0008】

そこで、このように異なる負荷を駆動する場合に、図9に示すバッファアンプ部100のようにバッファアンプ101の出力ノードにON抵抗の異なる複数の半導体スイッチSW100、SW101からなる可変抵抗102を付加するものがある（例えば、特許文献1参照）。このように可変抵抗102を付加し、接続される負荷ごとに出力抵抗を切り替えることでリングングの低減や発振防止を図るようにしている。また、バッファアンプのバイアス電流を可変させることでリングングの低減や発振防止を図るものもある。

20

【特許文献1】特開平11-85113号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、バッファアンプに可変抵抗を付加する方法では、バッファアンプに付加された抵抗により通常動作時のセトリングが悪化することから、サイズの大きなトランジスタをスイッチとして用いる必要がある。

30

【0010】

また、バッファアンプのバイアス電流を可変させる方法では、バッファアンプ自体の定常電流が増加し、また、バイアス電流に可変にすることにより他の特性が変動してしまう。

【課題を解決するための手段】

【0011】

そこで、かかる課題を解決するために、請求項1に記載の発明は、液晶パネルへ駆動信号を出力する複数のバッファアンプ部を備え、各前記バッファアンプ部は、アンプと、前記アンプの出力ノードと反転入力ノードとの間に接続された第1スイッチと、前記アンプの出力ノードに一端が接続された出力抵抗と、前記出力抵抗の他端と前記アンプの反転入力ノードとの間に接続された第2スイッチと、を備え、第1モードに設定されたときに前記第1スイッチを短絡状態にし、第2モードに設定されたときに前記第2スイッチを短絡状態にする液晶パネル駆動回路とした。

40

【0012】

また、請求項2に記載の発明は、液晶パネルへ駆動信号を出力する複数のバッファアンプ部を備え、各前記バッファアンプ部は、アンプと、前記アンプの出力と反転入力ノードとの間に接続された第1スイッチと、前記アンプの出力ノードに一端が直列に接続された複数の抵抗からなる出力抵抗と、各前記抵抗の他端と前記アンプの反転入力ノードとの間に接続された複数の第2スイッチとを備え、第1モードに設定されたときに前記第1スイッチを短絡状態にし、第2モードに設定されたときに前記第2スイッチのいずれかを短絡

50

状態にする液晶パネル駆動回路とした。

【0013】

また、請求項3に記載の発明は、請求項1又は請求項2に記載の発明において、前記第1スイッチ及び前記第2スイッチは、半導体スイッチで構成されることとした。

【0014】

また、請求項4に記載の発明は、請求項1～3のいずれか1項に記載の発明において、前記出力抵抗は、ポリシリコンで形成されることとした。

【0015】

また、請求項5に記載の発明は、請求項1～4のいずれか1項に記載の発明において、モード設定端子を備え、前記モード設定端子が第1の電圧レベルのときに前記第1モードに設定し、前記モード設定端子が第2の電圧レベルのときに前記第2モードに設定する。

10

【発明の効果】

【0016】

本発明によれば、液晶パネル駆動回路の出力部に接続される負荷が重いときにリングングの低減や発振防止を行うことができ、出力部に接続される負荷が軽いときにおいてレイアウト面積の増加を抑制しつつも、セトリング時間を改善することができる。

【発明を実施するための最良の形態】

【0017】

本発明の一実施形態における液晶パネル駆動回路は、液晶パネルへ駆動信号を出力する出力部を備えており、フレキシブル基板に実装されて所謂ソースドライバICとして提供されるものである。

20

【0018】

そして、この出力部には、液晶パネルの各信号線を駆動するための駆動信号を出力する複数のバッファアンプ部が設けられる。各バッファアンプ部には、アンプと、アンプの出力ノードと反転入力ノードとの間に接続された第1スイッチと、アンプの出力ノードに一端が接続された出力抵抗と、出力抵抗の他端とアンプの反転入力ノードとの間に接続された第2スイッチとが設けられる。

【0019】

また、液晶パネル駆動回路には、第1スイッチを短絡状態にする第1モードと第2スイッチを短絡状態にする第2モードのいずれか一方のモードに設定するモード設定部が設けられる。

30

【0020】

そして、モード設定部により第1モードが設定されたときには、各バッファアンプ部の出力抵抗がアンプのフィードバックループの経路外となり、第2モードが選択されたときには出力抵抗がアンプのフィードバックループの経路内になる。

【0021】

従って、出力部が第1モードに設定されているときには、アンプの出力ノードと反転入力ノードとが直接接続されてバッファアンプを構成し、このバッファアンプの出力が出力抵抗を介して出力端子に接続される。一方、出力部が第2モードに設定されているときには、アンプの出力ノードと反転入力ノードとが出力抵抗を介して接続されてバッファアンプを構成し、このバッファアンプの出力が出力端子に接続される。

40

【0022】

この第1モードは、出力端子に接続される負荷が重いときに使用するモードであり、第2モードは、出力端子に接続される負荷が軽いときに使用するモードである。例えば、出力部の出力端子を検査工程で測定用プローブに接続するときにはテストモードとして第1モードを用い、出力部の出力端子を液晶パネルに接続するときには通常動作モードとして第2モードを用いる。

【0023】

その結果、第1モード時においては、バッファアンプの出力が出力抵抗を介して出力されるため、この出力抵抗の抵抗値に応じてアンプの位相進みが生じ、出力波形のリングン

50

グや発振問題が防止される。また、第1スイッチや第2スイッチに流れる電流は小さいことからスイッチを構成する半導体スイッチのチップサイズが小さくて済み、従来の出力部のようにチップサイズの大きな半導体スイッチを用いた可変抵抗を用いる必要がない。従って、レイアウト面積の増加を抑制できる。

#### 【0024】

一方、出力部の第2モード時においては、アンプの出力が出力抵抗を介して帰還されるため、アンプと出力抵抗とがバッファアンプとして動作する。そのため、従来のバッファアンプ部100に比べセトリング動作を改善することができる。

#### 【0025】

以下、本発明の一実施形態における液晶パネル駆動回路について図面を参照してさらに詳細に説明する。図1は本発明の一実施形態における液晶パネル駆動回路の構成図、図2は液晶パネル駆動回路における出力部のバッファアンプ部の構成図、図3、図4及び図6はバッファアンプ部の動作を説明するための図、図5は従来のバッファアンプ部の動作を説明するための図である。

10

#### 【0026】

図1に示すように、液晶パネル駆動回路1には、高速I/F部10、ロジック(論理)回路11、バイアス部12、ラインバッファ部13、レベルシフタ部14、デジタル-アナログ変換部(DAC部)15、及び出力部16が設けられている。ラインバッファ部13、レベルシフタ部14、DAC部15及び出力部16にはそれぞれ液晶パネルの信号線の数(CH数)に応じたラインバッファ、レベルシフタ、DAC及び出力部が設けられて

20

#### 【0027】

制御部3から高速I/F部10へシリアルデジタル映像信号が入力されると、高速I/F部10は、このデジタル映像信号をシリアル-パラレル変換して、論理回路11へ出力する。論理回路11はこの変換したデジタル映像信号を液晶パネルのどの信号線に対応させるかを選択し、ラインバッファ部13の対応するラインバッファに入力する。ラインバッファ部13の各ラインバッファは、デジタル映像信号の極性反転を行ってレベルシフタ部14の対応するレベルシフタに入力する。レベルシフタ部14の各レベルシフタはデジタル映像信号のレベル変換を行ってDAC部15の対応するDACに入力する。DAC部15の各DACは、デジタル映像信号をアナログ変換してアナログ映像信号を生成し、このアナログ映像信号を出力部16の対応するバッファアンプ部へ出力する。そして、出力部16の各バッファアンプ部は入力されるアナログ映像信号を電流増幅した駆動信号を出力端子Voutから液晶パネル2の信号線へ出力する。なお、バイアス部12は、論理回路11からの制御信号に基づいて出力部16へバイアス電圧を出力する。

30

#### 【0028】

ここで、液晶パネル駆動回路1の論理回路11には、モード設定部11aが設けられており、出力部16に接続する装置に応じたモードを選択することができるように構成される。ここでは、出力部16に負荷が重い装置(例えば検査工程で用いるテスターの測定用プローブ)を接続するための第1モードと、出力部16に負荷が軽い装置(例えば負荷が軽い液晶パネル2)を接続するための第2モードとを有している。モード設定部11aによるモードの設定は、モード設定端子Vmの電圧に応じて決定される。例えば、モード設定端子VmがHighレベル(第1の電圧レベル)のときにモード設定部11aは第1モードに設定し、モード設定端子VmがLowレベル(第2の電圧レベル)のときに第2モードに設定する。

40

#### 【0029】

ところで、出力部16は、液晶パネル2の信号線に駆動信号を出力する数百CHのバッファアンプ部から構成される。このようにCH数が多く高精細な用途の液晶パネル駆動回路1には、レイアウト面積の削減が強く要求される。加えて近年の高精細化に伴い、動作周波数の高速化、波形品質の向上が課題となる。そこで、本実施形態においては出力部16を以下に示す構成としている。

50

## 【 0 0 3 0 】

すなわち、各バッファアンプ部 2 0 は、図 2 に示すように、オペアンプ A M P 1 と、第 1 スイッチ S W 1 と、第 2 スイッチ S W 2 と、出力抵抗 R 1 とにより構成される。

## 【 0 0 3 1 】

そして、第 1 スイッチ S W 1 は、オペアンプ A M P 1 の出力ノードと反転入力ノードとの間に接続される。また、第 2 スイッチ S W 2 は、オペアンプ A M P 1 の出力ノードに出力抵抗 R 1 を介して一端が接続され、オペアンプ A M P 1 の反転入力ノードに他端が接続される。また、オペアンプ A M P 1 の非反転入力ノードには入力電圧 V i が入力される。

## 【 0 0 3 2 】

出力部 1 6 では、図 2 に示すように、出力抵抗 R 1 の前後にフィードバックループを切り替えるスイッチ S W 1 , S W 2 が挿入されており、モード設定部 1 1 a により出力抵抗 R 1 をフィードバックループの経路内とするのか経路外とするのかを切り替えるようにしている。

10

## 【 0 0 3 3 】

すなわち、出力部 1 6 が第 1 モードのときには、図 3 ( a ) に示すように、オペアンプ A M P 1 の出力ノードと反転入力ノードとを直接接続してバッファアンプを構成し、このバッファアンプの出力が出力抵抗 R 1 を介して出力端子 V o u t に接続される。一方、出力部 1 6 が第 2 モードのときには、図 3 ( b ) に示すように、オペアンプ A M P 1 の出力ノードと反転入力ノードとを出力抵抗 R 1 を介して接続してバッファアンプを構成し、このバッファアンプの出力が出力端子 V o u t に接続される。

20

## 【 0 0 3 4 】

従って、液晶パネル駆動回路 1 の検査工程において出力部 1 6 の出力端子 V o u t をテスターの測定用プローブに接続するときに、出力部 1 6 を第 1 モードで動作させることにより、バッファアンプの出力が直接出力端子 V o u t に接続されない。すなわち、バッファアンプの出力が出力抵抗 R 1 を介して出力端子 V o u t に接続されることから、出力抵抗 R 1 の抵抗値に応じてオペアンプ A M P 1 の位相進みが生じ、出力波形のリングングや発振問題を防止することができる。

## 【 0 0 3 5 】

しかも、第 1 スイッチ S W 1 を半導体スイッチで構成する場合、第 1 スイッチ S W 1 に流れる電流は小さいことからそのチップサイズは小さくてよい。そのため、従来のバッファアンプ部 1 0 0 のように可変抵抗としてチップサイズの大きな半導体スイッチを用いることがないことから、レイアウト面積の増加を抑制できる。

30

## 【 0 0 3 6 】

また、負荷が重くない液晶パネル 2 を液晶パネル駆動回路 1 に接続するときに、出力部 1 6 を第 2 モードで動作させることにより、バッファアンプの出力が直接出力端子 V o u t に接続される。すなわち、出力抵抗 R 1 がバッファアンプのフィードバックループの経路内になる。そのため、従来のバッファアンプ部 1 0 0 に比べてセトリング時間を改善することができる。

## 【 0 0 3 7 】

ここで、従来のバッファアンプ部 1 0 0 において、重い負荷（ここではテスターの測定用プローブとする。）が接続されたときの特性について説明する。

40

## 【 0 0 3 8 】

オペアンプ A M P 1 0 0 の出力電圧 V a ( t ) が t 1 秒後に最終値 V i ( 入力電圧 ) に到達するときの出力電圧波形は、式 ( 1 ) のステップ関数 u ( t ) を用いて、式 ( 2 ) で表すことができる。なお、C c はオペアンプ A M P 1 内部の位相補償容量である。

## 【 0 0 3 9 】

## 【 数 1 】

$$u(t) = \begin{cases} 0 & (t < 0) \\ 1 & (t \geq 0) \end{cases} \quad \dots(1)$$

50

【 0 0 4 0 】

【 数 2 】

$$Va(t) = \frac{I}{Cc} \{t \times u(t) - (t - t_1) \times u(t - t_1)\} \quad \dots(2)$$

【 0 0 4 1 】

上記式(2)は、ラプラス変換することにより下記式(3)で表すことができる。

【 0 0 4 2 】

【 数 3 】

$$Va(s) = \frac{I}{Cc} \frac{1}{s^2} \{1 - \exp(-t_1 s)\} \quad \dots(3)$$

10

【 0 0 4 3 】

図4に示すように、出力端子Voutに接続されるテスターの測定用プローブが純粋容量Cの負荷であるとする、出力端子Voutに出力されるバッファアンプ部100の出力電圧Vo(t)は、一次CR回路のステップ応答で表すことができる。従って、出力電圧Vo(t)は、下記式(4)で表すことができる。

【 0 0 4 4 】

【 数 4 】

$$Vo(t) = Vi \times \frac{1}{C} \int idt / \left( R \times i + \frac{1}{C} \int idt \right) \quad \dots(4)$$

20

【 0 0 4 5 】

そして、上記式(4)は、ラプラス変換することにより、下記式(5)で表すことができる。

【 0 0 4 6 】

【 数 5 】

$$Vo(s) = Vi \left( \frac{1}{CRs + 1} \right) \quad \dots(5)$$

30

【 0 0 4 7 】

従来のバッファアンプ部100では、バッファアンプ101のフィードバックループ外に出力抵抗が配置されていた。そのため、従来のバッファアンプ部100の最終出力におけるセトリング時間はオペアンプAMP100のスルーレートの時間関数と一次CR回路を通過する場合の時間関数を畳み込み積分した関数で決定されることになる。

【 0 0 4 8 】

すなわち、バッファアンプ部100のセトリング時間は上記式(3)と上記式(5)の積である下記式(6)から求めることができる。

【 0 0 4 9 】

【 数 6 】

$$Vo(s) = \frac{I}{Cc} \frac{1}{s^2} \{1 - \exp(-t_1 s)\} \times \left( \frac{1}{CRs + 1} \right) \quad \dots(6)$$

40

【 0 0 5 0 】

従来のバッファアンプ部100に使用されるオペアンプAMP100の出力電圧がt1秒後に最終値Viに到達する場合、出力端子Voutの電圧Vo(t)は上記式(6)をラプラス逆変換したもの、すなわち下記式(7)で表すことができる。なお、t < 0のとき、u(t) = 0、t = 0のとき、u(t) = 1である。

【 0 0 5 1 】

## 【数 7】

$$V_o(t) = \frac{I}{C_c} \left[ t - CR \left\{ 1 - \exp\left(-\frac{t}{CR}\right) \right\} \right] \times u(t) - \frac{I}{C_c} \left[ (t - t_1) - CR \left\{ 1 - \exp\left(-\frac{t - t_1}{CR}\right) \right\} \right] \times u(t - t_1) \quad \dots(7)$$

$$= \begin{cases} 0 & (t < 0) \\ \frac{I}{C_c} CR \left[ \frac{t}{CR} - \left\{ 1 - \exp\left(-\frac{t}{CR}\right) \right\} \right] & (0 \leq t < t_1) \\ \frac{I}{C_c} CR \left[ \frac{t_1}{CR} - \left\{ \exp\left(\frac{t_1}{CR}\right) - 1 \right\} \exp\left(-\frac{t}{CR}\right) \right] & (t \geq t_1) \end{cases}$$

10

## 【0052】

ここで、上記式(7)の特性をグラフ化したものを図5に示す。同図に示すように、従来のバッファアンプ部100では出力電圧 $V_o(t)$ の電圧波形は期待値に対して漸近する波形となり、最終値への収束遅れを招くことがわかる。

## 【0053】

これに対して、本実施形態におけるバッファアンプ部20では、図3(b)に示すように第2スイッチSW2を短絡状態して、出力抵抗がバッファアンプのフィードバックループの経路内に配置させる。これにより、出力抵抗R1を通過した後のノードからバッファアンプのフィードバックがかかる。従って、オペアンプAMP1の反転入力ノードと出力ノードとを直接接続してフィードバックをかけた状態と同じセトリング特性となり、上記式(2)でセトリング動作が規定される。このときの特性をグラフ化したものを図6に示す。同図からわかるように出力部16で発生する出力電圧 $V_o$ において最終値への収束遅れの発生が抑制される。

20

## 【0054】

このように本実施形態におけるバッファアンプ部20では、第1モードのとき、バッファアンプの出力が出力抵抗R1を介して出力端子 $V_{out}$ に接続され、出力抵抗の抵抗値に応じてアンプの位相進みを生じさせることができる。そのため、出力波形のリングングや発振問題を防止することができる。また、第2モードのときには、従来に比べてセトリング時間を改善することができる。しかも、第2モードのときは、従来のようにバッファアンプの出力と出力端子 $V_{out}$ との間に半導体スイッチを設ける必要がないことからレイアウト面積の増加を抑制することができる。

30

## 【0055】

ここで、スイッチSW1, SW2をトランジスタで、出力抵抗R1をポリシリコンで構成した具体例を図7に示す。

## 【0056】

図7に示すように、第1スイッチSW1は、オペアンプAMP1の反転入力ノードと出力ノードとにそれぞれドレインとソースが接続されたNMOSTランジスタ $Tr1a$ 及びPMOSTランジスタ $Tr1b$ とからなる。また、第2スイッチSW2も同様に、オペアンプAMP1の反転入力ノードと出力ノードとにそれぞれドレインとソースが接続されたNMOSTランジスタ $Tr2a$ 及びPMOSTランジスタ $Tr2b$ とからなる。なお、これらのトランジスタ $Tr1a$ ,  $Tr1b$ ,  $Tr2a$ ,  $Tr2b$ のチップサイズは、例えば幅 $5\mu m$ で長さ $1.46\mu m$ とすることができる。また、トランジスタ $Tr1a$ ,  $Tr2a$ のバックゲートは低位電圧AVSに接続され、トランジスタ $Tr1b$ ,  $Tr2b$ のバックゲートは高位電圧AVDに接続される。また、出力抵抗R1はポリシリコンにより形成され、例えば500の抵抗値とすることができる。

40

## 【0057】

そして、トランジスタ $Tr1a$ ,  $Tr2b$ の各ゲートは、モード設定部11aから出力される制御信号XS1が入力される。また、トランジスタ $Tr1b$ ,  $Tr2a$ の各ゲート

50



には、モード設定部 11a から出力される制御信号 S1 が入力される。制御信号 XS1 は制御信号 S1 の極性が反転した信号となっており、制御信号 XS1 は第 1 モードのときに High レベルの電圧となり、第 2 モードのときに Low レベルの電圧となるようにモード設定部 11a により制御される。

【0058】

従って、第 1 モードのときは、トランジスタ Tr1a, Tr1b が ON 状態となってオペアンプ AMP1 の出力ノードと非反転入力ノードとが直接接続される。また、第 2 モードのときには、トランジスタ Tr2a, Tr2b が ON 状態となってオペアンプ AMP1 の出力ノードと非反転入力ノードとが出力抵抗 R1 を介して接続される。

【0059】

このように第 1 及び第 2 スイッチ SW1, SW2 を、チップサイズの小さな複数のトランジスタからなる半導体スイッチで構成することにより、レイアウト面積の増加を抑制することができる。このようにチップサイズの小さなトランジスタを用いることができるのは、上述のように第 1 及び第 2 スイッチ SW1, SW2 がオペアンプ AMP1 と出力端子 Vout との間の出力経路には存在しないからである。

【0060】

なお、上述の実施形態においては、2 段階の切り替えの例を示したが、図 8 に示すように 3 段階の切り替え又はそれ以上の切り替えを行うようにしてもよい。

【0061】

例えば、図 8 に示すバッファアンプ部 20' では、出力抵抗 R1 を複数の抵抗 R1a, R1b から構成し、第 2 スイッチ SW2 も複数の第 1 スイッチ SW2a, SW2b で構成する。このとき、各第 2 スイッチ SW2a, SW2b は、各抵抗 R1a, R1b の他端とオペアンプ AMP1 の反転入力ノードとの間にそれぞれ接続する。そして、モード設定部 11a は、モード設定端子 Vm が High レベルとなって第 1 モードに設定されたときに、第 1 スイッチ SW1 を短絡状態にする。また、モード設定部 11a は、モード設定端子 Vm が Low レベルとなって第 2 モードに設定されたときに、第 2 スイッチのいずれかのスイッチ SW2a, SW2b を短絡状態にする。なお、第 2 モードのときにどのスイッチ SW2a, SW2b を接続するかは、図示しないスイッチ選択端子への入力或いはレジスタの設定により決定される。これにより、検査工程のみならず、液晶パネル 2 の負荷に応じて出力部 16 からより適切な駆動信号を出力することが可能となる。なお、第 2 スイッチの数をさらに増やすことにより細やかな調整が可能となる。

【0062】

以上、本発明の好ましい実施形態について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【0063】

【図 1】本発明の一実施形態における液晶パネル駆動回路の構成図である。

【図 2】本発明の一実施形態における液晶パネル駆動回路における出力部のバッファアンプ部の構成図である。

【図 3】本発明の一実施形態におけるバッファアンプ部の動作を説明するための図である。

【図 4】本発明の一実施形態におけるバッファアンプ部の動作を説明するための図である。

【図 5】従来のバッファアンプ部の動作を説明するための図である。

【図 6】本発明の一実施形態におけるバッファアンプ部の動作を説明するための図である。

【図 7】本発明の一実施形態におけるバッファアンプ部の具体的構成を示す図である。

【図 8】本発明の一実施形態における別のバッファアンプ部の構成図である。

【図 9】従来のバッファアンプ部の構成図である。

10

20

30

40

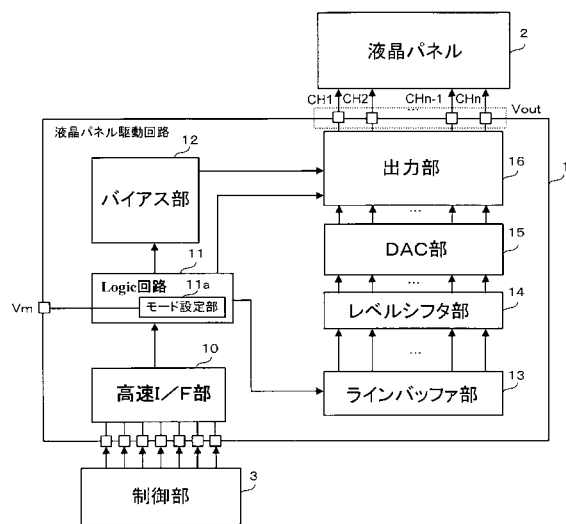
50

【符号の説明】

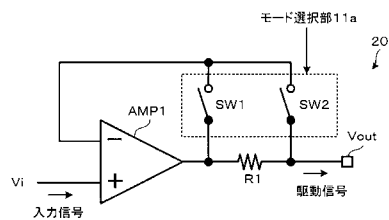
【0064】

- 1 液晶パネル駆動回路
- 2 液晶パネル
- 3 制御部
- 10 高速I/F部
- 11 論理回路
- 11a モード設定部
- 12 バイアス部
- 13 ラインバッファ部
- 14 レベルシフト部
- 15 DAC部
- 16 出力部
- 20, 20' バッファアンプ部
- SW1 第1スイッチ
- SW2 (SW2a, SW2b) 第2スイッチ
- R1 (R1a, R1b) 出力抵抗
- AMP1 オペアンプ

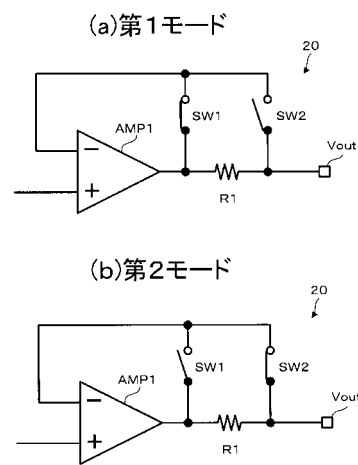
【図1】



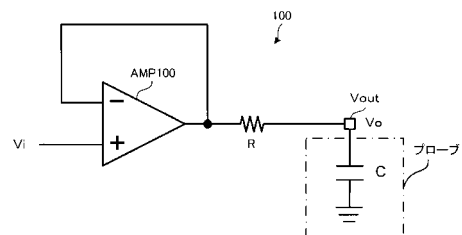
【図2】



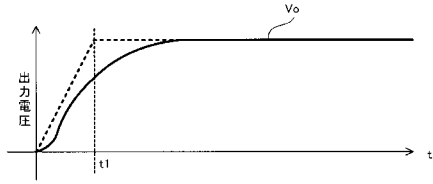
【図3】



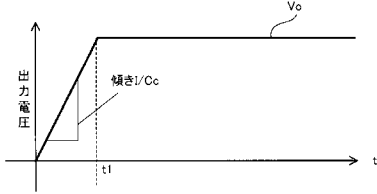
【図4】



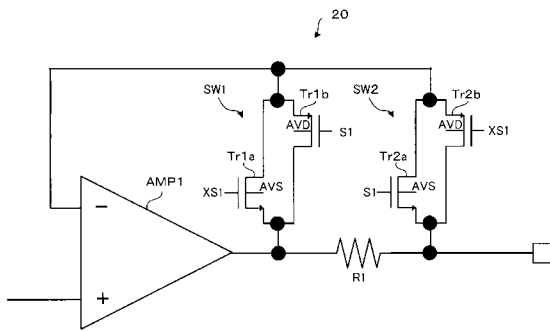
【図5】



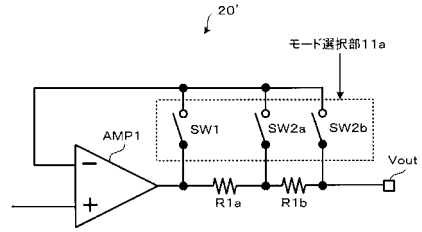
【図6】



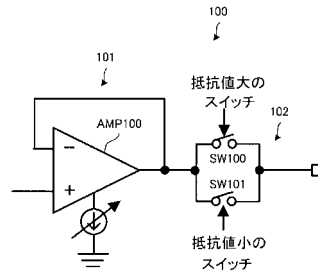
【図7】



【図8】



【図9】



---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 7 0 Q
	G 0 9 G 3/20	6 4 1 D
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 5 0
	H 0 3 F 3/45	B

Fターム(参考)	5C006	AA16	AC21	AC27	AF07	AF25	AF45	AF83	BB11	BF05	BF25
		BF34	EB01	FA12							
	5C080	AA10	BB05	DD08	DD12	DD15	EE29	FF12	JJ02	JJ03	JJ05
	5J500	AA01	AA47	AA51	AC00	AC78	AF18	AH25	AH29	AH38	AH39
		AK01	AK07	AM13	AS00	AT01	AT06				