(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/11

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0190838
(24) 등록일자 1999년01월21일

(21) 출원번호 10-1994-0031185
(22) 출원일자 1994년11월25일
(65) 공개번호 특1995-0021666
(43) 공개일자 1995년07월26일
(30) 우선권주장 93-316634 1993년12월16일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 꾸리야마히로따다
일본국효고664이다미시미즈하라4쪼메1반지미쓰비시덴끼가부시끼가이샤엘에스아이겡규쇼나이
이시다마사히로
일본국효고664이다미시미즈하라4쪼메1반지미쓰비시덴끼가부시끼가이샤엘에스아이겡규쇼나이
이시가끼요시유끼
일본국효고664이다미시미즈하라4쪼메1반지미쓰비시덴끼가부시끼가이샤엘에스아이겡규쇼나이
(74) 대리인 김영길, 이화익

심사관 : 임동우

(54) 에스램(SRAM)메모리셀

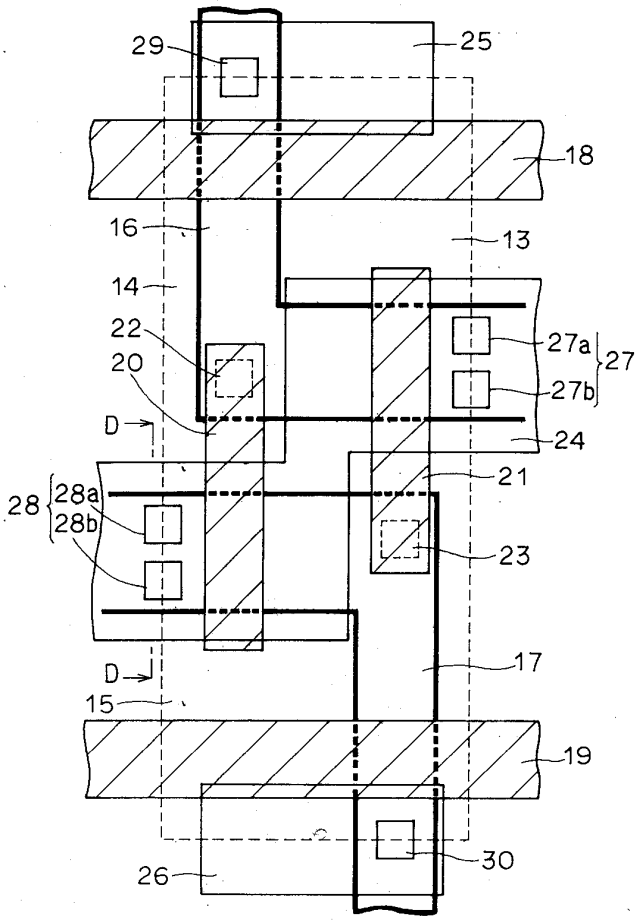
요약

본 발명은 사진전사에 의해 설계치대로 제작될 수 있는 개선된 SRAM (Static Random Access Memory)을 제공한다.

제 1 및 제 2메모리셀의 접지선(43)과 활성영역(16)을 접속하기 위한 제 2직접콘택(27)이 제 1 메모리셀과 제 2 메모리셀의 경계에 설치된다.

제 2 직접콘택(27)은 복수의 영역(27a,27b)으로 분할된다.

대표도



명세서

[발명의 명칭]

에스램(SRAM) 메모리셀

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 메모리셀의 레이아웃도.

제 2A 도는 제 1 도의 D-D선에 따른 단면도.

제 2B 도는 종래 예를 나타내는 제 21 도의 C-C선에 따른 단면도.

제 3A 도는 위상 쉬프트 마스크를 도시한 평면도.

제 3B 도는 하프톤(half tone)마스크를 도시한 평면도.

제 4 도는 본 발명의 제 2 실시예에 따른 SRAM 메모리셀을 도시한 등가회로도.

제5도는 본 발명의 제2실시예에 따른 SRAM메모리셀의 레이 아웃도.

제6도는 본 발명의 제2실시예에 의한 SRAM 메모리셀의 제2층을 나타낸 레이아웃도.

제7도는 본 발명의 제2실시예에 의한 SRAM 메모리셀의 제3층을 나타낸 레이아웃도.

제 8 도는 제 5 도 내지 제 7 도에서의 B-B선에 따른 단면도.

제 9 도~제 13 도는 제 8 도의 SRAM 제조방법에서 제 1단계 내지 제 5 단계를 차례로 도시한 공정 단면도.

제 14 도는 본 발명의 제 3 실시예에 의한 SRAM 메모리셀을 도시한 레이아웃도.

제15도는 본 발명의 제4실시예에 의한 SRAM 메모리셀의 제1층을 도시한 레이아웃도.

제16도는 본 발명의 제4실시예에 의한 SRAM 메모리셀의 제2 층을 도시한 레이아웃도.

제 17A 도~ 제 17C 도는 미세 직접콘택을 형성하는 방법을 각 단계별로 차례로 도시한 반도체 장치의 부분 단면도.

제 18A 도 및 제 18B 도는 종래의 메모리셀의 메모리셀 어레이 배치도.

제 19A 도 및 제 19B 도는 제 5 실시예에 의한 메모리셀을 구비한 메모리셀 어레이 배치도.

제 20 도는 종래의 SRAM 메모리셀을 나타낸 등가 회로도.

제 21 도는 종래의 SRAM 메모리셀의 제 1 층을 도시한 레이아웃도.

제 22 도는 종래의 SRAM 메모리셀의 제 2 층을 도시한 레이아웃도.

제 23 도는 종래의 SRAM 메모리셀의 제 3 층을 도시한 레이아웃도.

제 24 도는 제 21 도～제 23 도의 A-A선에 따른 단면도.

제 25 도는 종래 SRAM의 2개의 메모리셀에 있어서의 GND부를 도시한 도면.

제 26 도는 본원에서 사용된 직접 콘택을 도시한 도면.

[발명의 상세한 설명]

본 발명은 반도체 장치에 관한 것으로서, 특히 SRAM(Static Random Access Memory)에 관한 것이다.

제 20 도는 SRAM 셀을 나타낸 등가 회로도이다.

SRAM은 기판위에 형성된 액세스 트랜지스터(1,2)와 드라이버 드랜지스터(3,4) 및 박막 트랜지스터로 구성된 부하 트랜지스터(5,6) 등,6개의 트랜지스터를 포함한다.

상기 액세스(access) 트랜지스터 (1)는 워드선 (7)을 포함하고, 액세스 트랜지스터 (2)는 워드선 (8)을 포함한다.

액세스 트랜지스터 (1)는 비트선 (9)에 접속되고, 액세스 트랜지스터(2)는 /비트선 (10)에 접속된다.

도면에서, 참조부호 11,12로 나타낸 부분은 접지선(이하, GND라 한다)(43)의 기생저항을 표시한다.

SRAM 셀의 동작은 다음과 같다.

판독 동작에서, 전압은 게이트를 개방하기 위해 워드선(7,8)에 인가

된다.

이때, 비트선(9) 및 /비트선(10)에는 각각의 인버터 상태에 대응한 전압이 나타난다.

기록동작에서, 또한 게이트를 개방하기 위해 전압이 워드선(7,8)에 인가되며, 소정의 기록상태에 해당하는 전압이 비트선(9)과 /비트선(10)에 인가된다.

상기 등가회로의 레이아웃은 IEDM91. PP.477-484에 개시되어 있다.

제 21 도～ 제 23 도는 종래의 SRAM셀중 하나의 레이아웃을 나타낸다.

제 22 도는 제 21 도의 레이아웃 상에 설치되고, 제 21 도의 레이아웃은 제 22 도에 도시된 레이아웃 상에 설치된다.

상기 SRAM은 필드 산화막(13,14,15), 활성영역(16,17), 폴리실리콘 또는 폴리사이드로 이루어진 제 1 게이트(18,19,20,21)와, 상기 활성영역과 제 1게이트를 연결하는 제 1 직접콘택(22,23)과, 폴리실리콘 또는 폴리사이드로 구성된 제 2 게이트(24,25,26), 및 상기 활성영역과 제 2 게이트를 연결 하는 제 2 직접콘택(27,28,29,30)을 포함한다.

제 22 도를 참조하면, 상기 SRAM은 폴리실리콘으로 구성된 제 3 게이트(31,32)(TFT의 게이트로 됨)와, 상기 제 1 게이트와 제 3 게이트를 연결하는 제 3직접콘택(33,34)과, 폴리실리콘으로 구성된 제 4 게이트(TFT의 채널/소스/드레인 영역으로 됨)(35,36), 및 상기 제 3 게이트와 제 4 게이트를 연결하는 제 4 직접콘택(37,38)을 포함한다.

제 23 도를 참조하면, 상기 SRAM은 제 1 금속 배선층(39,40)(비트선)과 상기 제 2 게이트와 제 1 금속 배선층을 연결하는 콘택을 포함한다.

제 24 도는 제 21 도～제 23 도에 도시된 SRAM의 A-A선에 따른 단면도이다.

제 20 도～제 24 도를 참조하면, 액세스 트랜지스터(1)는 활성영역(16)과 체 1게이트(18)로 형성된다.

액세스 트랜지스터 (2)는 활성영역(17)과 제 1 게이트(19)로 형성된다.

드라이버 트랜지스터(3)는 활성영역(17)과 제 1 게이트(20)로 구성된다.

박막 트랜지스터인 부하 트랜지스터(5)는 제 3 게이트(32)와 제 4 게이트(36) (채널/소스/드레인 영역)로 형성된다.

박막 트랜지스터인 부하 트랜지스터(6)는 제 3 게이트(31)와 제 4 게이트(채널/소스/드레인 영 역)(35)로 형성된다.

워드선 (7)은 제 1 게이트(18)에 대응하며, 워드선 (8)은 제 1 게이트(19)에 대응한다.

비트선 (9)은 제 1 금속 배선층(39)에 대응하며, 비트선 (10)은 제 1금속 배선층(40)에 대응한다.

상기 메모리셀의 GND 선(43)은 제 2 게이트(24)에 대응한다.

GND의 기생저항(11)은 제 2 직접콘택(27)의 저항에 대응한다.

GND의 기생저항(12)은 제 2 직접콘택(28)의 저항에 대응한다.

이와같이구성된 종래 SRAM은 다음과 같은 문제점이 있었다.

제 20 도를 참조하면, 판독동작이 로우(LOW) 및 하이(HIGH)상태에 있는 축적 노드a,b에 의해 수행될 때, 컬럼전류 i는 축적노드 a를 통하여 상기 비트선에서 GND 선(43)으로 흐르게 된다.

이때, 기생저항(11)이 크면, 기억노드 a의 로우 레벨이 증가되어, 결국, 데이터가 파괴된다.

따라서, 기생저항(11)을 작게 유지하기 위해, 제 21 도를 참조하면, 제 2 직접콘택(27,28)이 직사각형 형상으로 형성되어 그 평면적은 크게 설정된다.

이에 비하여, 상기 비트선 영역의 제 2 직접콘택(29,30)은 기생저항이 동작에 영향을 주지 않기 때문에 평면적이 작다.

그러나, 광량의 차이 때문에 사진전사에 의해 다른 크기의 홀(holes)을 형성하기 어려우며, 이러한 홀은 설정치에 따라 미세하게 개구될 수 없다.

제 25 도는 하나의 메모리셀(GND 에서 기생저항 11,12를 제거한 것)을 X로 표시한 2개의 메모리셀 어레이를 나타낸다.

메모리셀부 X_a 와 메모리셀부 X_b가 서로 인접하도록 설치되어 있다.

제 25 도를 참조하면, 상기 GND의 기생저항(11,12)(즉, 제 2 직접콘택 27,28)은 셀 X_a 와 인접한 셀 X_b 과 공유된다.

그러므로, 최악의 경우에는 기생저항(11,12)에 상기 2개의 셀에 대한 컬럼전류 i가 흘러서 축적노드의 로우(LOW)측 전위가 상승하여, 데이터가 파괴 되기 쉽다.

따라서, 제 2 직접콘택(27,28)은 충분히 크게 형성되어야만 한다.

여기에서, 직접 콘택이라고 하는 것은 제 26 도에 나타낸 것과 같은 것으로 한다.

제 26 도를 참조하면, 접속부분(102)은 층간절연막(101)내에 설치된 콘택홀(101a)을 통하여 피접속부분(100)에 접속되어 있다.

또한, 메모리 동작을 안정되게 하기 위해서는, IEDM 91, pp.481-484에 기재되어 있는 바와 같이, 셀 비율(=드라이버 트랜지스터의 전류/엑세스 트랜지스터 전류)을 충분히 크게 할 필요가 있다.

따라서, 드라이버 트랜지스터의 게이트 길이는 가능한 한 짧고, 게이트 폭은 넓은 것이 바람직하며, 엑세스 트랜지스터의 게이트 길이는 길고, 게이트 폭은 짧은 것이 바람직하다.

그러나,메모리셀에서 게이트길이와 게이트폭이 각각 다른 2종류의 게이트를 형성하는 것은 사진전사 시, 노광량의 차이에 의해 각각 설계치대로 제작할수없기 때문에 어렵다.

또한, 액세스 트랜지스터의 게이트 폭을 좁게하면 단(短)채널효과가 일어나 액세스 트랜지스터에서만 문턱값 전압 V_{th}의 변동을 일으키는 문제점이 있다.

집접콘택의 크기는 사진전사 시의 노광한계(2개의 패턴간의 최소간격)에 의해 결정되고, 각 배선(각 게이트)의 최소폭은 통상적으로 직접콘택의 단변(短邊)의 길이와 거의 같다.

따라서, 각 배선을 직접콘택으로 연결하는 경우, 접속부위에서의 마스크의 겹치는 마진(margin)을 고려하여 배선폭을 두껍게 하고 있다.

그러므로, 상기 접속영역에 여분의 공간을 확보해야만 한다.

더욱이, 종래의 메모리셀에 있어서는, 제 24 도를 참조하면, 제 1 직접콘택(22)과 제 3 직접콘택(33) 및 제 4 직접콘택(37)은 서로 수직방향으로 형성되어 있고, 직접콘택부(37)가 오목한 형태로 되어 있다.

그러므로, 홀(구멍)을 깊게 형성해야만 하기 때문에, 식각이 어렵고 단차에 의해 사진식각의 마진이 감소한다.

따라서, 본 발명의 목적은 기생저항을 작게할 수 있도록 개선된 스태틱 랜덤 엑세스메모리(SRAM)을 제공하는데 있다.

본 발명의 다른 목적은 사진전사(photolithography)에 있어서 설계값대로 제조할 수 있는 개선된 SRAM을 제공하는데 있다.

본 발명의 또 다른 목적은 GND부의 직접콘택에 1셀 분의 컬럼전류만이 흐를 수 있도록 개량된 SRAM을 제공하는데 있다.

본 발명의 더욱 다른 목적은 직접콘택의 형상이 오목하게 형성되지 않고, 에칭 및 사직식각이 용이하게 수행될 수 있도록 개량된 SRAM을 제공하는데 있다.

본 발명의 더욱 또 다른 목적은 셀 비율(cell ratio)가 크게되도록 개량된 SRAM을 제공하는데 있다.

본 발명의 더욱 더 또 다른 목적은 각 배선과 직접콘택의 접속부분에서 여분의 공간이 필요치 않는 개량된 SRAM을 제공하는데 있다.

본 발명의 더욱 더 또 다른 목적은 셀 어레이의 구조를 용이하게 변경할 수 있도록 개량된 SRAM을 제공하는데 있다.

본 발명의 제 1 국면에 따른 반도체 장치는 반도체 기판을 구비한다.

활성영역은 상기 반도체 기판의 주 표면에 형성된다.

제 1 메모리셀과 이 셀에 인접한 제 2 메모리셀들이 상기 기판위에 설치된다.

상기 제 1 및 제 2 메모리셀들은 상기 활성영역 상에 설치된 액세스 트랜지스터와 드라이버 트랜지스터, 및 상기 반도체 기판의 상측에 형성된 박막 트랜지스터로 구성된 부하(load)트랜지스터를 각각 포함한다.

상기 활성영역과 제 1 및 제 2 메모리셀의 접지선을 접속하는 제 2 직접콘택은 상기 제 1 메모리셀과 제 2 메모리셀과의 경계에 설치되어 있다.

상기 제 2 직접콘택은 복수개로 분할되어 있다.

본 발명의 제 2 국면에 따른 반도체 장치는 반도체 기판과, 이 반도체 기판 위에 형성된 메모리셀과, 각 메모리셀에 형성된 활성영역을 포함한다.

상기 메모리셀은 활성영역 상에 형성된 액세스 트랜지스터와 드라이버 트랜지스터, 및 상기 반도체 기판의 상측에 형성된 박막 트랜지스터로 구성된 부하트랜지스터를 포함한다.

반도체 장치는 또한 상기 메모리셀의 접지선과 상기 활성영역을 접속하기 위한 제 2 직접콘택을 더 포함한다.

제 2 게이트를 통하여 상기 활성영역에 접속된 비트선이 반도체 기판위에 설치된다.

상기 장치는 상기 활성영역과 제 2 게이트를 접속하기 위한 제 2 직접콘택을 더욱 포함한다.

상기 활성영역과 메모리셀의 접지선을 접속하기 위한 제 2 직접콘택의 크기는 상기 제2게이트와 활성영역을 접속하기위한 제 2 직접콘택의 크기와 동일하게 되어 있다.

본 발명의 제3국면에 따른 반도체장치는 반도체기판을 포함한다.

상기 반도체 기판의 주 표면상에 활성영역이 형성된다.

상기 활성영역상에는 액세스 트랜지스터와 드라이버 트랜지스터가 형성된다. 박막 트랜지스터로 구성된 부하 트랜지스터가 반도체 기판상에 설치된다.

장치는 상기 활성영역과 상기 드라이버 트랜지스터의 제 1 게이트를 접속하기 위한 제 1 직집콘택과, 상기 부하 트랜지스터의 제 3 게이트와 상기 제 1 게이트를 접속하기 위한 제 3 직접콘택, 및 상기 부하 트랜지스터의 소오스/드레인 영역이 되는 제 3 게이트와 제 4 게이트를접속하기 위한 제4직접 콘택을 포함한다.

상기 제 1, 제 3 및 제 4 직접콘택은 서로 중첩되지 않도록 수직방향으로 배치된다.

본 발명의 제 4 국면에 따른 반도체 장치는 반도체 기판을 포함한다.

상기 기판상에는 액세스 트랜지스터 및 드라이버 트랜지스터가 설치된다.

상기 기판의 상측에는 박막 트랜지스터로 이루어진 부하 트랜지스터가 설치된다.

상기 액세스 트랜지스터의 제 1 게이트의 게이트 길이 및 게이트 폭은 상기 드라이버 트랜지스터의 제 1 게이트의 게이트 길이 및 폭과 각각 동일하게 되어 있다.

본 발명의 제 5 국면에 따른 반도체 장치는 반도체 기판을 포함한다.

상기 반도체 기판상에는 메모리셀들이 설치되어 있다.

반도체 기판의 주 표면상에는 활성영역이 형성되어 있다.

상기 메모리셀은 활성영역상에형성된 액세스 트랜지스터와 드라이버 트랜지스터, 및 기판상에 형성된 박막 트랜지스터로 구성된 부하 트랜지스터를 포함한다.

이 장치는 활성영역과 드라이버 트랜지스터의 제 1 게이트를 접속하기 위한 제 1 직접콘택과, 활성영역과 메모리셀의 접지선을 접속하기 위한 제 2 직접콘택과, 상기 부하 트랜지스터의 제 3 게이트와 제 1 게이트를 접속하기 위한 제 3 직접콘택을 포함한다.

상기 제 3 직접콘택의 크기는 상기 제 2 직접콘택의 크기보다 더 작게되어 있다.

상기 본 발명의 제 1 국면에 따른 반도체 장치에 의하면, 상기 활성영역과 접지선을 접속하기 위한 제 2 직접콘택은 복수영역으로 분할되어 있다.

상기 분할영역에 의해 점유된 전체 평면적은 충분히 크기 때문에 기생저항은 감소한다.

상기 각 분할영역은 종래 것에 비해 더 작을 수 있으므로 다른 제 2 직접 콘택과 동일한 크기로될 수 있다.

그러므로, 사진전사에 의해 제 2 직접콘택은 설계값 대로 제작될 수 있다.

본 발명의 제 2 국면에 따른 반도체 장치에 의하면, 모든 메모리셀에 대해 하나씩의 활성영역이 설치되고, 활성영역과 메모리셀의 접지선을 접속하기 위한 제 2 직접콘택이 활성영역에 형성되므로, 상기 GND부의 직접콘택에 1개의 셀 만큼의 칼럼 전류만이 흐른다.

본 발명의 제 3 국면에 따른 반도체 장치에 의하면, 제 1, 제 3 및 제 4 직접콘택들이 서로 중첩되지 않도록 수직방향으로 배열되어 있기 때문에 이들의 직접콘택 형성시에 오목부가 형성되지 않으며 그 결과, 에칭 및 사진전사가 보다 쉽게 수행될 수 있다.

본 발명의 제 4 국면에 따른 반도체 장치에 의하면, 상기 액세스 트랜지스터의 제 1 게이트의 게이트 길

이 및 폭은 상기 드라이버 트랜지스터의 제 1 게이트의 게이트 길이 및 폭과 각각 동일하게 되어 있기 때문에 각 게이트들은 사진전사에 의해 설계된 값대로 미세하게 제작될 수 있다.

본 발명의 제 5 국면에 따른 반도체 장치에 의하면, 제 3 직접콘택의 크기가 제2직접콘택 보다 더 작게되어 있으므로,각 배선과 직접콘택과의 접속부로 여분의 공간이 필요치 않다.

이상, 상세히 설명된 본 발명은 단지 예시적인 것에 지나지 않으며, 본 발명의 사상과 범위를 벗어나지 않고도 여러가지 변형과 수정이 가능함을 알 수 있다.

(실시예 1)

제 1 도는 븐 발명의 제1실시예에 따른 SRAM 메모리셀을나타낸 레이아웃도이다.

제 1 도의 메모리셀은 후술되는 몇가지 차이점을 제외하고는 제 19도에 도시된 종래예와 동일하므로, 동일한 부분에 대해서는 동일한 참조부호를 부여하고, 그에 대한 설명은 생략한다.

제 2A 도는 제 1 도의 D-D선 단면도이다. 제 2B 도는 종래예를 도시한 제 21도의 C-C선 단면도이다.

제 1 도에 도시된 SRAM이 제 21 도의 종래 예와 다른 점은 메모리셀의 GND부의 직접콘택 즉, 제 2 직접콘택(27,28)이 각각 두개(27a,27b,28a,및 28b)로 분할된다는 것이다.

분할부분(27a,27b,28a, 및 28b)들은 비트선 콘택(29,30)과 동일한 크기로 되어 있다.

동일한 크기에 의해 사진전사 시 광량이 동일하여 사진전사 공정이 용이하게 된다.

복수의 직접콘택(27a,27b)이 설치되기 때문에, 직접콘택의 저항은 하나의 작은 직접콘택인 경우에 비해 감소될 수 있다.

상기 직접콘택(27a,27b)의 전체 저항은 제 21 도의 종래의 것과 거의 같다.

보다 엄밀하게는, 상기 GND부의 직접콘택(27a+27b, 28a+28b)의 점유면적은 종래의 장방형 직접콘택(27,28)의 면적보다 작다.

따라서, 직접콘택 저항의 증가에 의해 종래의 것에 비하여 동작이 불안정하게 될 가능성도 있다.

이 문제가 중요하게 되는 경우에는, 다음과 같이 개량할 수 있다.

직접콘택의 저항은 다결정실리콘 또는 비정질실리콘의 증착시, 실리콘기판과 다결정실리콘(또는, 비정질실리콘)과의 계면에 형성되는 자연 산화막의 영향을 받는다.

그러므로, 종래의 다결정실리콘막(비정질실리콘막)의 형성방법과는 다르게, 1993 SYMPOSIUM ON VLSI TECHNOLOGY OF TECHNICAL PAPERS, PP.67-68에 개시된 바와같은, 부하잠금(load lock)형 CVD 장치를 사용하여 자연산화막의 형성량을 감소시킴으로써 해결할 수 있다.

제 3A 도에 도시한 바와 같이, 종래의 방법에 의하면, 직접콘택(51)과 직접콘택(52)과의 거리 (d)는 위상쉬프트 마스크를 사용하는 경우 마스크에 의해 제한된다.

즉, 상기 위상쉬프트 마스크는 보조패턴(53)을 갖고 있기 때문에, 직접 콘택(51)과 직접콘택(52)과의 거리 (d)는 상기 보조패턴(53)의 크기보다 더 작게 감소시킬 수 없다.

이것이 크게 문제가 될 경우에는, 다음과 같이 개선할 수 있다.

즉, 일본국특개평 제 4-136854호 공보에 개시된 바와 같이, 하프 톤(half tone)마스크를 사용하여 직접콘택(51)과 직접콘택(52)과의 거리(d)를 감소시킬 수 있다.

그 결과, 장방형에 가까운 직접콘택 (27a,27b) 및 (28a,28b)을 종래의 장방형의 직접콘택(27,28)내에 설치할 수 있다.

(실시예 2)

제4도는 본 발명의 제2실시예에 의한 메모리셀의 등가회로도이다.

제4도에 도시된 실시예는 후술되는 차이점외에는 제20도의 종래 예와 거의 동일하므로, 동일 또는 대응하는 부분은 동일한 참조 부호를 부여하고 이에 대한 설명은 생략한다.

제 2 실시예가 종래 예와 다른점은 GND부의 기생저항(직접콘택 저항)(11)의 수가 1개로 감소된 것이다.

제 5 도～제 7 도는 제 2 실시예에 의한 메모리셀을 나타낸 레이아웃도이다.

제6도의 레이아웃은 제5도의 레이아웃 위에 설치되고,제7도의 레이 아웃은 제6도의 레이아웃위에 설치된다.

이하, 제 2 실시예와 제 21 도～제 23 도에 도시된 종래 예와의 차이점을 설명한다.

제 5 도를 참조하면, 활성영역(16)과 활성영역(17)은 메모리셀의 GND부에서 연결된다.

상기 메모리셀의 GND부의 하나의 제 2 직접콘택(27)은 메모리셀의 중앙에 형성된다.

제 21 도를 참조하면, 종래 예에서는, 제 2 직접콘택(27,28)은 셀과 이웃 셀과의 경계부분에 형성되어 있다.

그러나, 본 실시예에서는 제 2 직접콘택(27)이 메모리셀의 중앙에 형성된다.

제 21 도에 도시된 종래 예에 있어서, 활성영역과 제 1 게이트를 연결하는 제 1 직접콘택(22,23)이 존재한다.

반면, 본 실시예에서는 제 1 직접콘택이 존재하지 않는다.

상기 제 1 직접콘택 대신에, 제 1 게이트와 제 2 게이트를 접속하는 제 3 직접콘택(33a,34a)과, 활성영역과 제 2 게이트를 접속하는 제 3 직접콘택(33b,34b)과 같은 2종류의 콘택들이 설치된다.

제 6 도를 참조하면, 제 3 게이트(31)는 평면 형상에서 서로 직교하는 일변(31m)과 타변(31n)으로 구성된다.

제 3 게이트(32)는 서로 직교하는 일변(32m)과 타변(32n)으로 구성된다.

상기 제 3 게이트와 제 4 게이트를 접속하는 제 4 직접콘택(37)은 제 3 직접콘택(33a)과 제 3 직접콘택(33b)사이에 설치된다.

상기 제 3 게이트와 제 4 게이트를 접속하는 제 4 직접콘택(38)은 제 3 직접콘택(34a,34b)사이에 설치된다.

제7도는 제 23 도에 도시된 종래 예와 같다.

제 5 도를 참조한 이 실시예에서, 제 2 직접콘택(27)은 메모리셀의 중앙에 배치되므로,1셀분의컬럼전류만이 흐른다.

또한, GND용의 제 2 직접콘택(27)은 비트선 영역의 제 2 직접콘택(29,30)과 같은 크기를 갖을 수 있다.

따라서, 제 21 도에 나타낸 종래 예의 제작시 문제시 되었던 사진전사상의 문제(광량의 차이에 의해 생기는 크기의 변화)를 제거할 수 있다.

제 6 도를 참조하면, 제 3 게이트(31,32)는 TFT의 게이트 영역(31n,32n)과 배선영역(31m,32m)으로 분할할 수 있으므로, 제 3 직접콘택(33a,33b,34a,34b)이 상기 배선영역(31n,31m)에 설치된다.

그 결과, 직접콘택 영역들의 중첩에 의해 발생되는 오목부(recess)의 발생의 문제(제 24 도 참조)를 해결할 수 있다.

또한, 단차가 없기 때문에 가공 및 사진전사가 보다 용이해진다.

제 8 도는 제 5 도～제 7 도에서 B-B선 단면도이다.

이하, 반도체 장치의 제조공정(제 9 도～제 13도)을 설명하면서, 그 장치의 구조에 대해 설명한다.

제 9 도를 참조하면, 반도체 기판(60)의 주 표면에 필드 산화막(14a)을 형성 한다.

상기 반도체 기판(60)상에 절연막을 개재시켜 제 1 게이트(18,19,20,21)를 형성한다.

제 1 게이트(18,21)를 마스크로 사용하여, 상기 반도체 기판(60)의 표면에 불순물 이온을 주입하는 것에 의해 활성영역(16)을 형성한다.

제 10 도를 참조하면, 제 1 게이트(18,19,20,21)가 피복된 반도체 기판상에 층간절연막(61)을 형성한다.

상기 층간절연막(61)내에 활성영역(16)의 일부를 노출하기 위한 콘택홀(62)을 형성한다.

상기 콘택홀(62)을 통하여 활성영역(16)과 접속되도록 반도체 기판(60)상에 제 2 게이트(25)를 형성한다.

상기 제 2 게이트(25)의 형성과 동시에 제 2 게이트(24 및 26)가 형성된다.

상기 제 2 게이트(24,25,26)를 피복할 수 있도록 반도체 기판(60)상에 층간 절연막(63)을 형성한다.

제 11 도를 참조하면, 상기 층간절연막(61,63)에, 이것을 관통하여 활성영역(16)의 표면중의 일부를 노출시키기 위한 콘택홀(64)을 형성한다.

상기 층간 절연막(61,63)을 관통하여 상기 제 1 게이트(20)의 표면중의 일부를 노출시키기 위한 콘택홀(65)을 형성한다.

콘택홀(64,65)을 통하여 활성영역(16)과 제 1 게이트(20)을 접속하는 제 3 게이트(31)를 반도체 기판(60)상에 형성한다.

이때, 제 3 게이트(32)도 형성된다.

상기 제 3 게이트(31,32)를 피복하기 위하여 상기 반도체 기판(60)상에 층간절연막(66)을 형성한다.

제 12 도를 참조하면, 상기 제 3 게이트(31)의 표면중의 일부를 노출하기 위한 콘택홀(67)을 상기 층간절연막(66)에 형성한다.

상기 콘택홀(67)을 통하여 제 3 게이트(31)에 접속되는 제 4 게이트(36)의 패턴을 반도체 기판(60)상에 형성한다.

제4게이트(35)의 패턴도 동시에 형성된다.

상기 제 4 게이트(35,36)를 피복하도록 반도체 기판(60)상에 층간절연막(68)을 형성한다.

상기 층간절연막(68,66)을 관통하도록 상기 제 2 게이트(26)의 표면중의 일부를 노출시키기 위한 콘택홀(69)을 형성한다.

제 13 도를 참조하면, 콘택홀(69)을 통하여 제 2게이트(26)에 접속되는 제 1 금속 배선층(40)을 반도체 기판(60)상에 형성한다.

이상의 공정을 통하여, 제 8 도에 도시된 SRAM이 완성된다.

(실시예 3)

제 14 도는 본 발명의 제 3 실시예에 의한 SRAM 셀을 나타낸 레이아웃도 이다.

이 레이아웃은 이하의 차이점 외에는 기본적으로 제 2 실시예의 레이아웃과 동일하며, 동일한 부분에 대한 상세한 설명은 생략한다.

본 실시예에서 도시되지는 않았지만, 제 6 도 및 제 7 도에 도시된 것과 같은 레이아웃이 제14도에 도시된 레이아웃 위에 설치된다.

이 실시예에서, 제 14 도를 참조하면, 액세스 트랜지스터의 제 1 게이트(18,19)의 게이트 길이 및 폭은 드라이버 트랜지스터의 제 1 게이트(20,21)의 게이트 길이 및 폭과 동일하게 되어 있다.

따라서, 사진전사 시의 치수의 변동이 제거될 수 있다.

액세스 트랜지스터의 소오스 영역(100,101)에 주입된 불순물의 양이 감소된다면, 소오스 저항은 증가하고, 또한 액세스 트랜지스터의 전류는 감소되며, 그 결과, 셀 비율(ratio)은 증가될 것이다.

또, 게이트 폭은 최소폭(단채널효과가 발생되었을때의 폭)을 사용하지 않았지만, 전류는 소오스영역의 저항이 증가함으로써 감소될 것이다.

따라서, 단채널효과에 의한 문턱값 전압 V_{th}의 변동이 방지될 수 있다.

(실시예 4)

제15도 및 제16도는 제4실시예에의한 SRAM 메모리셀을나타낸 레이아웃도이다.

제 15 도에 도시된 레이아웃 위에 제 14 도의 레이아웃이 형성된다.

제 3 실시예에 의한 SRAM과의 차이점은 첫째, 제 15 도를 참조하면, 제 3 직접콘택(33a,33b,34a, 및 34b)의 크기가 감소된 것이다.

두번째, 제 2 직접콘택의 접속부분에서의 드라이버 트랜지스터의 제 1 게이트(20,21)의 부풀음이 제거된 것이다.

그 결과, 제 1 게이트(20,21)가 2차원적으로 직사각형을 갖는다.

제 16 도를 참조하면, 제 4 직접콘택(37,38)이 제 3 직접콘택(33a,33b,34a,34b)들과 같은 크기로 감소된다.

따라서, 제 3 게이트(31,32) 및 제 4 게이트(35,36)의 접속부의 부풀음이 제거된다.

작은 직접콘택은 다음과 같이 형성된다.

제 17A 도를 참조하면, 층간절연막(102)이 폴리실리콘 또는 폴리사이드(101) 상에 형성된다.

개구부(103a)를 갖는 레지스트(103)가 상기 층간절연막(102)상에 형성된다.

상기 레지스트(103)를 마스크로 사용하여, 층간절연막(102)을 에칭하고, 폴리실리콘 또는 폴리사이드(101) 표면의 일부를 노출시키는 콘택홀(102a)이 형성 된다.

제 17B 도를 참조하면, 레지스트(103)가 제거되고, 상기 콘택홀(102a)을 채우기 위하여 절연막(104)이 폴리실리콘(101)상에 형성된다.

상기 절연막(104)의 두께는 소정의 콘택홀의 직경에 따라 변한다.

제 17B 도 및 제 17C 도를 참조하면, 절연막(104)을 이방성 에칭하여 폴리실리콘(101)의 표면중의 일부를 노출시킨다, 이에 의해, 직접콘택의 직경은 사진 전사기술에 의해 얻어지는 최소직경보다 더작게 형성된다.

본 메모리셀의 제 2 직접콘택을 통하여 흐르는 전류는 GND용의 제 2 직접 콘택(27)에 비해 더 작다.

TFT의 ON 전류와 동일한 전류(약 1μA)가 상기 제 2 직접콘택을 통해 흐르고, 상기 GND 직접콘택을 통해서는 약 100~300μA 정도의 전류가 흐른다.

따라서, 상기 제 2 직접콘택이 감소되어 이 부분에서의 직접콘택 저항이 증가할지라도 큰 문제가 되지 않는다.

(실시예 5)

본 실시예는 제3실시예와 제4실시예와의 조합이다.

제 3 실시예 및 제 4실시예를 조합하는 것에 의해 메모리셀내의 워드선이 연장되는 방향의 변의 크기는 비트선이 연장하는 방향의 변의 크기와 동일하게 된다.

즉, 평면상에서 메모리셀의 형태는 정사각형으로 된다.

제 18A 도는 종래의 메모리셀(54)(직사각형)을 X 방향으로 4개, Y방향으로 2개 배치한 예를 나타낸다.

도면에서,18 및 19는 워드선을 나타낸다.

제 18B 도는 메모리셀(54)을 90。회전시켜서 X 방향으로 4개, Y방향으로 2개 배치한 경우를 나타낸다.

제 18A 도 및 제 18B 도를 참조하면, 메모리셀을 90。회전시킨 경우, X방향과 Y방향이 모두그들의 크기가 회전시키지않을때와 다르게 된다.

이에 비해, 본 실시예의 메모리셀(정사각형)의 경우, 제 19A 도 및 제19B 도에 도시한 바와 같이, 90。회전시켜도 이들의 크기는 X 방향과 Y 방향 모두 변화지 않는다.

그 결과, 셀 어레이의 소자 수를 변화시키지 않고, 메모리셀을 X 방향 또는 Y방향으로 자유롭게배열할 수 있으므로,구조(architecture)를 용이하게 변경시킬 수 있다.

이상 설명한 바와 같이, 본 발명의 제 1 실시예에 의한 반도체 장치에 의하면, 제 2 직접콘택이 복수개의 영역으로 분할된다.

따라서, 분할영역의 전체 평면적은 층분히 크고, 기생저항은 감소된다.

각 분할영역은 종래의 것에 비해 감소되고 다른 제 2 직접콘택과 동일한 크기로 된다.

그러므로, 상기 제 2 직접콘택은 사진전사에 의해 설계치 대로 미세하게 형성될 수 있다.

본 발명의 제 2 국면에 따른 반도체 장치에 의하면, 활성영역이 각 메모리셀에 대해 제공되고, 메모리셀의 활성영역과 접지선을 접속하는 제 2 직접콘택이 해당 활성영역내에 설치되므로,1 셀분의 전류만이 GND부의 직접콘택을 통하여 흐른다.

그 결과, 쉽게 데이터의 파괴가 일어나지 않는 SRAM을 얻을 수 있다.

본 발명의 제 3 국면에 의한 반도체 장치에 의하면, 제 1 직접콘택, 제 3 직접콘택 및 제 4 직접콘택들이 수직방향으로 서로 중첩하지 않도록 배열되기 때문에 이들의 직접콘택 형성시에 오목부가 생성되지 않으며, 에칭 및 사진전사 공정이 용이하게 된다.

본 발명의 제 4 국면에 의한 반도체 장치에 의하면, 액세스 트랜지스터의 제 1 게이트의 게이트 길이 및 폭이 드라이버 트랜지스터의 제1게이트의 게이트길이 및 폭과 각각같은 크기를 가지므로, 각각의 게이트를 설계치 대로 제조할 수 있다.

본 발명의 제 5 국면에 의한 반도체 장치에 의하면, 제 3 직접콘택의 크기는 제 2 직접콘택의 크기 보다 작게되어 있으므로, 각 배선과 직접콘택과의 접속부에 여분의 공간이 필요하지 않게 된다.

그 결과, 고집적도의 SRAM이 얻어진다.

(57) 청구의 범위

청구항 1

박막 트랜지스터(TFT)로 형성된 TFT 부하를 가지는 SRAM 메모리셀에 있어서, TFT 게이트 전극부분 (31n)과 접속 배선부 (31m)를 포함하는 폴리실리콘층(31)을 구비하고, 상기 접속 배선부 (31m)는 드라이버 트랜지스터의 게이트 전극(20)과 접촉하는 제 1 콘택부분(33a)과, 활성층(16)과 접촉하는 제 2 콘택부분(33b)과, 상기 박막 트랜지스터의 드레인 영역(36)과 접촉하는 콘택부(37)를 가지는 TFT 부하를 구비하는 SRAM 메모리셀.

청구항 2

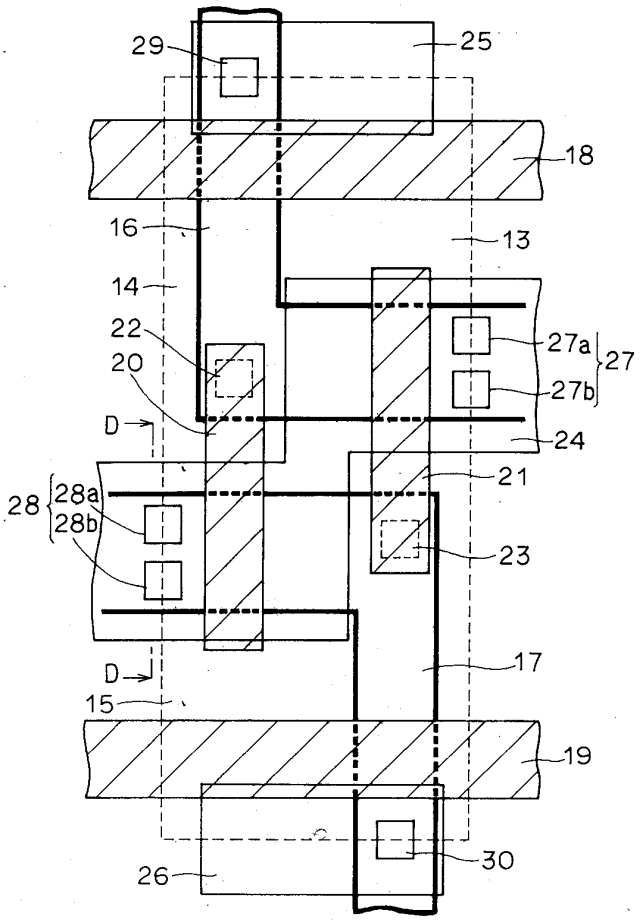
제 1 항에 있어서, 상기 접속 배선부 (31m)와 상기 TFT 게이트 전극부분 (31n)은 평면 형상에서 서로 직교하는 것을 특징으로 하는 TFT 부하를 구비하는 SRAM 메모리셀.

청구항 3

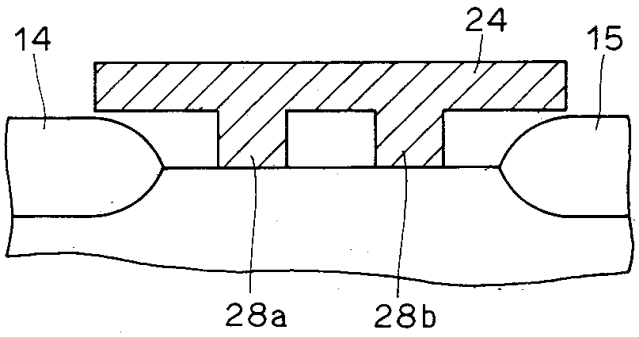
제 1 항에 있어서, 상기 활성층 (16)은 반도체 기판의 주 표면중에 설치되고, 상기 드라이버 트랜지스터의 게이트 전극 (20)은 상기 반도체 기판의 주 표면중에 형성된 필드 산화막(14b)상에 설치되고, 상기 TFT의 드레인 영역 (36)은 상기 접속 배선부 (31m)상에 설치되어 있는 것을 특징으로 하는 TFT 부하를 가지는 SRAM 메모리셀.

도면

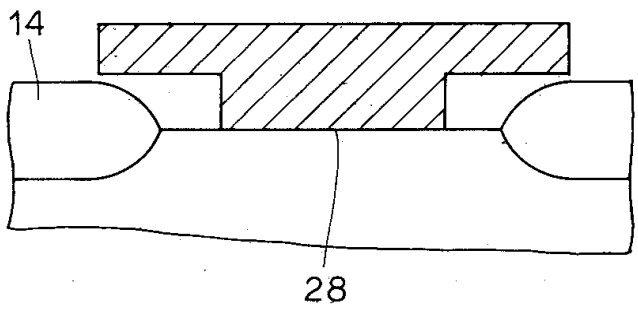
도면1



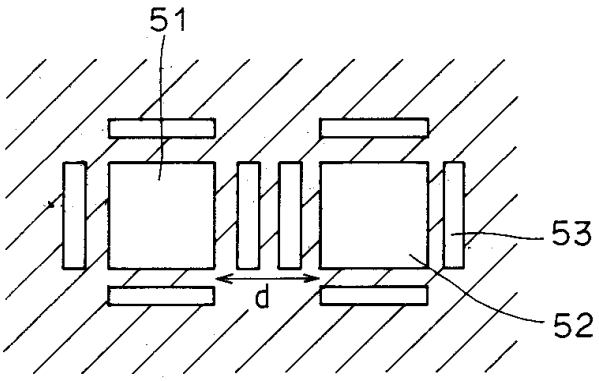
도면2a



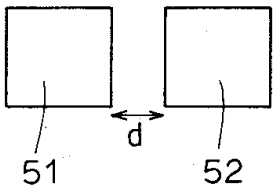
도면2b



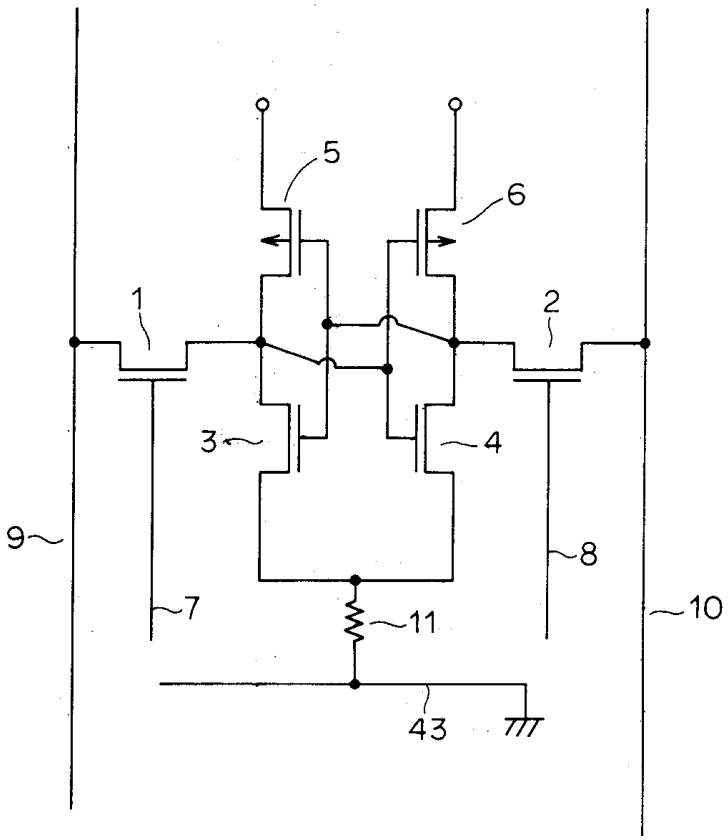
도면3a



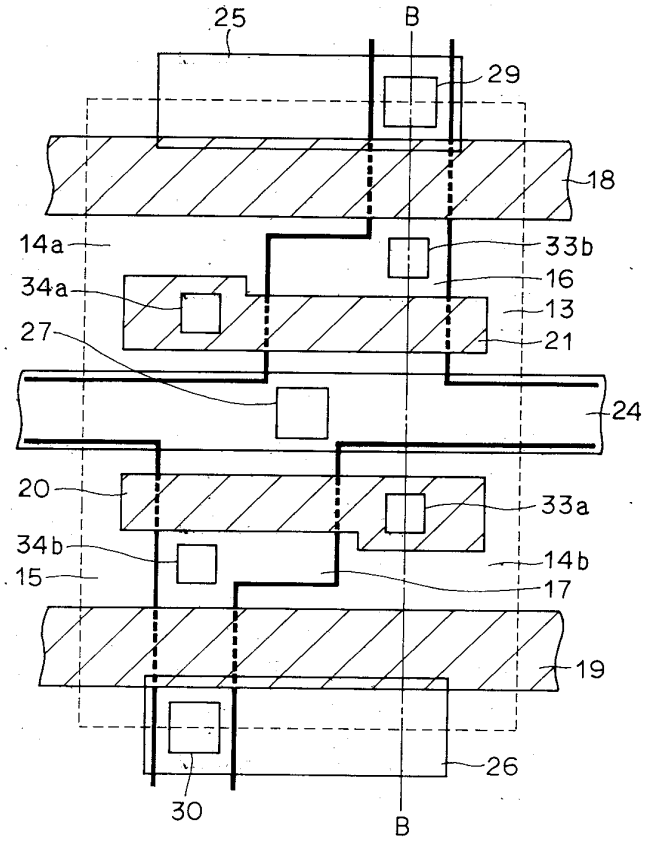
도면3b



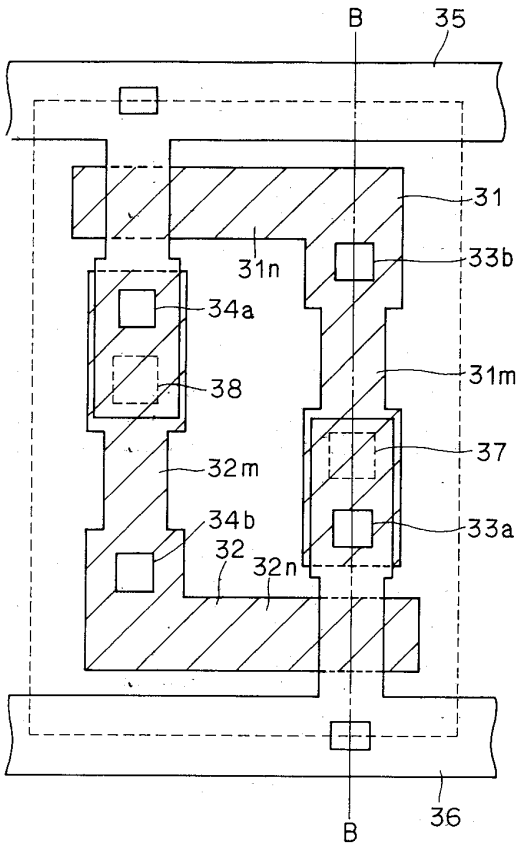
도면4



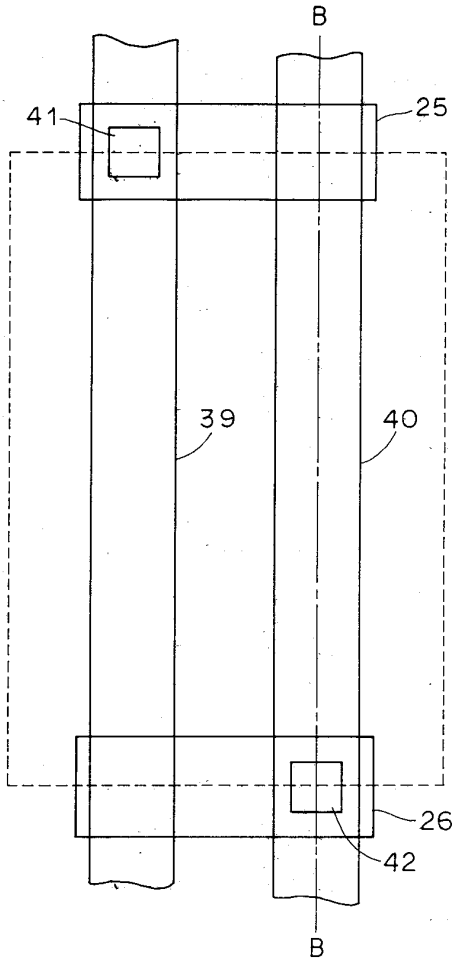
도면5


25
B
29
18
14a
33b
16
34a
13
21
27
24
20
33a
34b
14b
15
17
19
26
30
B

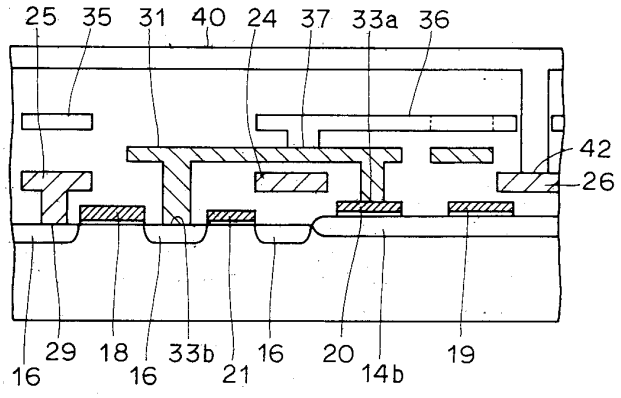
도면6


B
35
31
31n
33b
34a
31m
38
37
32m
34b
33a
32
32n
B
36

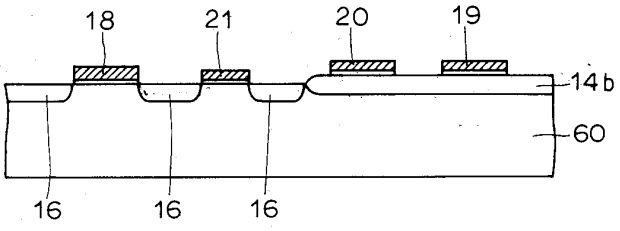
도면7


B
41
25
39
40
26
42
B

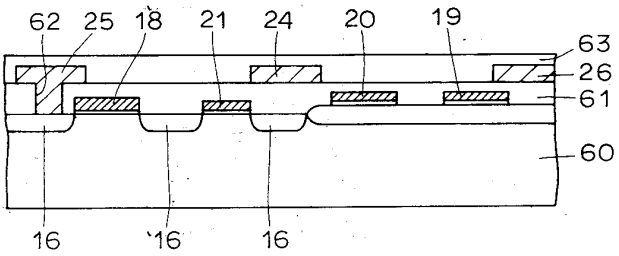
도면8


25
35
31
40
24
37
33a
36
42
26
16
29
18
16
33b
21
16
20
14b
19

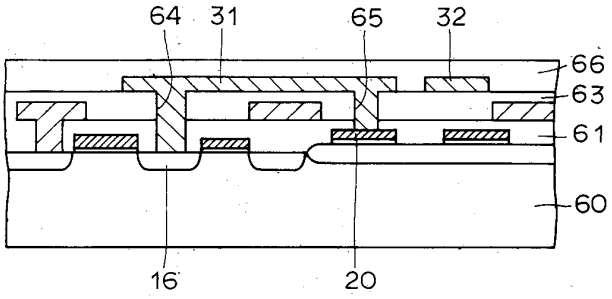
도면9


18
21
20
19
14b
60
16
16
16

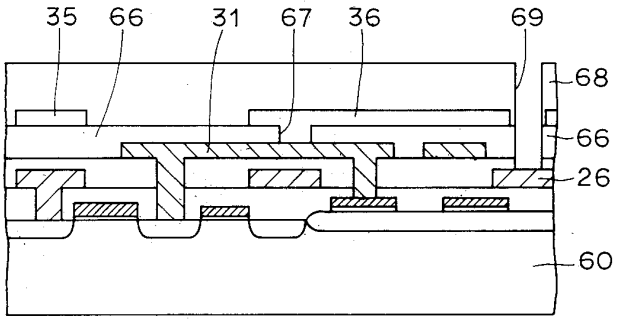
도면10



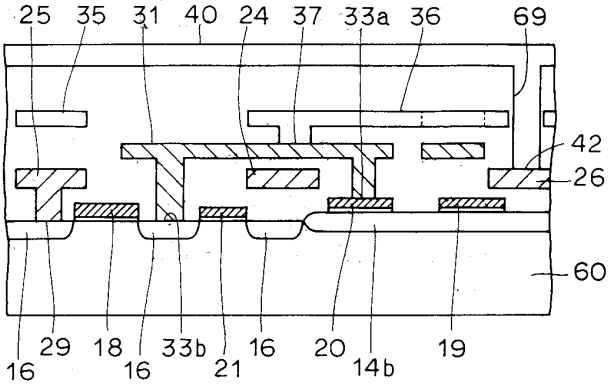
도면11



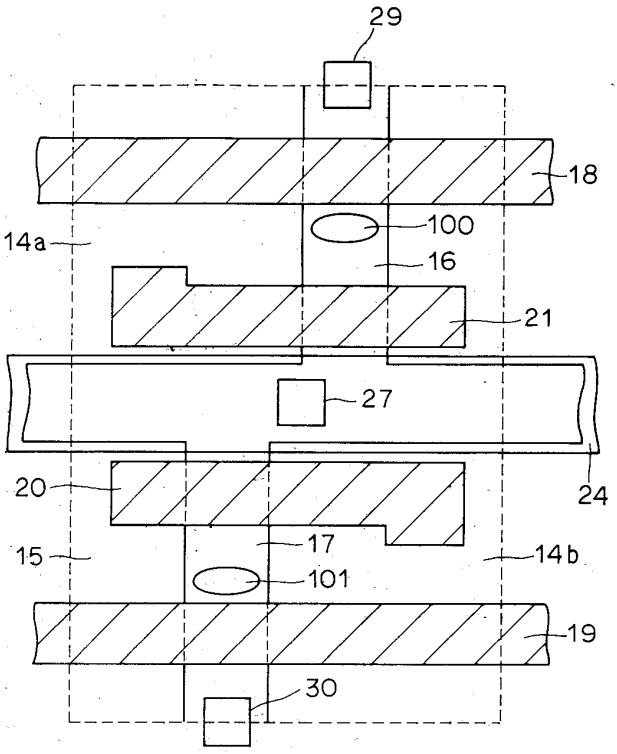
도면12



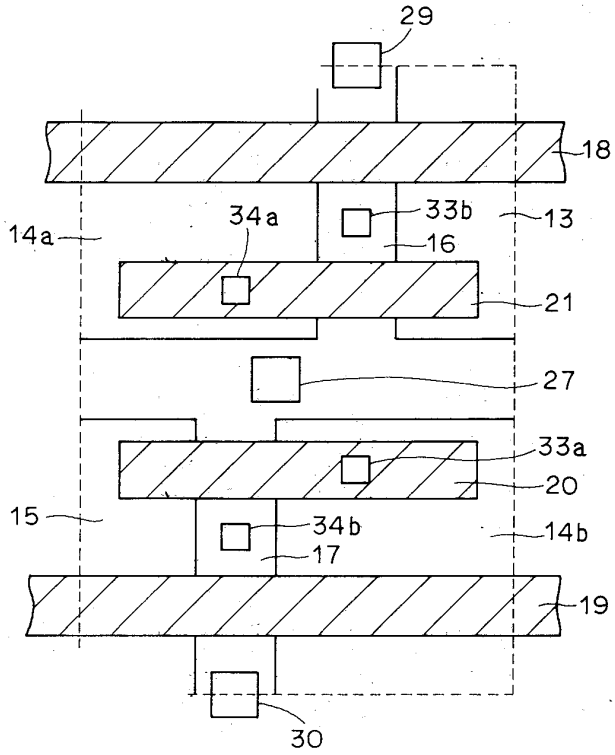
도면13



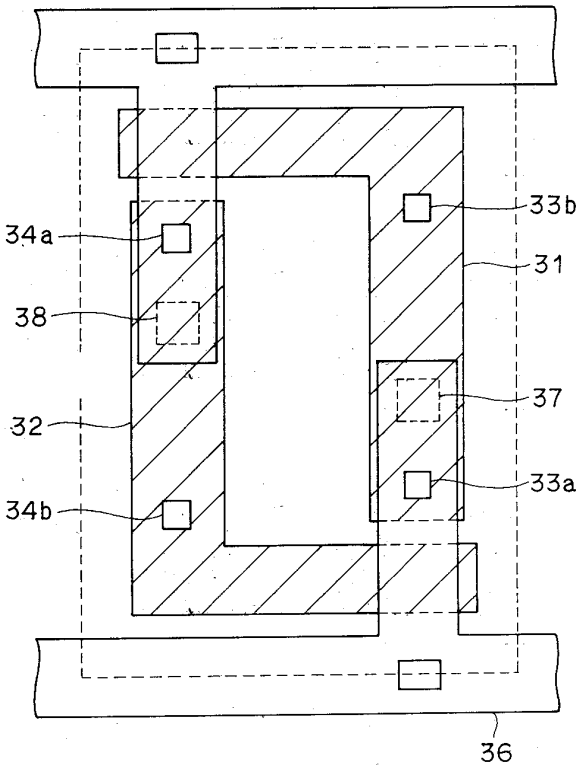
도면14


29
18
100
14a
16
21
27
20
24
17
15
14b
101
19
30

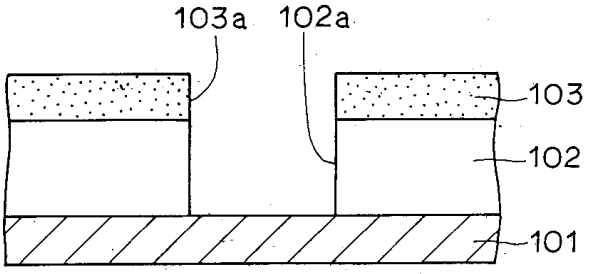
도면15


29
18
34a
33b
13
14a
16
21
27
33a
20
15
34b
14b
17
19
30

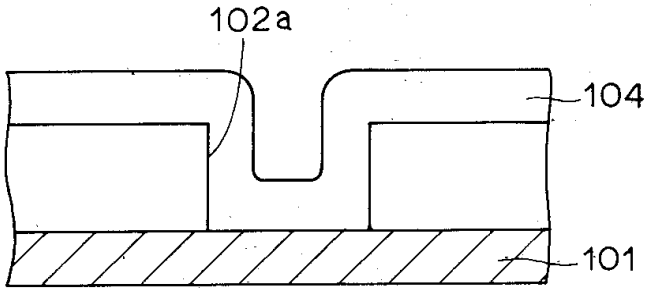
도면16



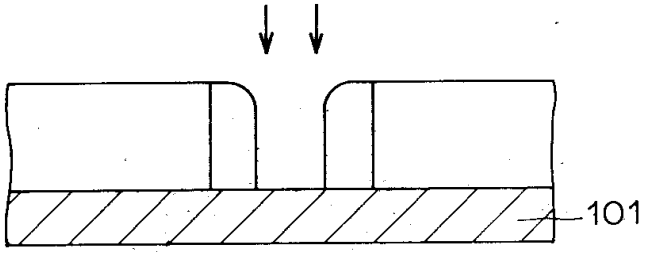
도면17a



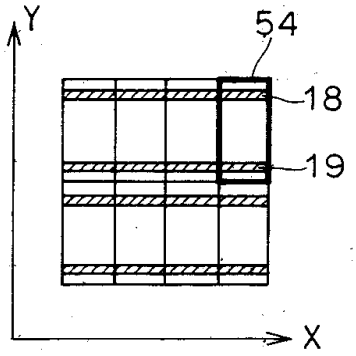
도면17b



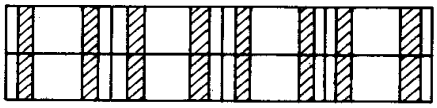
도면17c



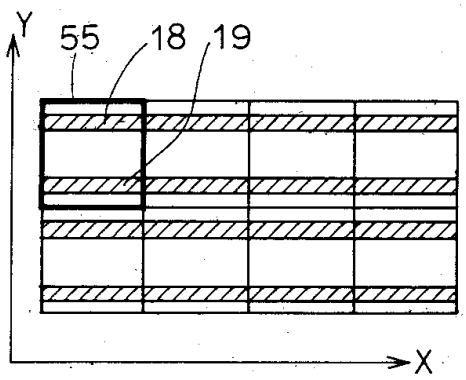
도면18a



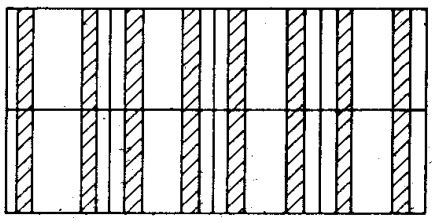
도면18b



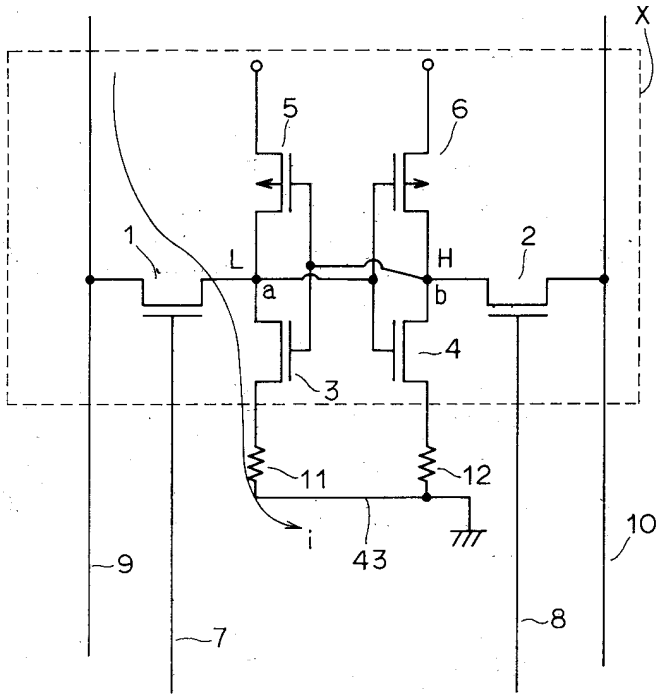
도면19a



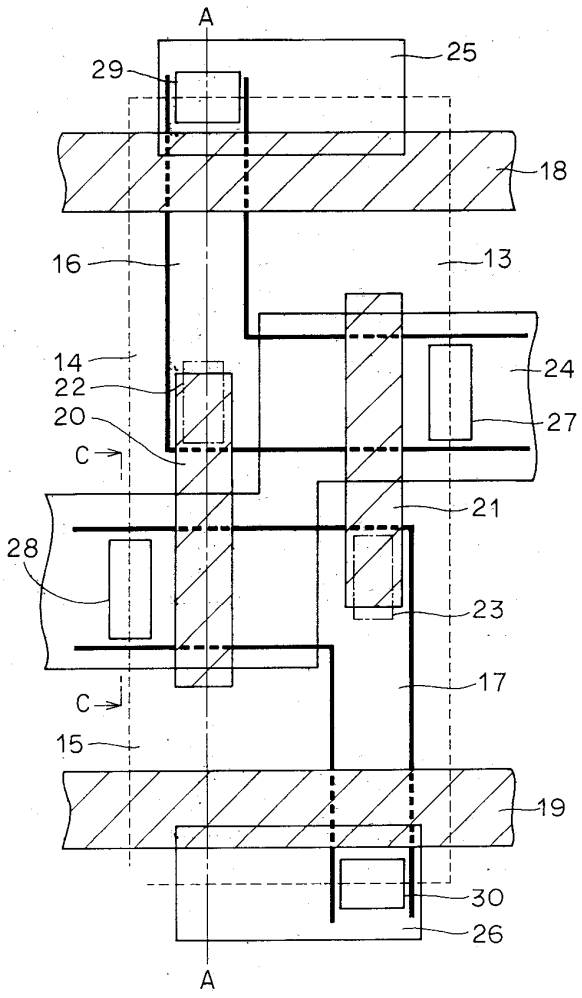
도면19b



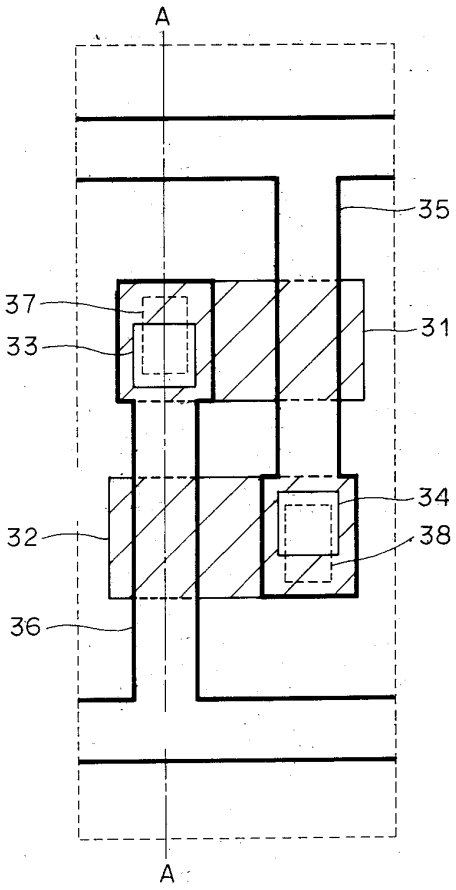
도면20


X
5
6
1
L
H
2
a
b
4
3
11
12
i
43
10
9
7
8

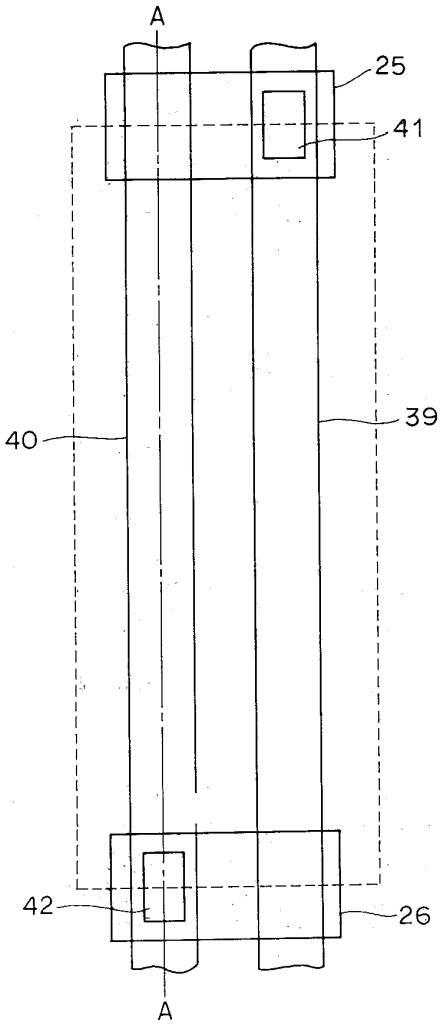
도면21


A
29
25
18
16
13
14
22
20
24
27
C
21
28
23
17
C
15
19
30
26
A

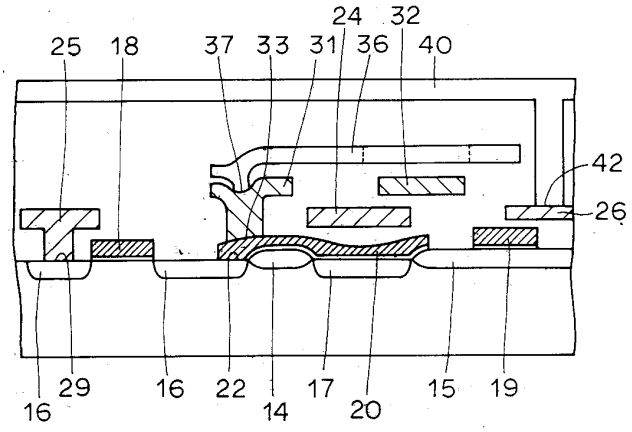
도면22



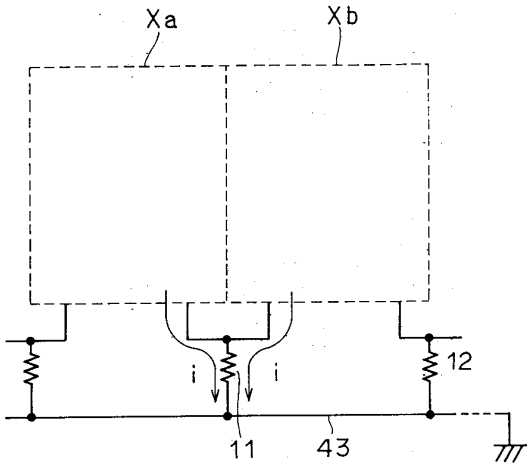
도면23


A
25
41
40
39
42
26
A

도면24


24
32
25
18
37
33
31
36
40
42
26
16
29
16
22
14
17
20
15
19

도면25



도면26

