(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3612694号
(P3612694)
(45)発行日　平成17年1月19日(2005.1.19)　(24)登録日　平成16年11月5日(2004.11.5)

(51)Int.Cl.[7]　F I
H03M　9/00　H03M　9/00　B
G01R　31/3183　G01R　31/28　Q

請求項の数 5　(全 14 頁)

(21)出願番号　特願平8-99682
(22)出願日　平成8年3月29日(1996.3.29)
(65)公開番号　特開平9-270714
(43)公開日　平成9年10月14日(1997.10.14)
審査請求日　平成15年2月20日(2003.2.20)

前置審査

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100098785
弁理士　藤島　洋一郎
(74)代理人　100109656
弁理士　三反崎　泰司
(72)発明者　竹下　徹
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　菊池　秀和
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　北村　智彦

最終頁に続く

(54)【発明の名称】被試験信号生成装置及びディジタルデータ信号出力装置

(57)【特許請求の範囲】
【請求項１】
ディジタルデータ信号出力手段から出力されるディジタルデータ信号を所定の周期で間欠的にサンプリングするためのサンプリング信号を生成するサンプリング信号生成手段と、前記サンプリング信号に従って、前記ディジタルデータ信号をサンプリングすることにより、前記ディジタルデータ信号出力手段の動作を試験するための被試験信号を生成する被試験信号生成手段とを備え、
前記サンプリング信号生成手段は、
前記ディジタルデータ信号に同期したクロック信号を分周することにより前記サンプリング信号を生成する分周手段と、
前記分周手段の分周比を間欠的に増減するように制御することにより、前記サンプリング信号の位相を制御する位相制御手段と
を有する
ことを特徴とする被試験信号生成装置。
【請求項２】
前記位相制御手段は、前記分周手段の分周比を基本分周比の因数を因数としない自然数だけ増減することにより、この分周比を制御するように構成されていることを特徴とする請求項１記載の被試験信号生成装置。
【請求項３】
前記サンプリング信号生成手段と前記被試験信号生成手段とは、前記ディジタルデータ信

号出力手段とともに集積回路化されていることを特徴とする請求項１記載の被試験信号生成装置。
【請求項４】
前記ディジタルデータ信号出力手段は、パラレルのディジタルデータ信号をシリアルのディジタルデータ信号に変換するパラレル／シリアル変換手段であることを特徴とする請求項１記載の被試験信号生成装置。
【請求項５】
ディジタルデータ信号を出力するディジタルデータ信号出力手段と、
前記ディジタルデータ信号出力手段とともに集積回路化され、前記ディジタルデータ信号を所定の周期で間欠的にサンプリングするためのサンプリング信号を生成するサンプリング信号生成手段と、
前記ディジタル信号出力手段とともに集積回路化され、サンプリング信号に従って、前記ディジタルデータ信号をサンプリングすることにより、前記ディジタルデータ信号出力手段の動作を試験するための被試験信号を生成する被試験信号生成手段とを備え、
前記サンプリング信号生成手段は、
前記ディジタルデータ信号に同期したクロック信号を分周することにより前記サンプリング信号を生成する分周手段と、
前記分周手段の分周比を間欠的に増減するように制御することにより、前記サンプリング信号の位相を制御する位相制御手段と
を有する
ことを特徴とするディジタルデータ信号出力装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、パラレル／シリアル変換回路のようなディジタルデータ信号出力回路の動作を試験するための被試験信号を生成する被試験信号生成装置に関する。また、本発明は、例えば、パラレル／シリアル変換機能のようなディジタルデータ信号出力機能と、上述したような被試験信号の生成機能とを備えたディジタルデータ信号出力装置に関する。
【０００２】
【従来の技術】
一般に、パラレル／シリアル変換回路（以下「Ｐ／Ｓ変換回路」という。）の動作試験は、その出力信号を被試験信号として行われる。すなわち、Ｐ／Ｓ変換回路が正常か否かの判定は、その出力信号が正常か否かを判定することにより行われる。
【０００３】
しかしながら、近年、光通信等の高速通信の出現に伴い、ギガビット毎秒（Ｇｂｐｓ）級の速度（ビットレート）を持つディジタルデータ信号を出力するＰ／Ｓ変換回路が使用されるようになってきた。これに伴い、Ｐ／Ｓ変換回路の動作試験を行うための試験装置としても、ギガビット毎秒（Ｇｂｐｓ）級の速度で動作可能な装置が要求されるようになってきた。
【０００４】
しかしながら、このような超高速の試験装置は、高価であったり、スループットが悪かったりする。これにより、このような試験装置を用いて、Ｐ／Ｓ変換回路の動作試験を行うと、試験経費を増大する。したがって、超高速で動作するＰ／Ｓ変換回路の動作を試験する場合は、低速の試験装置で試験することが可能な技術が望まれる。
【０００５】
この要望に応えるため、従来は、図７に示すように、集積回路化されたＰ／Ｓ変換回路５１の出力端子に、シリアル／パラレル変換回路（以下「Ｓ／Ｐ変換回路」という。）５２を外付け回路として接続し、このＳ／Ｐ変換回路５２により、Ｐ／Ｓ変換回路５１から出力されるシリアルのディジタルデータ信号（以下「シリアルデータ信号」という。）ＳＤをパラレルのディジタルデータ信号（以下「パラレルデータ信号」という。）ＰＤに戻し

、このパラレルデータ信号ＰＤを被試験信号として、試験装置に供給するようになっていた。

【０００６】

このような構成によれば、被試験信号を低速化することができるので、低速の試験装置を用いて、Ｐ／Ｓ変換回路５１の動作試験を行うことができる。

【０００７】

【発明が解決しようとする課題】

しかしながら、このような構成では、Ｓ／Ｐ変換回路５２の回路規模が大きいので、被試験信号生成装置の回路規模が大きくなるという問題があった。これは、Ｓ／Ｐ変換回路５２を構成するためには、変換用の多くのフリップフロップ回路を設けなければならないとともに、シリアル化されたパラレルデータの区切りを検出するための機能を設けなければならないからである。

【０００８】

また、このような構成では、Ｓ／Ｐ変換回路５２の回路規模がＰ／Ｓ変換回路の回路規模とほぼ同じなので、動作試験中に誤動作が発生した場合、Ｐ／Ｓ変換回路５１とＳ／Ｐ変換回路５２のどちらに誤動作が発生したかを判断することが難しいという問題があった。これは、２つの回路の規模がほぼ同じ場合、両者の誤動作の発生確率がほぼ同じだからである。

【０００９】

本発明は、かかる問題点に鑑みてなされたもので、その課題は、回路規模が小さく、また、これにより、誤動作の発生確率も小さい被試験信号生成装置及びこのような装置を備えたディジタルデータ信号出力装置を提供することにある。

【００１０】

【課題を解決するための手段】

本発明の被試験信号生成装置は、ディジタルデータ信号出力手段から出力されるディジタルデータ信号を所定の周期で間欠的にサンプリングするためのサンプリング信号を生成し、このサンプリング信号に従って、ディジタルデータ信号をサンプリングすることにより、被試験信号を生成するようになっている。また、上記ディジタルデータ信号に同期したクロック信号を分周することにより上記サンプリング信号を生成するようになっており、さらに、この分周比を間欠的に増減するように制御することによりサンプリング信号の位相を制御するようになっている。

【００１１】

また、本発明のディジタルデータ信号出力装置は、上述した被試験信号生成装置とディジタルデータ信号出力手段とを一体的に集積回路化するようになっている。

【００１２】

本発明の被試験信号生成装置及びディジタルデータ信号出力装置では、ディジタルデータ信号出力手段から出力されるディジタルデータ信号を所定の周期で間欠的にサンプリングするためのサンプリング信号が生成される。そして、このサンプリング信号に従って、ディジタルデータ信号がサンプリングされる。これにより、上記ディジタルデータ信号よりは、低速の被試験信号が得られる。また、上記ディジタルデータ信号に同期したクロック信号が分周されることにより、上記サンプリング信号が生成される。さらに、この分周比が間欠的に増減するように制御されることにより、サンプリング信号の位相が制御される。これにより、上記ディジタルデータは、サンプリング信号の位相変化に応じて、任意のビットについてサンプリングされ得る。

【００１３】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態を詳細に説明する。

【００１４】

［一実施の形態］

［一実施の形態の構成］

図１は、本発明に係るディジタルデータ信号出力装置の一実施の形態の構成を示すブロック図である。なお、図１には、本発明をＰ／Ｓ変換装置に適用した場合を代表として示す。

【００１５】
図示のＰ／Ｓ変換装置１０は、Ｐ／Ｓ変換回路１１と、フェーズロックループ回路（以下「ＰＬＬ回路」という。）１２と、被試験信号生成回路１３とを有する。これらは、一体的に集積回路化されている。

【００１６】
ここで、Ｐ／Ｓ変換回路１１は、パラレルデータ信号ＰＤをシリアルデータ信号ＳＤに変換する機能を有する。ＰＬＬ回路１２は、参照用クロック信号ＲＣに同期して、パラレル／シリアル変換用のクロック信号ＴＣを生成する機能を有する。被試験信号生成回路１３は、Ｐ／Ｓ変換回路１１の動作試験を行うための被試験信号ＣＨＥＣＫを生成する機能を有する。また、この被試験信号生成回路１３は、モード切替え信号ＴＥＳＴによって、試験モードと非試験モードとを切り替えられるようになっている。ここで、試験モードとは、被試験信号ＣＨＥＣＫを生成するモードをいい、非試験モードとは、これを生成しないモードをいう。

【００１７】
上記被試験信号生成回路１３は、本発明の被試験信号生成装置に相当する。この被試験信号生成回路１３は、サンプリング信号生成回路２１と、Ｄフリップフロップ回路２２とを有する。

【００１８】
ここで、サンプリング信号生成回路２１は、シリアルデータ信号ＳＤを間欠的にサンプリングするためのサンプリング信号ＳＰを生成する機能を有する。この生成は、初期化信号ＩＮＩＴに従って初期化された後、シリアルデータ信号ＳＤに同期した変換用クロック信号ＴＣを分周することにより行われる。また、このサンプリング信号生成回路２１は、サンプリング信号ＳＰの位相を、位相制御信号ＳＬＩＰに従って、シリアルデータ信号ＳＤの１ビット周期分ずつ制御可能となっている。

【００１９】
Ｄフリップフロップ回路２２は、サンプリング信号ＳＰに従って、シリアルデータ信号ＳＤをサンプリングすることにより、被試験信号ＣＨＥＣＫを生成する機能を有する。

【００２０】
図２は、サンプリング信号生成回路２１の具体的構成の一例を示すブロック図である。

【００２１】
図示のサンプリング信号生成回路２１は、Ｄフリップフロップ回路３１（ＦＦ１）～４０（ＦＦ１０）と、反転回路４１～４５と、アンド回路４６と、オア回路４７，４８とを有する。

【００２２】
ここで、Ｄフリップフロップ回路３４～４０と、反転回路４２～４５と、オア回路４７，４８は、変換用クロック信号ＴＣを分周することにより、サンプリング信号ＳＰを生成する機能を有する。また、Ｄフリップフロップ回路３１～３３と、反転回路４１と、アンド回路４６は、変換用クロック信号ＴＣの分周比を制御することにより、サンプリング信号ＳＰの位相を制御する機能を有する。

【００２３】
各部の接続構成を信号の授受を用いて説明すると、次のようになる。変換用クロック信号ＴＣは、Ｄフリップフロップ回路３４～３６，３９，４０のクロック端子に供給される。位相制御信号ＳＬＩＰは、Ｄフリップフロップ回路３１のデータ入力端子Ｄに供給される。サンプリング信号ＳＰは、Ｄフリップフロップ回路３１のクロック端子に供給される。初期化信号ＩＮＩＴは、Ｄフリップフロップ回路３１～３３，３５，３７～４０のリセット端子Ｒと、オア回路４７，４８とに供給される。

【００２４】

Ｄフリップフロップ回路３１の非反転出力は、Ｄフリップフロップ回路３２のデータ入力端子Ｄに供給される。このＤフリップフロップ回路３２の非反転出力は、Ｄフリップフロップ回路３３のデータ入力端子Ｄに供給される。Ｄフリップフロップ回路３３の非反転出力は、反転回路４１を介してアンド回路４６に供給される。このアンド回路４６には、さらに、Ｄフリップフロップ回路３２の非反転出力が供給される。アンド回路４６の出力は、オア回路４８に供給される。

【００２５】

Ｄフリップフロップ回路３４の非反転出力は、反転回路４２を介してＤフリップフロップ回路３５のデータ入力端子Ｄに供給されるとともに、Ｄフリップフロップ回路３２，３３，３７，３８のクロック端子に供給される。Ｄフリップフロップ回路３５の非反転出力は、反転回路４３を介してオア回路４８に供給されるとともに、オア回路４７に供給される。このオア回路４８の出力は、Ｄフリップフロップ回路３６のデータ入力端子Ｄに供給される。このＤフリップフロップ回路３６の非反転出力は、反転回路４４を介して、オア回路４７に供給される。このオア回路４７の出力は、Ｄフリップフロップ回路３４のデータ入力端子Ｄに供給される。

【００２６】

Ｄフリップフロップ回路３７の非反転出力は、Ｄフリップフロップ回路３８のデータ入力端子Ｄに供給される。このＤフリップフロップ回路３８の非反転出力は、Ｄフリップフロップ回路３９のデータ入力端子Ｄに供給されるとともに、反転回路４５を介してＤフリップフロップ回路３７のデータ入力端子Ｄに供給される。Ｄフリップフロップ回路３９の非反転出力は、Ｄフリップフロップ回路４０のデータ入力端子Ｄに供給される。このＤフリップフロップ回路４０の非反転出力は、サンプリング用のＤフリップフロップ回路２２のクロック端子に供給される。

【００２７】

［一実施の形態の動作］

上記構成において、動作を説明する。

【００２８】

（１）　パラレル／シリアル変換動作

まず、パラレルデータ信号ＰＤをシリアルデータ信号ＳＤに変換するための動作を説明する。

【００２９】

Ｐ／Ｓ変換回路１１の入力端子には、パラレルデータ信号ＰＤが供給される。このパラレルデータ信号ＰＤのビットレートは、例えば、５０Ｍｂｐｓ（メガビット毎秒）に設定されている。また、ビット数は、例えば、２０ビットに設定されている。

【００３０】

ＰＬＬ回路１２の入力端子には、参照用クロック信号ＲＣが供給される。この参照用クロック信号ＲＣの周波数は５０ＭＨｚ（メガヘルツ）に設定されている。ＰＬＬ回路１２は、参照用クロック信号ＲＣに同期して、周波数が１ＧＨｚ（ギガヘルツ）の変換用クロック信号ＴＣを生成する。この変換用クロック信号ＴＣは、Ｐ／Ｓ変換回路１１のシフト端子ＳＨＩＦＴに供給される。

【００３１】

Ｐ／Ｓ変換回路１１に供給されたパラレルデータ信号ＰＤは、内部で生成された５０ＭＨｚのクロック信号に従ってラッチされた後、変換用クロック信号ＴＣに従って、１ビットずつ出力される。これにより、ビットレートが１Ｇｂｐｓ（ギガビット毎秒）のシリアルデータ信号ＳＤが得られる。以上が、パラレルデータ信号ＰＤをシリアルデータ信号ＳＤに変換するための動作である。

【００３２】

（２）　被試験信号ＣＨＥＣＫの生成動作

次に、被試験信号ＣＨＥＣＫの生成動作を説明する。

【００３３】

Ｐ／Ｓ変換回路１１から出力されるシリアルデータ信号ＳＤは、被試験信号生成回路１３のＤフリップフロップ回路２２のデータ入力端子Ｄに供給される。また、ＰＬＬ回路１２から出力される変換用クロック信号ＴＣは、サンプリング信号生成回路２１に供給される。このサンプリング信号生成回路２１には、さらに、初期化信号ＩＮＩＴと、位相制御信号ＳＬＩＰが供給される。

【００３４】

被試験信号生成回路１３には、また、モード切替え信号ＴＥＳＴが供給される。被試験信号発生回路１３は、このモード切替え信号ＴＥＳＴのレベルがインアクティブレベルの場合は、非試験モードに設定され、アクティブレベルの場合は、試験モードに設定される。

【００３５】

非試験モードの設定は、例えば、サンプリング信号生成回路２１とＤフリップフロップ回路２２に対する電源電圧の供給を停止することによりなされる。これにより、この場合は、サンプリング信号生成回路２１とＤフリップフロップ回路２２とがオフ状態となり、被試験信号ＣＨＥＣＫの生成が停止される。

【００３６】

これに対し、試験モードの設定は、サンプリング信号生成回路２１とＤフリップフロップ回路２２に対する電源電圧の供給を実行することによりなされる。これにより、この場合は、サンプリング信号生成回路２１とＤフリップフロップ回路２２とがオン状態となり、被試験信号ＣＨＥＣＫの生成が可能となる。

【００３７】

試験モードにおいては、まず、初期化信号ＩＮＩＴがインアクティブレベルからアクティブレベルに切り替えられる。これにより、サンプリング信号生成回路２１が初期化される。このあと、サンプリング信号生成回路２１は、変換用クロック信号ＴＣを２０分の１に分周する。これにより、周波数５０ＭＨｚのサンプリング信号ＳＰが生成される。

【００３８】

このサンプリング信号ＳＰは、Ｄフリップフロップ回路２２のクロック端子に供給される。Ｄフリップフロップ回路２２は、このサンプリング信号ＳＰに従って、シリアルデータ信号ＳＤをラッチする。これにより、シリアルデータ信号ＳＤが２０ビットごとに１ビットずつサンプリングされる。言い換えれば、パラレルデータ信号ＰＤで表される２０ビットのパラレルデータ（以下「パラレルデータブロック」という）のうち、ｍ（ｍ＝１，２，…，２０）番目のビットのデータが順次サンプリングされる。その結果、ビットレートが５０Ｍｂｐｓの被試験信号ＣＨＥＣＫが得られる。

【００３９】

このあと、所定のタイミングで、位相制御信号ＳＬＩＰがアクティブレベルに設定される。これにより、変換用クロック信号ＴＣの分周比が、次の分周期間だけ２０から１９に切り替えられる。その結果、サンプリング信号ＳＰの位相がシリアルデータ信号ＳＤの１ビット周期分（変換用クロック信号ＴＣの１周期分）進められる。これにより、今度は、パラレルデータブロックのうち、（ｍ＋１）あるいは（ｍ－１）番目のビットのデータが順次サンプリングされる。

【００４０】

すなわち、パラレル／シリアル変換によって、各パラレルデータブロックの２０番目のデータから読出しが開始される場合は、（ｍ＋１）番目のビットのデータがサンプリングされる。これに対し、１番目のデータから読出しが開始される場合は、（ｍ－１）番目のビットのデータがサンプリングされる。

【００４１】

以下、同様に、位相制御信号ＳＬＩＰは、サンプリング周期のｎ（ｎ＝２，３，…）倍の周期で繰り返しアクティブレベルに設定される。この設定動作が１９回繰り返されると、パラレルデータブロックのすべてのビットのデータがサンプリングされたことになる。なお、ｎが２以上に設定されているのは、位相制御信号ＳＬＩＰがサンプリング信号ＳＰのとなり合う立上がり（あるいは立下がり）エッジ間で、立ち上がったとき（立ち下がった

とき）、この信号ＳＬＩＰが意味のある信号となるからである。
【００４２】
但し、この場合、１番目からｎ番目までのｎ個のパラレルデータブロックからは、それぞれのｍ番目のビットのデータがサンプリングされる。また、次の（ｎ＋１）番目から２ｎ番目までのｎ個のパラレルデータブロックからは、それぞれの（ｍ＋１）番目または（ｍ－１）番目のビットのデータがサンプリングされる。以下、同様に、ｎ個のパラレルデータブロックごとに、サンプリングビットが順次切り替えられる。
【００４３】
このようにして得られた５０ＭＨｚの被試験信号ＣＨＥＣＫは、図示しない試験装置に供給される。この試験装置は、被試験信号ＣＨＥＣＫとパラレルデータ信号ＰＤとをビット単位で比較し、両者が一致するか否かを判定する。これにより、Ｐ／Ｓ変換回路１１の動作が正常か否かが判定される。
【００４４】
但し、この判定を行うためには、試験装置は、被試験信号ＣＨＥＣＫに含まれるデータが、パラレルデータブロックの何番目のビットのデータをサンプリングすることにより得られたものかを知る必要がある。この要求に応えるため、本実施の形態では、初期化信号ＩＮＩＴの位相が、シリアル化されたパラレルデータブロックの位相に対して所定の関係を有するように設定されている。
【００４５】
このような構成によれば、サンプリング信号ＳＰの位相がシリアル化されたパラレルデータブロックの位相に対して所定の関係を有するようになる。その結果、サンプリング開始時のｍの値も予め定めた値となる。これにより、試験装置は、予め、被試験信号ＣＨＥＣＫに含まれるデータが、パラレルデータブロックの何番目のビットのデータをサンプリングすることにより得られたものかを知ることができる。
【００４６】
図３は、上述した被試験信号ＣＨＥＣＫの生成動作の一例を示すタイミングチャートである。ここで、図３（ａ）は、初期化信号ＩＮＩＴを示す。図示の初期化信号ＩＮＩＴは、ハイレベルをインアクティブレベルとし、ロウレベルをアクティブレベルとする。
【００４７】
図３（ｂ）は、サンプリング信号ＳＰを示す。図示のサンプリング信号ＳＰは、初期化信号ＩＮＩＴがアクティブレベルとなってから、所定時間経過後にアクティブとなる。また、このサンプリング信号ＳＰは、後述する被試験信号ＣＨＥＣＫの位相からも明らかなように、立上がりタイミングをサンプリングタイミングとする。
【００４８】
図３（ｃ）は、位相制御信号ＳＬＩＰを示す。図示の位相制御信号ＳＬＩＰは、ロウレベルをインアクティブレベルとし、ハイレベルをアクティブレベルとし、ロウレベルからハイレベルに立ち上がったときのみ、サンプリング信号ＳＰの位相が制御される。この位相制御信号ＳＬＩＰの周期は、図には示さないが、後述する被試験信号ＣＨＥＣＫのデータからも明らかなように、サンプリグ周期の５倍の周期に設定されている。言い換えれば、上述したｎが５に設定されている。
【００４９】
図３（ｄ）は、シリアルデータ信号ＳＤを示す。ここで、ＳＢは、パラレルデータブロックをシリアル化することにより得られた２０ビットのシリアルデータ（以下「シリアルデータブロック」という）を示す。また、このシリアルデータブロックＳＢに付す数字は、対応するシリアルデータブロックＳＢの出力順位を示す。
【００５０】
図３（ｅ）は、被試験信号ＣＨＥＣＫを示す。この被試験信号ＣＨＥＣＫは、シリアルデータ信号ＳＤをサンプリング信号ＳＰの立上がりタイミングでサンプリングすることにより得られる。
【００５１】

なお、図３には、Ｐ／Ｓ変換回路１１においてシリアルデータブロックＳＢが、パラレルデータブロックに含まれる２０ビット分のデータを、２０番目のビットのデータから読み出しを開始することにより得られた場合を示す。また、図３では、シリアルデータブロックＳＢの１３番目のビットのデータからサンプリングを開始する場合を示す。

【００５２】

これにより、最初の５個のシリアルデータブロックＳＢ（１）～ＳＢ（５）からは、１３番目のビットのデータＤ１３（１）～Ｄ１３（５）がサンプリングされる。また、次の５個のシリアルデータブロックＳＢ（６）～ＳＢ（１０）（但し、図には、ＳＢ（７）～ＳＢ（１０）は示さない）からは、１４番目のビットのデータＤ１４（６）～Ｄ１４（１０）（但し、図には、Ｄ１４（７）～Ｄ１４（１０）は示さない）がサンプリングされる。

【００５３】

以下、同様にしてサンプリングが行われる。そして、２０番目のビットのデータのサンプリングが終了すると、次のサンプリングは１番目のデータに対して行われ、以下、同様にして１２番目のビットのデータまでのサンプリングが行われる。これにより、１番目から２０番目までのすべてのビットのデータがサンプリングされたことになる。

【００５４】

図４は、図３において、破線で囲む部分を拡大して示すタイミングチャートである。すなわち、サンプリング信号ＳＰの位相の切替え部分を拡大して示すタイミングチャートである。

【００５５】

図示のごとく、サンプリング信号ＳＰの位相は、５番目のシリアルデータブロックＳＢ（５）までは、１３番目のビットの位相に設定されている。これに対し、６番目のシリアルデータブロックＳＢ（６）になると、１ビット周期分進められる。これにより、サンプリング信号ＳＰの位相は、今度は、１４番目のビットの位相に設定される。以上が、被試験信号ＣＨＥＣＫの生成動作である。

【００５６】

（３）　サンプリング信号生成回路２１の動作

次に、図２に示すサンプリング信号生成回路２１の動作を説明する。

【００５７】

図５は、サンプリング信号ＳＰの位相を制御しない場合のサンプリング信号生成回路２１の動作を示すタイミングチャートである。これに対し、図６は、サンプリング信号ＳＰの位相を制御する場合のサンプリング信号生成回路２１の動作を示すタイミングチャートである。なお、これらの図は、変換用クロック信号ＴＣのサイクルにおける初期化信号ＩＮＩＴ、位相制御信号ＳＬＩＰ、ＦＦ１～１０の出力のそれぞれの値が示してあり、１レベルはハイレベルを示し、０レベルは、ロウレベルを示す。

【００５８】

まず、図５を参照しながら、サンプリング信号ＳＰの位相を制御しない場合の動作を説明する。この場合、初期化信号ＩＮＩＴが立ち下がると、Ｄフリップフロップ回路３１～３３，３５，３７～４０がリセットされる。

【００５９】

このあと、Ｄフリップフロップ回路３４～３６と、反転回路４２，４３，４４と、オア回路４７，４８は、変換用クロック信号ＴＣを５分の１に分周する動作を実行する。また、Ｄフリップフロップ回路３７～４０と、反転回路４５は、この５分周動作に同期して、変換用クロック信号ＴＣを２０分の１に分周する動作を実行する。これにより、Ｄフリップフロップ回路４０（ＦＦ１０）から周波数が５０ＭＨｚのサンプリング信号ＳＰが出力される。

【００６０】

この場合、Ｄフリップフロップ回路３７，３８には、クロック入力として、Ｄフリップフロップ回路３４の非反転出力を反転回路４２で反転した信号が供給される。また、Ｄフリップフロップ回路３９，４０には、クロック入力としては、変換用クロック信号ＴＣが供

給される。これにより、サンプリング信号ＳＰの最初の立上がりは、初期化信号ＩＮＩＴが立ち下がった後、変換用クロック信号ＴＣの８周期（８クロックサイクル）分の期間が経過した後に現われる。

【００６１】

なお、この場合、位相制御信号ＳＬＩＰのレベルは、０レベルに保持される。これにより、Ｄフリップフロップ回路３１～３３の非反転出力のレベルは、いずれも常に０レベルに保持される。その結果、この場合は、サンプリング信号ＳＰの位相は制御されない。

【００６２】

次に、図６を参照しながら、サンプリング信号ＳＰの位相を制御する場合の動作を説明する。この場合、Ｄフリップフロップ回路３１～Ｄフリップフロップ回路３３と、反転回路４１と、アンド回路４６は、位相制御信号ＳＬＩＰが立ち上がったとき、その立上がりが存在する分周期間の次の分周期間の分周比を２０から１９に切り替える。なお、位相制御信号ＳＬＩＰが位相を制御するために意味のある信号となるためには、その立ち上がりが存在する分周期間内に立ち下がってはいけない。すなわち、位相制御信号ＳＬＩＰがインアクティブレベルからアクティブレベルに立ち上がった後、アクティブレベルが２０分周期間以上保持されなければならない。これにより、サンプリング信号ＳＰの位相が、変換用クロック信号ＴＣの１周期分進められる。

【００６３】

分周比の切替えは、１分周期間に含まれる２０個の遷移状態のうち、連続する２つの遷移状態を強制的に１つの遷移状態に置き換えることにより行われる。これを図６を用いて説明すると、次のようになる。すなわち、位相制御信号ＳＬＩＰは、所定のタイミングで立ち上げられる。この位相制御信号ＳＬＩＰは、サンプリング信号ＳＰに従って、Ｄフリップフロップ回路３１にラッチされる。

【００６４】

これにより、位相制御信号ＳＬＩＰが立ち上がってから、最初にサンプリング信号ＳＰが立ち上がるタイミングで、Ｄフリップフロップ回路３１の非反転出力が立ち上がる。このＤフリップフロップ回路３１の非反転出力は、Ｄフリップフロップ回路３４の非反転出力を反転回路４２で反転した信号に従って、Ｄフリップフロップ回路３２にラッチされる。これにより、Ｄフリップフロップ回路３１の非反転出力が立ち上がってから、変換用クロック信号ＴＣの３周期（３クロックサイクル）後に、Ｄフリップフロップ回路３２の非反転出力が立ち上がる。

【００６５】

Ｄフリップフロップ回路３２の非反転出力が立ち上がることにより、アンド回路４６の出力が立ち上がる。アンド回路４６の出力が立ち上がることにより、Ｄフリップフロップ回路３６の出力が本来立ち下がるところで、立ち下がらなくなる。その結果、図５において、実線で囲む部分が、図６においては、実線で囲むような状態に変化する。

【００６６】

すなわち、図５においては、サンプリング信号ＳＰの立上がりタイミングから５周期（５クロックサイクル）目の遷移状態は、Ｄフリップフロップ回路３４～４０の非反転出力により表すと、「０１１０１１１」となる。同様に、６周期（６クロックサイクル）目の遷移状態は、「１１００１１１」となり、７周期（７クロックサイクル）目の遷移状態は、「１０００１１１」となり、８周期（８クロックサイクル）目の遷移状態は、「１０１０１１１」となる。

【００６７】

これに対し、図６においては、サンプリング信号ＳＰの立上がりタイミングから５周期（５クロックサイクル）目の遷移状態は、「０１１０１１１」となり、６周期（６クロックサイクル）目の遷移状態は、「１１１０１１１」となり、７周期（７クロックサイクル）目の遷移状態は、「１０１０１１１」となる。

【００６８】

これらを比較すると、図５の５周期目の遷移状態と図６の５周期目の遷移状態は同じであ

る。また、図５の８周期目の遷移状態と図６の７周期目の遷移状態も同じである。これに対し、図５の６周期目の遷移状態は、図６の６周期目の遷移状態と同じではない。また、図５の７クロックサイクル目の遷移状態も、図６の６クロックサイクル目の遷移状態と同じではない。

【００６９】

これは、図５の６周期目の遷移状態と７周期目の遷移状態とが、図６の６周期目の遷移状態に置き換えられたことを意味する。これにより、１分周期間の遷移状態が２０から１９に減らされる。その結果、この分周期間の分周比が２０から１９に変更される。

【００７０】

なお、このあとは、Ｄフリップフロップ回路３３の非反転出力が立ち上がるので、再度、位相制御信号ＳＬＩＰが立ち上げられない限り、分周比が２０から１９に切り替えられることはない。

【００７１】

［一実施の形態の効果］

以上詳述した本実施の形態によれば、次のような効果が得られる。

【００７２】

（１）まず、本実施の形態によれば、Ｐ／Ｓ変換回路１１から出力されるシリアルデータ信号ＳＤをパラレルデータブロックのビット数（２０）分の１の周期で間欠的にサンプリングすることにより、低速の被試験信号ＣＨＥＣＫを生成するようにしたので、パラレル／シリアル変換処理により低速の被試験信号ＣＨＥＣＫを生成する場合に比べ、被試験信号生成回路１３の回路規模を小さくすることができる。

【００７３】

（２）　また、これにより、被試験信号生成回路１３の誤動作が発生する確率を小さくすることができるので、動作試験中に誤動作が発生した場合、誤動作の発生源を容易に判断することができる。

【００７４】

（３）　また、本実施の形態によれば、サンプリング信号ＳＰの位相を制御することができるようにしたので、パラレルデータブロックに含まれる特定の１ビットのデータだけでなく、複数のビットのデータを用いて、動作試験を行うことができる。

【００７５】

（４）　また、本実施の形態によれば、サンプリング信号ＳＰの位相を制御する場合、１ビット周期分ずつ制御することができるようにしたので、パラレルデータブロックに含まれるすべてのビットのデータを用いて、動作試験を行うことができる。

【００７６】

（５）　また、本実施の形態によれば、被試験信号生成回路１３をＰ／Ｓ変換回路１１とともに集積回路化するようにしたので、配線が困難になるという問題が生じないようにすることができる。

【００７７】

すなわち、従来のように、Ｓ／Ｐ変換回路５２を集積回路化されたＰ／Ｓ変換回路５１の外付け回路として形成するような構成では、シリアルデータ信号ＳＤや変換用クロック信号ＴＣ信号の速度が早いため、これらをＰ／Ｓ変換回路５１からＳ／Ｐ変換回路５２に伝送する場合、両者の位相がずれる確率が高い。これにより、この場合は、シリアルデータ信号ＳＤや変換用クロック信号ＴＣを伝送するための配線が困難となる。これに対し、本実施の形態では、被試験信号生成回路１３をＰ／Ｓ変換回路１１とともに集積回路化するようにしたので、このような問題は生じない。

【００７８】

（６）　また、このような構成によれば、被試験信号生成回路１３を外付け回路とする場合より、被試験信号ＣＨＥＣＫを安定に生成することができる。

【００７９】

［そのほかの実施の形態］

以上、本発明の一実施の形態を詳細に説明したが、本発明は、上述したような実施の形態に限定されるものではない。

【００８０】

（１）　例えば、先の実施の形態では、サンプリング信号ＳＰの位相を制御する場合、分周比を１だけ減らす場合を説明した。しかしながら、本発明は、分周比を１だけ増やすようにしてもよい。このような構成によれば、サンプリング信号ＳＰの位相を１ビット周期分遅らせることができる。

【００８１】

（２）　また、以上の説明では、分周比を１だけ増減する場合を説明した。しかしがら、本発明は、基本分周比の因数を因数としない自然数だけ増減すようにしてもよい。このような構成であっても、パラレルデータのすべてのビットをサンプリングすることができる。

【００８２】

（３）　また、先の実施の形態では、パラレルデータブロックに含まれるすべてのビットのデータをサンプリングする場合を説明した。しかしながら、本発明は、一部のビットのデータをサンプリングするようにしてもよい。

【００８３】

（４）　また、先の実施の形態では、被試験信号生成回路１３をＰ／Ｓ変換回路１１とともに集積回路化する場合を説明した。しかしながら、本発明は、Ｐ／Ｓ変換回路１１とは別に集積回路化するようにしてもよい。

【００８４】

（５）　また、先の実施の形態では、本発明を、Ｐ／Ｓ変換回路の動作試験に適用する場合を説明した。しかしながら、本発明は、ディジタルデータ信号を出力するディジタルデータ出力回路の動作試験一般に適用することができる。

【００８５】

（６）　このほかにも、本発明は、その要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

【００８６】

【発明の効果】

以上詳述したように本発明によれば、ディジタルデータ出力手段から出力されるディジタルデータ信号を所定の周期で間欠的にサンプリングすることにより、低速の被試験信号を生成するようにしたので、被試験信号生成装置の回路規模を小さくすることができる。また、分周比を間欠的に増減してサンプリング信号を位相変化することにより、ディジタルデータ信号の任意のビットについてサンプリングし得るようにしたので、ディジタルデータ信号のすべてのビットのデータを用いて、動作試験を行うことができる。

【００８７】

また、このような構成によれば、被試験信号生成装置の誤動作が発生する確率を小さくすることができるので、動作試験中に誤動作が発生した場合、誤動作の発生源を容易に判断することができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態の構成を示すブロック図である。

【図２】図１に示すサンプリング信号生成回路の具体的構成の一例を示すブロック図である。

【図３】一実施の形態の動作を説明するためのタイミングチャートである。

【図４】一実施の形態の動作を説明するためのタイミングチャートである。

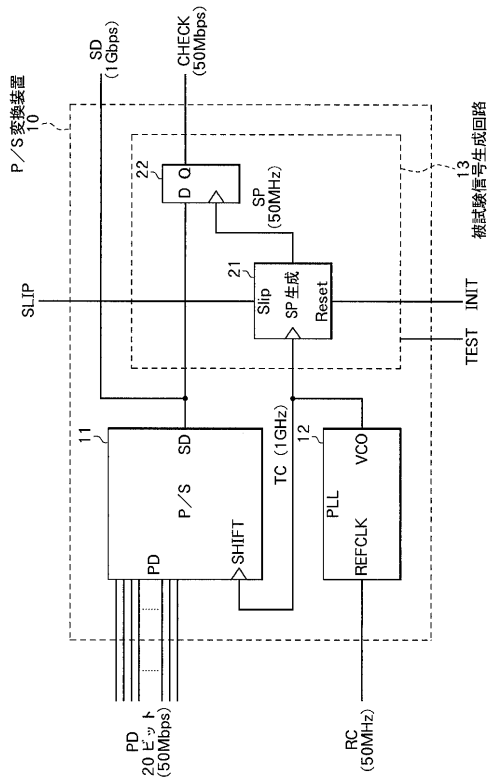
【図５】図２に示すサンプリング信号生成回路の動作を説明するためのタイミングチャートである。

【図６】図２に示すサンプリング信号生成回路の動作を説明するためのタイミングチャートである。

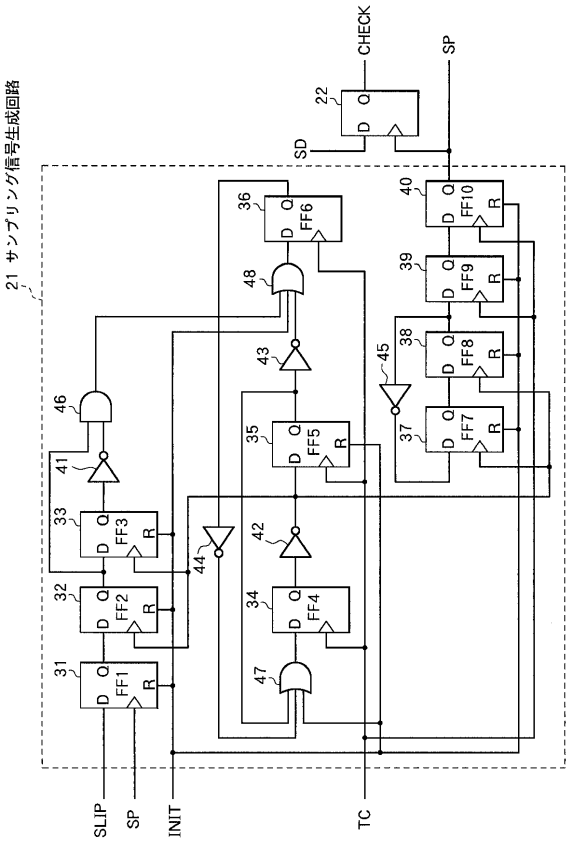
【図７】従来の構成を示すブロック図である。

【符号の説明】
１０…Ｐ／Ｓ変換装置、１１…Ｐ／Ｓ変換回路、１２…ＰＬＬ回路、１３…被試験信号生成回路、２１…サンプリング信号生成回路、２２…Ｄフリップフロップ回路、３１～４０…Ｄフリップフロップ回路、４１～４５…反転回路、４６…アンド回路、４７，４８…オア回路。

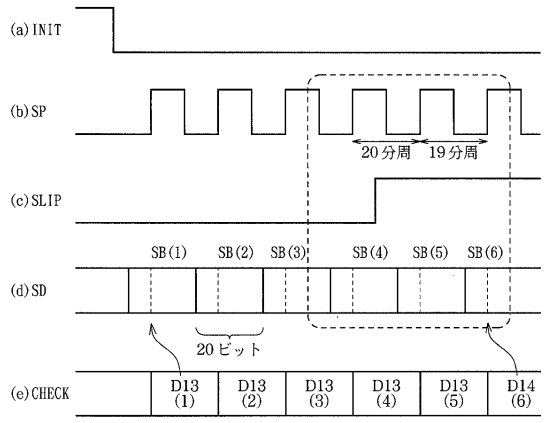
【図１】



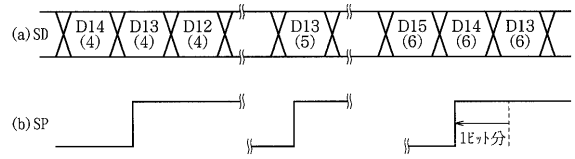
【図２】



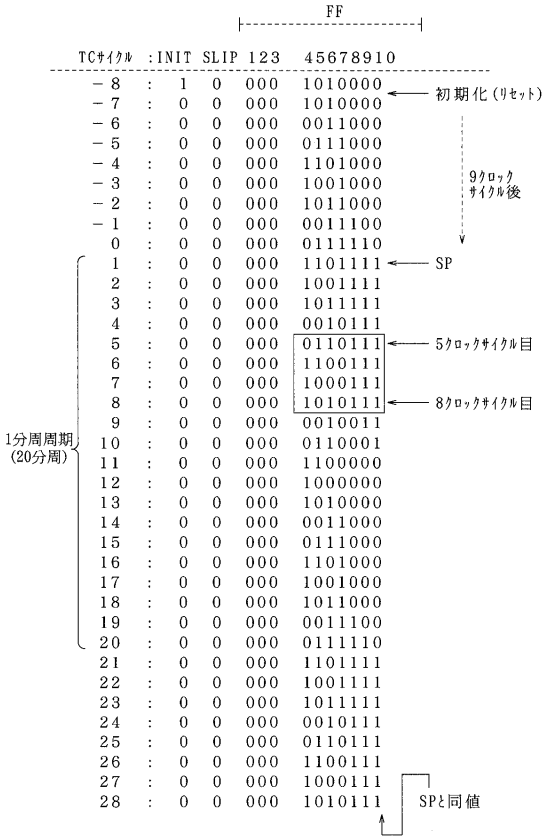
【図３】


(a) INIT
(b) SP
20分周 19分周
(c) SLIP
SB(1) SB(2) SB(3) SB(4) SB(5) SB(6)
(d) SD
20ビット
(e) CHECK
D13 (1)
D13 (2)
D13 (3)
D13 (4)
D13 (5)
D14 (6)

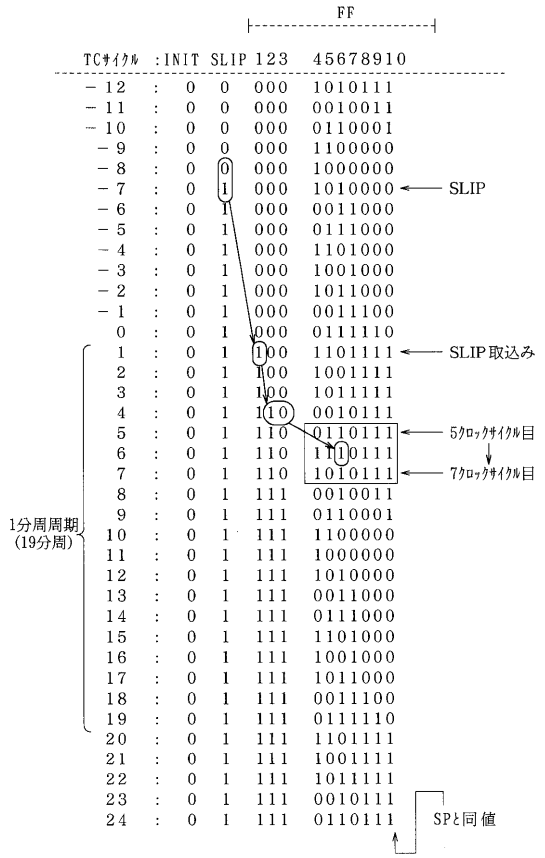
【図４】


(a) SD
D14 (4)
D13 (4)
D12 (4)
D13 (5)
D15 (6)
D14 (6)
D13 (6)
(b) SP
1ビット分

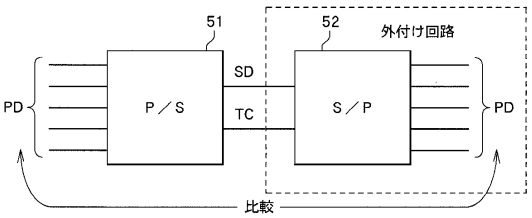
【図５】


FF
TCサイクル :INIT SLIP 123 45678910
−8 : 1 0 000 1010000 ← 初期化（リセット）
−7 : 0 0 000 1010000
−6 : 0 0 000 0011000
−5 : 0 0 000 0111000
−4 : 0 0 000 1101000
−3 : 0 0 000 1001000
−2 : 0 0 000 1011000
−1 : 0 0 000 0011100
0 : 0 0 000 0111110
1 : 0 0 000 1101111 ← SP
2 : 0 0 000 1001111
3 : 0 0 000 1011111
4 : 0 0 000 0010111
5 : 0 0 000 0110111 ← 5クロックサイクル目
6 : 0 0 000 1100111
7 : 0 0 000 1000111
8 : 0 0 000 1010111 ← 8クロックサイクル目
9 : 0 0 000 0010011
10 : 0 0 000 0110001
11 : 0 0 000 1100000
12 : 0 0 000 1000000
13 : 0 0 000 1010000
14 : 0 0 000 0011000
15 : 0 0 000 0111000
16 : 0 0 000 1101000
17 : 0 0 000 1001000
18 : 0 0 000 1011000
19 : 0 0 000 0011100
20 : 0 0 000 0111110
21 : 0 0 000 1101111
22 : 0 0 000 1001111
23 : 0 0 000 1011111
24 : 0 0 000 0010111
25 : 0 0 000 0110111
26 : 0 0 000 1100111
27 : 0 0 000 1000111
28 : 0 0 000 1010111 SPと同値
9クロックサイクル後
1分周周期 (20分周)

【図６】


FF
TCサイクル :INIT SLIP 123 45678910
−12 : 0 0 000 1010111
−11 : 0 0 000 0010011
−10 : 0 0 000 0110001
−9 : 0 0 000 1100000
−8 : 0 0 000 1000000
−7 : 0 1 000 1010000 ← SLIP
−6 : 0 1 000 0011000
−5 : 0 1 000 0111000
−4 : 0 1 000 1101000
−3 : 0 1 000 1001000
−2 : 0 1 000 1011000
−1 : 0 1 000 0011100
0 : 0 1 000 0111110
1 : 0 1 100 1101111 ← SLIP取込み
2 : 0 1 100 1001111
3 : 0 1 100 1011111
4 : 0 1 110 0010111
5 : 0 1 110 0110111 ← 5クロックサイクル目
6 : 0 1 110 1100111
7 : 0 1 110 1010111 ← 7クロックサイクル目
8 : 0 1 111 0010011
9 : 0 1 111 0110001
10 : 0 1 111 1100000
11 : 0 1 111 1000000
12 : 0 1 111 1010000
13 : 0 1 111 0011000
14 : 0 1 111 0111000
15 : 0 1 111 1101000
16 : 0 1 111 1001000
17 : 0 1 111 1011000
18 : 0 1 111 0011100
19 : 0 1 111 0111110
20 : 0 1 111 1101111
21 : 0 1 111 1001111
22 : 0 1 111 1011111
23 : 0 1 111 0010111
24 : 0 1 111 0110111 SPと同値
1分周周期 (19分周)

【図７】


51
52
外付け回路
PD
P／S
SD
TC
S／P
PD
比較

フロントページの続き

(56)参考文献 特開平０７－１６７９２６（ＪＰ，Ａ）
特開平０２－１５７６７５（ＪＰ，Ａ）
特開昭６１－０４０５７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M3/00-11/00
G01R 31/3183