

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月7日(07.06.2018)



(10) 国際公開番号

WO 2018/100998 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H04N 5/374 (2011.01)
H04N 5/357 (2011.01) H04N 5/3745 (2011.01)

(21) 国際出願番号: PCT/JP2017/040359

(22) 国際出願日: 2017年11月9日(09.11.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-233931 2016年12月1日(01.12.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

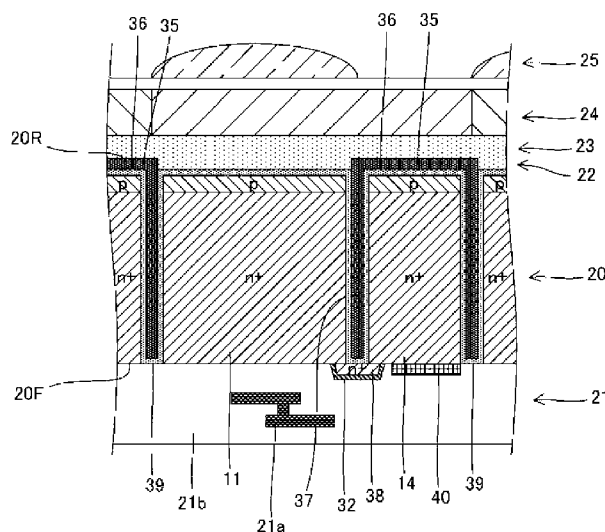
(72) 発明者: 荒川 伸一 (ARAKAWA Shinichi);
〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂1丁目10番17号 しんくみ赤坂ビル7階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SOLID-STATE IMAGING ELEMENT, METHOD FOR MANUFACTURING SOLID-STATE IMAGING ELEMENT, AND IMAGING DEVICE

(54) 発明の名称: 固体撮像素子、固体撮像素子の製造方法、及び、撮像装置



(57) Abstract: The purpose of the present invention is to reduce optical noise and improve image quality in a back-illuminated CMOS image sensor with a global shutter function. The solid-state imaging element according to the present invention includes: a semiconductor substrate; a photoelectric conversion unit that photoelectrically converts incident light from the rear surface of the semiconductor substrate; a charge holding unit that temporarily holds charges generated by the photoelectric conversion unit; a first penetrating light-blocking film that penetrates the semiconductor substrate from the front to the rear thereof to partition between the photoelectric conversion unit and the charge holding unit; a first bypass unit that is formed from semiconductor material on the front outer side of the semiconductor substrate and connects the photoelectric conversion unit and the charge holding unit to each other across the first penetrating light-blocking film; and a control unit that controls transfer of charges from the photoelectric conversion unit to the charge holding unit through the first bypass unit. In the thickness direction of the semiconductor substrate, an end portion of the first penetrating light-blocking film on the front side is formed substantially equal to or longer, in the front direction, than the front end



HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

of the charge holding unit.

(57) 要約: グローバルシャッター方式の裏面照射型CMOSイメージセンサにおいて、光学ノイズを低減し、画質を改善する。半導体基板と、前記半導体基板の裏面からの入射光を光電変換する光電変換部と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜と、前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部と、前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御部と、を備え、前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている固体撮像素子。

明 細 書

発明の名称：

固体撮像素子、固体撮像素子の製造方法、及び、撮像装置

技術分野

[0001] 本技術は、固体撮像素子、固体撮像素子の製造方法、及び、撮像装置に関する。

背景技術

[0002] 固体撮像装置は、CCD (Charge Coupled Device) イメージセンサとCMOS (Complementary Metal-Oxide-Semiconductor) イメージセンサとに大別される。

[0003] CMOSイメージセンサのシャッター方式は、メカニカルシャッター方式と電子シャッター方式がある。近年、普及が目覚ましいカメラ付き携帯電話などのモバイル機器に搭載されるCMOSイメージセンサは、装置サイズ小型化のため、主に電子シャッター方式が採用されている。

[0004] 電子シャッター方式は、露光方式によって、ローリングシャッター方式とグローバルシャッター方式とがある。ローリングシャッター方式は、1ラインずつ順次信号を読み出していく方式であり、1ラインずつ順番に読み出すために、1フレーム内のライン間に発生する読み出し時差によって、いわゆる「こんにゃく現象」が生じる。一方、グローバルシャッター方式は、1フレーム全体を一斉露光して読み出すため、動きが早いものを撮影しても画像に歪みが生じない。

[0005] グローバルシャッター方式のCMOSイメージセンサでは、各画素における蓄積の同時性を実現する為に、画素毎に電荷保持素子（キャパシタ）を設け、光電変換素子で発生した電荷を電荷保持素子へ一斉転送して保持することで、グローバルシャッター撮影を可能にしている。ただし、電荷保持中の電荷保持素子に光が漏れ込むと光学的ノイズになって画質劣化の懸念がある

。

[0006] 特許文献1, 2には、裏面照射型のCMOSイメージセンサにおいてグローバルシャッター方式を実現し、上述した光学的ノイズを抑制する技術が開示されている。これら文献に開示された固体撮像素子では、電荷保持素子を光入射側から覆う遮光メタルが設けられており、電荷保持素子と光電変換部の間の領域に沿って遮光メタルを延在させた構造となっている。

先行技術文献

特許文献

[0007] 特許文献1：特開2013-65688号公報

特許文献2：特開2014-96390号公報

発明の概要

発明が解決しようとする課題

[0008] 上述した特許文献1に記載の固体撮像素子は、電荷保持部と光電変換部の間に延在する遮光膜がシリコン基板を貫通していないため、斜め入射した光の一部がシリコン基板の裏面近くで電荷保持部に入射してしまい、電荷保持部で光電変換によって発生する電荷が光学的ノイズとなる可能性が有る。

[0009] 上述した特許文献2に記載の固体撮像素子は、電荷保持素子と光電変換部の間の電荷の転送をコンタクトに延在する遮光膜を貫通型メタル遮光膜構造とし、電荷保持領域に漏れ込む光を防止し、虚像の発生を抑制している。しかしながら、特許文献2に記載の技術では、シリコンの外にメタル配線を設けて光電変換部と電荷保持部の間を接続しており、メタル配線にノイズを拾いやすいことから、画質特性悪化の可能性がある。

[0010] 本技術は、前記課題に鑑みてなされたもので、グローバルシャッター方式の裏面照射型CMOSイメージセンサにおいて、光学ノイズを低減し、画質を改善することを目的とする。

課題を解決するための手段

[0011] 本技術の態様の1つは、半導体基板と、前記半導体基板の裏面からの入射

光を光電変換する光電変換部と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜と、前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部と、前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御部と、を備え、前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている固体撮像素子である。

[0012] 本技術の他の態様の1つは、半導体基板に裏面からの入射光を光電変換する光電変換部を形成する工程と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部を形成する工程と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜を形成する工程と、前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部を形成する工程と、前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御電極を形成する工程と、を含んで構成され、前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、固体撮像素子の製造方法である。

[0013] 本技術の他の態様の1つは、固体撮像素子と、前記固体撮像素子からの信号を処理する信号処理回路と、を備える撮像装置であって、前記固体撮像素子は、半導体基板と、前記半導体基板の裏面からの入射光を光電変換する光電変換部と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜と、前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部と、前記第1バイパス部を介した前記光電変換部から前

記電荷保持部への電荷転送を制御する制御部と、を備え、前記第 1 貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、撮像装置である。

[0014] なお、以上説明した固体撮像素子は、他の機器に組み込まれた状態で実施されたり他の方法とともに実施されたりする等の各種の態様を含む。また、本技術は前記固体撮像素子を備える撮像装置、上述した固体撮像素子の製造方法としても実現可能である。

発明の効果

[0015] 本技術によれば、グローバルシャッター方式の裏面照射型 CMOS イメージセンサにおいて、光学ノイズを低減し、画質を改善することができる。なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0016] [図1]第 1 の実施形態に係る固体撮像素子の概略構成を説明する図である。
[図2]画素の構成例を示す回路図である。
[図3]画素の平面的な構成例を示す図である。
[図4]図 3 の A - A 断面における画素の断面的な構成例を示す図である。
[図5]図 3 の A - A 断面に沿うバイパス部の形状の具体的な例を示す図である。
。
[図6]固体撮像素子の製造方法の一例に係る流れを示す図である。
[図7]固体撮像素子の製造方法の一例に係る流れを示す図である。
[図8]固体撮像素子の製造方法の一例に係る流れを示す図である。
[図9]固体撮像素子の製造方法の一例に係る流れを示す図である。
[図10]固体撮像素子の製造方法の一例に係る流れを示す図である。
[図11]第 2 の実施形態に係る画素の平面的な構成例を示す図である。
[図12]図 1 1 の A - A 断面における画素の断面的な構成例を示す図である。
[図13]第 3 の実施形態に係る画素の平面的な構成例を示す図を示す図である

。

[図14]図13のA－A断面における画素の断面的な構成例を示す図である。

[図15]第4の実施形態に係る画素の平面的な構成例を示す図である。

[図16]図15のA－A断面における画素の断面的な構成例を示す図である。

[図17]第5の実施形態に係る画素の平面的な構成例を示す図である。

[図18]図17のA－A断面における画素の断面的な構成例を示す図である。

[図19]第6の実施形態に係る画素の、図3のA－A断面に相当する断面における断面的な構成例を示す図である。

[図20]第7の実施形態に係る画素の平面的な構成例を示す図である。

[図21]図20のA－A断面における画素の断面的な構成例を示す図である。

[図22]撮像装置の構成を示すブロック図である。

発明を実施するための形態

[0017] 以下、下記の順序に従って本技術を説明する。

(A) 第1の実施形態：

(B) 第2の実施形態：

(C) 第3の実施形態：

(D) 第4の実施形態：

(E) 第5の実施形態：

(F) 第6の実施形態：

(G) 第7の実施形態：

[0018] (A) 第1の実施形態：

図1は、本実施形態に係る固体撮像素子100の概略構成を説明する図である。

[0019] 固体撮像素子100は、CMOS型固体撮像素子であり、画素アレイ部121、垂直駆動部122、カラム処理部123、水平駆動部125、出力部127、および駆動制御部124を備える。

[0020] 画素アレイ部121は、アレイ状に配置された複数の画素10を有しており、画素10は、画素10の行数に応じた複数の水平信号線HSL_nを介し

て垂直駆動部 1 2 2 に接続され、画素 1 0 の列数に応じた複数の垂直信号線 V S L m を介してカラム処理部 1 2 3 に接続されている。即ち、画素アレイ部 1 2 1 が有する複数の画素 1 0 は、水平信号線 H S L n および垂直信号線 V S L m が交差する点にそれぞれ配置されている。

[0021] 垂直駆動部 1 2 2 は、画素アレイ部 1 2 1 が有する複数の画素 1 0 の行ごとに、それぞれの画素 1 0 を駆動するための駆動信号（転送信号や、選択信号、リセット信号など）を、水平信号線 H S L n を介して順次供給する。

[0022] カラム処理部 1 2 3 は、垂直信号線 V S L m を介して、それぞれの画素 1 0 から出力される画素信号に対して C D S (C o r r e l a t e d D o u b l e S a m p l i n g : 相関 2 重サンプリング) 処理を施すことで画素信号の信号レベルを抽出し、画素 1 0 の受光量に応じた画素データを取得する。

[0023] 水平駆動部 1 2 5 は、画素アレイ部 1 2 1 が有する複数の画素 1 0 の列ごとに、それぞれの画素 1 0 から取得された画素データをカラム処理部 1 2 3 から出力させるための駆動信号を、カラム処理部 1 2 3 に順次供給する。

[0024] 出力部 1 2 7 には、水平駆動部 1 2 5 の駆動信号に従ったタイミングでカラム処理部 1 2 3 から画素データが供給され、出力部 1 2 7 は、例えば、その画素データを増幅して、後段の画像処理回路に出力する。

[0025] 駆動制御部 1 2 4 は、固体撮像素子 1 0 0 の内部の各ブロックの駆動を制御する。例えば、駆動制御部 1 2 4 は、各ブロックの駆動周期に従ったクロック信号を生成して、それぞれのブロックに供給する。

[0026] 図 2 は、画素 1 0 の構成例を示す回路図である。

[0027] 図 2 に示すように、画素 1 0 は、P D 1 1、第 1 の転送トランジスタ 1 2、第 2 の転送トランジスタ 1 3、電荷保持部 1 4、フローティングディフュージョン (F D) 1 5、増幅トランジスタ 1 6、選択トランジスタ 1 7、およびリセットトランジスタ 1 8 を備えて構成される。以下、第 1 の転送トランジスタ 1 2、第 2 の転送トランジスタ 1 3、電荷保持部 1 4、増幅トランジスタ 1 6、選択トランジスタ 1 7、およびリセットトランジスタ 1 8 をま

とめて画素トランジスタと記載する場合がある。

[0028] PD 11 は、画素 10 に照射される光を受光して、その光の光量に応じた電荷を発生して蓄積する。

[0029] 第 1 の転送トランジスタ 12 は、垂直駆動部 122 から供給される転送信号に従って駆動し、第 1 の転送トランジスタ 12 がオンになると、PD 11 に蓄積されている電荷が電荷保持部 14 に転送される。

[0030] 第 2 の転送トランジスタ 13 は、垂直駆動部 122 から供給される転送信号に従って駆動し、第 2 の転送トランジスタ 13 がオンになると、電荷保持部 14 に蓄積されている電荷が FD 15 に転送される。

[0031] 電荷保持部 14 は、第 1 の転送トランジスタ 12 を介して PD 11 から転送される電荷を蓄積するキャパシタである。

[0032] FD 15 は、第 2 の転送トランジスタ 13 と増幅トランジスタ 16 の制御電極としてのゲート電極との接続点に形成された所定の容量を有する浮遊拡散領域であり、第 2 の転送トランジスタ 13 を介して電荷保持部 14 から転送される電荷を蓄積する。

[0033] 増幅トランジスタ 16 は、電源 VDD に接続されており、FD 15 に蓄積されている電荷に応じたレベルの画素信号を出力する。

[0034] 選択トランジスタ 17 は、垂直駆動部 122 から供給される選択信号に従って駆動し、選択トランジスタ 17 がオンになると、増幅トランジスタ 16 から出力される画素信号が選択トランジスタ 17 を介して垂直信号線 VSLm に読み出し可能な状態となる。

[0035] リセットトランジスタ 18 は、垂直駆動部 122 から供給されるリセット信号に従って駆動し、リセットトランジスタ 18 がオンになると、FD 15 に蓄積されている電荷が、リセットトランジスタ 18 を介して電源 VDD に排出され、FD 15 がリセットされる。

[0036] このように構成された画素 10 を有する固体撮像素子 100 では、グローバルシャッター方式が採用され、全ての画素 10 に対して同時に、PD 11 から電荷保持部 14 に電荷を転送することができ、全ての画素 10 の露光タ

イメージを同一にすることができる。これにより、画像に歪みが発生することを回避することができる。

[0037] 図3は、画素10の平面的な構成例を示す図、図4は、図3のA-A断面における画素10の断面的な構成例を示す図である。画素10は、裏面照射型の構成である。

[0038] 図3に示す画素10では、半導体基板20の裏面からの入射光を光電変換する光電変換部としてのPD11、PD11が生成する電荷を一時的に保持する電荷保持部14、およびFD15が平面的に配置されている。以下では、画素10において、半導体基板20のPD11が形成されている領域をPD領域、半導体基板20に電荷保持部14が形成されている領域を電荷保持領域と呼ぶ場合がある。

[0039] 画素10は、図4の下側から順に、配線層21、半導体基板20、遮光層22、平坦化層23、カラーフィルタ層24、およびオンチップレンズ25が積層された構成である。なお、平坦化層23を設けず、半導体基板20や遮光層22の上に直接カラーフィルタ層24を積層形成してもよい。

[0040] 固体撮像素子100は、半導体基板20の配線層21を積層される表面20Fに対して反対側となる裏面20Rに対して入射光が照射される、いわゆる裏面照射型CMOSイメージセンサの構造である。

[0041] 配線層21は、半導体基板20のPD11の電荷読み出し等を行う複数の配線21aが層間絶縁膜21bに埋設されている。配線層21の下側には、例えば、基板支持材（不図示）が設けられる。

[0042] 配線層21には、半導体基板20に対して絶縁酸化膜（不図示）を介して、第1の転送トランジスタ12を構成するゲート電極32が配置されている。ゲート電極32に所定の電圧が印加されることにより、PD11に蓄積されている電荷が電荷保持部14へ転送される。

[0043] 半導体基板20には、PD11を構成するN型領域と、電荷保持部14を構成するN型領域とが形成されている。PD11を構成するN型領域と電荷保持部14を構成するN型領域は、半導体基板20の表面20F寄りの位置

に形成されている。PD 11 および電荷保持部 14 の裏面側および電荷保持部 14 の表面側には P 型領域の表面ピニング層を設けてもよい。

[0044] 半導体基板 20 には、画素 10 と、隣接する他の画素 10 とを分離する画素間分離領域 34 が、画素 10 の外周を囲うように形成されている。

[0045] 遮光層 22 は、遮光性を有する材料により形成される裏面遮光膜 35 が、高誘電率材料膜 36 に埋め込まれた状態で形成されている。例えば、裏面遮光膜 35 は、タングステン (W) や、アルミ (Al)、銅 (Cu) などの材料により形成され、図示しない GND に接続されている。高誘電率材料膜 36 は、二酸化ケイ素 (SiO_2) や、酸化ハフニウム (HfO_2)、五酸化タantal (Ta_2O_5)、二酸化ジルコニウム (ZrO_2) などの材料により形成される。

[0046] 半導体基板 20 において、画素 10 の PD 11 と電荷保持部 14 との間に第 1 貫通遮光膜としての貫通遮光膜 37 が設けられている。貫通遮光膜 37 は、半導体基板 20 に形成した貫通孔の内面全体に高誘電率材料膜を形成し、その中に遮光性を有する材料を充填して形成される。高誘電率材料膜と遮光性を有する材料は、上述した裏面遮光膜 35 と同様である。貫通遮光膜 37 は、半導体基板 20 の表裏を貫通して形成され、PD 11 と電荷保持部 14 との間を仕切る構造である。貫通遮光膜 37 の表側の端部は、半導体基板 20 の厚さ方向において、電荷保持部 14 の表側端部と同程度又は電荷保持部 14 の表側端部よりも表側方向に長く形成されている。貫通遮光膜 37 を設けることにより、半導体基板 20 の裏面 20R 側から PD 11 への入射光が電荷保持部 14 へ斜め入射することがない。

[0047] 図 3 において、貫通遮光膜 37 を挟んで PD 11 の反対側には、少なくとも電荷保持部 14 の一部が位置しており、貫通遮光膜 37 の延びる方向において PD 11 の形成範囲と電荷保持部 14 の形成範囲の少なくとも一部が重複している。この重複部分にバイパス部 38 を形成することで、PD 11 と電荷保持部 14 との接続長を可及的に短く形成することができる。

[0048] 半導体基板 20 において、画素 10 と隣接する他の画素との間の画素間分

離領域 34 の中には貫通遮光膜 39 が設けられている。貫通遮光膜 39 の構造や材料は上述した貫通遮光膜 37 と同様である。貫通遮光膜 39 は、半導体基板 20 の表裏を貫通して形成され、画素 10 と他の画素の間を仕切っている。これにより、画素 10 の PD 11 へ半導体基板 20 の裏面 20R 側から入射した入射光が隣接する他の画素 10 へ斜め入射することがない。

[0049] 遮光層 22 には、電荷保持部 14 の裏面側を覆蓋する裏面遮光膜 35 が設けられている。裏面遮光膜 35 は、電荷保持部 14 を設けた部位の半導体基板 20 の裏面 20R 側において裏面 20R に沿って形成されており、裏面遮光膜 35 の PD 11 側の縁部は貫通遮光膜 37 の裏面側端部に接続され、裏面遮光膜 35 の他の縁部は貫通遮光膜 39 の裏面側端部に接続されている。すなわち、半導体基板 20 の表面 20F に面する側を除いて、電荷保持部 14 は、裏面遮光膜 35 と貫通遮光膜 37、39 とによって光学的に閉塞された状態である。なお、高誘電率材料膜は半導体基板 20 中に形成された貫通遮光膜 37、39 を薄く包み込むように設けられており、また裏面遮光膜 35 と半導体基板 20 の間にも高誘電率材料膜が設けられており、これらの高誘電率材料膜は貫通遮光膜 37、39 の外側を覆う高誘電率膜と連続的に形成されている。

[0050] バイパス部 38 は、半導体基板 20 の表面 20F の外側において PD 11 と電荷保持部 14 の間を接続する。バイパス部 38 は、N 型不純物を添加した半導体材料で形成されており、貫通遮光膜 37 を設けた部位の半導体基板 20 の表面 20F を跨ぐように形成されている。バイパス部 38 を構成する半導体材料は、シリコンの他、SiGe、InGaAs 等を用いることができる。すなわち、バイパス部 38 は、貫通遮光膜 37、PD 11 及び電荷保持部 14 の形成範囲をそれぞれ含む位置・範囲で形成されている。バイパス部 38 は、ゲート電極 32 に接する表面に沿って P 型不純物が添加された P 型領域 38b (図 5 参照) を有し、この P 型領域 38b は、N 型不純物が添加された N 型領域 38a (図 5 参照) とゲート電極 32 との間でチャネル領域として機能し、PD 11 から電荷保持部 14 へ電荷を転送する電荷転送路

となる。

[0051] 図5は、A-A断面に沿うバイパス部38の形状の具体的な例を示す図である。図5(a)に示す具体例では、バイパス部38は、半導体基板20の表面20Fと略直交する方向に延びる側面にテーパが付いており、長辺を半導体基板20側に向けた断面台形状になっている。図5(b)に示す具体例では、バイパス部38の基本的な形状は図5(a)に示す具体例と同様であるが、バイパス部38の両側において半導体基板20の表面20Fに凹みが付いたレンチング形状となっている。図5(c)に示す具体例では、バイパス部38の基本的な形状は図5(a)に示す具体例と同様であるが、バイパス部38の断面台形の短辺側の角部が取れた形状となっている。これら具体例に示すように角部を鈍角とすると、電界の集中が回避され、転送効率が良好になる。

[0052] 半導体基板20の表面20Fの外側には、バイパス部38を介したPD11から電荷保持部14への電荷転送を制御する制御部としてのゲート電極32が形成されている。ゲート電極32は、ポリシリコンゲート、High-k絶縁膜を用いたメタルゲート等を採用できる。ゲート電極32は、バイパス部38の表側及び側面に沿って形成されており、貫通遮光膜37を跨ぐ位置及び形状で設けられている。ゲート電極32に所定の電圧が印加されることにより、PD11に蓄積されている電荷が電荷保持部14へ転送される。

[0053] 電荷保持部14に対応する半導体基板20の表面20Fには、メモリーゲート40が設けられている。メモリーゲート40に電圧を印加すると、電荷保持部14のポテンシャルが変化し、PD11から電荷保持部14への電荷転送効率が向上する。これにより、電荷転送時のノイズ、残像を抑制することが可能となる。

[0054] 以上のように構成した固体撮像素子100は、電荷保持部14への光の漏れ込みが抑制され、転送時のノイズ成分についても減少する事が可能であり、従来構造に対して、著しく良い特性を得る事ができる。

[0055] 次に、固体撮像素子100の製造方法の一例について説明する。図6～図

10は、固体撮像素子100の製造方法の一例に係る流れを示す図である。

[0056] まず、半導体基板20の表面20Fのバイパス部38が設けられる部位の上にリソグラフィ技術でレジストRをパターニングし（図6（a））、レジストRで覆われていない半導体基板20の表面20Fをドライエッチングで一様に掘削する（図6（b））。掘削深さはバイパス部38に必要な厚みが確保できさえすればよい。具体的には、50～300nmの範囲が例示される。半導体基板20の表面20Fの掘削終了後、レジストRは剥離除去される。これにより、半導体基板20の表面20Fに盛土状に残存させた突起上のバイパス部38が形成される。なお、上述した図5（b）に示すトレンチング形状は、このドライエッチングを適用した場合に、加工条件次第で加工端が局所的に深くなることで形成される。なお、ドライエッチングのプラズマダメージは、加工後に1000℃以上の高温熱処理を行うことで回復させることができる。

[0057] 次に、バイパス部38、PD11、電荷保持部14に必要なイオン注入を行う（図6（c））。バイパス部38、PD11、電荷保持部14が第1導電型（本実施形態ではN⁺型）となる様にイオン注入を行う。また、図示はしないが、画素トランジスタについても必要なイオン注入を実施する。なお、電荷保持部14やPD11の形成領域に対応する半導体基板20の表面20F及び裏面20Rについては、イオン注入で第2導電型（本実施形態ではP⁺型）のピニング層を形成して半導体基板20の表面20F及び裏面20Rにおいて電荷の湧き出しを抑制してもよい。

[0058] 次に、半導体基板20の表面20Fに絶縁酸化膜を積層し（不図示）、その上の所定の位置に画素トランジスタのゲート電極を形成し、その上に配線層21の複数の配線21a及び層間絶縁膜21bを順次に積層形成する（図7（d））。その後、図示しないが、基板支持材（支持基板等）を配線層21の表面側に貼り合せ、全体を表裏反転し、半導体基板20の裏面20R側からPD11の裏側近くまで研磨・研削して半導体基板20を薄肉化してもよい。なお、基板支持材は、論理回路や記憶素子等を形成したものであって

もよく、この場合、半導体基板 20 から基板支持材へ貫通する貫通電極を形成して配線層 21 の所定の配線 21a と論理回路や記憶素子等とを電氣的に接続する。

[0059] 次に、半導体基板 20 の裏面 20R の上に、リソグラフィ技術でレジスト R をパターニングし（図 7（e））、ドライエッチングで半導体基板 20 を裏面 20R 側から表面 20F 側へ貫通する貫通孔 H を形成する（図 7（f））。貫通孔 H の形成後、レジスト R は剥離除去する。その後、貫通孔 H の内側面 H1 及び半導体基板 20 の裏面 20R の平坦部 20a に高誘電率材料を成膜する（図 8（g））。高誘電率材料は、例えば、酸化膜（ SiO_2 ）、酸化ハフニウム（ HfO_x ）、酸化タンタル（ TaO_x ）、酸化ジルコニウム（ ZrO_x ）の単膜、或いは、その積層膜を適用する事が可能である。その後、貫通孔 H の内部に金属材料を充填して貫通遮光膜 37, 39 を形成するとともに、半導体基板 20 の裏面 20R の平坦部 20a の上に金属材料を積層して裏面遮光膜 35 を形成する（図 8（h））。金属材料は、例えば、タングステン（W）、アルミニウム（Al）、銅（Cu）、チタン（Ti）、窒化チタン（ TiN ）、窒化タングステン（WN）の単膜、或いは、その積層膜を適用する事が可能である。

[0060] 次に、裏面遮光膜 35 の上に、リソグラフィ技術でレジスト R をパターニングし、ドライエッチングで裏面遮光膜 35 の必要な個所を除去して開口を形成する（図 8（i））。本実施形態では PD 11 の PD 領域に対応する部位に開口を形成する。

[0061] 次に、裏面遮光膜 35 の凹凸を平坦化する平坦化層 23 を形成し、その上に、カラーフィルタ層 24、オンチップレンズ 25 を順次に形成する（（図 9（j）））。平坦化層 23 は、例えば、裏面遮光膜 35 の上に熱可塑性樹脂をスピンコート法で成膜した後、熱硬化処理を行うことで形成される。カラーフィルタ層 24 は、例えば、顔料や染料などの色材と感光性樹脂とを含む塗布液を、スピンコート法などのコーティング方法によって塗布して塗膜を形成し、その塗膜をリソグラフィ技術でパターン加工することにより形成

される。オンチップレンズ25は、例えば、ポジ型のフォトリソ膜をカラーフィルタ層24上に成膜後、加工することによって形成される。

[0062] 以上の工程により、グローバルシャッター機能を有する第1の実施形態に係る固体撮像素子100を作成することができる。

[0063] なお、上述した製造方法では、バイパス部38をリソグラフィ技術とドライエッチングによって形成したが、バイパス部38はエピタキシャル気相成長法で形成することもできる。図10(a)～(c)は、バイパス部38をエピタキシャル気相成長法で形成する場合の製造方法を説明する図である。

[0064] この場合、半導体基板20の表面20Fの上に絶縁膜Fを形成し、この絶縁膜Fのバイパス部38が設けられる部位が開口したレジストRをリソグラフィ技術でパターニングし、レジストRで覆われていない絶縁膜Fをドライエッチングで掘削除去して開口する(図10(a))。絶縁膜Fは、例えば、SiO₂、SiNを用いる事が一般的であるが、エピタキシャル気相成長法による成膜時に選択性を確保できれば、限定される訳ではない。続いて、Wet処理や水素還元で半導体基板20の表面20F上の自然酸化膜を除去し、シリコン等の半導体材料をエピタキシャル成膜する(図10(b))。Siエピタキシャル成膜は、例えばSi-H-Cl系ガスを用いて行い、H/Cl比率を調整する事により成長レートや形状をコントロールする事が可能である。上述した図5(c)に示すファセット形状は、このエピタキシャル気相成長法を適用した場合に、加工条件次第で複数のSi面が現れ、ファセットが形成される。その後、絶縁膜Fを除去することで、半導体基板20の表面20Fの所定の位置にバイパス部38が形成された状態となる(図10(c))。これにより、半導体基板20の表面20Fに選択エピタキシャル成長で盛土状に積層形成した突起部としてのバイパス部38が形成される。

[0065] (B) 第2の実施形態：

本実施形態に係る固体撮像素子200は、画素におけるPD、電荷保持部、バイパス部等の位置関係や形状が異なる点を除くと、上述した固体撮像素子100と同様の構成である。

[0066] そこで、以下では主に、固体撮像素子 200 の画素 210 の PD 211、電荷保持部 214、バイパス部 238 等の位置関係や形状について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子 100 の構成の符号先頭に 2 を付けた符号を示す。なお、PD 211、電荷保持部 214、バイパス部 238 等の基本的な機能は、PD 11、電荷保持部 14、バイパス部 38 等と同様である。

[0067] 図 11 は、画素 210 の平面的な構成例を示す図、図 12 は、図 11 の A-A 断面における画素 210 の断面的な構成例を示す図である。

[0068] 図 11 において、第 1 の転送トランジスタ 212 のゲート電極 232 は、その全体が、貫通遮光膜 237 を挟んで PD 211 と同じ側に、PD 211 の形成と一部重複しつつ PD 211 と隣り合う位置関係で設けられている。ゲート電極 232 は、PD 211 に隣接せず貫通遮光膜 237 に面する側の角部を一部切欠き状に凹ませた凹部 232a を有する。このように、ゲート電極 232 はバイパス部 238 上の貫通遮光膜 237 に対応しない位置に設けられている。

[0069] バイパス部 238 は、半導体基板 220 の表面 220F の外側において、貫通遮光膜 237 を跨ぐようにゲート電極 232 と電荷保持部 214 の間を接続するものであり、凹部 232a の縁部を含み貫通遮光膜 237 を跨いで電荷保持部 214 側に延びる範囲に形成されている。

[0070] 電荷保持部 214 は、図 11 において、貫通遮光膜 237 を挟んでゲート電極 232 の反対側に、少なくとも一部が位置しており、貫通遮光膜 237 の延びる方向においてゲート電極 232 の形成範囲と電荷保持部 214 の形成範囲の少なくとも一部が重複している。

[0071] これにより、バイパス部 238 は、ゲート電極 232 下に形成されるチャネルを介して、PD 211 から電荷保持部 214 へ電荷を転送する電荷転送路となる。

[0072] (C) 第 3 の実施形態：

本実施形態に係る固体撮像素子 300 は、画素におけるゲート電極の形状

が異なる点を除くと、上述した固体撮像素子 100 と同様の構成である。

[0073] そこで、以下では主に固体撮像素子 300 の画素 310 のゲート電極 332 の形状について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子 100 の構成の符号先頭に 3 を付けた符号を示す。なお、ゲート電極 332 の基本的な機能は、ゲート電極 32 と同様である。

[0074] 図 13 は、画素 310 の平面的な構成例を示す図、図 14 は、図 13 の A-A 断面における画素 310 の断面的な構成例を示す図である。

[0075] ゲート電極 332 は、ゲート電極 32 と同様、バイパス部 338 の表側及び側面に沿って形成されており、貫通遮光膜 337 を跨ぐ位置及び形状で設けられている。従って、ゲート電極 332 に所定の電圧が印加されることにより、PD 311 に蓄積されている電荷が電荷保持部 314 へ転送される。

[0076] ゲート電極 332 は、貫通遮光膜 337 の PD 311 側の側面に沿って、半導体基板 320 の厚み方向に延設された貫入部 332a を有する。この貫入部 332a に接するバイパス部 338 や PD 311 の面を含む領域にも P 型不純物を添加した P 型領域が形成されている。従って、貫入部 332a を設けることで、ゲート電極 332 への所定の電圧印加により形成されるチャネル範囲が拡大し、電荷転送効率が向上する。また、貫入部 332a の形成するチャネルによって、PD 311 の深い位置の電荷を効率良く転送可能となる。

[0077] 貫入部 332a は、ゲート電極 332 本体から平板状部材が延設された形状としてもよいし、ゲート電極 332 本体から複数の柱状部材が櫛歯状に延設された形状としてもよい。貫入部 332a の長さは、PD 311 のポテンシャル設計に応じて適宜設定される。

[0078] 貫入部 332a と半導体基板 320 の間にはゲート絶縁膜が設けられるため、光を透過しにくく、電荷保持部 314 への光学的ノイズ減少に寄与する。また、ゲート電極 332 の材料を金属材料としたメタルゲートとすることで、PD 311 と電荷保持部 314 の間の遮光性を向上し、電荷保持部への光学的ノイズをより減少することも可能である。メタル電極の材料として

は、例えば、タングステン（W）、アルミニウム（Al）、チタン（Ti）、窒化チタン（TiN）、コバルト（Co）の単体、或いはその積層構造を用いる事ができる。むろん、ゲート電極332の材料のうち、貫入部332aのみをメタルゲートとし、他の部分はシリコンゲートとしてもよい。

[0079] (D) 第4の実施形態：

本実施形態に係る固体撮像素子400は、電荷保持部とフローティングディフュージョンの間の構造を除くと、上述した固体撮像素子100と同様の構成である。

[0080] そこで、以下では主に固体撮像素子400の画素410の電荷保持部414とフローティングディフュージョン415の間の構造について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子100の構成の符号先頭に4を付けた符号を示す。なお、電荷保持部414とフローティングディフュージョン415の基本的な機能は、電荷保持部14とフローティングディフュージョン15と同様である。

[0081] 図15は、画素410の平面的な構成例を示す図、図16は、図15のA-A断面における画素410の断面的な構成例を示す図である。

[0082] 電荷保持部414とフローティングディフュージョン415の間には、第2貫通遮光膜としての貫通遮光膜441が設けられている。貫通遮光膜441は、貫通遮光膜437等と同様に、半導体基板420に形成した貫通孔の内面全体に高誘電率材料膜を形成し、その中に遮光性を有する材料を充填して形成される。

[0083] 貫通遮光膜441は、半導体基板420の表裏を貫通して形成され、電荷保持部414とフローティングディフュージョン415の間を仕切る構造である。貫通遮光膜441の表側の端部は、半導体基板420の厚さ方向において、電荷保持部414の表側端部と同程度又は電荷保持部414の表側端部よりも表側方向に長く形成されている。

[0084] 貫通遮光膜441を設けることにより、電荷保持部414とフローティングディフュージョン415の間の遮光性が向上し、フローティングディフュ

ージョン４１５側から電荷保持部４１４へのノイズの影響を抑制できる。

[0085] なお、電荷保持部４１４は、電荷保持部４１４のフローティングディフュージョン４１５と反対側にも貫通遮光膜４４１と同様の貫通遮光膜を設けて、その周囲全体を貫通遮光膜で囲われた構造としてもよい。このように電荷保持部４１４の周囲を貫通遮光膜で囲うことで、電荷保持部４１４の遮光性を更に向上し、光学的ノイズの影響を更に抑制することもできる。

[0086] 電荷保持部４１４とフローティングディフュージョン４１５の間は、半導体基板４２０の表面４２０Ｆの外側に貫通遮光膜４４１を跨ぐように形成される第２バイパス部としてのバイパス部４４２によって接続される。バイパス部４４２は、貫通遮光膜４４１、電荷保持部４１４及びフローティングディフュージョン４１５の形成範囲をそれぞれ含む位置・範囲で形成されている。バイパス部４４２は、Ｎ型不純物を添加した半導体材料で形成されている。バイパス部４４２の表面側には、第２の転送トランジスタ１３のゲート電極が積層形成されており、このゲート電極に所定の電圧が印加されることにより、ＰＤ４１１に蓄積されている電荷が電荷保持部４１４へ転送される。すなわち、バイパス部４４２は、電荷保持部４１４からフローティングディフュージョン４１５へ電荷を転送する電荷転送路となる。

[0087] (Ｅ) 第５の実施形態：

本実施形態に係る固体撮像素子５００は、電荷保持部の表面側に遮光膜を設けた点を除くと、上述した固体撮像素子１００と同様の構成である。

[0088] そこで、以下では主に固体撮像素子５００の表面遮光膜５４３の形状について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子１００の構成の符号先頭に５を付けた符号を示す。

[0089] 図１７は、画素５１０の平面的な構成例を示す図、図１８は、図１７のＡ－Ａ断面における画素５１０の断面的な構成例を示す図である。

[0090] 表面遮光膜５４３は、電荷保持部５１４の表側を覆って遮光する部材である。表面遮光膜５４３を貫通遮光膜５３９に接続して形成すると、貫通遮光膜５３９側からの光入射を抑制できる。表面遮光膜５４３は、電荷保持部５

14の表側において、半導体基板520と配線層521の間に形成される部材（メモリーゲート540、バイパス部538、転送電極532等）を含めて覆うように形成される。この表面遮光膜543で覆う範囲は、半導体基板520を配線521aに接続するコンタクト部との間で電氣的に干渉しない範囲で拡張可能である。表面遮光膜543と電荷保持部514や各種部材（メモリーゲート540、バイパス部538、転送電極532等）との間には、高誘電率材料膜が設けられる。これにより、電荷保持部514の遮光性を更に向上できる。

[0091] (F) 第6の実施形態：

本実施形態に係る固体撮像素子600は、盛上状に形成するバイパス部の形成範囲を除くと、上述した固体撮像素子100と同様の構成である。

[0092] そこで、以下では主に固体撮像素子600のバイパス部638の形成範囲について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子100の構成の符号先頭に6を付けた符号を示す。

[0093] 図19は、図3のA-A断面に相当する断面における画素610の断面的な構成例を示す図である。

[0094] バイパス部638は、貫通遮光膜637を跨ぐ部位のみならず、半導体基板620の表面620FにおいてPD611の形成範囲内に延設された形状となっている。例えば、PD611の表面全体をバイパス部638の表面と略同程度の盛上げ形状とする。これにより、PD611の体積が増大し、PD611の飽和電荷量を増大するメリットがある。

[0095] (G) 第7の実施形態：

本実施形態に係る固体撮像素子700は、電荷保持部を設けず、PDの電荷を直接フローティングディフュージョンへ転送するFD蓄積型の構成とした点を除くと、上述した固体撮像素子100と同様の構成である。

[0096] そこで、以下では主に固体撮像素子700のPD711からフローティングディフュージョン715への電荷転送に関する構成について説明し、その他の構成については詳細な説明を省略し、必要に応じて固体撮像素子100

の構成の符号先頭に 7 を付けた符号を示す。

[0097] 図 20 は、画素 710 の平面的な構成例を示す図、図 21 は、図 20 の A-A 断面における画素 710 の断面的な構成例を示す図である。

[0098] 本実施形態では、PD 711 からバイパス部 738 を介して転送された電荷を受け取って保持する構成としてフローティングディフュージョン 715 を設けてある。すなわち、貫通遮光膜 737 を挟んで PD 711 の反対側には、少なくともフローティングディフュージョン 715 の一部が位置しており、貫通遮光膜 737 の延びる方向において PD 711 の形成範囲とフローティングディフュージョン 715 の形成範囲の少なくとも一部が重複している。この重複部分に形成されるバイパス部 738 が、PD 711 からフローティングディフュージョン 715 への電荷転送路となる。フローティングディフュージョン 715 に蓄積された電荷は、コンタクト 744、配線 745 を介して、画素信号として出力される。

[0099] このように構成した固体撮像素子 700 によれば、一般に、大面積を要する電荷保持部を無くせるため、チップサイズの観点のメリットがある。

[0100] (C) 第 8 の実施形態：

図 22 は、固体撮像素子 100 を備える撮像装置 800 の構成を示すブロック図である。同図に示す撮像装置 800 は、電子機器の一例である。

[0101] なお、本明細書において、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等の撮像装置や、撮像機能を有する携帯電話機などの携帯端末装置など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般を指す。むろん、画像取込部に固体撮像素子を用いる電子機器には、画像読取部に固体撮像素子を用いる複写機も含まれる。また、撮像装置は、上述した電子機器に搭載するために固体撮像素子を含めてモジュール化されていてもよい。

[0102] 図 22 において、撮像装置 800 は、レンズ群を含む光学系 811、固体撮像素子 100、固体撮像素子 100 の出力信号を処理する信号処理回路としての DSP 813 (Digital Signal Processor

）、フレームメモリ 814、表示部 815、記録部 816、操作系 817、電源系 818 及び制御部 819 を備えている。

[0103] DSP 813、フレームメモリ 814、表示部 815、記録部 816、操作系 817、電源系 818 及び制御部 819 は、通信バスを介して、互いにデータや信号を送受信できるように接続されている。

[0104] 光学系 811 は、被写体からの入射光（像光）を取り込んで固体撮像素子 100 の撮像面上に結像する。固体撮像素子 100 は、光学系 811 によって撮像面上に結像された入射光の受光量に応じた電気信号を画素単位で生成し、画素信号として出力する。この画素信号は DSP 813 に入力され、適宜に各種の画像処理を行って生成された画像データは、フレームメモリ 814 に記憶されたり、記録部 816 の記録媒体に記録されたり、表示部 815 に出力されたりする。

[0105] 表示部 815 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置からなり、固体撮像素子 100 によって撮像された動画や静止画、その他の情報を表示する。記録部 816 は、固体撮像素子 100 によって撮像された動画や静止画を、DVD (Digital Versatile Disk) や HD (Hard Disk)、半導体メモリ等の記録媒体に記録する。

[0106] 操作系 817 は、ユーザから各種の操作を受け付けるものであり、ユーザの操作に応じた操作命令を通信バスを介して各部 813、814、815、816、818、819 へ送信する。電源系 818 は、駆動電源となる各種の電源電圧を生成して供給対象（各部 813、814、815、816、817、819）へ適宜に供給する。

[0107] 制御部 819 は、演算処理を行う CPU や撮像装置 800 の制御プログラムを記憶する ROM、CPU のワークエリアとして機能する RAM、等を備えている。制御部 819 は、RAM をワークエリアとして利用しつつ ROM に記憶されている制御プログラムを CPU が実行することにより、通信バスを介して各部 813、814、815、816、817、818 を制御す

る。また、制御部 819 は、不図示のタイミングジェネレータを制御して各種のタイミング信号を生成させ、各部へ供給する制御を行ったりする。

[0108] なお、本技術は上述した各実施形態に限られず、上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、公知技術並びに上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、等も含まれる。また、本技術の技術的範囲は上述した実施形態に限定されず、請求の範囲に記載された事項とその均等物まで及ぶものである。

[0109] そして、本技術は、以下のような構成を取ることができる。

[0110] (1)

半導体基板と、
前記半導体基板の裏面からの入射光を光電変換する光電変換部と、
前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、
前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第 1 貫通遮光膜と、
前記半導体基板の表面外側に半導体材料で形成され前記第 1 貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第 1 バイパス部と、
前記第 1 バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御部と、
を備え、
前記第 1 貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている固体撮像素子。

[0111] (2)

前記制御部は、前記第 1 バイパス部上の前記第 1 貫通遮光膜に対応する位置に設けられた制御電極を制御して前記第 1 バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する、前記 (1) に記載の固体撮像素子。

[0112] (3)

前記制御部は、前記第1バイパス部上の前記第1貫通遮光膜に対応しない位置に設けられた制御電極を制御して前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する、前記(1)に記載の固体撮像素子。

[0113] (4)

前記制御電極は、前記光電変換部側を前記第1貫通遮光膜の側面に沿って前記半導体基板の厚み方向に延設された貫入部を有する、前記(2)又は前記(3)に記載の固体撮像素子。

[0114] (5)

前記貫入部は、金属材料で形成されている、前記(4)に記載の固体撮像素子。

[0115] (6)

前記第1バイパス部は、前記半導体基板の表面をエッチングして盛土状に残存させた突起部である、前記(1)～前記(5)の何れか1つに記載の固体撮像素子。

[0116] (7)

前記第1バイパス部は、前記半導体基板の表面に選択エピタキシャル成長で盛土状に積層形成した突起部である、前記(1)～前記(5)の何れか1つに記載の固体撮像素子。

[0117] (8)

前記光電変換部の表面を前記第1バイパス部の表面と略同程度の盛上げ形状とした、前記(7)に記載の固体撮像素子。

[0118] (9)

前記第1バイパス部の前記第1貫通遮光膜を跨ぐ部位と前記電荷保持部との表側を覆う遮光膜を更に備える、前記(1)～前記(8)の何れか1つに記載の固体撮像素子。

[0119] (10)

前記電荷保持部は貫通遮光膜で囲われている、前記（１）～前記（９）の何れか１つに記載の固体撮像素子。

[0120] （１１）

前記電荷保持部から転送される電荷を保持するフローティングディフュージョンと、

前記半導体基板の表裏を貫通して前記電荷保持部と前記フローティングディフュージョンの間を仕切る第２貫通遮光膜と、

前記半導体基板の表面外側に半導体材料で形成され前記第２貫通遮光膜を跨いで前記電荷保持部と前記フローティングディフュージョンとを接続する第２バイパス部と、

を更に備える、前記（１）～前記（１）０の何れか１つに記載の固体撮像素子。

[0121] （１２）

前記電荷保持部は、キャパシタである、前記（１）～前記（１）０の何れか１つに記載の固体撮像素子。

[0122] （１３）

前記電荷保持部は、フローティングディフュージョンである、前記（１）～請求項１０の何れか１つに記載の固体撮像素子。

[0123] （１４）

半導体基板に裏面からの入射光を光電変換する光電変換部を形成する工程と、

前記光電変換部が生成する電荷を一時的に保持する電荷保持部を形成する工程と、

前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第１貫通遮光膜を形成する工程と、

前記半導体基板の表面外側に半導体材料で形成され前記第１貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第１バイパス部を形成する工程と、

前記第 1 バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御電極を形成する工程と、
を含んで構成され、

前記第 1 貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、固体撮像素子の製造方法。

[0124] (15)

固体撮像素子と、前記固体撮像素子からの信号を処理する信号処理回路と、を備える撮像装置であって、

前記固体撮像素子は、半導体基板と、前記半導体基板の裏面からの入射光を光電変換する光電変換部と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第 1 貫通遮光膜と、前記半導体基板の表面外側に半導体材料で形成され前記第 1 貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第 1 バイパス部と、前記第 1 バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御部と、を備え、

前記第 1 貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、撮像装置。

符号の説明

[0125] 10…画素、11…PD、12…第1の転送トランジスタ、13…第2の転送トランジスタ、14…電荷保持部、15…フローティングディフュージョン(FD)、16…増幅トランジスタ、17…選択トランジスタ、18…リセットトランジスタ、20…半導体基板、20F…表面、20R…裏面、20a…平坦部、21…配線層、21a…配線、21b…層間絶縁膜、22…遮光層、23…平坦化層、24…カラーフィルタ層、25…オンチップレンズ、32…ゲート電極、34…画素間分離領域、35…裏面遮光膜、36…高誘電率材料膜、37…貫通遮光膜、38…バイパス部、39…貫通遮光膜

、 4 0 …メモリーゲート、 1 0 0 …固体撮像素子、 1 2 1 …画素アレイ部、
1 2 2 …垂直駆動部、 1 2 3 …カラム処理部、 1 2 4 …駆動制御部、 1 2 5
…水平駆動部、 1 2 7 …出力部、 2 0 0 …固体撮像素子、 2 1 0 …画素、 2
1 1 …PD、 2 1 2 …第 1 の転送トランジスタ、 2 1 4 …電荷保持部、 2 2
0 …半導体基板、 2 2 0 F …表面、 2 3 2 …ゲート電極、 2 3 2 a …凹部、
2 3 7 …貫通遮光膜、 2 3 8 …バイパス部、 3 0 0 …固体撮像素子、 3 1 0
…画素、 3 1 1 …PD、 3 1 4 …電荷保持部、 3 2 0 …半導体基板、 3 3 2
…ゲート電極、 3 3 2 a …貫入部、 3 3 7 …貫通遮光膜、 3 3 8 …バイパス
部、 4 0 0 …固体撮像素子、 4 1 0 …画素、 4 1 1 …PD、 4 1 4 …電荷保
持部、 4 1 5 …フローティングディフュージョン、 4 2 0 …半導体基板、 4
3 7 …貫通遮光膜、 4 4 0 …メモリーゲート、 4 4 1 …貫通遮光膜、 4 4 2
…バイパス部、 5 0 0 …固体撮像素子、 5 1 0 …画素、 5 1 1 …PD、 5 1
4 …電荷保持部、 5 2 0 …半導体基板、 5 2 1 …配線層、 5 2 1 a …配線、
5 3 2 …転送電極、 5 3 8 …バイパス部、 5 3 9 …貫通遮光膜、 5 4 3 …表
面遮光膜、 6 0 0 …固体撮像素子、 6 1 0 …画素、 6 1 1 …PD、 6 2 0 …
半導体基板、 6 2 0 F …表面、 6 3 8 …バイパス部、 6 3 9 …貫通遮光膜、
7 0 0 …固体撮像素子、 7 1 0 …画素、 7 1 1 …PD、 7 1 5 …フローティ
ングディフュージョン、 7 3 7 …貫通遮光膜、 7 3 8 …バイパス部、 7 4 4
…コンタクト、 7 4 5 …配線、 8 0 0 …撮像装置、 8 1 1 …光学系、 8 1 3
…DSP、 8 1 4 …フレームメモリ、 8 1 5 …表示部、 8 1 6 …記録部、 8
1 7 …操作系、 8 1 8 …電源系、 8 1 9 …制御部、 H …貫通孔、 H 1 …内側
面、 H S L n …水平信号線、 R …レジスト、 V S L m …垂直信号線

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の裏面からの入射光を光電変換する光電変換部と、
 前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、
 前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部
 との間を仕切る第1貫通遮光膜と、
 前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮
 光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパ
 ス部と、
 前記第1バイパス部を介した前記光電変換部から前記電荷保持部へ
 の電荷転送を制御する制御部と、
 を備え、
 前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向に
 おいて、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側
 端よりも表側方向に長く形成されている固体撮像素子。
- [請求項2] 前記制御部は、前記第1バイパス部上の前記第1貫通遮光膜に対応
 する位置に設けられた制御電極を制御して前記第1バイパス部を介し
 た前記光電変換部から前記電荷保持部への電荷転送を制御する、請求
 項1に記載の固体撮像素子。
- [請求項3] 前記制御部は、前記第1バイパス部上の前記第1貫通遮光膜に対応
 しない位置に設けられた制御電極を制御して前記第1バイパス部を介
 した前記光電変換部から前記電荷保持部への電荷転送を制御する、請
 求項1に記載の固体撮像素子。
- [請求項4] 前記制御電極は、前記光電変換部側を前記第1貫通遮光膜の側面に
 沿って前記半導体基板の厚み方向に延設された貫入部を有する、請求
 項2に記載の固体撮像素子。
- [請求項5] 前記貫入部は、金属材料で形成されている、請求項4に記載の固体
 撮像素子。

- [請求項6] 前記第1バイパス部は、前記半導体基板の表面をエッチングして盛土状に残存させた突起部である、請求項1に記載の固体撮像素子。
- [請求項7] 前記第1バイパス部は、前記半導体基板の表面に選択エピタキシャル成長で盛土状に積層形成した突起部である、請求項1に記載の固体撮像素子。
- [請求項8] 前記光電変換部の表面を前記第1バイパス部の表面と略同程度の盛上げ形状とした、請求項7に記載の固体撮像素子。
- [請求項9] 前記第1バイパス部の前記第1貫通遮光膜を跨ぐ部位と前記電荷保持部との表側を覆う遮光膜を更に備える、請求項1に記載の固体撮像素子。
- [請求項10] 前記電荷保持部は貫通遮光膜で囲われている、請求項1に記載の固体撮像素子。
- [請求項11] 前記電荷保持部から転送される電荷を保持するフローティングディフュージョンと、
前記半導体基板の表裏を貫通して前記電荷保持部と前記フローティングディフュージョンの間を仕切る第2貫通遮光膜と、
前記半導体基板の表面外側に半導体材料で形成され前記第2貫通遮光膜を跨いで前記電荷保持部と前記フローティングディフュージョンとを接続する第2バイパス部と、
を更に備える、請求項1に記載の固体撮像素子。
- [請求項12] 前記電荷保持部は、キャパシタである、請求項1に記載の固体撮像素子。
- [請求項13] 前記電荷保持部は、フローティングディフュージョンである、請求項1に記載の固体撮像素子。
- [請求項14] 半導体基板に裏面からの入射光を光電変換する光電変換部を形成する工程と、
前記光電変換部が生成する電荷を一時的に保持する電荷保持部を形成する工程と、

前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜を形成する工程と、

前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部を形成する工程と、

前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御電極を形成する工程と、
を含んで構成され、

前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、固体撮像素子の製造方法。

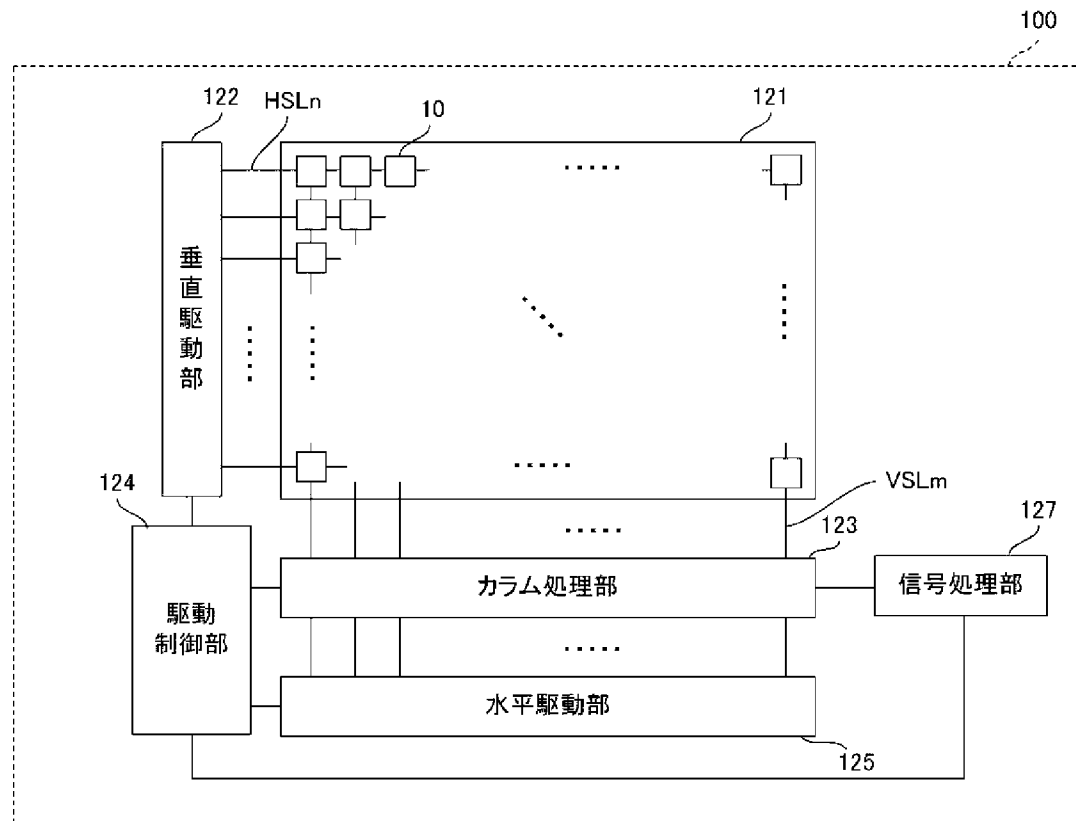
[請求項15]

固体撮像素子と、前記固体撮像素子からの信号を処理する信号処理回路と、を備える撮像装置であって、

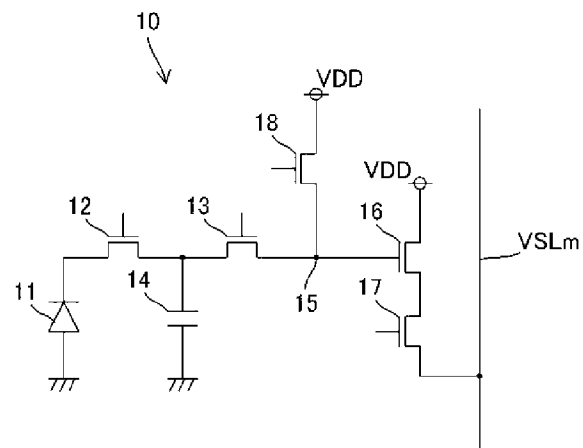
前記固体撮像素子は、半導体基板と、前記半導体基板の裏面からの入射光を光電変換する光電変換部と、前記光電変換部が生成する電荷を一時的に保持する電荷保持部と、前記半導体基板の表裏を貫通して前記光電変換部と前記電荷保持部との間を仕切る第1貫通遮光膜と、前記半導体基板の表面外側に半導体材料で形成され前記第1貫通遮光膜を跨いで前記光電変換部と前記電荷保持部を接続する第1バイパス部と、前記第1バイパス部を介した前記光電変換部から前記電荷保持部への電荷転送を制御する制御部と、を備え、

前記第1貫通遮光膜の表側の端部は、前記半導体基板の厚さ方向において、前記電荷保持部の表側端と同程度又は前記電荷保持部の表側端よりも表側方向に長く形成されている、撮像装置。

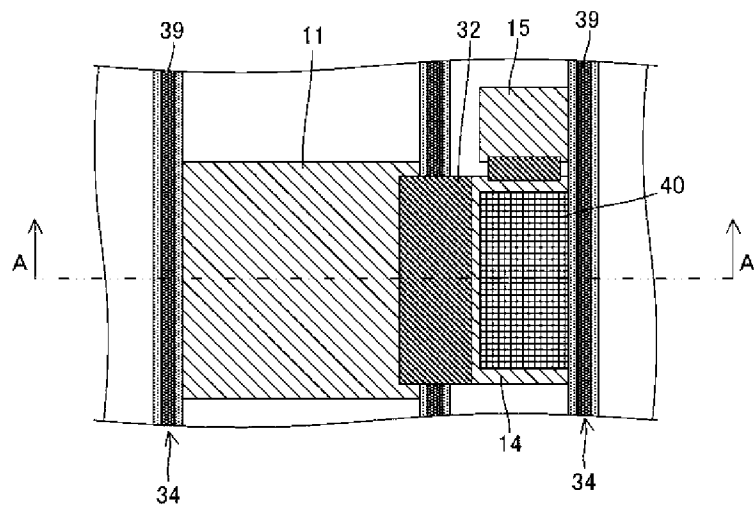
[図1]



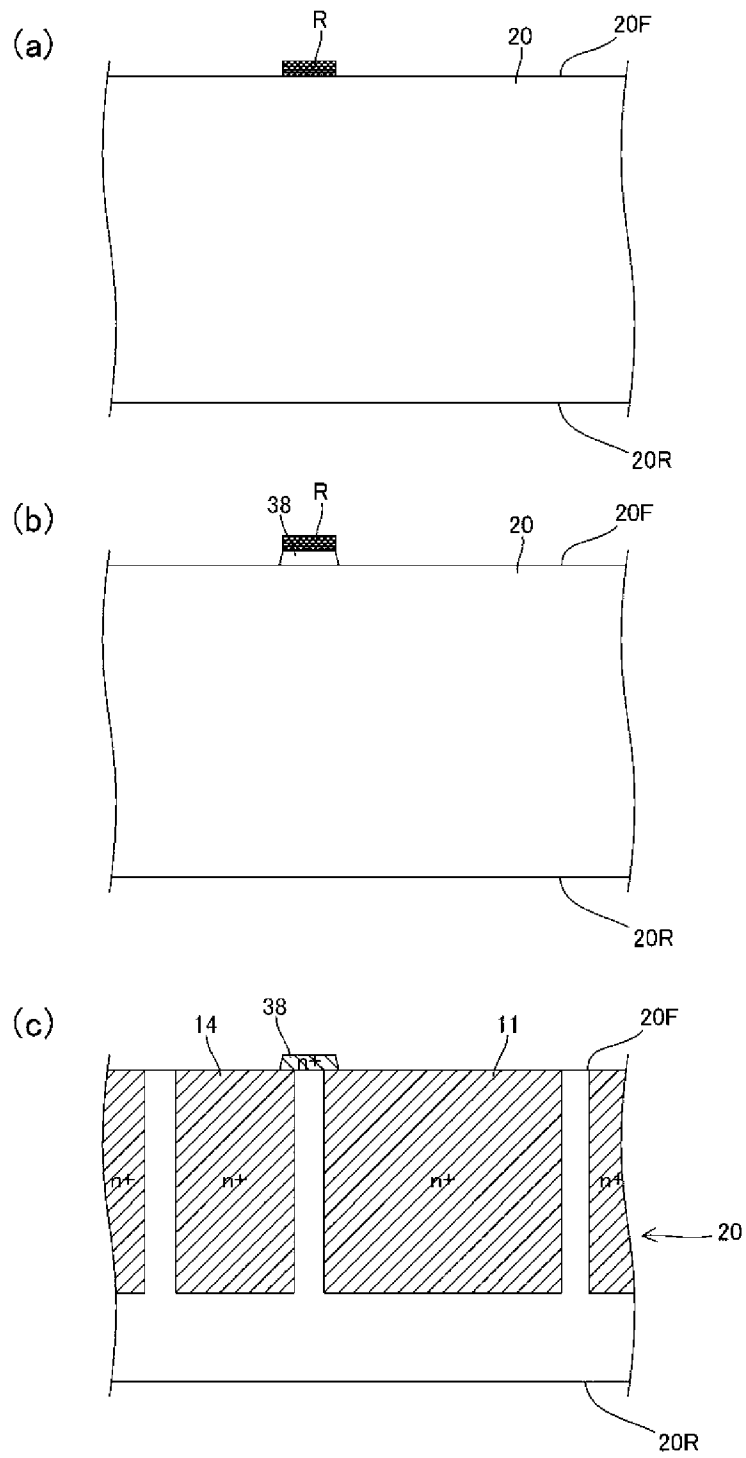
[図2]



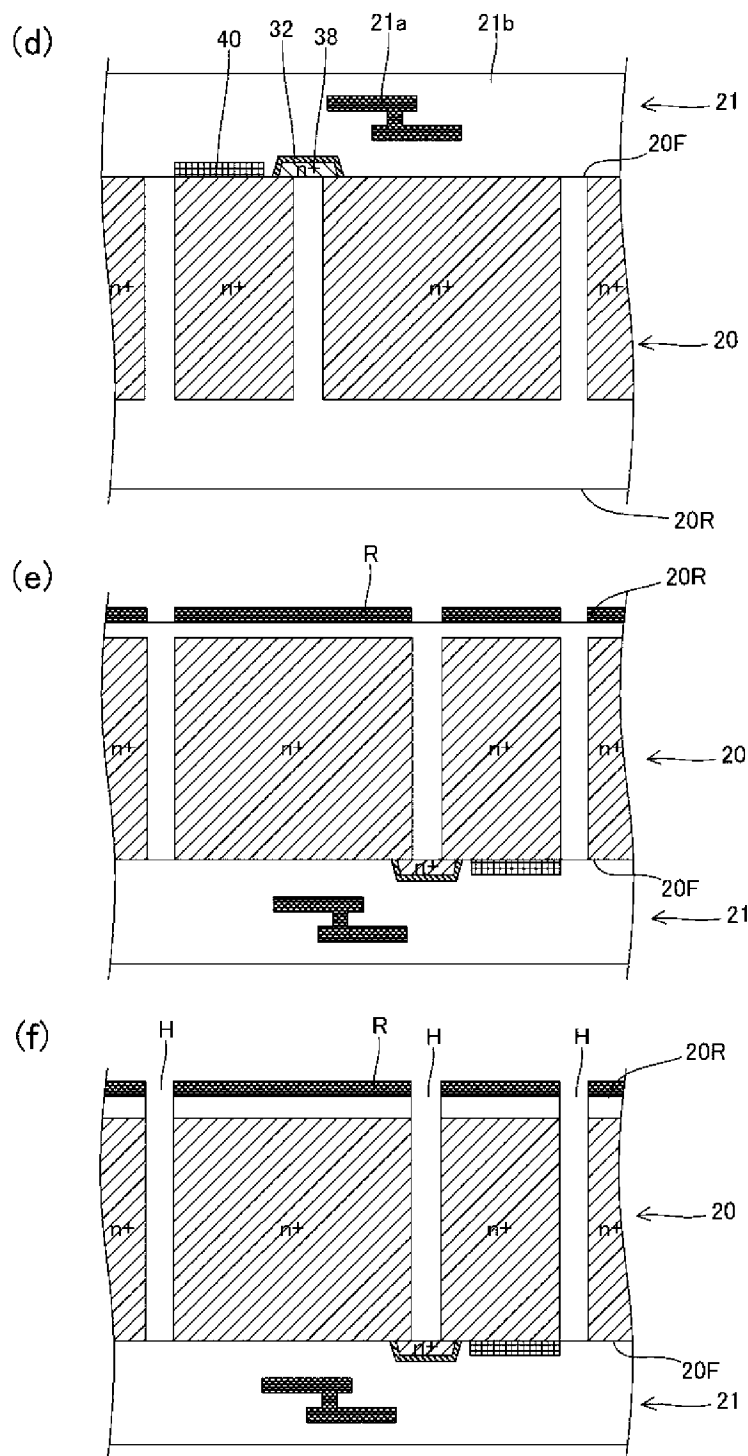
[図3]



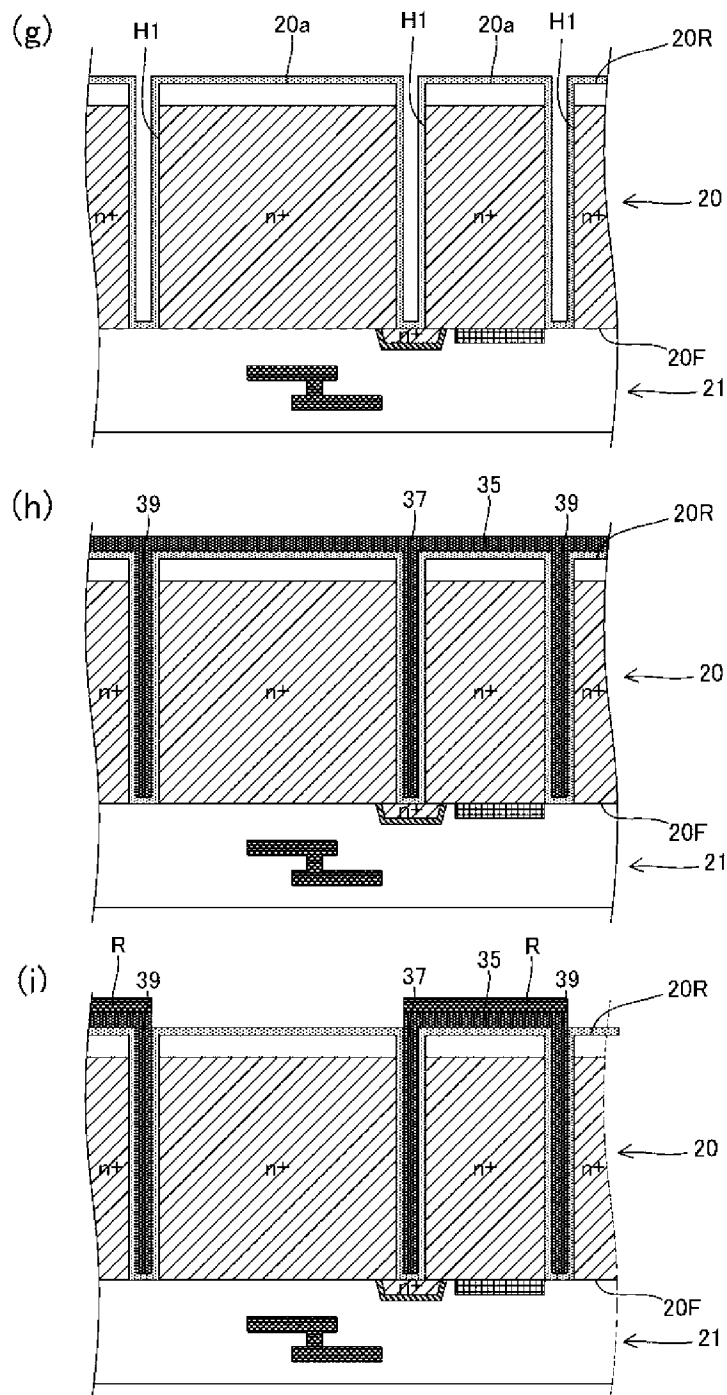
[図6]



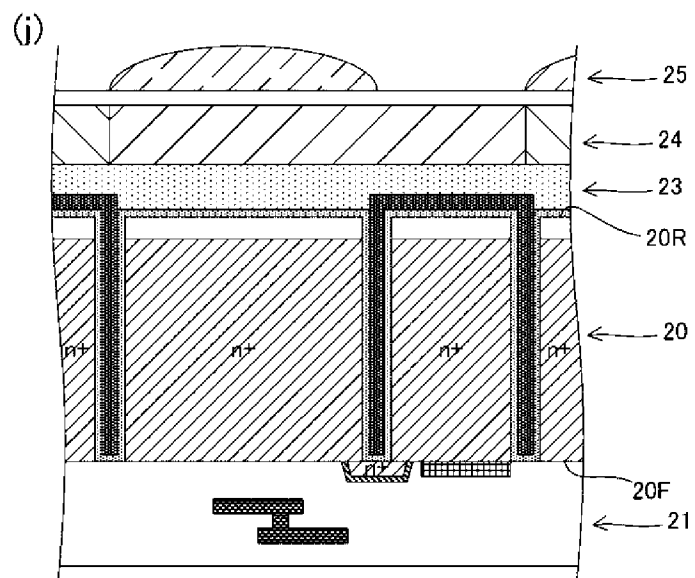
[図7]



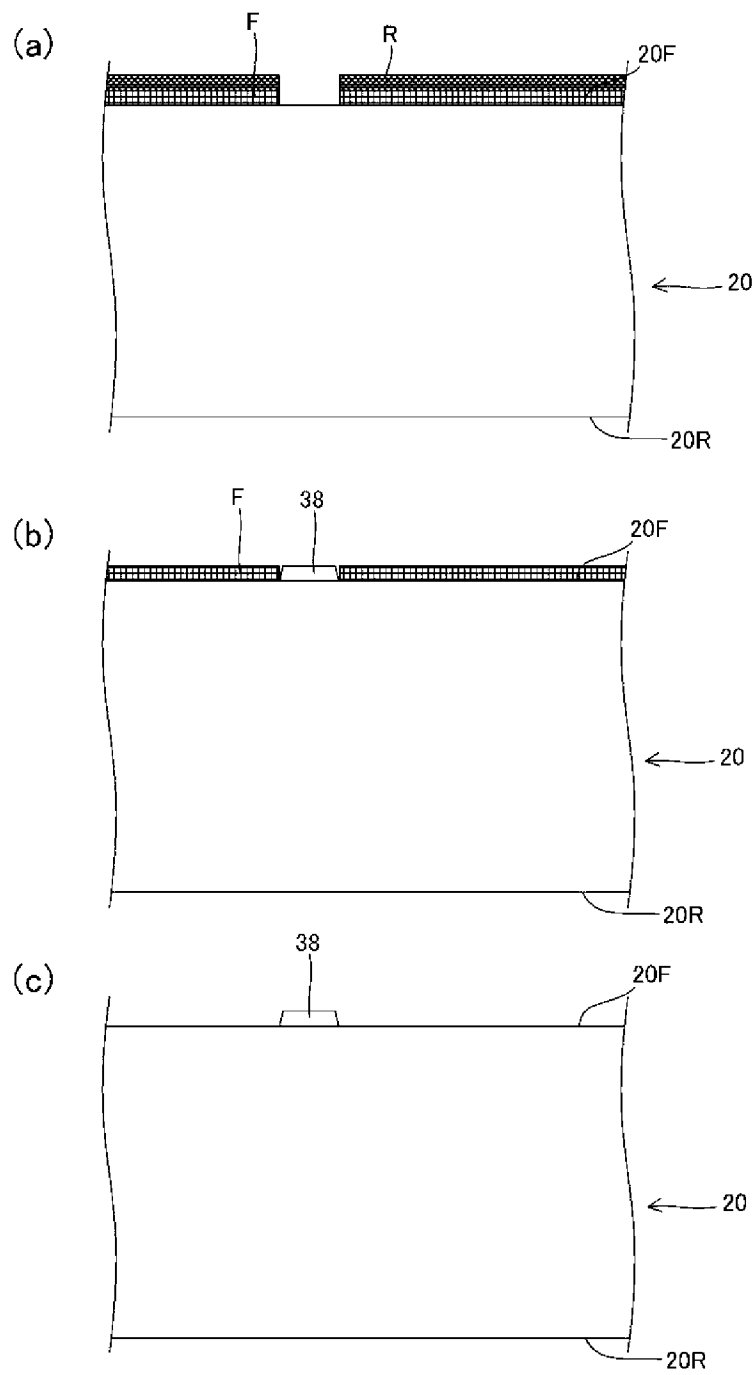
[図8]



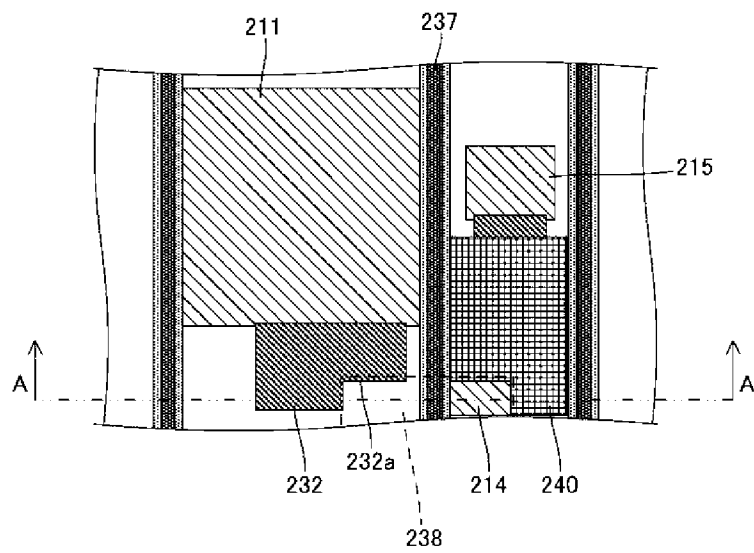
[図9]



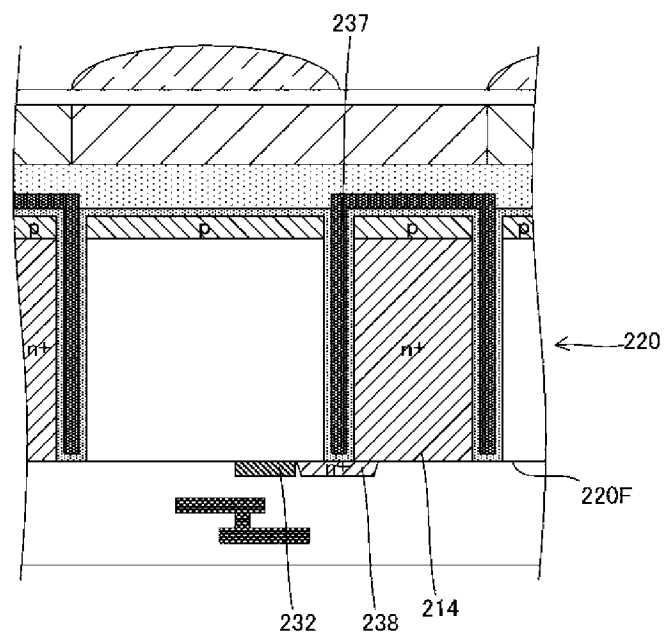
[図10]



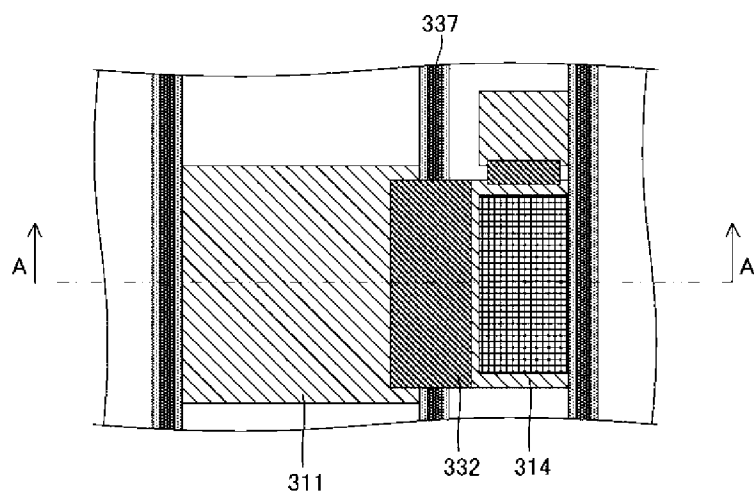
[図11]



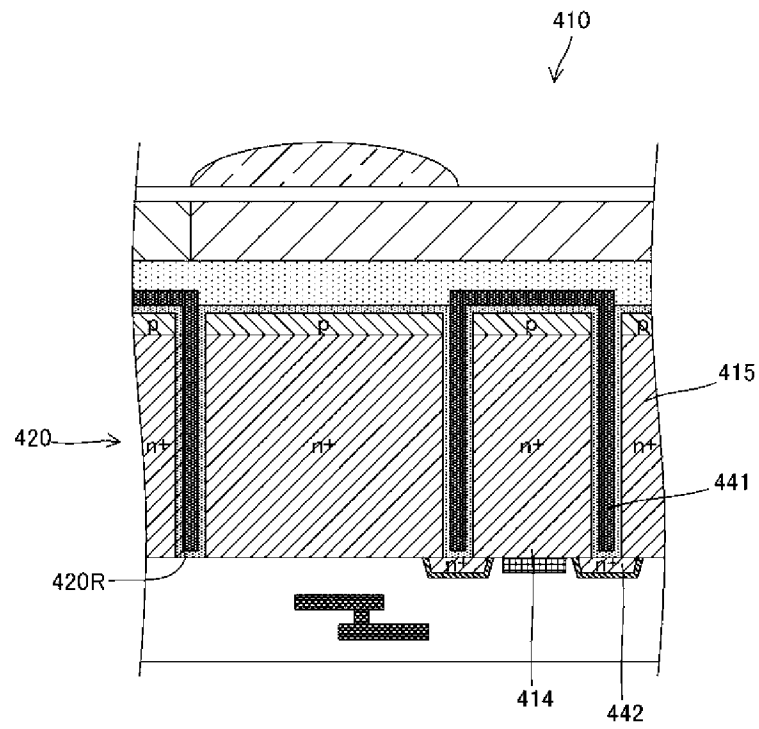
[図12]



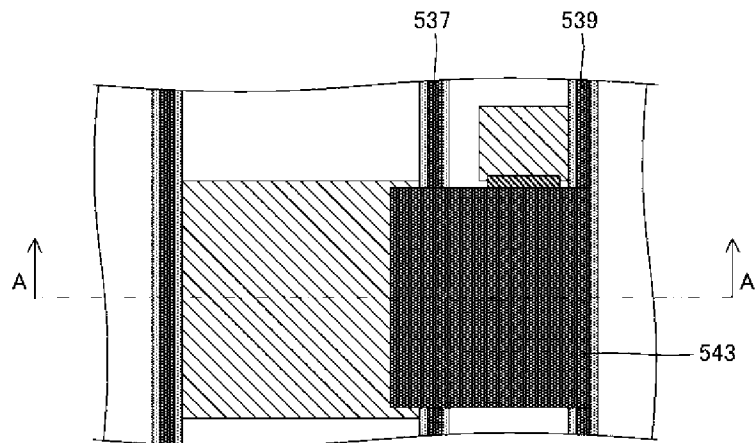
[図13]



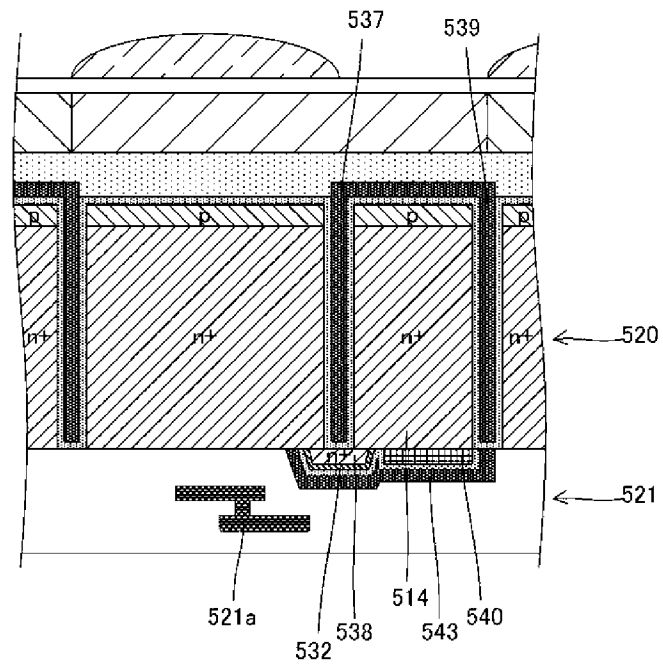
[図16]



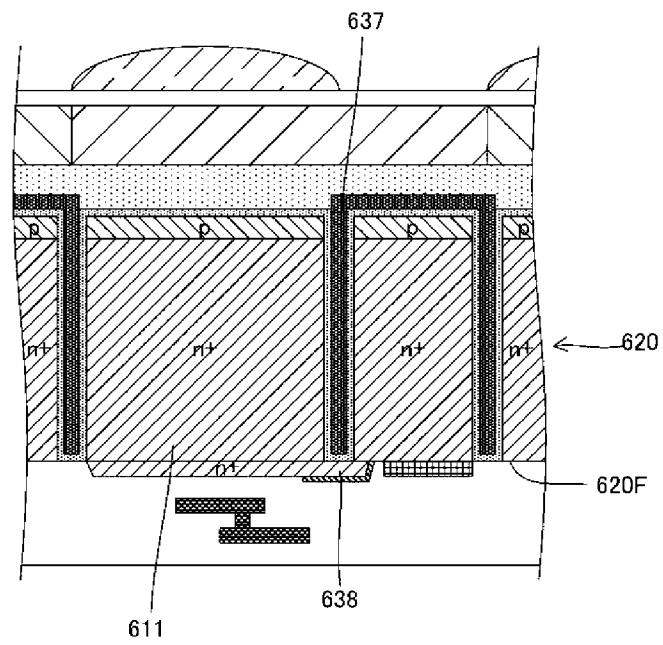
[図17]



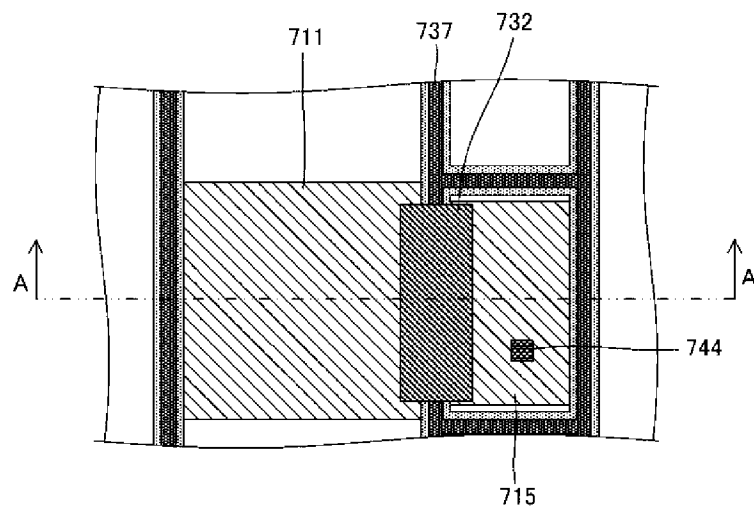
[図18]



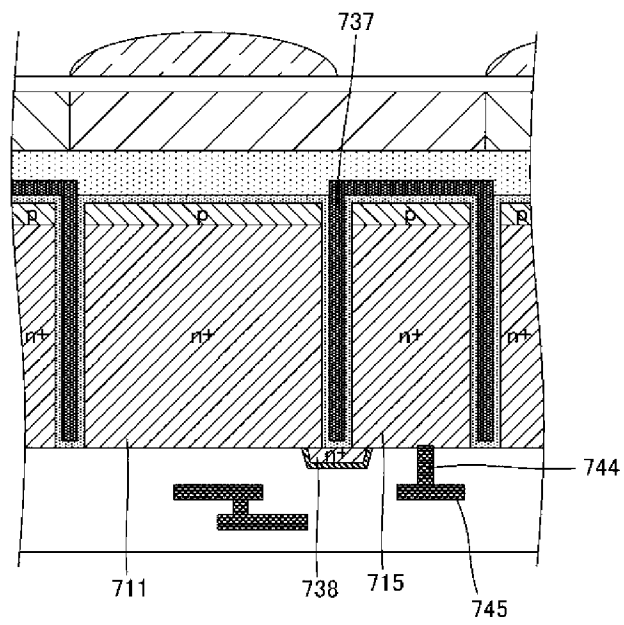
[図19]



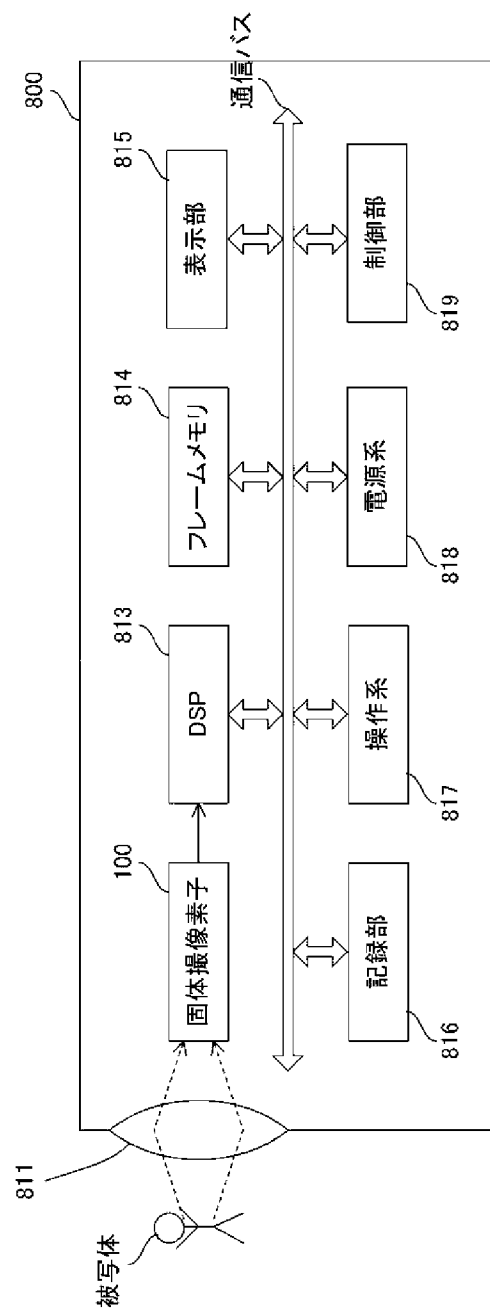
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040359

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L27/146 (2006.01) i, H04N5/357 (2011.01) i, H04N5/374 (2011.01) i, H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L27/146, H04N5/357, H04N5/374, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-22795 A (SONY CORP.) 03 February 2014, paragraphs [0021], [0038]-[0041], fig. 1-7 & US 2014/0014816 A1, paragraphs [0049], [0065]-[0069], fig. 1-7 & CN 103545331 A	1-15
A	WO 2016/136486 A1 (SONY CORP.) 01 September 2016, paragraphs [0295]-[0345], fig. 73-83 (Family: none)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040359

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/141898 A1 (SONY CORP.) 18 September 2014, paragraphs [0132]-[0134], fig. 24 & US 2016/0020247 A1, paragraphs [0158]-[0160], fig. 24 & CN 104969353 A & KR 10-2015-0127577 A & TW 201436184 A	1-15
A	JP 2011-119711 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 June 2011, paragraph [0027], fig. 1 & US 2011/0108836 A1, paragraph [0058], fig. 1 & WO 2011/055626 A1 & CN 102598269 A & TW 201135910 A & KR 10-2012-0091294 A	1-15
A	JP 2015-53411 A (SONY CORP.) 19 March 2015, paragraphs [0107]-[0119], fig. 14-15 & US 2015/0069471 A1, paragraphs [0134]-[0146], fig. 14-15 & US 2015/0357363 A1 & US 2017/0200754 A1 & CN 104425535 A	1-15
A	JP 2013-65688 A (SONY CORP.) 11 April 2013, paragraphs [0047]-[0048], fig. 1-25 & US 2013/0070131 A1, paragraphs [0070]-[0071], fig. 1-25 & US 2015/0124140 A1 & US 2017/0244920 A1 & CN 103000644 A	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/357, H04N5/374, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-22795 A（ソニー株式会社） 2014.02.03, 段落[0021], [0038]-[0041], 図 1-7 & US 2014/0014816 A1, 段落[0049], [0065]-[0069], 図 1-7 & CN 103545331 A	1-15
A	WO 2016/136486 A1（ソニー株式会社） 2016.09.01, 段落[0295]-[0345], 図 73-83 (ファミリーなし)	1-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.12.2017

国際調査報告の発送日

26.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 肇

5 F

9847

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/141898 A1 (ソニー株式会社) 2014.09.18, 段落[0132]-[0134], 図 24 & US 2016/0020247 A1, 段落[0158]-[0160], 図 24 & CN 104969353 A & KR 10-2015-0127577 A & TW 201436184 A	1-15
A	JP 2011-119711 A (株式会社半導体エネルギー研究所) 2011.06.16, 段落[0027], 図 1 & US 2011/0108836 A1, 段落[0058], 図 1 & WO 2011/055626 A1 & CN 102598269 A & TW 201135910 A & KR 10-2012-0091294 A	1-15
A	JP 2015-53411 A (ソニー株式会社) 2015.03.19, 段落[0107]-[0119], 図 14-15 & US 2015/0069471 A1, 段落[0134]-[0146], 図 14-15 & US 2015/0357363 A1 & US 2017/0200754 A1 & CN 104425535 A	1-15
A	JP 2013-65688 A (ソニー株式会社) 2013.04.11, 段落[0047]-[0048], 図 1-25 & US 2013/0070131 A1, 段落[0070]-[0071], 図 1-25 & US 2015/0124140 A1 & US 2017/0244920 A1 & CN 103000644 A	1-15