

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6133973号
(P6133973)

(45) 発行日 平成29年5月24日 (2017.5.24)

(24) 登録日 平成29年4月28日 (2017.4.28)

(51) Int. Cl.		F I	
HO 1 L 27/148	(2006.01)	HO 1 L 27/14	H
HO 1 L 27/146	(2006.01)	HO 1 L 27/14	A
HO 1 L 27/14	(2006.01)	HO 1 L 27/14	D
HO 4 N 5/369	(2011.01)	HO 4 N 5/335	6 9 0

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2015-509353 (P2015-509353)	(73) 特許権者	514049298 イー・2・ブイ・セミコンダクターズ フランス国、エフー38120・サン・テ グレーブ、アブニュ・ドゥ・ロシュブリー ヌ
(86) (22) 出願日	平成25年4月11日 (2013.4.11)	(74) 代理人	110001173 特許業務法人川口国際特許事務所
(65) 公表番号	特表2015-524159 (P2015-524159A)	(72) 発明者	メイエ, フレデリク フランス国、38500・ボアロン、アブ ニュ・ジャン・ジョレス、25
(43) 公表日	平成27年8月20日 (2015.8.20)	審査官	今井 聖和
(86) 国際出願番号	PCT/EP2013/057546		
(87) 国際公開番号	W02013/164169		
(87) 国際公開日	平成25年11月7日 (2013.11.7)		
審査請求日	平成28年3月25日 (2016.3.25)		
(31) 優先権主張番号	1254070		
(32) 優先日	平成24年5月3日 (2012.5.3)		
(33) 優先権主張国	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 非対称ゲートを備えた双方向電荷転送を実現するマトリクス画像センサ

(57) 【特許請求の範囲】

【請求項1】

電荷転送を利用する画像センサであって、フォトダイオードの行であって、前記フォトダイオードに隣接するゲートの行と交互に配置されているフォトダイオードの行を有し、前記ゲートが第1の種類の導電性の半導体能動層領域(12)を覆い、前記フォトダイオードが、前記能動層の基準電位に接続された第1の種類の個別の表面領域(16)に覆われている第2の種類の導電性の個別の領域(14)により前記能動層内に形成されていて、前記ゲートが、上流側と下流側との間で非対称性を示し、一方の側でフォトダイオードに隣接し、他方の側に別のフォトダイオードに向かって延在する狭いゲートフィンガー部(20)を有し、前記狭いフィンガー部が、第1の種類の導電性を有する不純物が表面領域よりも多く添加されかつ前記能動層の基準電位に接続された絶縁領域(18)により互いに分離されている、センサにおいて、前記センサが、第1のフォトダイオードの行に属する第1のフォトダイオード(PH1_i)と、第2のフォトダイオードの行に属する第2のフォトダイオード(PH2_i)の両方に隣接する少なくとも2個の独立なゲート(G2A_i、G2B_i)を含み、前記2個のゲートのうち第1のゲートの狭いフィンガー部が前記第1のフォトダイオードに向かって延在し、第2のゲートの狭いフィンガー部は前記第2のフォトダイオードに向かって延在しており、前記2個のゲートは互いに別々に制御可能であることを特徴とする画像センサ。

【請求項2】

前記第1のゲートに一連の電位を印加して前記第1のゲートの下側における電荷の保存

および転送を可能にすると同時に、電荷積分の1周期にわたり前記第2のゲートの電位を固定値に維持しながら、前記第2のゲートの下側における電荷の保存および転送を阻止する手段と、前記第1と第2のゲートの役割を入れ替える、すなわち前記第1のゲートの電位を固定値に維持しながら、前記第2のゲートに一連の電位を印加する手段とを含むことを特徴とする、請求項1に記載のセンサ。

【請求項3】

第1または第2のゲートに印加された一連の電位が、第1の積分周期($T_{int}/2$)にわたり前記ゲートの下側における電荷の保存を阻止する電位を印加し、次いで前記ゲートの特定の行に短いパルスを印加することで、前記ゲートの下側に、前記ゲートの下側まで前記ゲートに隣接する前記フォトダイオードから電荷の放出を可能にする電位井戸を形成することを特徴とする、請求項2に記載のセンサ。

10

【請求項4】

前記2個の非対称ゲートが行方向に横並びに配置されていることを特徴とする、請求項1～3のいずれか1項に記載のセンサ。

【請求項5】

前記第2のゲートが、前記第1のゲートの両側に幾何学的に配置された2個の部分に分割され、同時に制御可能なように互いに電氣的に接続されていることを特徴とする、請求項1～4のいずれか1項に記載のセンサ。

【請求項6】

前記2個のゲートの各々を、他方のゲートの一部と交互に配置された少なくとも2個の部分に分割して、前記ゲートの一部が互いに電氣的に接続されていて、各部が少なくとも1個の狭いフィンガー部を含んでいることを特徴とする、請求項5に記載のセンサ。

20

【請求項7】

時間遅延電荷積分センサであって、複数の行の同一ランクのピクセル内の画像点により生成された電荷を合算することにより、複数のピクセル行からなる同一の画像ラインを連続的に観察することを目的としており、1積分周期にわたりランク*i*のピクセルの照射により生成された電荷を、前記周期の開始時点で先行または後続するランクのピクセルから受け取った電荷に加算する、ことを特徴とする、請求項1～6のいずれか1項に記載の画像センサ。

【請求項8】

前記フォトダイオードの各々の中心に配置されて、前記フォトダイオードに隣接するゲートの一部の最上部で受光された光を前記フォトダイオードの方へ誘導する、個別の矩形マイクロレンズを含んでいることを特徴とする、請求項1～7のいずれか1項に記載の画像センサ。

30

【請求項9】

各フォトダイオードの最上部に、前記フォトダイオードの上方の中心に配置されたアセンブリを形成し、前記フォトダイオードの最上部および前記フォトダイオードに隣接する前記ゲートの一部の最上部で受光された光を前記フォトダイオードの方へ誘導する少なくとも2個の並置された正方形マイクロレンズを含んでいることを特徴とする、請求項1～7のいずれか1項に記載の画像センサ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像センサ、より具体的には信号時間遅延および積分に基づくセンサ(またはTDIセンサ:時間遅延積分線形センサ)に関し、観察対象シーンの点のラインからなる画像が、当該シーンの同一ラインを連続的に観察している複数の感光性の行により、当該センサの前を当該シーンが当該行に対し垂直に進行するに従い取得された連続的な画像を追加することにより再構成される。

【背景技術】

【0002】

50

当該センサは例えば、衛星により地球を観測するシステムに用いられる。これらは、複数の平行な感光性ピクセルの行を含み、複数の行の制御回路のシーケンス設定（露光時間制御、次いで光生成電荷の読み取り）が、センサの全ての行が観察対象シーンの単一のラインを観察するように、シーンとセンサの相対的な進行に関して同期されている。生成された信号は次いで、観察対象ラインの各点について1個1個の位置毎に合算される。

【0003】

理論上の信号/ノイズ比率は、センサの行の個数Nの二乗根の比率分改善される。この個数は、用途（工業試験、地球観測、パノラマ歯科用X線またはマンモグラフィ）に応じて、数行から100行程度に至ることができる。

【0004】

また、複数の行からの信号の合算から生じる平均化の結果、同一行のバーのピクセルの感度の不均一性、およびピクセルの暗電流内の不均一性が減少される。

【0005】

電荷転送を利用する画像センサ（電荷結合素子またはCCDセンサ）において、1個1個の位置毎の信号の合算は、シーンとセンサの相対的な移動に同期して、生成されて先行するピクセル行に蓄積された電荷を1ピクセル行に全て移し替えることにより、読み取りノイズ無しに自然に生じる。観察対象画像ラインにより生成された電荷をN倍蓄積しているピクセルの最後の行を読み取ることができる。

【0006】

CCD画像センサの標準的な技術は、高電源電圧を使用し、かつ大量の電力を消費する。当該技術は、多結晶シリコンの、隣接して相互に重なり合うゲートの利用に基づく。

【0007】

画像センサの技術はその後、トランジスタを利用する能動ピクセルを備えたセンサを目指して発展しており、一般にCMOS（相補型金属酸化膜半導体）技術を利用して製造されるため、簡潔のため以下ではCMOSセンサと称する。当該CMOSセンサでは、読み取り回路またはレジスタに向けて1行ずつ電荷を転送することはもはや行われぬが、光生成された電荷を集めてそれらを直接電圧または電流に変換するトランジスタを備えた能動ピクセルが存在する。センサの複数の行は従って、行が受光した照射を表す電圧または電流を連続的に供給する。当該構造では、ノイズ無しに電流または電圧の合算を行うことはできない。従って、時間遅延電荷積分線形センサの製造が困難である。但し製造技術は簡単であり、電力消費が少なく、かつ低電圧で動作する。

【0008】

しかしながら、CMOS時間遅延電荷積分線形センサを製造する試みがなされてきた。

【0009】

特に、スイッチトキャパシタの利用が試みられ、連続的に受け取った電流を積分することにより、1列の複数のピクセルから受け取った電荷を同一キャパシタに蓄積する（米国特許第6906749号明細書、国際公開第0126382号パンフレット）。

【0010】

提案された別の解決策は、ピクセル行から到達した信号をデジタル値に変換して、連続するN行からの同一ランクjのピクセルに対応するデジタル値を蓄積するランクjのアクムレータレジスタ内の行のランクjのピクセルに対応するデジタル値を合算するものである（仏国特許第2906080号明細書）。

【0011】

ピクセル内での電荷の蓄積を利用する解決策も、例えば米国特許出願公開第2008/0217661号明細書に提案されている。これらは、CMOS技術で画像センサを製造するために必須の技術よりも複雑な技術を用いる。さもなければ、電荷転送の間に消失が生じる。

【0012】

仏国特許第2960341号明細書において、CMOS技術を利用し、ゲートとフォトダイオードを交互に配置した多結晶シリコンの単一ゲートレベルを備えたセンサが提供さ

10

20

30

40

50

れている。その構造は、電荷が一方向または逆方向に無秩序に動くのを避けるように全ての電荷に共通の転送方向を限定すべくゲートの非対称性に依存している。この意図的な非対称性により、非対称性により限定される方向とは逆向きの電荷転送方向は選択できない。しかし、いくつかの用途ではユーザは電荷の蓄積方向を反転可能にしたいと望むであろう。これは例えば、T D Iモードで動作し、かつ画像に対するセンサの向きを反転させることなく走査の両方向で機能できなければならないスキャナに当てはまる。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】米国特許第6906749号明細書

10

【特許文献2】国際公開第01/26382号

【特許文献3】仏国特許発明第2906080号明細書

【特許文献4】米国特許出願公開第2008/0217661号明細書

【特許文献5】仏国特許発明第2960341号明細書

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明の目的は、C M O S技術回路と互換な技術、特に電荷蓄積または転送ゲート用の多結晶シリコンの単一のゲートレベルだけを用いる技術を用いて、電荷転送を利用する構造の原理に従い動作するが、但し電荷の転送方向の選択を可能にするセンサを製造する簡単な解決策を提供することである。

20

【課題を解決するための手段】

【0015】

本発明によれば、電荷転送を利用する画像センサを提供し、当該センサは、フォトダイオードの行であって、当該フォトダイオードに隣接するゲートの行と交互に配置されているフォトダイオードの行を備え、当該ゲートは第1の種類の導電性の能動層領域を覆い、当該フォトダイオードは、能動層の基準電位に接続された第1の種類の個別の表面領域に覆われている第2の種類の導電性の個別の領域により当該能動層内に形成されていて、ゲート同士は非対称であって一方の側でフォトダイオードに隣接し、他方の側には別のフォトダイオードに向かって延在する狭いゲートフィンガー部を有し、当該狭いフィンガー部は、第1の種類の導電性を有する不純物が表面領域よりも高濃度に添加されかつ能動層の基準電位に接続された絶縁領域により互いに分離されていて、当該センサは、第1のフォトダイオードの行に属する第1のフォトダイオードと、第2のフォトダイオードの行に属する第2のフォトダイオードの両方に隣接する少なくとも2個の独立なゲートを含み、当該2個のゲートのうち第1のゲートは自身の狭いフィンガー部が第1のフォトダイオードに向かって延在し、第2のゲートの狭いフィンガー部は第2のフォトダイオードに向かって延在しており、当該2個のゲートは互いに別々に制御可能であることを特徴とする。

30

【0016】

「非対称」ゲートという用語は、上流側（電荷を受け取る側）と下流側（電荷を供給する側）の間に非対称性があるという事実を意味するものと理解されたい。電荷の移動方向に平行な軸に関して対称性があってもよい。

40

【0017】

フィンガー部は、ゲートの本体に印加されたのと同じ電位がフィンガー部に印加されているにもかかわらず、フィンガー部の下側の電位がゲートの本体の下側よりも局所的に低いように、これらフィンガー部の下側における能動層の電位がフィンガー部の両側における不純物が添加された絶縁領域の存在による影響を受けるべく十分に狭い。

【0018】

より低い電位とは、本体の下側の電位に対してフィンガー部の下側における能動層内に電位障壁が形成されることを意味するものと理解されたい。より低い電位により形成される電位障壁という概念は、保存された電荷が電子であるという事実に基づいている。実際

50

、簡便のため（かつ一般には実際にそうであるため）、能動層がp型であり、光生成された電荷が電子であって孔ではなく、従ってより低い電位がより高い電位に対して電子の電位障壁を構成するものと仮定する。

【0019】

以後の説明では、センサがp型の能動層で作られ、フォトダイオードが電子をn型の個別領域に保存し、狭いフィンガー部を分離する表面領域および不純物添加領域がp型であるものとする。

【0020】

低い電位が印加された所与のゲートの下側に所与の時点で存在する電荷は、フォトダイオードが存在する上流側、すなわちフィンガー部を含むゲートの側である上流側に向かって流ることができない。実際、電荷は、絶縁領域が存在するためゲートのフィンガー部間を流ることができず、また当該領域によりフィンガー部の下側で電位が誘導されるため当該フィンガー部の下側を流れることもできない。電荷は、フィンガー部を一切含んでいないゲートの側を経由して蓄積ゲートの下流にあるフォトダイオードに向かってしか流ることができない。こちらの側では、ゲートは下流のフォトダイオードの表面p領域と直接隣接している。

10

【0021】

逆に、ゲートは、自身に高い電位が印加されている場合、すぐ上流にあるフォトダイオードから、末端がフォトダイオードに直接隣接しているフィンガー部を通して到達した電荷を受け取ることができる。第1および第2のゲートでは上流側と下流側が入れ替わる。

20

【0022】

センサは好適には、第1のゲートに一連の電位を印加して第1のゲートの下側における電荷の保存および転送を可能にすると同時に、電荷積分の1周期にわたり第2のゲートの電位を固定値に維持しながら、後者の下側における電荷の保存および転送を阻止する手段と、第1と第2のゲートの役割を入れ替える、すなわち第1のゲートの電位を固定値に維持しながら、第2のゲートに一連の電位を印加する手段とを含んでいる。

【0023】

センサは、2個の主モードに従い動作可能である。

【0024】

第1のモードでは、（フォトダイオードではなく）ゲートを用いて積分周期にわたり電荷を保存する。2段階での電荷転送の場合、積分の1半周期にわたりピクセルの列方向（電荷の転送方向）のゲートが一つ置きに高電位に保持され、他のゲートは低電位に保持される。次いで、第2の積分半周期中は役割が入れ替わる。しかし、自身の狭いフィンガー部が上流方向に向けられたゲートだけが当該シーケンスを通される。自身の狭いフィンガー部が下流方向に向けられたゲートは低電位に維持されるため、電荷を受け取ることも通過させることもできない。

30

【0025】

第2の実施形態では、積分周期にわたり電荷を保存するのにフォトダイオードを用いる。ゲートは積分周期にわたり低電位に保持され、電荷を保存することも通過させることもできない。フォトダイオードに保存された電荷は、各積分半周期（2段階の電荷転送の場合）の終了時点でゲートの特定の行に印加される短い正のパルスにより転送される。当該パルスは列方向（電荷の転送方向）のゲート一つ置きに印加され、各積分半周期でゲートの役割が入れ替わる。ここでもまた、自身の狭いフィンガー部が上流の方向に向けられたゲートだけが当該シーケンスの電位を受け取る。自身の狭いフィンガー部が下流方向に向けられたゲートは低電位に維持されるため電荷を受け取ることも通過させることもできない。

40

【0026】

2個の非対称ゲートは好適には行方向に、フォトダイオードが当該方向で2個のゲートの全長にわたり延在するように横並びに配置されている。

【0027】

50

第2のゲートは、第1のゲートの両側に幾何学的に配置された2個の部分に分割され、同時に制御可能なように互いに電氣的に接続されていてよい。

【0028】

代替的に、2個のゲートの各々を、他方のゲートの一部と交互に配置された少なくとも2個の部分に分割して、各部が少なくとも1個の狭いフィンガー部および互いに電氣的に接続された同一ゲートの一部を含むようにしてもよい。

【0029】

好適には、ゲートの行に隣接するフォトダイオードの行のフォトダイオードの表面積は、当該フォトダイオードに隣接する当該行の2個のゲートの表面積より大きい。この場合、フォトダイオードは積分周期にわたり電荷を保存し、ゲートの下側における蓄積はゲートに印加された短い転送パルスの持続期間中でしか生じない。

10

【0030】

センサは好適には、フォトダイオードの各々の中心に配置され、フォトダイオードに隣接するゲートの一部の最上部で受光された光をフォトダイオードの方へ誘導する別々の矩形マイクロレンズ（または2個もしくは複数個の正方形マイクロレンズ）を含んでいてよい。

【0031】

画像センサは、時間遅延電荷積分多重線形センサ（TDIセンサ）であって、複数の行の同一ランクのピクセル内の画像点により生成された電荷を合算することにより、複数のピクセル行からなる同一の画像ラインを連続的に観察することを目的としており、1積分周期にわたりランク*i*のピクセルの照射により生成された電荷を、当該周期の開始時点で先行または後続するランクのピクセルから受け取った電荷に加算する。

20

【0032】

本発明の他の特徴および利点は、添付の図面を参照しながら以下に述べる詳細説明を精査することにより明らかになる。

【図面の簡単な説明】

【0033】

【図1】電荷転送を利用するマトリクス画像センサの一般的な構造を示す。

【図2】本発明による、ゲートと当該ゲートに隣接するフォトダイオードとが交互に配置された形状のピクセル列の構成の上面図を示す。

30

【図3】図2のラインIII-IIIに沿った立面断面図を示す。

【図4】図2のラインIV-IVに沿った立面断面図を示す。

【図5】半導体内における連続的な電位の線図を示す。

【図6】ゲートの変形実施形態を示す。

【図7】ゲートの変形実施形態を示す。

【図8】各フォトダイオードの上方にマイクロレンズが配置されたピクセルの列を示す。

【図9】各フォトダイオードの上方にマイクロレンズが配置されたピクセルの列を示す。

【発明を実施するための形態】

【0034】

図1に、電荷転送を利用する画像センサの一般的なアーキテクチャを見ることができる。センサは、*P*個の感光性ピクセルの*N*行のマトリクスMTを含んでいる。行のランクが*i*で列のランクが*j*であるピクセル $P_{i,j}$ の照射から生じた電荷が積分周期 T_{int} にわたり当該ピクセル内で積分される。次いで、当該電荷は行のランク*i*+1である次行および同一ランク*j*の列のピクセルに転送される。列方向（図内の垂直方向）の隣接ピクセルが電荷転送機能を有する垂直シフトレジスタとして配置されている。

40

【0035】

センサは*N*×*P*個の画像点の連続的な画像を供給するマトリクスセンサ、または*N*行のピクセルにより観察および蓄積される*P*個の点の線形画像を供給する多重線形TDIセンサであってよい。

【0036】

50

両方のケースにおいて、列内のピクセルは垂直シフトレジスタとして機能するが、第2のケースだけにおいて、一方では当該ピクセル内で1積分周期 T_{int} にわたり光生成された電荷が、他方では先行するピクセルから到達した電荷が、各ピクセル内で蓄積される。

【0037】

センサが時間遅延電荷積分線形センサである場合、 $N \times P$ 個のピクセルに含まれる電荷は各積分周期 T_{int} 終了後には読み取られず、 N 個の連続的な積分周期にわたり列の N 個のピクセルにより読み取られた電荷が、センサの前を画像が前進しながら通過すると同期して蓄積される。 N 行のピクセルの各々は、センサに対して画像が前進しながら通過する間に、同一画像ラインを連続的に観察する。観察対象である画像ラインに対応するランク i の行で積分される電荷は、当該ピクセル行において、先行する積分周期にわたり同一画像ラインを観察した先行する $i - 1$ 行により以前に読み取られた電荷に合算される。 N 個の積分周期の終了時点で、ピクセルの最後の行は、同一画像ラインを観察した全ての行により集められた電荷の合算を含んでいる。当該行は、各列の底部におけるサンプリング回路およびこれに続く1個以上のアナログ/デジタル変換回路(CMOS技術を利用)を含む読み取り回路CLにより、各周期 T_{int} の終了時点で読み取られる。

10

【0038】

図2の上面図は、本発明によるピクセルの列の構造を示す。隣接する2個のピクセル $P_{i,j}$ 、 $P_{i+1,j}$ を示す。2段階の電荷転送を行う構成において、各ピクセルは、

- 2個のフォトダイオード、
- 当該2個のフォトダイオードの間に配置されていて当該2個のフォトダイオードに隣接するゲート、および
- 1個のフォトダイオードと、先行また後続するピクセルに最も近いフォトダイオードとの間に配置されたゲートであって、当該2個のフォトダイオードに隣接するゲートを含んでいる。

20

【0039】

電荷転送はまた、3段階またはさらには4段階で行われてもよく、この場合、1ピクセル毎に3または4個のフォトダイオード、すなわち各段階で1個のフォトダイオードおよび当該フォトダイオードの一方の側に隣接するゲートが各々存在する。

【0040】

本発明を、2段階転送の場合についてより正確に記述するが、原理的には3または4段階の転送でも同じである。

30

【0041】

従って、図2に示す例において、ピクセル $P_{i,j}$ は、第1のフォトダイオード PH_{1i} 、第2のフォトダイオード PH_{2i} 、当該2個のフォトダイオードの間に配置されたゲート G_{2A_i} 、 G_{2B_i} 、および当該ピクセルの第1のフォトダイオード PH_{1i} と、ランク $i - 1$ の先行ピクセルの第2のフォトダイオード $PH_{2_{i-1}}$ との間に配置されたゲート G_{1A_i} 、 G_{1B_i} を含んでいると考えられる。

【0042】

第2のフォトダイオード PH_{2i} は更に、次のピクセルの一部を形成すると共に次のピクセルの第1のフォトダイオード $PH_{1_{i+1}}$ に隣接する2個のゲート $G_{1A_{i+1}}$ 、 $G_{1B_{i+1}}$ に隣接している。最後に、ピクセル $P_{i+1,j}$ に対して、フォトダイオード $PH_{1_{i+1}}$ およびフォトダイオード $PH_{2_{i+1}}$ の両方に隣接する別のフォトダイオード $PH_{2_{i+1}}$ およびゲート $G_{2A_{i+1}}$ 、 $G_{2B_{i+1}}$ が存在する。

40

【0043】

ピクセルのマトリクスはこのように、2行のフォトダイオードの間に交互に配置されたフォトダイオードの行およびゲートの行からなる。ゲートは2行のフォトダイオードに隣接している。ゲートの同一行内に、各フォトダイオードに対して、互いに独立に制御される2個の別々のゲート(例： G_{1A_i} および G_{1B_i})が存在する。行が P 個のピクセルを含んでいれば、ゲートの各行に2 P 個のゲートが存在する。

50

【 0 0 4 4 】

図2の上面図に見られるように、ゲートの形状は非対称である。例えばゲート $G2B_i$ を考慮すれば、ゲートの一方の側はその全長さに沿って第1のフォトダイオード($PH1_i$)に隣接している。反対側は第2のフォトダイオード($PH2_i$)に、第2のフォトダイオードに向かって延在する終端の狭いフィンガー部20の分だけ隣接している。ゲートの残りの部分は半導体領域18により第2のフォトダイオードから分離されている。半導体領域18は、p型不純物が高濃度に添加されている(高濃度の不純物添加を p^+ の表記で象徴)。

【 0 0 4 5 】

ここで、「狭いフィンガー部」という表現は、フィンガー部の幅が、ゲートに印加された電位だけでなく領域18の電位にも当該フィンガー部の下側の半導体内の電位が影響される程度に充分小さいことを意味する。狭いフィンガー部の外側のゲートの下側の電位は領域18の電位には影響されないが、ゲートに印加された電位だけで定まる。

【 0 0 4 6 】

本発明によれば、第1のフォトダイオード(例えば $PH1_i$)と第2のフォトダイオード(例えば $PH2_i$)の間に配置された2個のゲートのうち1個が第1のフォトダイオードに向けられた狭いフィンガー部を有しているが、他方のゲートは第2のフォトダイオードに向けられる狭いフィンガー部を有している。ここで、 $G2B_i$ の狭いフィンガー部は第1のフォトダイオードに向けられ、 $G2A_i$ のフィンガー部は第2のフォトダイオードに向けられている。

【 0 0 4 7 】

動作は、以下の通りである。図の最上部から図の最下部の方へ、すなわち第1のダイオード $PH1_i$ または $PH1_{i+1}$ から第2のダイオード $PH2_i$ 、 $PH2_{i+1}$ の方へ電荷を転送したい場合、左側のゲートの全部($G1A_i$ 、 $G2A_i$ 、 $G1A_{i+1}$ 、 $G2A_{i+1}$)は電位を低値に維持することにより無効化され、右側のゲートは電荷の転送を許すシーケンスにより有効化される。当該シーケンスは、低値(電源の低電位0ボルト)と高値(電源の高電位 V_{dd})の間でゲートの電位を切り替えるものである。当該シーケンスについて以下により正確に記述する。

【 0 0 4 8 】

全てのゲート $G1B$ は、第1の積分半周期の終了時点で当該低電位と当該高電位を交互に受け取るべく互いに接続されている。同様に、全てのゲート $G2B$ は、第2の積分半周期の終了時点で転送パルスを受け取るべく互いに接続されている。

【 0 0 4 9 】

逆方向に電荷を転送すべく、左側のゲート(GA)上で電位を切替えて、右側のゲート(GB)は電位を低値に維持することにより中性化されている。ゲート $G1A$ は互いに接続されているが、ゲート $G1B$ からは独立している。同様に、ゲート $G2A$ は互いに接続されているが、ゲート $G2B$ からは独立している。

【 0 0 5 0 】

電荷の転送は従って、フィンガー部が上流方向に向けられたゲートを通して上流方向から下流方向に向かって生じる。所与の転送方向が選択されたならば、フィンガー部が上流方向に向けられたゲートが使用され、フィンガー部が下流方向に向けられたゲートは中性化されなければならない。

【 0 0 5 1 】

図3、4にセンサの構造の断面図を示す。図3は、図2の線III-IIIに沿って狭いフィンガー部20を切った断面図である。図4は、図2の線IV-IVに沿った横断面であるが、ゲートとフォトダイオードの間にはフィンガー部がなく p^+ 領域18だけがある。

【 0 0 5 2 】

ピクセルは、上部が能動型で低濃度の不純物が添加されたエピタキシャル半導体層12である半導体基板10に形成されている。本例では、基板は高濃度不純物が添加されたp

10

20

30

40

50

+ + 型であり、能動エピタキシャル層は p⁻ 型である。エピタキシャル層が n 型であれば、フォトダイオードおよびゲートに印加された電位の符号と合わせて、全ての種類の導電性を反転させる必要がある。基板は原理的にエピタキシャル層と同種の導電性を有しているが、逆の種類であってもよい。

【 0 0 5 3 】

ゲートは多結晶シリコンゲートであって、薄い絶縁層 1 3 (シリコン酸化物または窒化物) によりエピタキシャル層 1 2 から絶縁されている。フォトダイオードは「ピン止め」フォトダイオードであり、すなわち、p 型のエピタキシャル層 1 2 (全てのピクセルの全てのフォトダイオードに共通の能動層)、2 個の転送ゲート間のエピタキシャル層に拡散されて n 型の個別領域 1 4、およびエピタキシャル層よりも高濃度に不純物が添加されて 10
いて個別領域 1 4 を覆い、固定電位に保持された p 型の表面個別領域 1 6 を含む多層フィルムにより形成されている。照射により生成された電子は、n 領域とエピタキシャル p 層の間の接合部に形成された電位井戸に蓄積可能である。

【 0 0 5 4 】

図 4 のみに示す P⁺ 型不純物が添加された領域 1 8 は、表面領域 1 6 よりも高濃度に不純物が添加されている。当該領域には、能動層 1 2 の電位である基準低電位が印加されている。当該領域は表面領域に隣接し、表面領域の電位を当該電位に合わせる。

【 0 0 5 5 】

青色における感度の向上に望ましいように表面領域 1 6 が極めて浅い場合、領域 1 8 は好適には領域 1 6 よりも深い。 20

【 0 0 5 6 】

ピクセル列は、異なる列のピクセル間での電荷転送を一切阻止する絶縁域 S T I (シリコン酸化物または他の絶縁体) により分離されている。

【 0 0 5 7 】

図 5 に、能動層内で、電荷の保存および転送が行われる深さ、すなわち能動層の最上面の僅かに下側の電位の線図を示す。

【 0 0 5 8 】

動作の様々な段階における電位を示しており、ゲートに適用された所与の電位について、狭いフィンガー部分の下側で電位が、フィンガー部分が狭いことに効果的に起因して、ゲートの残りの部分の下側の電位とは同一ではないことを考慮している。より正確には、ゲートに印加され、従った当該ゲートの狭いフィンガー部に印加された所与の電位について、狭いフィンガー部分を囲む p⁺ 領域 1 8 の低電位により生じた影響は、ゲートの残りの部分の下側における半導体の電位に対して狭いフィンガー部分の下側における半導体の電位を減少させる傾向があるが、p⁺ 領域における程には減少させない。通常の慣例に従えば、増大しつつある電位は、電子の電位井戸および電位障壁を明確にすべく下方へ導かれる。 30

【 0 0 5 9 】

例示する電位線図は、図 2 の切断線 V - V に沿った電位の変動に対応しており、切断線 V - V は分かり易くするために当該線図より上に示す。

【 0 0 6 0 】

2 個の動作モード、すなわち 40

- 積分周期にわたり電荷がゲートの下側に蓄積されるモードであって、この場合、第 1 の積分半周期にわたり高電位が列方向 (電荷の転送方向) のゲートに一つ置きに印加され、当該高電位が対象ゲートの下側に電位井戸を生成し、他のゲートは低電位を受け取り、第 1 の積分半周期の終了時点でゲートの役割が入れ替わり、高電位のゲートが低電位を受け取り、その逆も生じ、自身の狭いフィンガー部分を上流に向けられたゲートだけが当該シーケンスの対象となり、他のゲートは固定された低電位を受け取るが、電荷を受け取ることも電荷を通過させることもできないモードと、

- 積分周期にわたり電荷がゲートの下側ではなくフォトダイオード内に蓄積され、ゲートは短時間の転送動作中に電荷を一時的に保存するだけであるモードとが可能である。

【 0 0 6 1 】

図5は第2のモードに対応し、かつ2段階の動作に対応しており、すなわち略正方形の形状をなす各ピクセルが2個のフォトダイオードを含み、積分周期が2個の積分半周期に分割されて各半周期の後で電荷が部分的に転送されることを意味する。センサが、ピクセルが3または4個のフォトダイオードを含む略正方形の形状をなす状態で、3または4段階で動作することを想起されたい。

【0062】

図5は、図2の最上部から最下部への電荷転送に対応しており、すなわち右側ゲートG1B、G2Bが当該ゲートを通して転送を行うべく能動的に使用され、左側ゲートG1A、G2Aは中性化されている。

【0063】

線図の各ステップに対して、能動チャネルの電位 V_{act} を示しており、中性化された電位 V_{neut} （時間経過と共に変化しないが、中性化されたゲートの下側で電荷の通過を禁止する役割を果たす）も示している。

【0064】

全ての中性化されたゲートG1A、G2Aは、全ての積分および電荷転送周期にわたり低電位に留まっている。当該ゲートの下側では電荷の蓄積または転送は一切生じ得ない。

【0065】

電荷が存在しないと思われるフォトダイオード内の半導体の電位は、p型の表面層が能動層の基準電位に保持されている事実により固定値を有する。空のフォトダイオードの基本電位を破線で示す。基本電位はフォトダイオード内の領域12、14、16の不純物添加の度合に依存する。

【0066】

電位は、持続期間が各々 $T_{int}/2$ である2段階に分割された1個の積分周期 T_{int} にわたり変動する。

【0067】

図5の線図の第1の2行のグループは、初期時点0から時点 $T_{int}/2$ までの第1の積分半周期にわたる能動層の内部電位を表す。全てのゲートG1B、G2Bは低電位にあり（ゲートG1A、G2Aと同様）、電荷は全てのフォトダイオードの下側に形成された電位井戸内の光の影響下で段階的に蓄積される。当該井戸は、能動ゲートおよび中性化されたゲートに印加された低電位により閉じられる。これらはまた、ゲートの下側に形成された障壁よりも高い電位障壁を形成する p^+ 領域18により閉じられる。最後に、これらはまた、ピクセルの列を互いに分離する絶縁領域STIによっても閉じられる。

【0068】

線図の第2の行のグループは、時点 $T_{int}/2$ 、すなわち第1の積分半周期 $T_{int}/2$ の終了直前における内部電位を表す。フォトダイオードは、当該期間にわたる照射により生成された全ての電荷を取得している。

【0069】

第3の行のグループは、短い転送パルスを能動ゲートに一つ置きに印加した時点を表す。ここで、ゲートG1B（ $G1B_i$ 、 $G1B_{i+1}$ 、等）は全て当該転送パルスを受け取るが、ゲートG2B（ $G2B_i$ 、 $G2B_{i+1}$ ）は受け取らない。

【0070】

転送パルスは、自身を受け取るゲートの下側で電位井戸を形成している高電位にある。フォトダイオードに隣接するゲートの下側で当該フォトダイオードに蓄積された電荷は当該ゲートに保存される。これは、ゲート $G1B_i$ がフォトダイオードPH1 $_i$ から電荷を受け取るだけでなく、すぐ上流に配置されたピクセルのフォトダイオードPH2 $_{i-1}$ からも（自身の狭いフィンガー部を通して）電荷を受け取ることを意味する。同様に、ゲート $G1B_{i+1}$ はフォトダイオードPH2 $_i$ から電荷を受け取ると共に、すぐ下流に配置されたピクセルのフォトダイオードPH1 $_{i+1}$ からも電荷を受け取る。

【0071】

第4の行のグループは、時点 $T_{int} +$ 、すなわち短い転送パルスの終了直後にお

10

20

30

40

50

る電位の状態を表す。ゲートG1Bの下側の電位は最初の低レベルに戻る。ゲートG1Bの下側に保存された電荷は、下流側の隣接フォトダイオードへ放出される。当該電荷は、狭いフィンガー部（ p^+ 領域18が障壁を形成している）の下側しか通過できないため、上流のフォトダイオードに向かって行かないが、狭いフィンガー部の下側の電位はゲートの下側の残りの電位よりも低く、電荷は自然に下流方向に向けられる。従って、フォトダイオードPH1（PH1_i、PH1_{i+1}）だけが電荷を受け取り、フォトダイオードPH2には電荷が無い状態が続く。

【0072】

第5の行のグループは、新たな転送パルスの直前の時点 T_{int-} における第2の積分半周期の終了を表す。フォトダイオードPH2_iは、第2の積分半周期にわたり当該フォトダイオードを照射した結果生じた電荷で満たされているが、フォトダイオードPH1_iは同時に、当該半周期にわたりピクセルを照射した結果生じた電荷およびフォトダイオードPH1_i、PH2_{i-1}から発せられた先行転送パルスの持続期間中に転送された電荷で満たされている。

10

【0073】

第6の行のグループは、時点 T_{int} における第2の短い転送パルスの持続期間中の電位の状態を表す。ゲートG2Bの電位は、当該ゲートの下側に電位井戸を形成すべく高レベルに上げられている。ゲートG1Bの電位は変化しない。ゲートG2B_iに隣接するフォトダイオードPH1_i、PH2_iからの電荷は、ゲートG2B_iの下側を移動する。

20

【0074】

最後に、第7の行のグループは、時点 T_{int+} における、すなわち短い転送パルスの終了時点における電位の最終状態を表す。ゲートG2Bの電位は、低い状態に戻されている。電荷はフォトダイオードへ戻るが、電位障壁が狭いフィンガー部の下側で高く、ゲートの残りの部分の下側で低いため、上流から下流への一方向だけに移動する。フォトダイオードPH2は、ゲートG2Bの下側に一時的に保存された電荷で満たされている。フォトダイオードPH1には電荷が無い状態が続く。

【0075】

当該最終状態は、新たな積分周期の初期状態となる。フォトダイオードPH2_iに含まれる電荷は、（時点0で）フォトダイオードPH2_{i-1}に既に含まれていた電荷、第1の積分半周期にわたりフォトダイオードPH2_{i-1}、PH1_iにより生成された電荷、および第2の積分半周期にわたりフォトダイオードPH1_i、PH2_iにより生成された電荷の合算である。フォトダイオードPH1（PH1_i、PH1_{i+1}）には当該初期状態の電荷が無い。

30

【0076】

電荷転送の全体的な方向は左から右に向かうものであり、すなわち、積分周期 T_{int} の開始時点で上流にあるピクセルの第2のフォトダイオードPH2_{i-1}に蓄積されていた電荷が、周期 T_{int} にわたり生成された電荷と共に、後続する積分周期の開始時点で次のピクセルの第2のフォトダイオードPH2_iに存在することになる。従って、電荷の右向き一方向の転送および、先行ピクセルに蓄積された電荷と現在のピクセル内で生成された電荷との合算の両方が生じ、これら全てがTDI型の動作を生じさせる。

40

【0077】

ゲートGA、GBの役割を入れ替え、かつ信号の同一時間順序を保存することにより、転送方向が反転される。

【0078】

シミュレーションの実行により、電位障壁BP1_i、BP2_iの高さが狭いフィンガー部20の幅に合わせて大幅に変動することが示される。典型的には、フィンガー部の幅が0.7マイクロメートル～0.1マイクロメートルの範囲で変動するのに伴い0.5ボルト～2.5ボルトの範囲で変動し得る。当該値は、使用するエッチング技術および注入のレベルに依存するため例示的に過ぎない。フィンガー部の幅が0.4マイクロメートル以下であることが良好な選択である。転送方向でのフィンガー部の長さは約0.4マイクロ

50

メートルであってよい。

【0079】

同一ゲートのフィンガー部の終端がゲートの狭い細片により互いに接続可能である点に注意されたい。

【0080】

電荷は、ある列の終端で、好適には一連の電荷蓄積ノードおよび電荷電圧変換回路（1個の電荷蓄積ノードおよび1個の電荷電圧変換回路がマトリクスの各列に関連付けられている）に放出される。変換回路は、CMOS技術を利用したセンサ能動ピクセルのトランジスタと同様の数個のトランジスタを含み、その中にフォロワトランジスタおよびリセットトランジスタがある。次いで、変換回路は好適には、最初に電荷蓄積ノードの電位がリセットされた時点のリセット電位レベルを、次いでマトリクスの最終行から電荷蓄積ノードへ電荷を放出した後で有用な信号のレベルをサンプリングする相関二重サンプリング回路に関連付けられる。2個のサンプルの差異はA/Dコンバータにより変換される。ピクセルの各列に簡便なコンバータが設けられていてよく、そうでない場合には大域的コンバータが各々の列の変換を順次実行する。

10

【0081】

図6に、ゲートの一変形実施形態を示す。ピクセルに関連付けられていてゲートの同一行の一部を形成する2個のゲートのうち、一方のゲート（G1B）が図示しない導体により互いに電気的に接続された2個の部分に分割され、当該2個の部分が他方のゲート（G1A）の両側に配置させている。

20

【0082】

図7に、2個のゲートG1A、G1Bが少なくとも2個の部分に分割され、一方のゲートの一部が他方のゲートの一部に幾何学的に交互に配置された別の変形例を示す。各部分は、ゲートGAの一部であるかゲートGBの一部であるかに応じて、フォトダイオードのどちらかに向けられた少なくとも1個の狭いフィンガー部を含んでいる。

【0083】

ゲートの構成の如何に依らず、ゲート（ゲートは透明である）の下側の半導体に生成された電子が、ゲートに隣接するフォトダイオードのどちらかへ事前に誘導されるという事実により、幾何学的変調伝達関数が劣化するリスクが存在する。上記リスクがMTFに悪影響を及ぼすか及ぼさないかは、上記捕捉が積分半周期のどちらで生じるかに依存する。

30

【0084】

従って、例えば、

- 第2の積分半周期にわたりゲートG2B_iの下側に生成された電子は通常、フォトダイオードPH_{i2}の方へ誘導され、これに続く転送パルスの持続期間中、ゲートG2B_iの方へ、次いでフォトダイオードPH_{2i}の方へ誘導され、

- 同一時点でゲートG2A_iの下側に生成された電子は通常、フォトダイオードPH_{1i}の方へ誘導され、これに続く転送パルスの持続期間中、ゲートG2B_iの方へ、次いでフォトダイオードPH_{2i}の方へも誘導される。

【0085】

この場合、電子がゲートG2A_iまたはゲートG2B_iのいずれの下側に生成されたかに依らず、電子の扱いに違いはなく、これは有利である。

40

【0086】

しかし、

- 第1の積分半周期にわたりゲートG2B_iの下側に生成された電子は通常、フォトダイオードPH_{i2}の方へ誘導され、これに続く転送パルスの持続期間中、ゲートG1B_{i+1}の方へ、次いでフォトダイオードPH_{1i+1}の方へ誘導され、

- 反対に、同一時点でゲートG2A_iの下側に生成された電子は通常、フォトダイオードPH_{1i}の方へ誘導され、これに続く転送パルスの持続期間中、ゲートG1B_iの方へ、次いでフォトダイオードPH_{1i}の方へ逆向きに移動する。

【0087】

50

従って、電子がゲート $G2B_i$ の下側またはゲート $G2A_i$ の下側に生成されたかに依存して扱いに違いがある。この違いは、あるピクセルから到達した電子と別のピクセルから到達した電子を混合することで変調伝達関数に悪影響を及ぼす。

【0088】

この劣化を回避すべく提供される解決策は、各々の半ピクセルを、半ピクセルの表面の最上部で受光した光をフォトダイオード上に集光する集光マイクロレンズで覆うものである。従って、電子はゲートの下側ではなくフォトダイオード内で系統的に生成される。

【0089】

図8の実施形態において、マイクロレンズMLは矩形の形状を有し、フォトダイオードの中心に配置されている。マイクロレンズMLは、フォトダイオードの両側に配置されたゲートの表面の半分と共に、フォトダイオード全体を覆う。2個の個別の半ピクセルを覆う2個の隣接するマイクロレンズが、ピクセル全体に対応する略正方形の形状を覆う。

【0090】

図9の実施形態における解決策は、矩形のマイクロレンズの代わりに、2個の隣接する正方形のマイクロレンズを行MLa、MLbに設けるものである。各マイクロレンズは、フォトダイオードの半分の中心に配置され、フォトダイオードの当該半分およびフォトダイオードの当該半分に隣接するゲートの半部分を覆う。4個の隣接する正方形のマイクロレンズがピクセル全体に対応する略正方形の表面を覆う。

10

【図1】

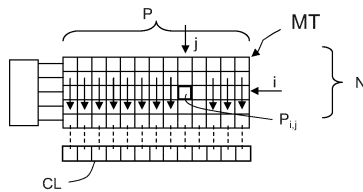


Fig. 1

【図2】

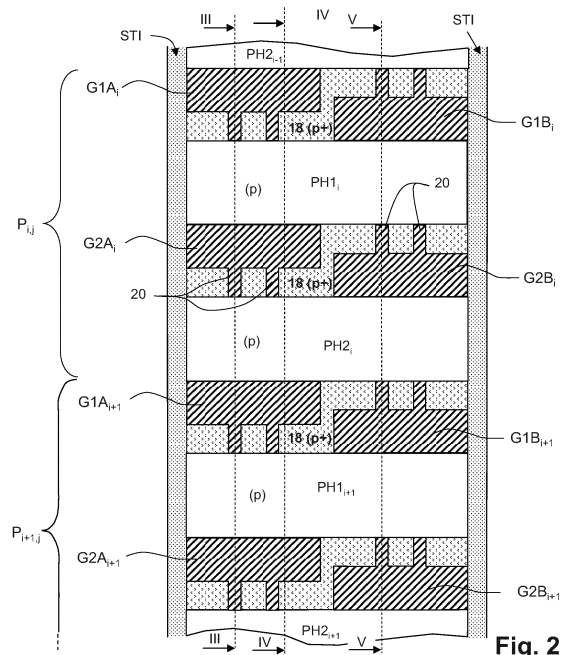


Fig. 2

【 図 3 】

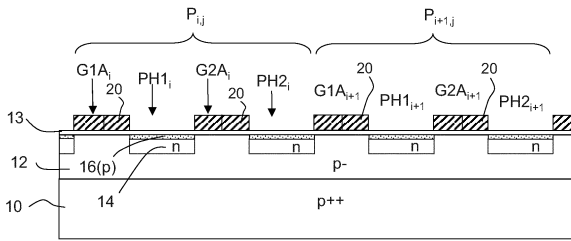


Fig. 3

【 図 4 】

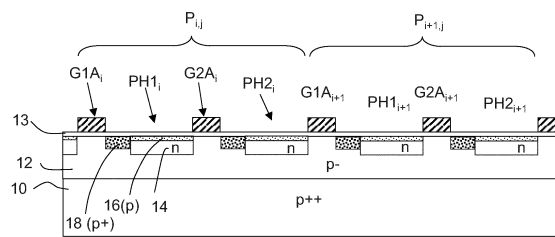


Fig. 4

【 図 5 】

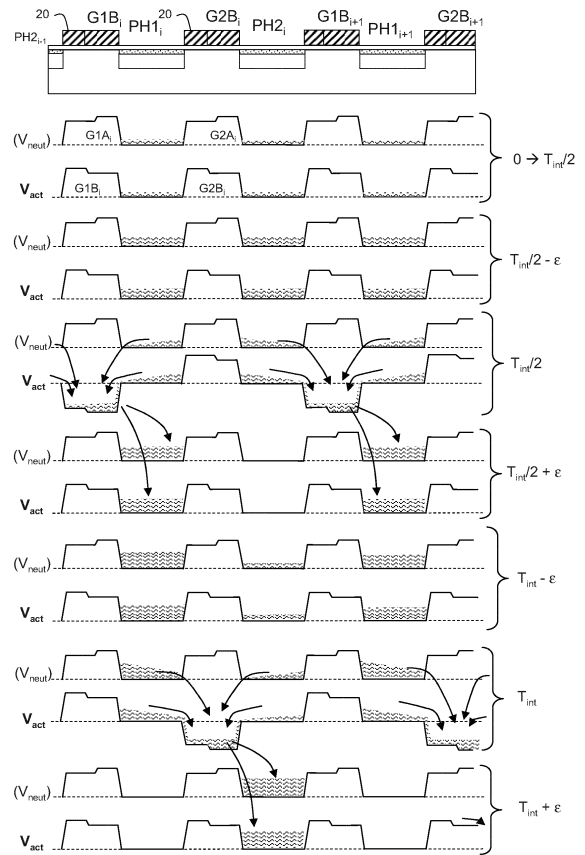


Fig. 5

【 図 6 】

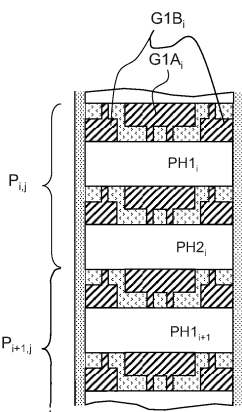


Fig. 6

【 図 7 】

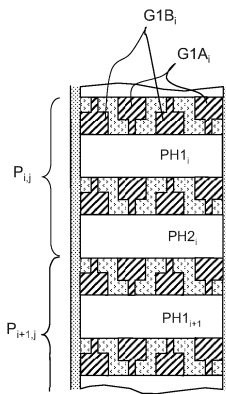


Fig. 7

【 図 8 】

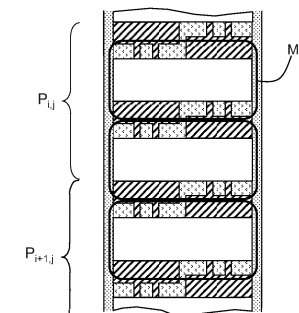


Fig. 8

【 9 】

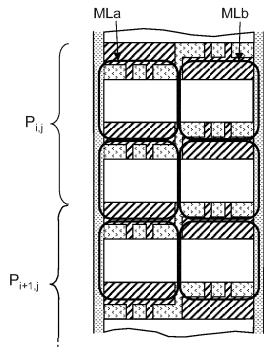


Fig. 9

フロントページの続き

- (56)参考文献 国際公開第2011/144459(WO, A1)
国際公開第2011/138326(WO, A1)
国際公開第2011/069880(WO, A1)
米国特許第06465820(US, B1)
特開平08-018867(JP, A)
特開2010-258155(JP, A)
特開2009-033286(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14
H04N 5/335