

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5577230号  
(P5577230)

(45) 発行日 平成26年8月20日(2014.8.20)

(24) 登録日 平成26年7月11日(2014.7.11)

(51) Int.Cl.

F 1

HO1L 21/8242	(2006.01)	HO1L 27/10	321
HO1L 27/108	(2006.01)	HO1L 29/78	613B
HO1L 29/786	(2006.01)	HO1L 29/78	618B
HO1L 21/336	(2006.01)	HO1L 29/78	371
HO1L 29/788	(2006.01)	HO1L 27/10	434

請求項の数 3 (全 38 頁) 最終頁に続く

(21) 出願番号

特願2010-284421 (P2010-284421)

(22) 出願日

平成22年12月21日(2010.12.21)

(65) 公開番号

特開2011-151384 (P2011-151384A)

(43) 公開日

平成23年8月4日(2011.8.4)

審査請求日

平成25年11月1日(2013.11.1)

(31) 優先権主張番号

特願2009-296201 (P2009-296201)

(32) 優先日

平成21年12月25日(2009.12.25)

(33) 優先権主張国

日本国(JP)

早期審査対象出願

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 加藤 清

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のトランジスタと、

第2のトランジスタと、

容量とを有し、

前記第1のトランジスタは、第1の酸化物半導体層を有し、

前記第2のトランジスタは、第2の酸化物半導体層を有し、

前記第1のトランジスタのゲートは、前記容量の一方の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記容量の一方の電極と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第2のトランジスタのゲートは、第4の配線と電気的に接続され、

前記容量の他方の電極は、第5の配線と電気的に接続され、

前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、Inと、Gaと、Znとを有し、

10

20

前記第2の酸化物半導体層は、第1の領域と、前記第1の領域上の第2の領域とを有し、  
前記第1の領域及び前記第2の領域は、結晶領域を有し、  
前記第1の領域のZnの割合は、前記第1の領域のInの割合及びGaの割合より高いことを特徴とする半導体装置。

【請求項2】

請求項1において、

前記結晶領域は、前記第2の酸化物半導体層の表面に対して、略垂直な方向にC軸が配向した結晶を含み、

前記略垂直な方向とは、前記第2の酸化物半導体層の表面に対する垂直方向から±10°以内の方向が含まれることを特徴とする半導体装置。 10

【請求項3】

請求項1又は請求項2において、

前記第1の酸化物半導体層は、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下の水素を有し、

前記第2の酸化物半導体層は、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下の水素を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。 20

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。 30

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM(Static Random Access Memory)がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わることはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利

点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、記憶保持期間において電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、半導体装置を提供することを目的のーとする。

【課題を解決するための手段】

【0011】

開示する発明では、高純度化された酸化物半導体を用いて半導体装置を構成する。高純度化された酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。

【0012】

開示する発明の一態様では、第1のソース電極および第1のドレイン電極と、第1のソース電極および第1のドレイン電極と電気的に接続され、酸化物半導体材料が用いられている第1のチャネル形成領域と、第1のチャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、を有する第1のトランジスタと、容量素子と、を有し、第1のトランジスタの第1のソース電極または第1のドレイン電極の一方と、容量素子の電極の一方とは、電気的に接続された半導体装置である。

【0013】

また、上記構成において、容量素子は、第1のソース電極または第1のドレイン電極と、第1のゲート絶縁層と、第1のゲート絶縁層上の容量素子用電極と、によって構成することができる。

【0014】

また、上記構成において、第2のソース電極および第2のドレイン電極と、第2のソース電極および第2のドレイン電極と電気的に接続され、酸化物半導体材料が用いられた第2のチャネル形成領域と、第2のチャネル形成領域上の第2のゲート絶縁層と、第2のゲート絶縁層上の第2のゲート電極と、を有する第2のトランジスタと、ソース線と、ビット線と、ワード線と、第1信号線と、第2信号線と、を有し、第2のゲート電極と、第1のソース電極または第1のドレイン電極の一方と、容量素子の電極の一方とは、電気的に接続され、ソース線と、第2のソース電極とは、電気的に接続され、ビット線と、第2のドレイン電極とは、電気的に接続され、第1信号線と、第1のソース電極または第1のドレイン電極の他方とは、電気的に接続され、第2信号線と、第1のゲート電極とは、電気的に接続され、ワード線と、容量素子の電極の他方とは電気的に接続された構成とすること

10

20

30

40

50

ができる。

#### 【0015】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

#### 【0016】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがある、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。10

#### 【0017】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

#### 【0018】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。20

#### 【0019】

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

#### 【発明の効果】

#### 【0020】

本発明の一態様では、酸化物半導体を用いたトランジスタに係る半導体装置が提供される。酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。30

#### 【0021】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、浮遊ゲートへの電子の注入や、浮遊ゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。40

#### 【0022】

このように、開示する発明の一態様によって、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限がない、半導体装置を提供することができる。

#### 【図面の簡単な説明】

#### 【0023】

【図1】半導体装置の断面図。

【図2】半導体装置の回路図。

【図3】半導体装置の作製工程に係る断面図。

- 【図4】半導体装置の作製工程に係る断面図。  
 【図5】半導体装置の作製工程に係る断面図。  
 【図6】半導体装置の作製工程に係る断面図。  
 【図7】半導体装置の回路図。  
 【図8】半導体装置の回路図。  
 【図9】半導体装置の回路図。  
 【図10】半導体装置を用いた電子機器を説明するための図。  
 【図11】メモリウィンドウ幅の調査結果を示す図。

## 【発明を実施するための形態】

【0024】

10

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0025】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0026】

20

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0027】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図1および図2を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0028】

## 半導体装置の断面構成

図1は、半導体装置の構成の例である。図1(A)～図1(D)に、半導体装置の断面を示す。図1に示される半導体装置は、酸化物半導体を用いたトランジスタ162および容量素子164を有するものである。

30

【0029】

なお、上記トランジスタは、nチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0030】

図1(A)におけるトランジスタ162は、基板200上に絶縁層138を介して設けられたソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと電気的に接続されている酸化物半導体層144と、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化物半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畠するように設けられたゲート電極148aと、を有する。

40

【0031】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19}$ atoms/cm<sup>3</sup>以下、望ましくは $5 \times 10^{18}$ atoms/cm<sup>3</sup>以下、より望ましくは $5 \times 10^{17}$ atoms/cm<sup>3</sup>以下とする。なお、上述の酸化物半導体層144中の水素濃度は、

50

二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectrometry) で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、キャリア濃度が  $1 \times 10^{12} / \text{cm}^3$  未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$  未満、より望ましくは  $1.45 \times 10^{10} / \text{cm}^3$  未満となる。例えば、室温でのオフ電流密度（オフ電流をトランジスタのチャネル幅で除した値）は  $10 \text{ zA} / \mu\text{m}$  から  $100 \text{ zA} / \mu\text{m}$  ( $1 \text{ zA}$  (ゼプトアンペア) は  $1 \times 10^{-12} \text{ A}$ ) 程度となる。このように、i型化(真性化)または実質的に i型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

10

#### 【0032】

なお、図 1 (A) のトランジスタ 162 では、酸化物半導体層 144 が島状に加工されないため、加工の際のエッティングによる酸化物半導体層 144 の汚染を防止できる。

#### 【0033】

容量素子 164 は、ソース電極またはドレイン電極 142a、酸化物半導体層 144、ゲート絶縁層 146、および電極 148b、で構成される。すなわち、ソース電極またはドレイン電極 142a は、容量素子 164 の一方の電極として機能し、電極 148b は、容量素子 164 の他方の電極として機能することになる。

#### 【0034】

なお、図 1 (A) の容量素子 164 では、酸化物半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極またはドレイン電極 142a と、電極 148b との間の絶縁性を十分に確保することができる。

20

#### 【0035】

なお、トランジスタ 162 および容量素子 164 において、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b、および絶縁層 143 の端部は、テーパー形状であることが好ましい。ここで、テーパー角は、例えば、 $30^\circ$  以上  $60^\circ$  以下とする。なお、テーパー角とは、テーパー形状を有する層（例えば、ソース電極またはドレイン電極 142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の端部をテーパー形状とすることにより、酸化物半導体層 144 の被覆性を向上し、段切れを防止することができるためである。

30

#### 【0036】

また、トランジスタ 162 および容量素子 164 の上には、層間絶縁層 150 が設けられており、層間絶縁層 150 上には層間絶縁層 152 が設けられている。

#### 【0037】

図 1 (B) に示すトランジスタおよび容量素子は、図 1 (A) に示すトランジスタおよび容量素子の変形例の一である。

#### 【0038】

図 1 (B) に示す構成と、図 1 (A) に示す構成との相違は、酸化物半導体層を島状に形成している点にある。つまり、図 1 (A) に示す構成では、酸化物半導体層 144 が、絶縁層 138、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の全体を覆っている。これに対して、図 1 (B) に示す構成では、島状の酸化物半導体層 144 が、絶縁層 138、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の一部を覆っている。ここで、島状の酸化物半導体層 144 の端部は、テーパー形状であることが好ましい。テーパー角は、例えば、 $30^\circ$  以上  $60^\circ$  以下とすることが好ましい。

40

#### 【0039】

また、容量素子 164 において、酸化物半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極またはドレイン電極 142a と、電極 148b との間の絶縁性

50

を十分に確保することができる。

**【0040】**

図1(C)に示すトランジスタおよび容量素子は、図1(A)に示すトランジスタおよび容量素子の変形例の一である。

**【0041】**

図1(C)に示す構成と、図1(A)に示す構成との相違は、絶縁層143が、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142b上に形成されている点にある。さらに、酸化物半導体層144が、絶縁層143、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bを覆うように形成されている点にある。また、酸化物半導体層144は、絶縁層143に設けられた開口を介して、ソース電極またはドレイン電極142aに接して設けられている。10

**【0042】**

絶縁層143を有することにより、ゲート電極と、ソース電極またはドレイン電極との間に形成される容量が低減され、トランジスタ動作の高速化を図ることができる。

**【0043】**

図1(D)に示すトランジスタおよび容量素子は、図1(B)および図1(C)のトランジスタおよび容量素子の変形例の一である。

**【0044】**

図1(D)に示す構成と、図1(B)に示す構成との相違は、図1(D)には、絶縁層143が、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142b上に形成されている点にある。さらに、酸化物半導体層144が、絶縁層143、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bを覆うように形成されている点にある。また、図1(D)に示す構成と、図1(C)に示す構成との相違は、酸化物半導体層144が島状に形成されている点にある。当該構成により、図1(B)の構成における効果と、図1(C)の構成における効果とを併せて得ることができる。20

**【0045】**

#### 半導体装置の回路構成および動作

次に、上記半導体装置の回路構成の例、およびその動作について説明する。図2は、図1に示す半導体装置を用いた回路構成の例である。30

**【0046】**

図2(A-1)に示す半導体装置において、第1の配線(1st Line: ソース線とも呼ぶ)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line: ビット線とも呼ぶ)とトランジスタ160のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line: 第1信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line: 第2信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電気的に接続され、第5の配線(5th Line: ワード線とも呼ぶ)と、容量素子164の電極の他方は電気的に接続されている。40

**【0047】**

ここで、トランジスタ160およびトランジスタ162には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。なお、酸化物半導体を用いたトランジスタ162は、チャネル長(L)を10nm以上1000nm以下としているため、消費電力が小さく、動作速度もきわめて大きいと50

いう特徴を有する。

**【0048】**

図2(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

**【0049】**

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

**【0050】**

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

**【0051】**

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th-H}$ は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th-L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th-H}$ と $V_{th-L}$ の中間の電位 $V_0$ とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th-H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th-L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

**【0052】**

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ160がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th-H}$ より小さい電位を与えればよい。また、各メモリセル間でトランジスタ160がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th-L}$ より大きい電位を第5の配線に与えればよい。

**【0053】**

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、トランジスタ160のゲート電極および容量素子164に

与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

#### 【0054】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

#### 【0055】

なお、トランジスタ162のソース電極またはドレイン電極は、トランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のソース電極またはドレイン電極とトランジスタ160のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコンなどで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、不揮発性の記憶装置を実現することが可能である。

10

20

#### 【0056】

例えば、トランジスタ162の室温でのオフ電流密度が $10^{-2} \text{ A}$  ( $1 \text{ zA}$  (ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$ ) 程度であり、容量素子164の容量値が $1 \text{ pF}$  程度である場合には、少なくとも $10^6$  秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

#### 【0057】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

30

#### 【0058】

図2(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図2(A-2)のような回路に置き換えることが可能である。つまり、図2(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量)値に相当する。なお、抵抗値R2は、トランジスタ160のゲート電極とチャネル形成領域との間の抵抗値を示すものに過ぎないから、この点を明確にするために、接続の一部を点線で示している。

40

#### 【0059】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、R1およびR2が、R1 > ROS (R1はROS以上)、R2 > ROS (R2はROS以上)を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

50

**【 0 0 6 0 】**

逆に、当該関係を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162以外において生じるリークが大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

**【 0 0 6 1 】**

一方で、C1とC2は、C1 C2（C1はC2以上）の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際（例えば、読み出しの際）に、第5の配線の電位の変動を低く抑えることができるためである。

10

**【 0 0 6 2 】**

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160やトランジスタ162のゲート絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

**【 0 0 6 3 】**

図2(B)に示す半導体装置は、図2(A-1)におけるトランジスタ160を設けない構成の半導体装置である。図2(B)に示す半導体装置において、第1の配線(1st Line: 第1信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続され、第2の配線(2nd Line: 第2信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、トランジスタ162のソース電極またはドレイン電極の他方と、容量素子164の電極の一方とは、電気的に接続され、第3の配線(3rd Line: 容量線とも呼ぶ)と、容量素子164の電極の他方とは、電気的に接続されている。

20

**【 0 0 6 4 】**

ここで、トランジスタ162には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子164に与えられた電位を、極めて長時間にわたって保持することができる。なお、酸化物半導体を用いたトランジスタ162は、チャネル長(L)を10nm以上1000nm以下としているため、消費電力が小さく、動作速度もきわめて大きいという特徴を有する。

30

**【 0 0 6 5 】**

図2(B)に示す半導体装置では、容量素子164に与えられた電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

**【 0 0 6 6 】**

はじめに、情報の書き込みおよび保持について説明する。ここでは簡単のため、第3の配線の電位は固定されているものとする。まず、第2の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第1の配線の電位が、容量素子164の電極の一方に与えられる。すなわち、容量素子164には、所定の電荷が与えられる（書き込み）。その後、第2の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、容量素子164に与えられた電荷が保持される（保持）。トランジスタ162は上述のとおり、極めてオフ電流が小さいので、長時間にわたって電荷を保持できる。

40

**【 0 0 6 7 】**

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第2の配線の電位を、トランジスタ162がオン状態となる電位にすると、容量素子164に保持されている電荷量に応じて、第1の配線は異なる電位をとる。このため、第1の配線の電位を見ることで、保持されている情報を読み出すことができる。

**【 0 0 6 8 】**

なお、情報が読み出された場合、容量素子164の電荷は失われるため、再度の書き込み

50

を行う点に留意が必要である。

**【0069】**

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第2の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第1の配線の電位（新たな情報に係る電位）が、容量素子164の電極の一方に与えられる。その後、第2の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、容量素子164は、新たな情報に係る電荷が与えられた状態となる。

**【0070】**

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このため、半導体装置の高速動作が実現される。

**【0071】**

なお、上記説明は、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのにはいまでもない。

**【0072】**

（実施の形態2）

本実施の形態では、酸化物半導体を用いた半導体装置の作製方法、具体的にはトランジスタ162の作製方法について、図3を用いて説明する。

**【0073】**

まず、基板200上に絶縁層138を形成する。その後、絶縁層138上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図3（A）参照）。

**【0074】**

基板200には、例えば、ガラス基板を用いることができる。基板200には、ガラス基板の他にも、セラミック基板、石英基板、サファイア基板等の絶縁体でなる絶縁性基板や、シリコン等の半導体材料でなる半導体基板、金属やステンレス等の導電体でなる導電性基板、これらの表面を絶縁材料で被覆したもの、などを用いることができる。また、プラスチック等の可撓性を有する基板は、耐熱温度が一般的に低い傾向があるが、後の作製工程に耐えられるのであれば、基板200として用いることが可能である。

**【0075】**

絶縁層138は下地として機能するものであり、PVD法やCVD法などを用いて形成することができる。また、絶縁層138は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層138は、できるだけ水素や水を含まないように形成することが望ましい。また、絶縁層138を設けない構成とすることも可能である。

**【0076】**

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タンクステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。

**【0077】**

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。な

10

20

30

40

50

お、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142bへの加工が容易であるというメリットがある。

#### 【0078】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 ( $ZnO$ )、酸化インジウム酸化スズ合金 ( $In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金 ( $In_2O_3-ZnO$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

#### 【0079】

導電層のエッチングは、形成されるソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、 $30^\circ$ 以上  $60^\circ$ 以下であることが好ましい。なお、テーパー角とは、テーパー形状を有する層(例えば、ソース電極またはドレイン電極 142a)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の端部をテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層 146 の被覆性が向上し、段切れを防止することができる。

#### 【0080】

トランジスタのチャネル長 ( $L$ ) は、ソース電極またはドレイン電極 142a の下端部と、およびソース電極またはドレイン電極 142b の下端部との間隔によって決定される。なお、チャネル長 ( $L$ ) が  $25\text{ nm}$  未満のトランジスタを形成する場合に用いるマスク形成の露光を行う場合には、数  $\text{nm}$  ~ 数  $10\text{ nm}$  と波長の短い超紫外線 (Extreme Ultraviolet) を用いてマスク形成の露光を行うのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長 ( $L$ ) を、 $10\text{ nm}$  以上  $1000\text{ nm}$  ( $1\mu\text{m}$ ) 以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

#### 【0081】

なお、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b との間の寄生容量を低減することが可能である。

#### 【0082】

次に、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b を覆うように、酸化物半導体層 144 を形成する(図 3(B) 参照)。

#### 【0083】

酸化物半導体層 144 は、四元系金属酸化物である  $In-Sn-Ga-Zn-O$  系や、三元系金属酸化物である  $In-Ga-Zn-O$  系、 $In-Sn-Zn-O$  系、 $In-Al-Zn-O$  系、 $Sn-Ga-Zn-O$  系、 $Al-Ga-Zn-O$  系、 $Sn-Al-Zn-O$  系や、二元系金属酸化物である  $In-Zn-O$  系、 $Sn-Zn-O$  系、 $Al-Zn-O$  系、 $Zn-Mg-O$  系、 $Sn-Mg-O$  系、 $In-Mg-O$  系や、一元系金属酸化物である  $In-O$  系、 $Sn-O$  系、 $Zn-O$  系などの酸化物半導体を用いて形成することができる。

#### 【0084】

中でも、 $In-Ga-Zn-O$  系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

#### 【0085】

10

20

30

40

50

$In - Ga - Zn - O$  系の酸化物半導体材料の代表例としては、 $InGaO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、 $m$  : 自然数とは限らない) で表記されるものがある。また、 $Ga$  に代えて  $M$  を用い、 $InMO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、 $m$  : 自然数とは限らない) のように表記される酸化物半導体材料がある。ここで、 $M$  は、ガリウム ( $Ga$ )、アルミニウム ( $Al$ )、鉄 ( $Fe$ )、ニッケル ( $Ni$ )、マンガン ( $Mn$ )、コバルト ( $Co$ ) などから選ばれた一の金属元素または複数の金属元素を示す。例えば、 $M$  としては、 $Ga$ 、 $Ga$  および  $Al$ 、 $Ga$  および  $Fe$ 、 $Ga$  および  $Ni$ 、 $Ga$  および  $Mn$ 、 $Ga$  および  $Co$  などを適用することができます。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

## 【0086】

10

酸化物半導体層 144 をスパッタ法で作製するためのターゲットとしては、 $In : Ga : Zn = 1 : x : y$  ( $x$  は 0 以上、 $y$  は 0.5 以上 5 以下) の組成式で表されるものを用いるのが好適である。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol 数比] の組成比を有するターゲットなどを用いることができる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol 数比] の組成比を有するターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol 数比] の組成比を有するターゲットや、 $In_2O_3 : ZnO = 1 : 2$  [mol 数比] の組成比を有するターゲットを用いることもできる。

## 【0087】

本実施の形態では、非晶質構造の酸化物半導体層 144 を、 $In - Ga - Zn - O$  系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

20

## 【0088】

金属酸化物ターゲット中の金属酸化物の相対密度は 80 % 以上、好ましくは 95 % 以上、さらに好ましくは 99.9 % 以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層 144 を形成することが可能である。

## 【0089】

酸化物半導体層 144 の形成雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または、希ガス (代表的にはアルゴン) と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度 1 ppm 以下 (望ましくは濃度 10 ppb 以下) にまで除去された高純度ガス雰囲気を用いるのが好適である。

30

## 【0090】

酸化物半導体層 144 の形成の際には、例えば、減圧状態に保持された処理室内に基板を保持し、基板の温度が 100 以上 550 未満、好ましくは 200 以上 400 以下となるように基板を熱する。または、酸化物半導体層 144 の形成の際の基板の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層 144 を形成する。基板を熱しながら酸化物半導体層 144 を形成することにより、酸化物半導体層 144 に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層 144 中の不純物濃度を低減できる。

40

## 【0091】

酸化物半導体層 144 の形成条件としては、例えば、基板とターゲットの間との距離が 170 mm、圧力が 0.4 Pa、直流 (DC) 電力が 0.5 kW、雰囲気が酸素 (酸素流量比率 100 %) 雰囲気、またはアルゴン (アルゴン流量比率 100 %) 雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流 (DC) 電源を用いると、成膜時に形成される粉状の物質 (パーティクル、ゴミともいう) を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層 144 の厚さは、1 n

50

m以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

#### 【0092】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層138の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

#### 【0093】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

#### 【0094】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

#### 【0095】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、L R T A ( Lamp Rapid Thermal Anneal ) 装置、G R T A ( Gas Rapid Thermal Anneal ) 装置等のR T A ( Rapid Thermal Anneal ) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

#### 【0096】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すG R T A 処理を行ってもよい。G R T A 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えてても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠乏に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

#### 【0097】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

#### 【0098】

10

20

30

40

50

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

#### 【0099】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

#### 【0100】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する（図3（C）参照）。ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$  ( $x > 0, y > 0$ )）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )）、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )）、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

#### 【0101】

上述のように、ゲート絶縁層146を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$  ( $x > 0, y > 0$ )）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )）、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )）、などの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

20

#### 【0102】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することもできる。

30

#### 【0103】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

40

#### 【0104】

次に、ゲート絶縁層146上において酸化物半導体層144と重畠する領域にゲート電極148aを形成する（図3（D）参照）。ゲート電極148aは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成するこ

50

とができる。ゲート電極 148a となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 142a などの場合と同様であり、これらの記載を参照できる。なお、ゲート電極 148a の形成の際に、先の実施の形態における容量素子 164 の電極 148b を併せて形成することができる。

#### 【0105】

次に、ゲート絶縁層 146 およびゲート電極 148a 上に、層間絶縁層 150 および層間絶縁層 152 を形成する（図 3（E）参照）。層間絶縁層 150 および層間絶縁層 152 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層 150 と層間絶縁層 152 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。また、層間絶縁層を設けなくてもよい。

10

#### 【0106】

なお、上記層間絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

20

#### 【0107】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 が完成する（図 3（E）参照）。

#### 【0108】

図 3（E）に示すトランジスタ 162 は、酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続するソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、酸化物半導体層 144、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148a と、ゲート絶縁層 146 およびゲート電極 148a 上の層間絶縁層 150 と、層間絶縁層 150 上の層間絶縁層 152 とを有する。

30

#### 【0109】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{-9}$  atoms / cm<sup>3</sup> 以下、望ましくは $5 \times 10^{-8}$  atoms / cm<sup>3</sup> 以下、より望ましくは $5 \times 10^{-7}$  atoms / cm<sup>3</sup> 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$  程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$  未満）をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 162 の室温でのオフ電流密度（オフ電流をトランジスタのチャネル幅で除した値）は $10 \text{ zA} / \mu\text{m}$  から $100 \text{ zA} / \mu\text{m}$  ( $1 \text{ zA}$  (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$ ) 程度となる。

40

#### 【0110】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

#### 【0111】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0112】

##### （実施の形態 3）

本実施の形態では、酸化物半導体（特に非晶質構造を有する酸化物半導体）を用いたトランジ

50

ンジスタの作製方法について、図4を用いて説明する。当該トランジスタは、先の実施の形態におけるトランジスタ162などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。

#### 【0113】

まず、基板200上に絶縁層202を形成する。その後、絶縁層202上に酸化物半導体層206を形成する(図4(A)参照)。

#### 【0114】

基板200は、例えば、先の実施の形態における基板200を用いることができる。

10

#### 【0115】

絶縁層202は、先の実施の形態における絶縁層138に相当し、下地として機能する。詳細については、先の実施の形態を参照できる。なお、絶縁層202を設けない構成とすることも可能である。

#### 【0116】

酸化物半導体層206は、先の実施の形態における酸化物半導体層144に相当する。用いることができる材料、作製方法、その他の詳細については、先の実施の形態を参照できる。

#### 【0117】

本実施の形態では、非晶質構造の酸化物半導体層206を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成する。

20

#### 【0118】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層206を加工して、島状の酸化物半導体層206aを形成する。

#### 【0119】

酸化物半導体層206のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるように、材料に合わせてエッチング条件(エッティングガスやエッティング液、エッティング時間、温度等)は適宜設定する。

30

#### 【0120】

ドライエッティングに用いるエッティングガスには、例えば、塩素を含むガス(塩素系ガス、例えば、塩素(Cl<sub>2</sub>)、三塩化硼素(BCl<sub>3</sub>)、四塩化珪素(SiCl<sub>4</sub>)、四塩化炭素(CC<sub>1</sub><sub>4</sub>)など)がある。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF<sub>4</sub>)、六弗化硫黄(SF<sub>6</sub>)、三弗化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)など)、臭化水素(HBr)、酸素(O<sub>2</sub>)、これらのガスにヘリウム(He)やアルゴン(Argon)などの希ガスを添加したガス、などを用いても良い。

#### 【0121】

ドライエッティング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の形状にエッティングできるように、エッティング条件(コイル型の電極に印加される電力量、被処理物側の電極に印加される電力量、被処理物側の電極温度等)は適宜設定する。

40

#### 【0122】

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITOON(関東化学社製)などのエッティング液を用いてもよい。

#### 【0123】

酸化物半導体層206aの端部は、テーパー形状となるようにエッティングすることが好ましい。ここで、テーパー角は、例えば、30°以上60°以下であることが好ましい。な

50

お、テーパー角とは、テーパー形状を有する層（例えば、酸化物半導体層 206a）を、その断面（被処理物の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。酸化物半導体層 206a の端部をテーパー形状となるようにエッチングすることにより、後に形成されるソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b の被覆性が向上し、段切れを防止することができる。

#### 【0124】

その後、酸化物半導体層 206a に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層 206a 中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。詳細については先の実施の形態を参照できる。なお、ここで示すように、熱処理（第1の熱処理）をエッチング後に行う場合には、ウェットエッチングを用いる場合であっても、エッチングレートが高い状態でエッチングを行うことができるため、エッチングにかかる時間を短縮することができるというメリットがある。

10

#### 【0125】

なお、第1の熱処理は、島状の酸化物半導体層 206a に加工する前の酸化物半導体層 206 行うことでもできる。その場合には、第1の熱処理後に、加熱装置から基板 200 を取り出し、フォトリソグラフィ工程を行うことになる。

#### 【0126】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理は、酸化物半導体層の形成後や、酸化物半導体層 206a 上にソース電極またはドレイン電極を積層させた後、ゲート絶縁層を形成した後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

20

#### 【0127】

次に、酸化物半導体層 206a に接するように導電層を形成する。そして、導電層を選択的にエッチングして、ソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b を形成する（図4（B）参照）。導電層や、ソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b、その他の詳細については、先の実施の形態における導電層や、ソース電極またはドレイン電極等に関する記載を参照できる。

30

#### 【0128】

次に、酸化物半導体層 206a の一部に接するゲート絶縁層 212 を形成する（図4（C）参照）。ゲート絶縁層 212 の詳細については、先の実施の形態におけるゲート絶縁層等に関する記載を参照できる。

#### 【0129】

ゲート絶縁層 212 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。第2の熱処理の詳細についても、先の実施の形態を参照できる。

40

#### 【0130】

なお、本実施の形態では、ゲート絶縁層 212 の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。

#### 【0131】

次に、ゲート絶縁層 212 上において酸化物半導体層 206a と重畠する領域にゲート電極 214 を形成する（図4（D）参照）。ゲート電極 214 は、ゲート絶縁層 212 上に導電層を形成した後に、当該導電層を選択的にパターニングすることによって形成することができる。詳細は、先の実施の形態を参照すればよい。なお、ゲート電極 214 の形成の際に、先の実施の形態における容量素子の電極を併せて形成することができる。

50

**【 0 1 3 2 】**

次に、ゲート絶縁層 212 およびゲート電極 214 上に、層間絶縁層 216 および層間絶縁層 218 を形成する(図4(E)参照)。詳細は、先の実施の形態を参照すればよい。なお、層間絶縁層を設けなくてもよい。

**【 0 1 3 3 】**

以上により、高純度化された非晶質構造の酸化物半導体層 206a を用いたトランジスタ 250 が完成する(図4(E)参照)。なお、熱処理の条件によっては、酸化物半導体層 206a 中に、結晶成分が僅かに存在する場合もある。

**【 0 1 3 4 】**

このように高純度化され、真性化された酸化物半導体層 206a を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。  
10

**【 0 1 3 5 】**

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成(図1や図3に示す構成など)に、本実施の形態の構成の一部を適用することができる。また、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成や、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成などに対しても、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、非晶質構造の酸化物半導体を備えた様々なトランジスタを実現することができる  
20

**【 0 1 3 6 】**

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

**【 0 1 3 7 】****(実施の形態 4 )**

30

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について、図5を用いて説明する。本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層と、第1の酸化物半導体層の結晶領域から結晶成長させた第2の酸化物半導体層を用いる場合について、詳細に説明する。当該トランジスタは、先の実施の形態におけるトランジスタ 162 などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。

**【 0 1 3 8 】**

なお、第1の酸化物半導体層のみで必要な厚さを確保できる場合には、第2の酸化物半導体層は不要である。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。  
40

**【 0 1 3 9 】**

まず、基板 300 上に絶縁層 302 を形成する。それから、絶縁層 302 上に第1の酸化物半導体層を形成し、第1の熱処理によって少なくとも第1の酸化物半導体層の表面を含む領域を結晶化させて、第1の酸化物半導体層 304 を形成する(図5(A)参照)。

**【 0 1 4 0 】**

基板 300 の詳細については、先の実施の形態を参照できる。

**【 0 1 4 1 】**

絶縁層 302 は下地として機能するものである。絶縁層 302 の詳細についても、先の実施の形態を参照すればよい。なお、絶縁層 302 を設けない構成としてもよい。  
50

## 【0142】

第1の酸化物半導体層は、先の実施の形態における酸化物半導体層と同様に形成することができる。このため、第1の酸化物半導体層およびその成膜方法の詳細については、先の実施の形態を参照すればよい。ただし、本実施の形態では、第1の熱処理によって第1の酸化物半導体層を意図的に結晶化させるため、結晶化が生じやすい酸化物半導体を用いて第1の酸化物半導体層を形成することが望ましい。このような酸化物半導体としては、例えば、ZnOなどが挙げられる。また、In-Ga-Zn-O系の酸化物半導体であっても、例えば、Znの濃度の高いものは結晶化しやすく、金属元素(In、Ga、およびZn)においてZnの占める割合が60 atom%以上のものは、この目的に用いるには望ましい。また、第1の酸化物半導体層の厚さは、1nm以上10nm以下とするのが望ましい。本実施の形態では一例として3nmの厚さとする。ただし、適用する酸化物半導体材料や半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。10

## 【0143】

第1の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。また、熱処理の時間は、1分以上24時間以下とすることが望ましい。なお、熱処理の温度や、熱処理の時間は、酸化物半導体の種類などによって異なる。

## 【0144】

また、第1の熱処理の雰囲気は、水素や水などを含まない雰囲気とすることが望ましい。例えば、水が十分に除去された、窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気とすることができます。20

## 【0145】

熱処理装置は、電気炉の他、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、LRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。30

## 【0146】

上述の第1の熱処理によって、少なくとも第1の酸化物半導体層の表面を含む領域が結晶化する。当該結晶領域は、第1の酸化物半導体層表面から、第1の酸化物半導体層内部に向かって結晶成長が進行することにより形成される領域である。なお、当該結晶領域は、平均厚さが1nm以上10nm以下の板状結晶を含む場合がある。また、当該結晶領域は、酸化物半導体層の表面に対して略垂直な方向にc軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から±10°以内の状態をいうものとし、略垂直とは、垂直方向から±10°以内の状態を言うものとする。40

## 【0147】

また、第1の熱処理によって結晶領域を形成すると共に、第1の酸化物半導体層中の水素(水や水酸基を含む)などを除去することが望ましい。水素などの除去を行う場合には、純度が、6N(99.9999%)以上(即ち不純物の濃度が1ppm以下)の窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気において第1の熱処理を行うと良い。より望ましくは、純度が7N(99.99999%)以上(即ち不純物の濃度が0.1ppm以下)の雰囲気である。また、H<sub>2</sub>Oが20ppm以下の超乾燥空气中で、好ましくは、H<sub>2</sub>Oが1ppm以下の超乾燥空气中で、第1の熱処理を行っても良い。

## 【0148】

また、第1の熱処理により結晶領域を形成すると共に、第1の酸化物半導体層に酸素を供50

給することが望ましい。例えば、熱処理の雰囲気を酸素雰囲気とすることで、第1の酸化物半導体層に酸素を供給することができる。

#### 【0149】

本実施の形態では、第1の熱処理として、窒素雰囲気下で700、1時間の熱処理を行って酸化物半導体層から水素などを除去した後、酸素雰囲気に切り替えることで、第1の酸化物半導体層内部に酸素を供給する。なお、第1の熱処理の主たる目的は結晶領域の形成にあるから、水素などの除去や、酸素の供給を目的とする処理は別に行うこともできる。例えば、水素などを除去するための熱処理や、酸素を供給するための処理を行った後に、結晶化のための熱処理を行うことが可能である。

#### 【0150】

このような第1の熱処理によって、結晶領域を有し、水素（水や水酸基を含む）などが除去され、酸素が供給された第1の酸化物半導体層が得られる。

#### 【0151】

次に、少なくとも表面を含む領域に結晶領域を有する第1の酸化物半導体層304上に、第2の酸化物半導体層305を形成する（図5（B）参照）。なお、第1の酸化物半導体層304のみで必要な厚さを確保できる場合には、第2の酸化物半導体層305は不要である。この場合、第2の酸化物半導体層305にかかる工程を省略することができる。

#### 【0152】

第2の酸化物半導体層305は、先の実施の形態における酸化物半導体層と同様に形成することができる。このため、第2の酸化物半導体層305およびその成膜方法の詳細については、先の実施の形態を参照すればよい。ただし、第2の酸化物半導体層305は、第1の酸化物半導体層304より厚く形成することが望ましい。また、第1の酸化物半導体層304と第2の酸化物半導体層305の厚さの和が1nm以上50nm以下、好ましくは1nm以上10nm以下となるように、第2の酸化物半導体層305を形成することが望ましい。本実施の形態では、一例として7nmの厚さとする。なお、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

#### 【0153】

第2の酸化物半導体層305には、第1の酸化物半導体層304と同一主成分の材料であつて、結晶化後の格子定数が近接した材料（ミスマッチが1%以下）を用いることが望ましい。このような材料を用いる場合には、第2の酸化物半導体層305の結晶化において、第1の酸化物半導体層304の結晶領域を種とする結晶成長を進行させやすくなるためである。さらに、同一主成分材料である場合には、界面物性や電気的特性も良好になる。

#### 【0154】

なお、結晶化によって所望の膜質が得られる場合には、異なる主成分の材料を用いて第2の酸化物半導体層305を形成しても良い。

#### 【0155】

次に、第2の酸化物半導体層305に第2の熱処理を行い、第1の酸化物半導体層304の結晶領域を種として結晶成長させて、第2の酸化物半導体層306を形成する（図5（C）参照）。第2の酸化物半導体層305を形成しない場合、当該工程は省略することができる。

#### 【0156】

第2の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。第2の熱処理の加熱時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。なお、第2の熱処理においても、熱処理の雰囲気には、水素や水などが含まれないことが望ましい。

#### 【0157】

雰囲気の詳細および熱処理による効果は、第1の熱処理と同様である。また、用いることができる熱処理装置も、第1の熱処理の場合と同様である。例えば、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気とすることで、窒素

10

20

30

40

50

雰囲気で水素などの除去を、酸素雰囲気で酸素の供給を行うことができる。

#### 【0158】

上述のような第2の熱処理を行うことにより、第1の酸化物半導体層304に形成された結晶領域から第2の酸化物半導体層305全体に結晶成長を進行させて、第2の酸化物半導体層306を形成することができる。また、水素（水や水酸基を含む）などが除去され、酸素が供給された第2の酸化物半導体層306を形成することができる。また、第2の熱処理によって、第1の酸化物半導体層304の結晶領域の配向性を高めることも可能である。

#### 【0159】

例えば、In-Ga-Zn-O系の酸化物半導体材料を第2の酸化物半導体層306に用いる場合、第2の酸化物半導体層306は、 $InGaO_3(ZnO)_m$  ( $m$ : 自然数とは限らない) で表される結晶や、 $In_2Ga_2ZnO_7$  ( $In : Ga : Zn : O = 2 : 2 : 1 : 7$  [atom比]) で表される結晶などを含み得る。このような結晶は、第2の熱処理によって、そのc軸が、第2の酸化物半導体層306の表面と略垂直な方向をとるように配向する。

#### 【0160】

ここで、上述の結晶は、a軸 (a-axis) およびb軸 (b-axis) に平行なレイヤーの積層構造である。また、各レイヤーはIn、Ga、Znのいずれかを含有する。具体的には、上述の結晶は、Inを含有するレイヤーと、Inを含有しないレイヤー (GaまたはZnを含有するレイヤー) が、c軸方向に積層された構造を有する。

10

20

#### 【0161】

In-Ga-Zn-O系の酸化物半導体結晶では、Inを含有するレイヤーの面内方向、すなわち、a軸およびb軸に平行な方向に関する導電性は良好である。これは、In-Ga-Zn-O系の酸化物半導体結晶では電気伝導が主としてInによって制御されること、一のInの5s軌道が、隣接するInの5s軌道と重なりを有することにより、キャリアパスが形成されること、などによる。

20

#### 【0162】

また、第1の酸化物半導体層304が絶縁層302との界面に非晶質領域を有するような構造の場合、第2の熱処理を行うことにより、第1の酸化物半導体層304の表面に形成されている結晶領域から第1の酸化物半導体層304の下方に向かって結晶成長が進行し、該非晶質領域が結晶化される場合もある。なお、絶縁層302を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

30

#### 【0163】

また、第1の酸化物半導体層304と第2の酸化物半導体層305とに同一主成分の酸化物半導体材料を用いる場合、図5(C)に示すように、第1の酸化物半導体層304と、第2の酸化物半導体層306とが、同一の結晶構造を有する場合がある。このため、図5(C)では点線で示したが、第1の酸化物半導体層304と第2の酸化物半導体層306の境界が判別できなくなり、第1の酸化物半導体層304と第2の酸化物半導体層306を同一の層と見なせる場合もある。

#### 【0164】

40

次に、マスクを用いたエッチングなどの方法によって第1の酸化物半導体層304および第2の酸化物半導体層306を加工して、島状の第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを形成する（図5(D)参照）。なお、ここでは、第2の熱処理の後に、島状の酸化物半導体層への加工を行っているが、島状の酸化物半導体層への加工後に、第2の熱処理を行っても良い。この場合、ウェットエッチングを用いる場合であっても、エッチングレートが高い状態でエッチングを行うことができるため、エッチングにかかる時間を短縮することができるというメリットがある。

#### 【0165】

第1の酸化物半導体層304および第2の酸化物半導体層306のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み

50

合わせて用いることもできる。酸化物半導体層を所望の形状にエッティングできるよう、材料に合わせてエッティング条件（エッティングガスやエッティング液、エッティング時間、温度等）は適宜設定する。第1の酸化物半導体層304および第2の酸化物半導体層306のエッティングは、先の実施の形態における酸化物半導体層のエッティングと同様に行なうことができる。詳細については、先の実施の形態を参照すればよい。

#### 【0166】

なお、酸化物半導体層のうち、チャネル形成領域となる領域は、平坦な表面を有していることが望ましい。例えば、第2の酸化物半導体層306表面の高低差（P-V）は、ゲート電極と重畳する領域（チャネル形成領域）において、1nm以下（好ましくは0.5nm以下）であると好適である。なお、上述の高低差は、例えば、 $10\mu\text{m} \times 10\mu\text{m}$ の領域で測定できる。10

#### 【0167】

次に、第2の酸化物半導体層306aに接するように導電層を形成する。それから、該導電層を選択的にエッティングして、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを形成する（図5（D）参照）。詳細については、先の実施の形態を参照すればよい。

#### 【0168】

なお、図5（D）に示す工程で、第1の酸化物半導体層304aまたは第2の酸化物半導体層306aの、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと接する結晶層が非晶質状態となることもある。このため、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aのすべての領域が結晶性とは限らない。20

#### 【0169】

次に、第2の酸化物半導体層306aの一部に接するゲート絶縁層312を形成する。詳細については、先の実施の形態を参照すればよい。その後、ゲート絶縁層312上の、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aと重畳する領域にゲート電極314を形成する。そして、ゲート絶縁層312およびゲート電極314上に、層間絶縁層316および層間絶縁層318を形成する（図5（E）参照）。詳細については、先の実施の形態を参照すればよい。

#### 【0170】

ゲート絶縁層312の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第3の熱処理を行うのが望ましい。第3の熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、酸素を含む雰囲気下で250、1時間の熱処理を行えばよい。第3の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層312が酸素を含む絶縁層である場合、第2の酸化物半導体層306aに酸素を供給することもできる。30

#### 【0171】

なお、本実施の形態では、ゲート絶縁層312の形成後に第3の熱処理を行っているが、第3の熱処理のタイミングはこれに限定されない。また、第2の熱処理など、他の処理によって第2の酸化物半導体層306aに酸素を供給している場合には、第3の熱処理は省略しても良い。40

#### 【0172】

以上により、第1の酸化物半導体層304a、および、第2の酸化物半導体層306aを用いたトランジスタ350が完成する（図5（E）参照）。

#### 【0173】

このように高純度化され、真性化された第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

#### 【0174】

10

20

30

40

50

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成（図1や図3に示す構成など）に、本実施の形態の構成の一部を適用することができる。また、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成や、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成などに対しても、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、結晶領域を有する酸化物半導体層を備えた様々なトランジスタを実現することができる。10

#### 【0175】

さらに、本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層304aと、第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いているため、電界効果移動度を向上させ、良好な電気特性を有するトランジスタを実現することができる。例えば、電界効果移動度 $\mu > 100 \text{ cm}^2 / \text{V} \cdot \text{s}$ を実現することも可能である。これにより、高速動作が求められる各種論理回路に、上記トランジスタを適用することも可能である。

#### 【0176】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。20

#### 【0177】

##### (実施の形態5)

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について、図6を用いて説明する。当該トランジスタは、先の実施の形態におけるトランジスタ162などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。

#### 【0178】

まず、基板400上に、絶縁層402を形成する。そして、絶縁層402上に酸化物半導体層406を形成する（図6（A）参照）。詳細については先の実施の形態を参酌すればよい。

#### 【0179】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層406を加工して、島状の酸化物半導体層406aを形成し、当該酸化物半導体層406aを覆うように、導電層408および絶縁層410を形成する（図6（B）参照）。なお、絶縁層410は必須の構成要素ではないが、後に形成されるソース電極またはドレイン電極の側面を選択的に酸化させるためには有効である。また、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減するという点においても有効である。40

#### 【0180】

島状の酸化物半導体層406aの形成や熱処理などの詳細については、先の実施の形態を参酌することができる。また、導電層408の詳細についても、先の実施の形態を参酌すればよい。

#### 【0181】

絶縁層410は、CVD法やスパッタリング法等を用いて形成することができる。また、絶縁層410は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、絶縁層410は、単層構造としても良いし、積層構造としても良い。絶縁層410の厚さは特に限定されないが、例えば、10nm以上200nm以下とすることができる。50

**【 0 1 8 2 】**

次に、導電層 408 および絶縁層 410 を選択的にエッチングして、ソース電極またはドレイン電極 408a、ソース電極またはドレイン電極 408b、絶縁層 410a、絶縁層 410b を形成する（図 6（C）参照）。詳細は、先の実施の形態におけるソース電極またはドレイン電極の形成工程と同様である。なお、アルミニウム、チタン、モリブデン、銅などの材料は、後に行われるプラズマ酸化処理に適しており、ソース電極またはドレイン電極 408a、ソース電極またはドレイン電極 408b などの材料として好適である。

**【 0 1 8 3 】**

次に、酸化物半導体層 406a に酸素を供給するための酸化処理を行う（図 6（D）参照）。当該酸化処理によって、ソース電極またはドレイン電極 408a の一部（特に、その側面に相当する部分）には酸化領域 411a が、ソース電極またはドレイン電極 408b の一部（特に、その側面に相当する部分）には酸化領域 411b が形成される（図 6（D）参照）。また、当該酸化処理によって、ソース電極またはドレイン電極 408a や、ソース電極またはドレイン電極 408b の外周部にも、酸化領域が形成される。

**【 0 1 8 4 】**

酸化処理は、マイクロ波（300 MHz ~ 300 GHz）によって励起された酸素プラズマを用いた酸化処理（プラズマ酸化処理）とするのが好適である。マイクロ波によってプラズマを励起することで、高密度プラズマが実現され、酸化物半導体層 406a へのダメージを十分に低減することができるからである。

**【 0 1 8 5 】**

より具体的には、例えば、周波数を 300 MHz ~ 300 GHz（代表的には 2.45 GHz）、圧力を 50 Pa ~ 5000 Pa（代表的には 500 Pa）、被処理物の温度を 200 ~ 400（代表的には 300）とし、酸素とアルゴンとの混合ガスを用いて上記処理を行うことができる。

**【 0 1 8 6 】**

上記酸化処理によって、酸化物半導体層 406a には酸素が供給されることになるため、酸化物半導体層 406a へのダメージを十分に低減しつつ、酸素欠乏に起因するエネルギー・ギャップ中の欠陥準位を減少させることができる。つまり、酸化物半導体層 406a の特性を一層向上させることができる。

**【 0 1 8 7 】**

なお、酸化物半導体層 406a へのダメージを十分に低減しつつ、酸化物半導体層 406a に酸素を供給することができる方法であれば、マイクロ波を用いたプラズマ酸化処理に限定されない。例えば、酸素を含む雰囲気における熱処理などの方法を用いることができる。

**【 0 1 8 8 】**

また、上記酸化処理と併せて、酸化物半導体層 406a から水や水素などを除去する処理を行ってもよい。この場合、例えば、窒素やアルゴンなどのガスを用いたプラズマ処理を用いることができる。

**【 0 1 8 9 】**

なお、上記酸化処理によって形成された酸化領域 411a や酸化領域 411b は、トランジスタ 450 が微細化されている場合（例えば、チャネル長が 1000 nm 未満である場合）には、特に有効である。トランジスタの微細化に伴い、ゲート絶縁層に対してはその厚みを小さくすることが要求されるが、当該酸化領域を有することで、ゲート絶縁層の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極と、ソース電極またはドレイン電極のショートを防止できるためである。なお、当該酸化領域は、5 nm 以上（好ましくは 10 nm 以上）の厚みを有していれば、十分に効果的である。

**【 0 1 9 0 】**

また、上記酸化処理は、露出した絶縁層 402 の膜質改善の観点からも有効である。

**【 0 1 9 1 】**

なお、ソース電極またはドレイン電極 408a や、ソース電極またはドレイン電極 408b

10

20

30

40

50

bの上部の酸化を防止する役割を有する点で、絶縁層410aおよび絶縁層410bは重要である。エッチングの際に用いるマスクを残存させたまま、上記プラズマ処理をするには大きな困難が伴うからである。

#### 【0192】

次に、大気に触れさせることなく、酸化物半導体層406aの一部に接するゲート絶縁層412を形成する。そして、ゲート絶縁層412上の酸化物半導体層406aと重畳する領域にゲート電極414を形成し、ゲート絶縁層412およびゲート電極414上に、層間絶縁層416および層間絶縁層418を形成する(図6(E)参照)。詳細については、先の実施の形態を参照することができる。

#### 【0193】

以上により、酸化物半導体を用いたトランジスタ450が完成する。

10

#### 【0194】

本実施の形態では、酸化物半導体層406aに酸素を供給するために、酸化物半導体層406aに酸素プラズマ処理を施している。このため、トランジスタ450の特性はさらに高いものとなる。また、ソース電極またはドレイン電極の側面に相当する領域が酸化されることになるため、ゲート絶縁層の薄膜化に起因して生じるおそれのある、ゲート電極-ソース電極(またはドレイン電極)間の短絡を防止することができる。また、酸化領域411a、酸化領域411bによって、適度なオフセット領域ができるので、酸化物半導体層から、ソース電極(またはドレイン電極)との界面にかけての電界の変化を、低く抑えることも可能である。

20

#### 【0195】

また、ソース電極およびドレイン電極の上に絶縁層を設けることにより、ソース電極およびドレイン電極と、ゲート電極との間に形成される容量(寄生容量)を低減し、さらなる高速動作を実現することが可能である。

#### 【0196】

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成に、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、酸素が供給された酸化物半導体、酸化領域を有する電極、などを備えた様々なトランジスタを実現することができる

30

#### 【0197】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0198】

##### (実施の形態6)

本実施の形態では、先の実施の形態に示す半導体装置の応用例につき、図7および図8を用いて説明する。

#### 【0199】

図7(A)および図7(B)は、図2(A-1)に示す半導体装置(以下、メモリセル190とも記載する)を複数用いて形成される半導体装置の回路図である。図7(A)は、メモリセル190が直列に接続された、いわゆるNAND型の半導体装置の回路図である。図7(B)は、メモリセル190が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

40

#### 【0200】

図7(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、m本の第2信号線S2、m本のワード線WLを有し、複数のメモリセル190(1、1)~190(m、1)が縦m個(行)×横1個(列)に配置されている。なお、図7(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られな

50

い。ソース線 S L およびビット線 B L を n 本有することで、縦 m 個（行）×横 n 個（列）のメモリセルアレイを有する構成としてもよい。

#### 【0201】

各メモリセル 190において、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の一方と、容量素子 164 の電極の一方とは、電気的に接続されている。また、第 1 信号線 S 1 とトランジスタ 162 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 2 信号線 S 2 と、トランジスタ 162 のゲート電極とは、電気的に接続されている。そして、ワード線 W L と、容量素子 164 の電極の他方は電気的に接続されている。

#### 【0202】

また、メモリセル 190 が有するトランジスタ 160 のソース電極は、隣接するメモリセル 190 のトランジスタ 160 のドレイン電極と電気的に接続され、メモリセル 190 が有するトランジスタ 160 のドレイン電極は、隣接するメモリセル 190 のトランジスタ 160 のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル 190 が有するトランジスタ 160 のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル 190 が有するトランジスタ 160 のソース電極は、ソース線と電気的に接続される。

#### 【0203】

図 7 (A) に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第 2 の信号線 S 2 にトランジスタ 162 がオン状態となる電位を与え、書き込みを行う行のトランジスタ 162 をオン状態にする。これにより、指定した行のトランジスタ 160 のゲート電極に第 1 の信号線 S 1 の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

#### 【0204】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線 W L に、トランジスタ 160 のゲート電極の電荷によらず、トランジスタ 160 がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ 160 をオン状態とする。それから、読み出しを行う行のワード線 W L に、トランジスタ 160 のゲート電極が有する電荷によって、トランジスタ 160 のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線 S L - ビット線 B L 間の複数のトランジスタ 160 は、読み出しを行う行を除いてオン状態なので、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 160 の状態によって決定される。つまり、読み出しを行う行のトランジスタ 160 のゲート電極が有する電荷によって、読み出し回路が読み出すビット線 B L の電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

#### 【0205】

図 7 (B) に示す半導体装置は、n 本のソース線 S L 、ビット線 B L および第 1 信号線 S 1 と、m 本の第 2 信号線 S 2 およびワード線 W L と、複数のメモリセル 190 (1, 1) ~ 190 (m, n) が縦 m 個（行）×横 n 個（列）のマトリクス状に配置されたメモリセルアレイ 181 を有する。各トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の一方と、容量素子 164 の電極の一方とは、電気的に接続されている。また、ソース線 S L とトランジスタ 160 のソース電極とは、電気的に接続され、ビット線 B L とトランジスタ 160 のドレイン電極とは、電気的に接続されている。また、第 1 信号線 S 1 とトランジスタ 162 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 2 信号線 S 2 と、トランジスタ 162 のゲート電極とは、電気的に接続されている。そして、ワード線 W L と、容量素子 164 の電極の他方は電気的に接続されている。

10

20

30

40

50

**【0206】**

図7(B)に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図7(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ160のゲート電極の電荷によらず、トランジスタ160がオフ状態となるような電位を与える、読み出しを行う行以外のトランジスタ160をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ160のゲート電極が有する電荷によって、トランジスタ160のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ピット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ピット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ160の状態によって決定される。つまり、読み出しを行う行のトランジスタ160のゲート電極が有する電荷によって、読み出し回路が読み出すピット線BLの電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

**【0207】**

次に、図7に示す半導体装置などに用いることができる読み出し回路の一例について図8を用いて説明する。

**【0208】**

図8(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

20

**【0209】**

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたピット線に接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

**【0210】**

メモリセル190は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル190のトランジスタ160がオン状態の場合には低抵抗状態となり、選択したメモリセル190のトランジスタ160がオフ状態の場合には高抵抗状態となる。

**【0211】**

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センスアンプ回路は端子Aの電位に対応する電位(データ"1")を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位Vrefより低くなり、センスアンプ回路は端子Aの電位に対応する電位(データ"0")を出力する。

30

**【0212】**

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位Vrefの代わりに参照用のピット線が接続される構成としても良い。

**【0213】**

図8(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子Vin(+)とVin(-)と出力端子Voutを有し、Vin(+)とVin(-)の差を増幅する。Vin(+) > Vin(-)であればVoutは、概ねHigh出力、Vin(+) < Vin(-)であればVoutは、概ねLow出力となる。

40

**【0214】**

図8(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子V1およびV2と、制御用信号Sp、Snの入力端子を有する。まず、制御用信号SpをHigh、制御用信号SnをLowとして、電源電位(Vdd)を遮断する。そして、比較を行う電位をV1とV2に与える。その後、制御用信号Sp

50

を Low、制御用信号 Sn を High として、電源電位 (Vdd) を供給すると、比較を行なう電位 V1in と V2in が V1in > V2in の関係にあれば、V1 の出力は High、V2 の出力は Low となり、V1in < V2in の関係にあれば、V1 の出力は Low、V2 の出力は High となる。このような関係を利用して、V1in と V2in の差を増幅することができる。

#### 【0215】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0216】

(実施の形態 7)

10

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図 9 を参照して説明する。

#### 【0217】

図 9 (A) には、いわゆる DRAM (Dynamic Random Access Memory) に相当する構成の半導体装置の一例を示す。図 9 (A) に示すメモリセルアレイ 620 は、複数のメモリセル 630 がマトリクス状に配列された構成を有している。また、メモリセルアレイ 620 は、m 本の第 1 の配線、および n 本の第 2 の配線を有する。なお、メモリセル 630 は、図 2 (B) に示す半導体装置に相当するものである。なお、本実施の形態においては、図 2 (B) における第 1 の配線をビット線 BL と呼び、第 2 の配線をワード線 WL と呼ぶ。

20

#### 【0218】

メモリセル 630 は、トランジスタ 631 と、容量素子 632 と、から構成されている。トランジスタ 631 のゲート電極は、第 1 の配線 (ワード線 WL) と接続されている。また、トランジスタ 631 のソース電極またはドレイン電極の一方は、第 2 の配線 (ビット線 BL) と接続されており、トランジスタ 631 のソース電極またはドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線 CL と接続され、一定の電位が与えられている。トランジスタ 631 には、先の実施の形態に示すトランジスタが適用される。

#### 【0219】

先の実施の形態において示したトランジスタは、オフ電流が極めて小さいという特徴を有する。このため、いわゆる DRAM として認識されている図 9 (A) に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

30

#### 【0220】

図 9 (B) には、いわゆる SRAM (Static Random Access Memory) に相当する構成の半導体装置の一例を示す。図 9 (B) に示すメモリセルアレイ 640 は、複数のメモリセル 650 がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ 640 は、第 1 の配線 (ワード線 WL)、第 2 の配線 (ビット線 BL) および第 3 の配線 (反転ビット線 / BL) をそれぞれ複数本有する。

#### 【0221】

メモリセル 650 は、第 1 のトランジスタ 651 ~ 第 6 のトランジスタ 656 を有している。第 1 のトランジスタ 651 と第 2 のトランジスタ 652 は、選択トランジスタとして機能する。また、第 3 のトランジスタ 653 と第 4 のトランジスタ 654 のうち、一方は n チャネル型トランジスタ (ここでは、第 4 のトランジスタ 654) であり、他方は p チャネル型トランジスタ (ここでは、第 3 のトランジスタ 653) である。つまり、第 3 のトランジスタ 653 と第 4 のトランジスタ 654 によって CMOS 回路が構成されている。同様に、第 5 のトランジスタ 655 と第 6 のトランジスタ 656 によって CMOS 回路が構成されている。

40

#### 【0222】

第 1 のトランジスタ 651、第 2 のトランジスタ 652、第 4 のトランジスタ 654、第 6 のトランジスタ 656 は、n チャネル型のトランジスタであり、先の実施の形態において

50

て示したトランジスタを適用することができる。第3のトランジスタ653と第5のトランジスタ655は、pチャネル型のトランジスタであり、酸化物半導体、またはそれ以外の材料（例えば、シリコンなど）を用いて形成することができる。

#### 【0223】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0224】

##### (実施の形態8)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図10を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ等のカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。10

#### 【0225】

図10(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。20

#### 【0226】

図10(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスライラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。30

#### 【0227】

図10(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。40

#### 【0228】

図10(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図10(D)に示すように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導50

体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

#### 【0229】

図10(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。10

#### 【0230】

図10(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。20

#### 【0231】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

#### 【実施例1】

#### 【0232】

開示する発明の一態様にかかる半導体装置の書き換え可能回数につき調査した。本実施例では、当該調査結果につき、図11を参照して説明する。

#### 【0233】

調査に用いた半導体装置は、図2(A-1)に示す回路構成の半導体装置である。ここで、トランジスタ162に相当するトランジスタには酸化物半導体を用いた。また、容量素子164に相当する容量素子として、0.33 pFの容量値のものを用いた。30

#### 【0234】

調査は、初期のメモリウィンドウ幅と、データの保持およびデータの書き込みを所定回数繰り返した後のメモリウィンドウ幅とを比較することにより行った。データの保持およびデータの書き込みは、図2(A-1)における第3の配線に相当する配線に0V、または5Vのいずれかを与えることにより行った。第4の配線に相当する配線に、0V、または5Vのいずれかを与えることにより行った。第4の配線に相当する配線の電位が0Vの場合には、トランジスタ162に相当するトランジスタはオフ状態であるから、フローティングゲート部FGに与えられた電位が保持される。第4の配線に相当する配線の電位が5Vの場合には、トランジスタ162に相当するトランジスタはオン状態であるから、第3の配線に相当する配線の電位がフローティングゲート部FGに与えられる。40

#### 【0235】

メモリウィンドウ幅とは記憶装置の特性を示す指標の一つである。ここでは、異なる記憶状態の間での、第5の配線に相当する配線の電位Vcgと、トランジスタ160に相当するトランジスタのドレイン電流Idとの関係を示す曲線(Vcg - Id曲線)の、シフト量Vcgをいうものとする。異なる記憶状態とは、フローティングゲート部FGに0Vが与えられた状態(以下、Low状態という)と、フローティングゲート部FGに5Vが与えられた状態(以下、High状態という)をいう。つまり、メモリウィンドウ幅は、Low状態とHigh状態において、電位Vcgの掃引を行うことで確認できる。またい50

ずれの場合も、 $V_{ds} = 1\text{ V}$ とした。

**【0236】**

図11に、初期状態のメモリウィンドウ幅と、 $1 \times 10^9$ 回の書き込みを行った後のメモリウィンドウ幅の調査結果を示す。なお、図11において、実線は1回目の書き込みを示し、破線は $1 \times 10^9$ 回目の書き込みを示す。また、実線と破線双方において、左側の曲線はHigh状態の書き込みを示し、右側の曲線はLow状態の書き込みを示す。また、横軸はVcg(V)を示し、縦軸はId(A)を示す。図11から、 $1 \times 10^9$ 回の書き込み前後において、High状態とLow状態において電位Vcgを掃引したメモリウィンドウ幅が変化していないことが確認できる。 $1 \times 10^9$ 回の書き込み前後においてメモリウィンドウ幅が変化しないということは、少なくともこの間は、半導体装置の特性が変化しないことを示すものである。  
10

**【0237】**

上述のように、開示する発明の一態様に係る半導体装置は、保持および書き込みを多数回繰り返しても特性が変化しない。つまり、開示する発明の一態様によって、極めて信頼性の高い半導体装置が実現されるといえる。

**【符号の説明】**

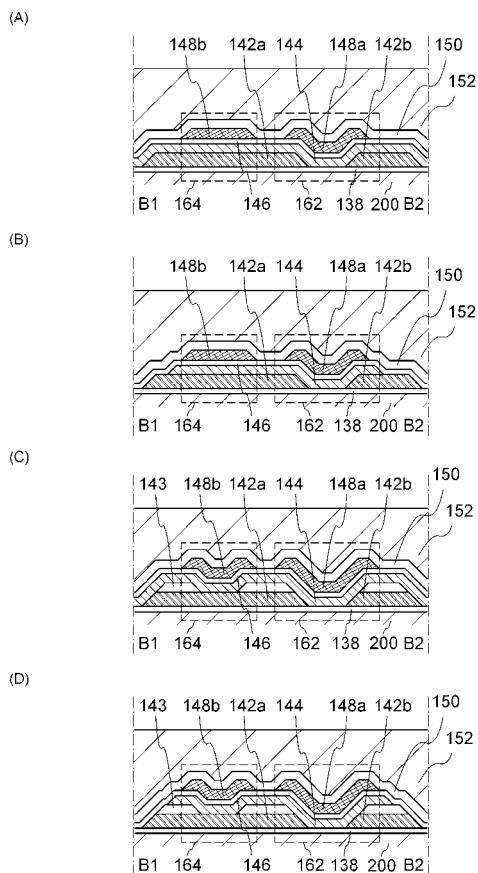
**【0238】**

138	絶縁層	
140	酸化物半導体層	
142 a	ソース電極またはドレイン電極	20
142 b	ソース電極またはドレイン電極	
143	絶縁層	
144	酸化物半導体層	
146	ゲート絶縁層	
148 a	ゲート電極	
148 b	電極	
150	層間絶縁層	
152	層間絶縁層	
160	トランジスタ	
162	トランジスタ	30
164	容量素子	
181	メモリセルアレイ	
190	メモリセル	
200	基板	
202	絶縁層	
206	酸化物半導体層	
206 a	酸化物半導体層	
208 a	ソース電極またはドレイン電極	
208 b	ソース電極またはドレイン電極	
212	ゲート絶縁層	40
214	ゲート電極	
216	層間絶縁層	
218	層間絶縁層	
250	トランジスタ	
300	基板	
302	絶縁層	
304	第1の酸化物半導体層	
304 a	第1の酸化物半導体層	
305	第2の酸化物半導体層	
306	第2の酸化物半導体層	50

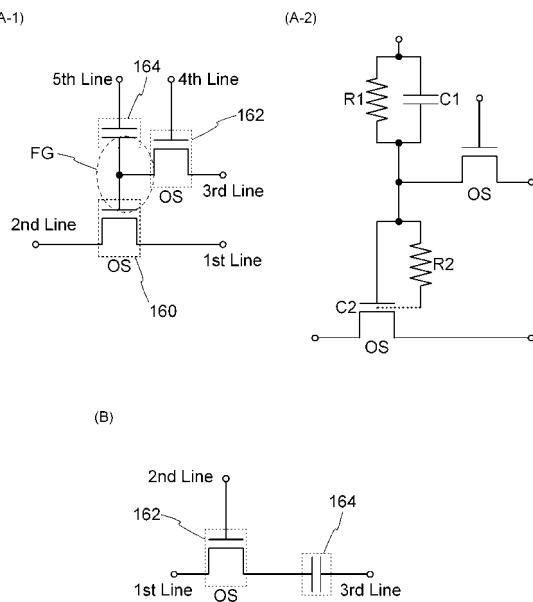
3 0 6 a	第 2 の酸化物半導体層	
3 0 8 a	ソース電極またはドレイン電極	
3 0 8 b	ソース電極またはドレイン電極	
3 1 2	ゲート絶縁層	
3 1 4	ゲート電極	
3 1 6	層間絶縁層	
3 1 8	層間絶縁層	
3 5 0	トランジスタ	
4 0 0	基板	
4 0 2	絶縁層	10
4 0 6	酸化物半導体層	
4 0 6 a	酸化物半導体層	
4 0 8	導電層	
4 0 8 a	ソース電極またはドレイン電極	
4 0 8 b	ソース電極またはドレイン電極	
4 1 0	絶縁層	
4 1 0 a	絶縁層	
4 1 0 b	絶縁層	
4 1 1 a	酸化領域	
4 1 1 b	酸化領域	20
4 1 2	ゲート絶縁層	
4 1 4	ゲート電極	
4 1 6	層間絶縁層	
4 1 8	層間絶縁層	
4 5 0	トランジスタ	
6 2 0	メモリセルアレイ	
6 3 0	メモリセル	
6 3 1	トランジスタ	
6 3 2	容量素子	
6 4 0	メモリセルアレイ	30
6 5 0	メモリセル	
6 5 1	トランジスタ	
6 5 2	トランジスタ	
6 5 3	トランジスタ	
6 5 4	トランジスタ	
6 5 5	トランジスタ	
6 5 6	トランジスタ	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	40
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイルス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	50

7 2 7	表示部
7 3 1	電源
7 3 3	操作キー
7 3 5	スピーカー
7 3 7	軸部
7 4 0	筐体
7 4 1	筐体
7 4 2	表示パネル
7 4 3	スピーカー
7 4 4	マイクロフォン
7 4 5	操作キー
7 4 6	ポインティングデバイス
7 4 7	カメラ用レンズ
7 4 8	外部接続端子
7 4 9	太陽電池セル
7 5 0	外部メモリスロット
7 6 1	本体
7 6 3	接眼部
7 6 4	操作スイッチ
7 6 5	表示部
7 6 6	パッテリー
7 6 7	表示部
7 7 0	テレビジョン装置
7 7 1	筐体
7 7 3	表示部
7 7 5	スタンド
7 8 0	リモコン操作機

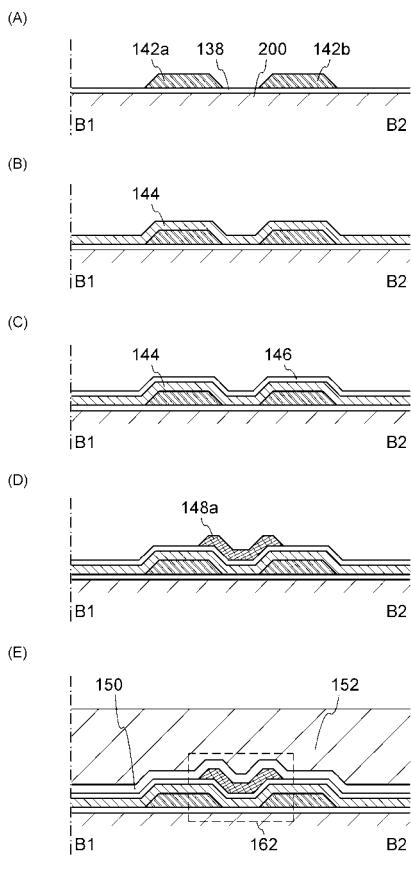
【図1】



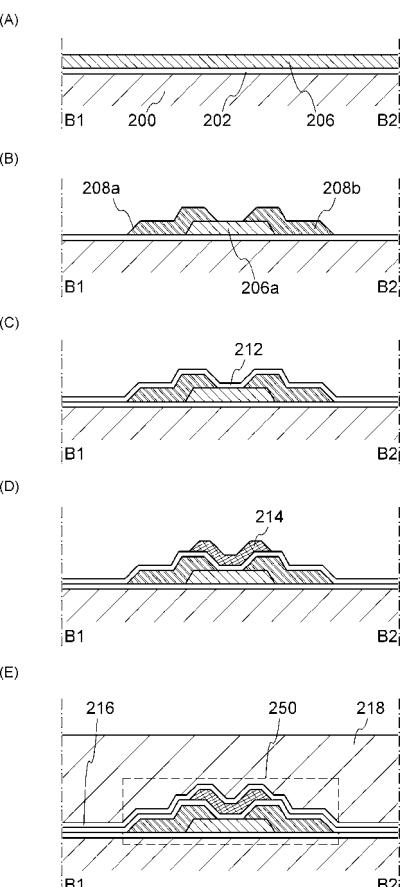
【図2】



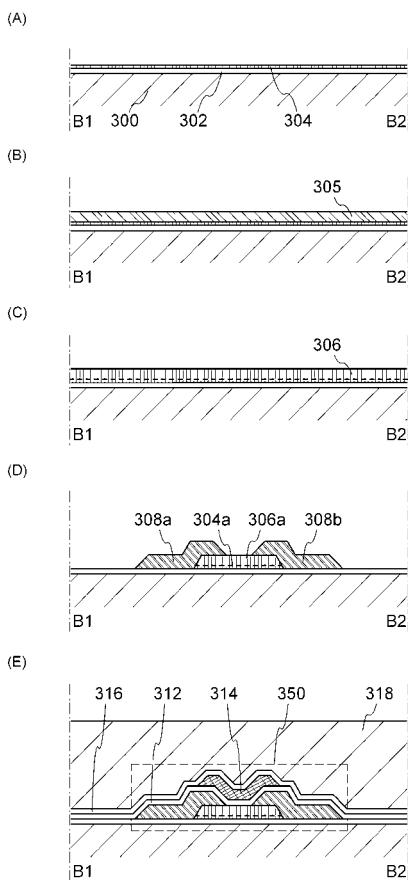
【図3】



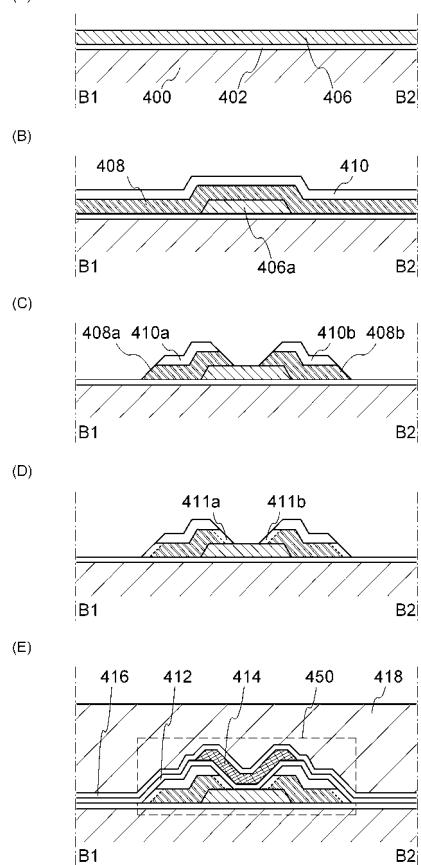
【図4】



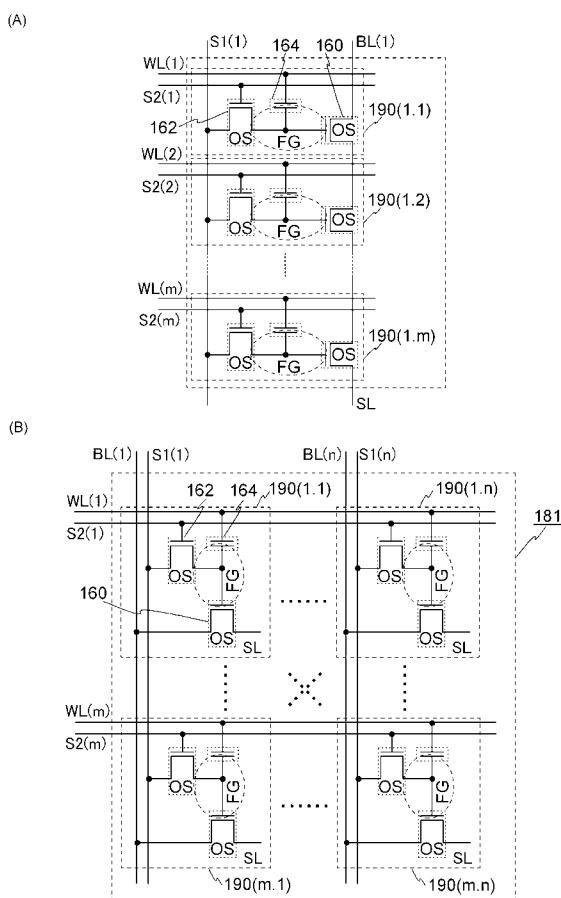
【図5】



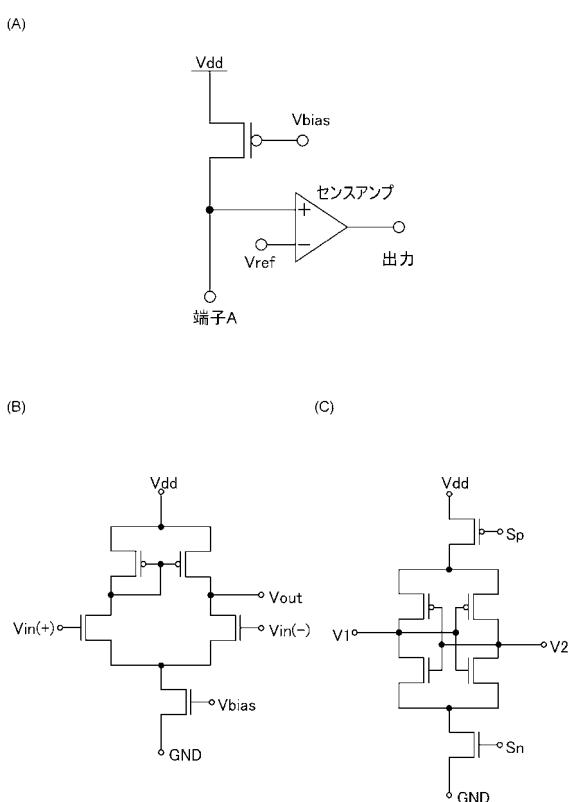
【図6】



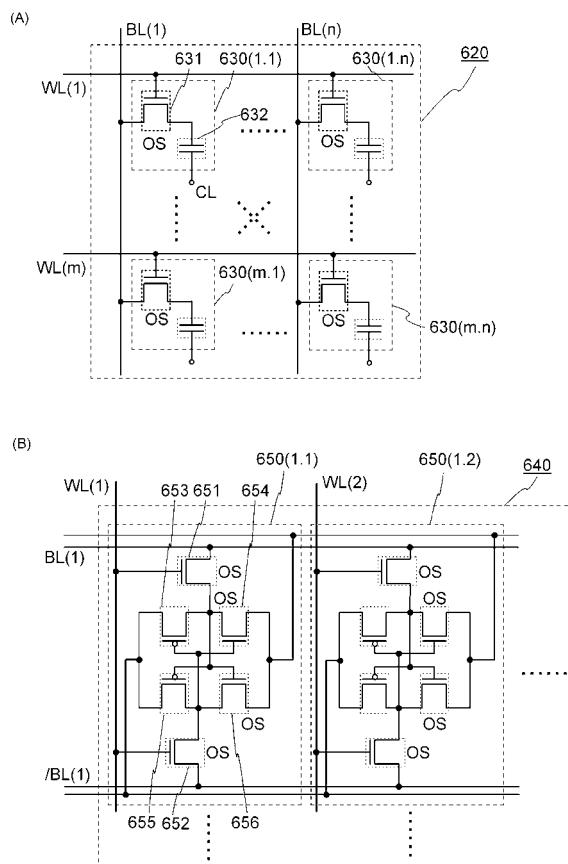
【図7】



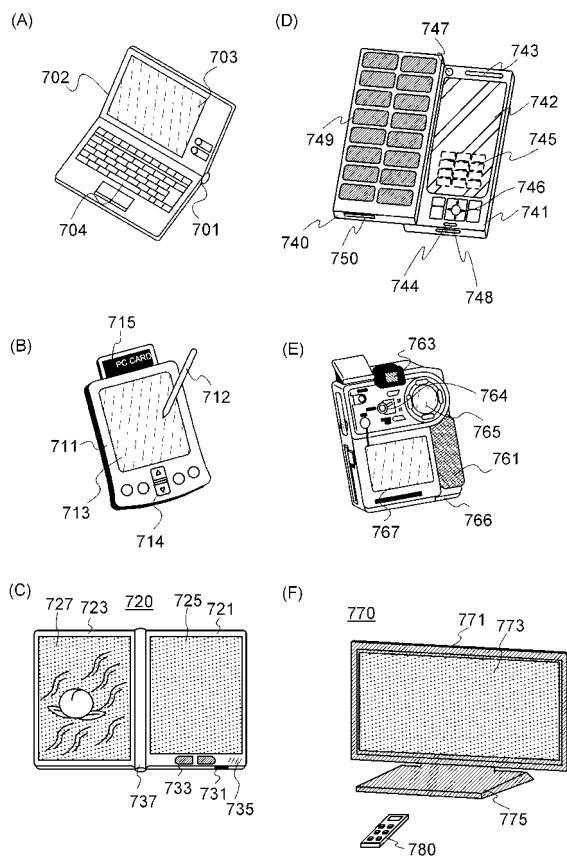
【図8】



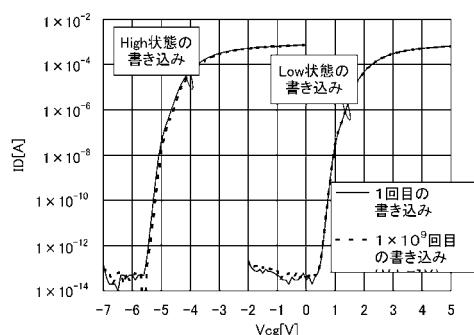
【図9】



【図10】



【図11】



---

フロントページの続き

(51)Int.Cl. F I

H 01 L	29/792	(2006.01)	H 01 L	27/10	4 5 1
H 01 L	27/115	(2006.01)	G 11 C	11/34	3 5 2 B
H 01 L	21/8247	(2006.01)			
H 01 L	27/10	(2006.01)			
G 11 C	11/405	(2006.01)			

(56)参考文献 特開2001-053164(JP,A)  
特開2007-103918(JP,A)  
特開2007-123861(JP,A)  
特開2009-167087(JP,A)  
米国特許出願公開第2008/0128689(US,A1)  
特開2007-165861(JP,A)  
特開2006-216969(JP,A)  
特開2009-152633(JP,A)  
特開2009-302520(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 8242
G 11 C	11 / 405
H 01 L	21 / 336
H 01 L	21 / 8247
H 01 L	27 / 10
H 01 L	27 / 108
H 01 L	27 / 115
H 01 L	29 / 786
H 01 L	29 / 788
H 01 L	29 / 792