

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4029946号

(P4029946)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K
HO 1 L 29/749 (2006.01)	HO 1 L 29/74 6 0 1 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 8 F

請求項の数 9 (全 10 頁)

(21) 出願番号	特願平9-89640	(73) 特許権者	501289739
(22) 出願日	平成9年4月8日(1997.4.8)		フェアチャイルド セミコンダクター コーポレーション
(65) 公開番号	特開平10-32335		アメリカ合衆国 メイン州 04106、
(43) 公開日	平成10年2月3日(1998.2.3)		サウス ポートランド、エムエス35-4
審査請求日	平成16年4月7日(2004.4.7)		イー、ランニング ヒル ロード 82
(31) 優先権主張番号	636904	(74) 代理人	100070150
(32) 優先日	平成8年4月10日(1996.4.10)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)	(72) 発明者	ジェイムズ ディー ビーソム
前置審査			アメリカ合衆国、フロリダ 32904、
			ヴィレッジ、メルバーン、サウス・ワイルドウッド・レーン 506
		審査官	恩田 春香
			最終頁に続く

(54) 【発明の名称】 トレンチMOSゲート装置

(57) 【特許請求の範囲】

【請求項1】

溝底層及び側壁層の各層を有する溝底及び側壁を含む溝を有し、且つ上記溝底層及び側壁層の各々が、実質的に均一な制御された厚さを有する二酸化珪素から成る、トレンチMOSゲート装置であって、

実質的に均一な上記の厚さは、上記溝底層及び上記側壁層の各層の実質的に均一な厚さを個々に制御することにより確定された溝底層対側壁層の厚さの比を有し、上記溝底層の厚さは上記側壁層の厚さより大きく、且つ、上記溝底層及び側壁層の各層は熱成長した二酸化珪素と堆積した二酸化珪素との複合物から成ることを特徴とするトレンチMOSゲート装置。

【請求項2】

上記溝底層対側壁層の厚さの比は少なくとも1.2対1であり、二酸化珪素の上記溝底層は300乃至3,000オングストロームの厚さを有し、且つ、二酸化珪素の上記側壁層は200乃至1,500オングストロームの厚さを有することを特徴とする請求項1記載のトレンチMOSゲート装置。

【請求項3】

上記トレンチゲートは上記溝の中に設けられたドーパント多結晶シリコンを含み、上記溝は、オープンセル方式のストライプ状トポロジー、又は、クローズドセル方式のセルラ状トポロジーを有することを特徴とする請求項1乃至3のうちいずれか1項記載のトレンチMOSゲート装置。

【請求項 4】

上記溝は実質的に四角形又は六角形のセルラ状トポロジーを有することを特徴とする請求項 3 記載のトレンチ MOS ゲート装置。

【請求項 5】

上記熱成長した二酸化珪素は、酸素含有雰囲気中のシリコンの反応生成物からなることを特徴とする請求項 1 乃至 4 のうちいずれか 1 項記載のトレンチ MOS ゲート装置。

【請求項 6】

上記堆積した二酸化珪素は、気相成長された揮発性シリコン含有化合物の反応生成物からなることを特徴とする請求項 1 乃至 4 のうちいずれか 1 項記載のトレンチ MOS ゲート装置。

10

【請求項 7】

溝底及び側壁を有する溝をシリコンデバイスウェーハにエッチングする段階と、
上記溝底及び側壁の各々に、熱成長した二酸化珪素から本質的に成る第 1 層を形成する段階であり、上記溝底への第 1 層が上記側壁への第 1 層の厚さより小さい厚さを有する第 1 層を形成する段階と、
上記第 1 層の上に、堆積した二酸化珪素から本質的に成る第 2 層を形成する段階であり、
上記溝底への第 2 層が上記側壁への第 2 層の厚さより大きい厚さを有し、上記第 1 層及び第 2 層があわさって上記溝底及び側壁の各々に二酸化珪素の複合層を形成し、上記溝底の上記複合層の厚さが、上記第 1 層及び第 2 層の各層の厚さを個々に制御することにより、
上記側壁の上記複合層の厚さより大きくされる、第 2 層を形成する段階と、
上記複合層を含有する上記溝を多結晶シリコンで充填する段階と、
トレンチゲートを形成するよう上記多結晶シリコン上に絶縁体を形成する段階と、
パターン化された導電性金属の相互連結を上記トレンチゲート上に形成する段階とからなる、トレンチ MOS ゲートデバイスを形成する方法。

20

【請求項 8】

二酸化珪素の上記溝底層は 300 乃至 3,000 オングストロームの厚さを有し、二酸化珪素の上記側壁層は 200 乃至 1,500 オングストロームの厚さを有し、
上記熱成長した二酸化珪素を形成する反応が、700 °C 乃至 1,050 °C の温度で行われることを特徴とする請求項 7 記載の方法。

【請求項 9】

上記堆積した二酸化珪素をアニーリング処理する段階を更に有する請求項 7 又は 8 記載の方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS デバイスに係り、特に、トレンチ MOS ゲートデバイスと、そのトレンチ MOS ゲートデバイスの形成方法とに関する。

【0002】

【従来の技術】

トレンチゲート構造を含む MOS トランジスタは、高電流、低電圧のスイッチング応用の場合にプレーナトランジスタよりも優れた重要な利点がある。プレーナ構造の場合に、高い電流フローで狭窄が生じ、上記の条件下で動作するよう意図されたトランジスタの設計に実質的な制約を課す影響がある。DMOS（デプレッション MOS）デバイスのトレンチゲートは、典型的に、ソースからドレインに延在し、熱成長二酸化珪素の層で覆われた側壁及び溝底を有する溝を含む。内側を覆われた溝は、ドーピングされた多結晶シリコンで充填される。トレンチゲート構造により、電流フローの制限が緩和されるので、特定のオン抵抗の値が小さくなる。更に、トレンチゲートは、トランジスタのボディの両側のソースの底から、下側のドレインまで溝の垂直側壁に沿って延在する MOS チャネルのセルピッチを短縮させ得る。これによりチャネル密度は増加し、チャネルのオン抵抗への寄与が低下する。トレンチ DMOS トランジスタの構造及び性能は、ブルセア (Bulucea) とロッセ

40

50

ン(Rossen)とによる“高電流(100 Aレンジ)スイッチング用のトレンチDMOSトランジスタ技術(Trench DMOS Transistor Technology for High-Current(100 A Range) Switching) ”、固体電子、1991年、第34巻、第5号、ページ493-507に記載されている。トレンチゲートは、DMOSデバイスに有用である他に、IGBT(絶縁ゲートバイポーラトランジスタ)、MCT(MOS制御形サイリスタ)、及び他のMOSゲートデバイス構造に利用される点が有利である。

【0003】

誘電体酸化物で内側を覆われ、溝領域内にある成分の島の横方向の分離を提供する手段として多結晶シリコンで充填された溝は、米国特許第5,196,273号及び第5,248,894号明細書に記載されている。この目的のため誘電体を形成する好ましい方法は、通常、熱酸化である。

10

成分の島の分離用の二酸化珪素を生成するための熱酸化は、本発明のデバイス及び工程により設けられた酸化膜の厚さの制御を必要としない。分離のため使用される誘電体は、非常に厚く、10,000オングストロームよりも厚い。このような厚さの範囲において、酸化物は、ゲート酸化膜に関し数百オングストロームの厚さに相当する方位依存性の1次成長速度ではなく、全ての結晶表面上で同一の成長速度を生じる2次成長規則に従って成長する。従って、分離の目的のための熱成長酸化膜は、全ての表面上で本質的に同一の厚さである。

【0004】

酸化で誘発される歪みを最小限に抑えるため、略100オングストロームの厚さの薄い熱酸化膜は、島の表面を覆うため多少成長させられる。この薄い酸化膜は、次に、要求された分離を与えるため、約10,000オングストロームの厚い堆積された酸化膜で覆われる。この場合に、分離層は、略余すところなく堆積された酸化物により構成される。この分離層は、平均的な容量が小さく、かつ、酸化物の降伏電圧が分離されるべき最大電圧よりも高くなることを保証するため十分に厚くする必要がある。しかし、成分の島の分離のため設けられた酸化膜に対し、最小の厚さ、又は、均一性の制約はない。

20

【0005】

【発明が解決しようとする課題】

トレンチゲート構造は高電流のトランジスタの動作に有利ではあるが、その性能は溝底の誘電体材料に亘るゲート・ドレイン間容量の形成により劣化される。更に、溝底の隅は、DMOSが逆向きにバイアスされたときに電界の集中を生じさせ、その結果として降伏電圧が低下する可能性がある。

30

【0006】

本発明は、誘電体層のゲートトレンチの側壁又は溝底への形成を有利に制御することにより、これらの影響を緩和することを目的とする。

【0007】

【課題を解決するための手段】

本発明のトレンチMOSゲートは、誘電体材料の層からなる実質的に均一に制御された厚さの寸法を有する溝底及び側壁を有する溝により構成される。本発明のトレンチMOSゲートは、上記の実質的に均一な厚さの寸法が制御された制御された底と側壁の層の厚さの比により関係付けられ、上記の比は上記溝底及び側壁の各層を別々に制御することにより確定されることを特徴とする。

40

【0008】

更に、本発明の改良形トレンチMOSゲートデバイスを形成する工程は、溝底及び側壁を有する溝をシリコンデバイスウェーハに形成する段階と、各層の実質的に均一な厚さを別々に制御することにより制御された溝底層と側壁層との厚さの比により関係付けられた実質的に均一な制御された厚さの寸法を有する誘電体材料の層を、上記溝底及び上記側壁の夫々の上に形成する段階と、上記誘電体材料の層を含む上記溝を多結晶シリコンで充填する段階と、トレンチゲートを形成するため上記多結晶シリコンの上に絶縁物を塗布する段階と、上記トレンチゲート上にパターン化された導電性金属の相互連結を形成する段階と

50

からなる。

【0009】

トレンチMOSゲートデバイスは、溝底及び側壁が制御された厚さの寸法を有する誘電体材料の各層を含む溝により構成される点で好都合である。上記の厚さの寸法は、溝底及び側壁の各誘電体層の厚さを別々に制御することにより確定される制御された「溝底層対側壁層の厚さの比」により関係付けられる。上記の側壁層に対する溝底層の厚さの比は、好ましくは、少なくとも1対1であり、より好ましくは、少なくとも1.2対1である。

【0010】

トレンチMOSゲートデバイスを形成する工程は、シリコンデバイスウェーハ内の溝をエッチングする段階と、制御された厚さの寸法を有する誘電体材料の層を溝底及び側壁に形成する段階とを含む方が有利である。厚さの寸法は、好ましくは、少なくとも1対1の制御された溝底対側壁の層の厚さの比により関係付けられる。二酸化珪素が誘電体材料として利用されるとき、上記の層は、好ましくは、熱成長並びに堆積させられた二酸化珪素の複合物からなる。

10

【0011】

誘電体層を含む溝は多結晶シリコンで充填され、絶縁体層が多結晶シリコンの上に形成され、これによりトレンチゲートが形成される。パターン化された導電性金属の相互連結がトレンチゲート上に形成される。

上記のトレンチMOSゲートデバイスは、有利に制御された厚さの比をなす誘電体材料の層が溝底及び側壁に設けられ、望ましくない寄生効果による損傷を除去する溝を有するトレンチゲートを含む。

20

【0012】

【発明の実施の形態】

以下、添付図面を参照してその例に限定されることなく本発明を説明する。

トレンチDMOSTランジスタの性能を低下させる上記の影響は、ゲートの溝底上の二酸化珪素層の厚さを増加させることにより消すことが可能である。しかし、寄生効果を除去するための厚い溝底の酸化膜の要求と、チャネル抵抗を除去するための溝の側壁の薄い酸化膜の要求との間は、設計上の競合関係にある。この競合関係は、通常の結晶方位を有するシリコン基板上にチャネル酸化膜を形成するため通常の熱酸化工程が使用されるとき折り合う。熱酸化膜は、溝底の面上では比較的緩慢に成長し、溝の側壁を形成する面のよう

30

【0013】

一般的な六角形の形状が溝パターンに使用されるとき生じ得るような多数の結晶方位が側壁に存在するならば、熱成長酸化物は、異なる結晶方位を有する側壁に異なる厚さの層を形成する。チャネル抵抗は、チャネル区間の酸化膜が厚くなるのに伴って大きくなる。これは、ゲート酸化物の結晶依存性成長速度の別の望ましくない影響である。

【0014】

上記の問題は、本発明の好ましい実施例に従ってトレンチゲートのため複合酸化物形成工程を使用することにより実質的に解決される。ゲート酸化物の第1の部分は、低い界面準位濃度を得るため熱酸化により形成される、残りのゲート酸化物は、（溝底のような）水平面上で（側壁のような）垂直面上よりも高い堆積速度を有するCVD（気相成長法）により形成される。より高速の水平面上の堆積速度は、より低速の上記面上の熱酸化物成長速度を補償するので、複合酸化膜は側壁よりも溝底でより厚くすることが可能である。

40

【0015】

本発明に従ってゲート酸化物を堆積させるため有効なシステムは、ノベルス社(Novellus Corp.)から入手可能なノベルス コンセプト 1(Novellus Concept 1)誘電体堆積装置を利用する。かかるシステムは、水平面对垂直面の約2対1の堆積速度比でプラズマCVD法により酸化物を堆積させ得る。1.5対1よりも大きい比の方がより好ましい。

50

【0016】

かくして、全体的な層の厚さが500オングストロームの側壁を有する複合酸化物は、以下のように溝の側壁上と溝底上に形成される。250オングストロームの熱酸化膜が、同時に成長した溝底上の177オングストロームの層と共に、溝の側壁上で成長させられる。250オングストロームの酸化物の層が成長した酸化物を覆って側壁上に堆積され、一方、500オングストロームの厚さの酸化膜が同時に溝の底に堆積される。この複合ゲート酸化物形成工程の結果として、500オングストロームの厚さの側壁の酸化膜と、677オングストロームの厚さの溝底の酸化膜とが得られる。これにより、寄生特性の効果を抑制するために溝底の酸化膜をより厚くし、チャンネル抵抗を最小限に抑えるため側壁の酸化膜をより薄くするという望ましい結果が得られる。従来の誘電体成長工程の場合、側壁酸化膜の方が溝底酸化膜よりも厚いという上記の結果とは逆の結果が得られる。

10

【0017】

側壁酸化膜に対する溝底酸化膜の厚さの比は、熱酸化膜の堆積酸化膜に対する厚さの比を調整することにより広い範囲に亘って調整可能である。本発明の工程を使用することにより、デバイスの性能は、従来の熱酸化工程を用いて実現不可能な程度まで最適化される。

【0018】

【実施例】

図1は、DMOSトランジスタのトレンチゲート構造100を概略的に示す図である。基板101はN⁺シリコンウェーハであり、その上にドレイン領域102を与えるN⁻層が成長させられる。P⁻ボディ領域103はドーピングにより形成され、N⁺ソース領域104は、マスクされたイオン注入によりボディ領域103に形成される。ボディ領域103の拡散とソース領域104の拡散との間の差は、チャンネル105の長さを画定する。

20

【0019】

パターン化されたエッチングにより形成された溝（トレンチ）106は、ソース領域104及びボディ領域103の一部の中を通過してドレイン領域102内に延在する。溝106は、側壁107及び溝底（平坦部）108を有する。側壁107及び溝底108は、夫々、二酸化珪素SiO₂の層109及び110を含む。溝底層110の厚さは、側壁層109の厚さよりも大きい。層109及び110は、熱成長させられた二酸化珪素及び堆積させられた二酸化珪素からなる複合物である。溝106は、高ドープト多結晶シリコン111を更に含む。絶縁体層112は、多結晶シリコン111上に形成され、ソース領域104とドレイン領域102との間にゲートを形成する。本発明のDMOSトランジスタは、図1には示されない密着アパーチャ、相互連結金属、及び、金属上のパターン化された誘電体保護層を形成することによりトレンチゲート構造100から得られる。

30

【0020】

好ましい一実施例において、層109及び110に含まれた複合酸化物は、酸素雰囲気内のシリコンの反応により生成された熱成長した二酸化珪素と、揮発性シリコン含有化合物の反応物の堆積により得られた堆積した二酸化珪素とからなる。更に、好ましい一実施例において、約300乃至3,000オングストロームの範囲内に収まる溝底層110の厚さは、200乃至1,500オングストロームの範囲内に収まる側壁層109の厚さよりも大きい。

40

【0021】

低い電圧の応用の場合に、スイッチングデバイス内の個別の小さいトランジスタの周辺面積比は、最小の特定のオン抵抗を実現するため、最大にすることが可能である。この目的を達成するために重要な因子は、デバイスのゲートトポロジーである。トランジスタに内包された溝106は、オープンセル方式のストライプ状トポロジー(open-cell stripe topology)を有し、或いは、好ましくは、クローズドセル方式のセルラ状トポロジー(close-d-cell cellurar topology)を有する。更に、溝106のセルラトポロジーは四角形、好ましくは、六角形構造である。

【0022】

DMOSトランジスタ用のトレンチゲートデバイスを製造するため有効な工程手順は、正

50

しい縮尺ではない図2の(A)乃至(G)に示される。

上記工程は、結晶方位の N^+ 層201を有するシリコンウェーハ200から始まる。図2の(A)において、ドレイン領域202を与える N^- シリコン層は、通常のエピタキシャル成長法を用いて層201上で成長させられる。層202の厚さ及び抵抗率は、オン抵抗を最小限に抑えると共に、所望の降伏電圧を維持するべく選択される。

【0023】

図2の(B)において、 P^+ ボディ接点203は、低抵抗ボディ接点として動作するように、ウェーハ面の選択された領域へのマスクされたイオン注入及び拡散により選択的に形成される。或いは、ボディ接点203は、後の工程で形成してもよく、又は、省略してもよい。

10

図2の(C)において、 P^+ ボディ接点203に重なり合う P^- ボディ領域204が形成される。ボディ領域204のドーピングプロファイルは、ソース及びトレンチゲートがボディ内に形成された後、所望の閾値電圧が得られるように選択される。ボディ注入の深度は約2ミクロンである。

【0024】

図2の(D)において、 N^+ ソース領域205は、ボディ接点203に接するようにマスクされたイオン注入によりボディ領域204に形成される。ソース領域205の深度は、約1ミクロンが便宜であり、所望のチャンネル長が得られるように選択される。ボディ拡散の深度とソース拡散の深度との間の差であるチャンネル長は、約1ミクロンである。

【0025】

20

図2の(E)において、溝パターンは適当なマスクに形成され、溝206は、RIE(反応性イオンエッチング)によりソース領域205及びボディ領域204の露光部分を通して下にあるドレイン領域202内にエッチングされる。

複合ゲート酸化物は、熱成長させられ、露光された溝の側壁及び溝底に堆積させられた酸化物から形成され、側壁酸化膜207及び溝底酸化膜208を生じる。好ましくは、複合ゲート酸化物は、上記の方法で形成される。ゲート酸化物の形成後、溝206の残りの部分は、図2の(F)に示されるように、多結晶シリコン209で充填され、多結晶シリコン209は、例えば、化学的-機械的なプレーナ化によりプレーナ化処理を施される。

【0026】

デバイスの製造は、図2の(G)に示されるように、酸化物絶縁体210をゲート多結晶シリコン209上に形成し、絶縁体の中を通してソース領域、ボディ接点、及びゲート領域(図示しない)まで密着形アパーチャを形成し、パターン化された導電性金属の相互連結211を塗布し、相互連結211の上に誘電体保護層212を塗布することにより終了する。

30

【0027】

デバイスの内部のセルラ部分には現れないので図示されないドレインボディ接合降伏を最大化する構造(drain body junction breakdown maximization structures)が、デバイスの周辺に形成される。複合ゲート酸化物の熱成長部分は、例えば、 900°C など、 700°C 乃至 $1,050^\circ\text{C}$ の O_2 内で結晶面100上に175オングストロームの厚さまで成長させられる。 HCl のような塩素含有化合物が金属の不純物を除去するため酸化雰囲気内に含まれる。

40

【0028】

複合酸化物の堆積部分は、ノベルス製のプラズマCVD堆積システムを用いて、例えば、水平面上に500オングストロームの厚さまで形成される。 O_2 及びTEOS(テトラエトキシレン)ソースガスは、約 400°C の堆積温度で利用される。堆積した酸化物は、堆積後に、随意的に少量の酸素濃度を含有する窒素雰囲気中の 950°C の拡散炉内でアニーリング処理を施すことにより密度が高められる。

【0029】

トレンチゲート構造内の側壁よりも溝底の方に厚い酸化物の層を生成する製造工程の参考例は、一定に縮尺されていない図3の(A)乃至(C)に示される。トレンチのエッチン

50

グ段階中の工程は、図2の(A)乃至(E)について説明した工程と同様である。トレンチのエッチング後、水平及び垂直の両方の全表面を覆う第1のゲート酸化膜301が、例えば、700オングストロームの側壁の厚さまで熱成長される。約1000オングストロームの厚さのシリコン窒化膜302は、LPCVD(減圧気相成長)法により酸化膜301の上に堆積させられる(図3の(A)を参照のこと)。

【0030】

図3の(B)に示されるように、溝底及びウェーハ上面の窒化膜302の部分は、水平面上の材料だけを破壊するマスクされていない異方性の反応性イオンエッチングにより除去される。上記水平面は、エッチング室内のエッチングイオンの飛翔方向と直交している。第2のゲート酸化物の部分からなる層303は、次に、溝底を含む窒化物により覆われていない表面上に、例えば、1000オングストロームの全体的な厚さを与えるため成長させられる。残りの垂直窒化膜302は、周知の局所的な酸化工程による酸化から側壁を保護する。残りの窒化膜302は、好ましくは、酸化膜303の形成後に取り除かれる。これにより、図3の(C)に示す如く、溝206には、側壁上の層301により設けられた700オングストロームの酸化膜と、層301及び層303により溝底に設けられた、望ましくは、厚さ1000オングストロームの酸化膜とが残される。溝206は、ドープされた多結晶シリコンにより充填され、トランジスタの構造は、図2の(F)乃至(G)に示されたように完成される。

【0031】

本発明のデバイス及び工程における、好ましくは実施例のように熱成長及び堆積酸化物の複合物からなる、デバイス内のトレンチゲート酸化膜は、十分に薄いので低いオン抵抗を与えることが可能であり、かつ、側壁面上に等しい電流フローを与えるため側壁上に一定の厚さを有する。その界面電荷準位は、小さい制御された閾値電圧を与え得るように十分に低く、並びに、その溝底は、容量を最小限に抑え、かつ、要求された酸化物及び接合の降伏を与えるために十分の厚さがある。

【0032】

図4は、絶縁ゲートバイポーラトランジスタ用のトレンチゲート構造400の一実施例の概略図である。トレンチゲート構造400は、 P^+ 形基板401と、 N^- 形エピタキシャル層402と、ボディ403とを含む。基板401は絶縁ゲートバイポーラトランジスタのゲートである。軽ドープト層402は、デバイスがオフされたとき、高電圧を維持するドリフト層である。トレンチゲート構造400の残りの成分は、図1のトレンチゲート構造100に示された成分と同じである。トレンチゲート構造400の溝106の側壁107及び溝底108上の夫々の酸化膜109及び110の厚さは、トレンチゲート構造100に関して説明したように制御される方が有利である。

【0033】

図5は、他の実施例として、P形のMOS制御形サイリスタのトレンチゲート構造500が示されている。トレンチゲート構造500は N^+ 基板501を含み、 N^+ 基板501の上には P^- エピタキシャル層502が成長させられる。トレンチゲート構造500は、N形ドリフト領域503、P形ボディ504及び P^+ アノード領域505を更に有する。基板501はカソード領域を設ける。全ての領域がトレンチゲート構造500について説明された領域の導電性タイプと逆の導電性タイプを有するように構成された類似したゲート構造は、N形のMOS制御形サイリスタに使用される。絶縁体層506は、多結晶シリコン111上に形成される。トレンチゲート構造500に示された他の成分は、図1のトレンチゲート構造100について説明した成分と同じである。上記の実施例と同様に、トレンチゲート構造500の酸化膜109及び110は、厚さの比が有利に制御されることを特徴とする。

【0034】

図2の(A)乃至(G)と、図3の(A)乃至(C)とを参照して説明したDMOSトランジスタゲートデバイスと類似した工程手順が、溝底と側壁の厚さの比が制御される本発明の他の実施例を構成するため利用される。

10

20

30

40

50

溝底及び側壁が誘電体材料の層を含む溝により構成されるトレンチMOSゲートデバイスは、制御された厚さの寸法を有する。上記の厚さの寸法は、溝底及び側壁の各誘電体層の厚さを別々に制御することにより確定される制御された側壁の層の厚さに対する溝底の層の厚さの比により関係付けられる。上記の溝底層対側壁層の厚さの比は、少なくとも1対1であり、好ましくは、少なくとも1.2対1である。トレンチMOSゲートデバイスを形成する工程は、シリコンデバイスウェーハに溝をエッチングする段階と、好ましくは、少なくとも1対1である制御された溝底層対側壁層の厚さの比により関係付けられる制御された厚さの寸法を有する誘電体材料の層を溝底及び側壁に形成する段階とからなる。二酸化珪素が誘電体材料として使用されたとき、上記の層は、好ましくは、熱成長された二酸化珪素及び堆積された二酸化珪素の複合物からなる。

10

【図面の簡単な説明】

【図1】 本発明のDMOSトランジスタのトレンチゲート構造の概略図である。

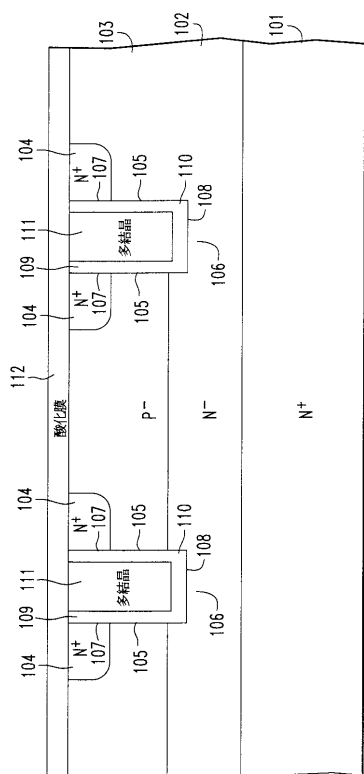
【図2】 本発明の製造工程の一実施例を概略的に示す図である。

【図3】 製造工程の参考例を概略的に示す図である。

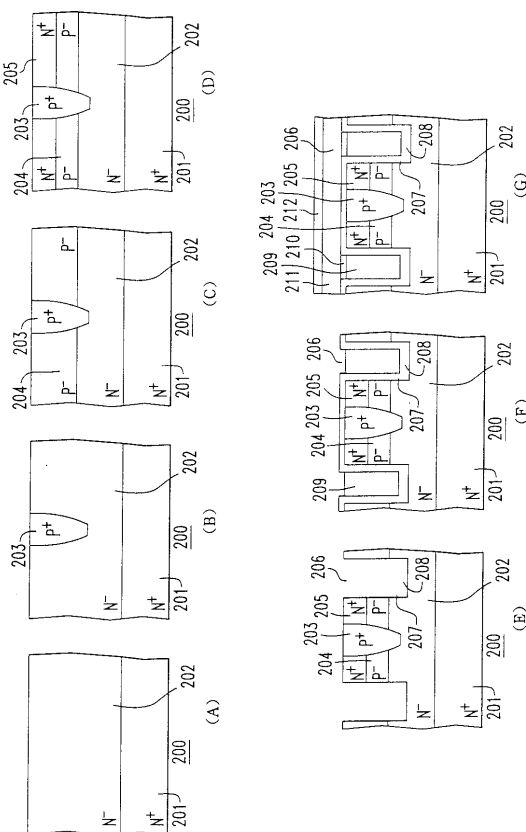
【図4】 本発明の絶縁ゲートバイポーラトランジスタのトレンチゲート構造の概略図である。

【図5】 本発明のMOS制御形サイリスタのトレンチゲート構造の概略図である。

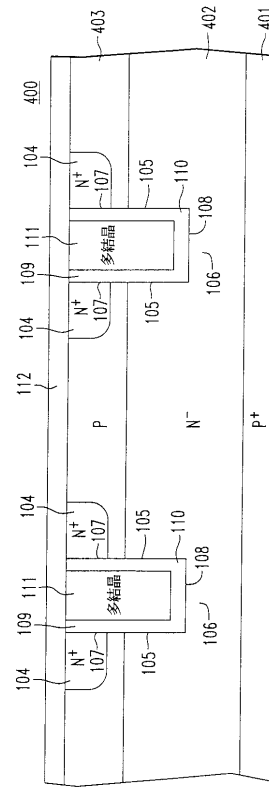
【図1】



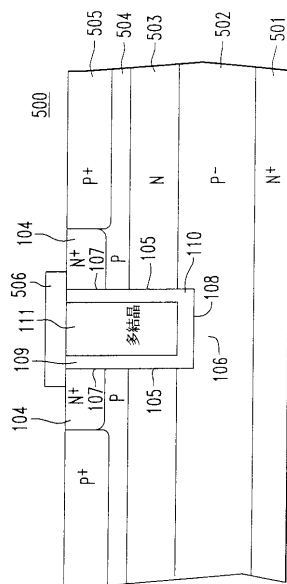
【図2】



【图 4】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平07-249770 (JP, A)
特開平06-132539 (JP, A)
特開平07-135313 (JP, A)
特開平02-102579 (JP, A)
特表平05-506335 (JP, A)
特開平07-326738 (JP, A)
特開平03-211885 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336