

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年4月17日 (2008.4.17)

【公開番号】特開2002-230987(P2002-230987A)

【公開日】平成14年8月16日 (2002.8.16)

【出願番号】特願2001-19689(P2001-19689)

【国際特許分類】

G 1 1 C 16/04 (2006.01)

G 0 6 F 15/78 (2006.01)

H 0 1 L 27/10 (2006.01)

G 1 1 C 16/02 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【 F I 】

G 1 1 C 17/00 6 2 2 Z

G 0 6 F 15/78 5 1 0 A

G 0 6 F 15/78 5 1 0 C

H 0 1 L 27/10 4 6 1

G 1 1 C 17/00 6 0 1 E

G 1 1 C 17/00 6 1 1 Z

G 1 1 C 17/00 6 1 2 Z

G 1 1 C 17/00 6 1 3

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成20年2月29日 (2008.2.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】メモリアレイの構成単位であるメモリセルが前記メモリセル内で並列接続された複数のフローティングゲート型トランジスタで構成され、前記メモリセル内での前記フローティングゲート型トランジスタの並列接続数の設定に基づいてマスク化されたデータをプログラムしてあることを特徴とする不揮発性メモリアレイ。

【請求項 2】前記メモリセル内での複数のフローティングゲート型トランジスタは、ゲートどうしおよびソースどうしがそれぞれ互いに並列接続されており、前記複数のフローティングゲート型トランジスタのドレインのそれぞれについてビット線への接続コンタクトの有無に基づいてプログラムが行われていることを特徴とする請求項 1 に記載の不揮発性メモリアレイ。

【請求項 3】前記メモリセル内での複数のフローティングゲート型トランジスタは、それぞれのドレインが単一のビット線にビット線コンタクトを介して共通に接続されていることを特徴とする請求項 2 に記載の不揮発性メモリアレイ。

【請求項 4】請求項 1 ないし請求項 3 に記載の不揮発性メモリアレイをデータメモリおよびプログラムメモリとして搭載してあることを特徴とするマイクロコンピュータ。

【請求項 5】請求項 4 に記載のマイクロコンピュータにおいて、前記不揮発性メモリアレイの全メモリセルを低閾値電圧側に制御する初期化ステップと、前記初期化ステップの後に前記不揮発性メモリアレイのロードプログラムデータを読み出す読み出しステップと、前記ロードプログラムを命令 RAM 領域に転送する転送ステップと、前記マイクロコンピュータで前記命令 RAM 領域に格納されたロードプログラムを実行することにより前記不揮発性メモリに所望のデータをプログラムするプログラムステップとを含むことを特徴とするマイクロコンピュータのプログラム書き換え方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【課題を解決するための手段】

不揮発性メモリアレイについての本発明は、次のような手段を講じることにより、上記の課題を解決する。メモリアレイの構成単位であるメモリセルが、前記メモリセル内で並列接続された複数のフローティングゲート型トランジスタで構成されている。前記メモリセル内での前記フローティングゲート型トランジスタの並列接続数の設定に基づいて、マスク化されたデータをプログラムしてある。

ここにおいて、前記メモリセル内での複数のフローティングゲート型トランジスタは、ゲートどうしおよびソースどうしがそれぞれ互いに並列接続されている。そして、前記複数のフローティングゲート型トランジスタのドレインのそれぞれについて、ビット線への接続コンタクトの有無（個数）に基づいてプログラムが行われている。

また、前記メモリセル内での複数のフローティングゲート型トランジスタは、それぞれのドレインが単一のビット線にビット線コンタクトを介して共通に接続されている。