

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月5日(05.06.2025)



(10) 国際公開番号

WO 2025/115404 A1

(51) 国際特許分類:

H10D 30/80 (2025.01) H10D 30/87 (2025.01)

H10D 30/47 (2025.01) H10D 89/60 (2025.01)

(21) 国際出願番号: PCT/JP2024/035742

(22) 国際出願日: 2024年10月7日(07.10.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-200328 2023年11月28日(28.11.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

LUTIONS CORPORATION) [JP/JP]; 〒2430014
神奈川県厚木市旭町四丁目14番1号 (JP).

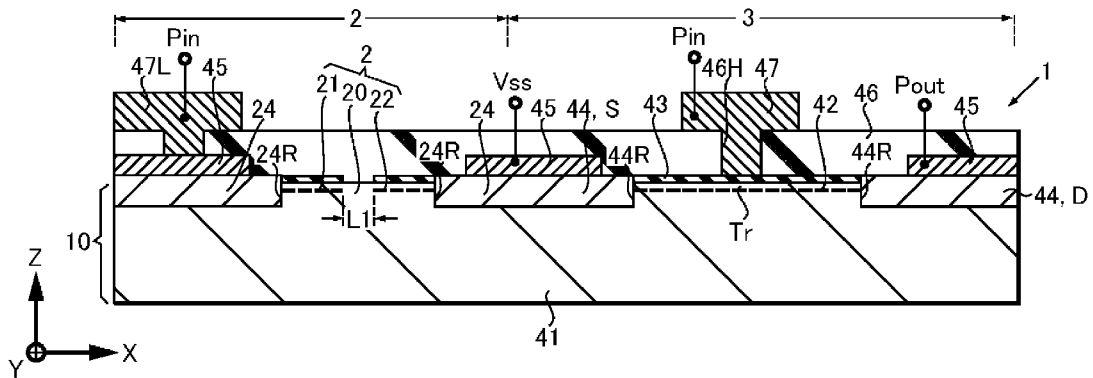
(72) 発明者: 盛田 伸也(MORITA, Shinya); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置、半導体モジュール及び電子機器



(57) Abstract: A semiconductor device including a protection element including: a first conductive region disposed on a surface of a substrate and having conductivity; a second conductive region disposed on the surface so as to be separated from the first conductive region and having conductivity; and a resistance region disposed between the first conductive region and the second conductive region and having a specific resistance greater than the specific resistance of each of the first conductive region and the second conductive region.

(57) 要約: 半導体装置は、基板の表面に配設された導電性を有する第1導電領域と、表面において、第1導電領域に対して離間して配設された導電性を有する第2導電領域と、第1導電領域と第2導電領域との間に配設され、第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域とを含んで構成された保護素子を備えている。

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、半導体モジュール及び電子機器

技術分野

[0001] 本開示は、半導体装置、半導体モジュール及び電子機器に関する。

背景技術

[0002] 特許文献1には、電力変換装置及びそれに使用されるGaN系半導体装置が開示されている。

この電力変換装置及びGaN系半導体装置では、スイッチング素子として、パワーFET (Field Effect Transistor) が使用されている。パワーFETのソース電極とドレイン電極との間には、保護素子が接続されている。保護素子は、サージ電圧の入力による素子破壊を防止する。

保護素子には、GaN系ショットキーバリアダイオード (Schottky barrier diode) が使用されている。GaN系ショットキーバリアダイオードは、アンドープAlGaN層と、このアンドープAlGaN層上にショットキー接触をなして積層されたアノード電極とを含んで形成されている。

このように構成される電力変換装置及びGaN系半導体装置では、安定動作を保証する高い信頼性と高い電力変換効率とを実現することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-229566号公報

発明の概要

[0004] 上記保護素子では、デバイス動作時においてリーク電流を低くし、保護機能を高めるために動作電圧を高くするには、多段化が必要とされる。多段化とは、保護素子であるGaN系ショットキーバリアダイオードを電氣的に直列に複数接続する構造である。

このため、保護素子の占有面積が増大するので、占有面積を効果的に縮小することが可能な半導体装置、更には半導体モジュール及び電子機器の開発

が望まれていた。

[0005] 本開示の第1実施態様に係る半導体装置は、基板の表面に配設された導電性を有する第1導電領域と、表面において、第1導電領域に対して離間して配設された導電性を有する第2導電領域と、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域とを含んで構成された保護素子を備えている。

[0006] 本開示の第2実施態様に係る半導体装置は、第1実施態様に係る半導体装置であって、保護素子とは異なる領域において、表面に配設され、二次元電子ガスが生成される第1チャネル層と、第1チャネル層に配設された第1バリア層と、第1チャネル層に第1バリア層を介在させて配設されたゲート電極と、ゲート長方向においてゲート電極の両側に配設され、第1チャネル層にそれぞれ電氣的に接続された一对の主電極領域とを有する高電子移動度トランジスタを更に備えている。

[0007] 本開示の第3実施態様に係る半導体装置は、第2実施態様に係る半導体装置であって、第1導電領域は、ゲート電極に電氣的に接続され、第2導電領域は、一对の主電極領域の一方に電氣的に接続されている。

[0008] 本開示の第4実施態様に係る半導体モジュールは、半導体装置を備えている。半導体装置は、基板の表面に配設された導電性を有する第1導電領域と、表面において、第1導電領域に対して離間して配設された導電性を有する第2導電領域と、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域とを含んで構成された保護素子を備えている。

[0009] 本開示の第5実施態様に係る電子機器は、半導体装置を備えている。半導体装置は、基板の表面に配設された導電性を有する第1導電領域と、表面において、第1導電領域に対して離間して配設された導電性を有する第2導電領域と、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域とを含んで構成された保護素子を備えている。

図面の簡単な説明

[0010] [図1]図 1 は、本開示の第 1 実施の形態に係る半導体装置に搭載された保護素子及び内部回路を構築する半導体素子を含む回路図である。

[図2]図 2 は、図 1 に示される保護素子及び半導体素子の平面構成図である。

[図3]図 3 は、図 2 に示される保護素子及び半導体素子の縦断面構成図（図 2 に示される A－A 切断線において切断された断面図）である。

[図4]図 4 は、図 1 及び図 2 に示される保護素子の電流－電圧特性図である。

[図5]図 5 は、第 1 実施の形態に係る半導体装置の製造方法を工程毎に示す、図 3 に対応する第 1 工程断面図である。

[図6]図 6 は、第 2 工程断面図である。

[図7]図 7 は、第 3 工程断面図である。

[図8]図 8 は、第 4 工程断面図である。

[図9]図 9 は、本開示の第 2 実施の形態に係る半導体装置に搭載された保護素子及び半導体素子の図 3 に対応する縦断面構成図である。

[図10]図 10 は、本開示の第 3 実施の形態に係る半導体装置に搭載された保護素子及び半導体素子の図 3 に対応する縦断面構成図である。

[図11]図 11 は、本開示の第 4 実施の形態に係る半導体装置に搭載された保護素子及び半導体素子の図 3 に対応する縦断面構成図である。

[図12]図 12 は、本開示の第 5 実施の形態に係る半導体装置に搭載された保護素子及び半導体素子の図 3 に対応する縦断面構成図である。

[図13]図 13 は、本開示の第 6 実施の形態に係る半導体装置に搭載された保護素子及び半導体素子の図 3 に対応する縦断面構成図である。

[図14]図 14 は、本開示の第 7 実施の形態に係る半導体モジュールの斜視図である。

[図15]図 15 は、本開示の第 8 実施の形態に係る電子機器のブロック構成図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお

、説明は以下の順序で行う。

1. 第1実施の形態

第1実施の形態は、保護素子及び内部回路を構築する半導体素子が搭載された半導体装置に、本技術を適用した第1例である。ここでは、保護素子及び内部回路の回路構成、平面構成、断面構成及び製造方法について説明する。

2. 第2実施の形態

第2実施の形態は、第1実施の形態に係る半導体装置の保護素子の構成を変えた第2例である。

3. 第3実施の形態

第3実施の形態は、第1実施の形態に係る半導体装置の保護素子及び半導体素子の構成を変えた第3例である。

4. 第4実施の形態

第4実施の形態は、第3実施の形態に係る半導体装置の保護素子の構成を変えた第4例である。

5. 第5実施の形態

第5実施の形態は、第1実施の形態に係る半導体装置の保護素子の構成を変えた第5例である。

6. 第6実施の形態

第6実施の形態は、第5実施の形態に係る半導体装置の保護素子の構成を変えた第6例である。

7. 第7実施の形態

第7実施の形態は、第1実施の形態～第6実施の形態に係るいずれかの半導体装置を実装した半導体モジュールを説明する第7例である。

8. 第8実施の形態

第8実施の形態は、第1実施の形態～第6実施の形態に係るいずれかの半導体装置を実装した電子機器を説明する第8例である。

9. その他の実施の形態

[0012] <1. 第1実施の形態>

図1～図8を用いて、本開示の第1実施の形態に係る半導体装置1を説明する。

ここで、図中、適宜、示されている矢印X方向は、便宜的に平面上に載置された半導体装置1の1つの平面方向を表している。矢印Y方向は、矢印X方向に対して直交する他の1つの平面方向を表している。また、矢印Z方向は、矢印X方向及び矢印Y方向に対して直交する上方向を表している。つまり、矢印X方向、矢印Y方向、矢印Z方向は、丁度、三次元座標系のX軸方向、Y軸方向、Z軸方向に各々一致している。

なお、これらの各方向は、説明の理解を助けるために図示したものであり、本技術の方向を限定するものではない。

[0013] [半導体装置1の構成]

(1) 保護素子2及び内部回路3の回路構成

図1は、第1実施の形態に係る半導体装置1に搭載された保護素子2及び内部回路3を含む回路構成の一例を表している。

図1に示されるように、半導体装置1は、保護素子2と、内部回路3とを備えている。

[0014] 内部回路3は、1つの半導体素子4、又は図示を省略するが、複数の半導体素子4を備えている。第1実施の形態において、半導体素子4は、例えばパワーデバイス、高周波デバイス等を構築する電界効果トランジスタTrにより構成されている。詳しく説明すると、電界効果トランジスタTrには、例えばGaN系化合物半導体をベースに構成された高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)が使用されている。ここでは、電界効果トランジスタTrは、nチャネル導電型に形成されている。

[0015] 電界効果トランジスタTrは、ゲート電極と、一对の主電極領域とを備えている。電界効果トランジスタTrの詳細な縦断面構成は、後に説明する。

[0016] 内部回路3の入力段となる電界効果トランジスタTrのゲート電極には、

入力端子 P_{in} が電氣的に接続されている。入力端子 P_{in} には、半導体装置 1 の外部から信号が入力される。

[0017] 電界効果トランジスタ T_r の一方の主電極領域は、例えばソース領域（又はソース電極）として使用される。一方の主電極領域は、電源端子 V_{ss} に電氣的に接続されている。電源端子 V_{ss} は、例えば固定電位、具体的には回路の接地電圧 $0V$ を供給する。他方の主電極領域は、例えばドレイン領域（又はドレイン電極）として使用される。他方の主電極領域は、出力端子 P_{out} に電氣的に接続されている。出力端子 P_{out} は、次段回路若しくは次段素子に電氣的に接続されている。電界効果トランジスタ T_r からの出力信号は、出力端子 P_{out} を通して次段回路若しくは次段素子に出力される。

[0018] 詳細な断面構成は後に説明するが、保護素子 2 は、等価回路構成として、ダイオード D_1 及びダイオード D_2 を備えている。ダイオード D_1 のアノード領域は、入力端子 P_{in} に電氣的に接続されている。ダイオード D_1 のカソード領域は、ダイオード D_2 のカソード領域に電氣的に接続され、かつ、共有されている。ダイオード D_2 のアノード領域は、電源端子 V_{ss} に電氣的に接続されている。

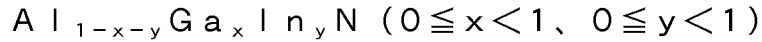
表現を代えれば、保護素子 2 は、電界効果トランジスタ T_r のゲート電極と一方の主電極領域（ここでは、ソース領域）との間に、順方向に接続されたダイオード D_1 と、逆方向に接続されたダイオード D_2 とを、電氣的に並列に挿入している。

[0019] (2) 半導体素子 4（電界効果トランジスタ T_r ）の具体的なデバイス構成
図 2 は、内部回路 3 を構築する半導体素子 4 及び保護素子 2 の平面構成の一例を表している。図 3 は、図 2 に示される半導体素子 4 及び保護素子 2 の縦断面構成の一例を表している。

[0020] 図 2 及び図 3 に示されるように、半導体装置 1 は、基板 10 をベースとして構成されている。第 1 実施の形態では、基板 10 は、化合物半導体としての III-V 族化合物半導体材料である窒化ガリウム (GaN) により形成

されている。この化合物半導体は、 $i\text{-Ga N}$ 、いわゆる真性半導体 (Intrinsic Semiconductor) として形成されている。化合物半導体は、例えば $1 \times 10^{17} [\text{atoms}/\text{cm}^3]$ 以下の不純物密度に形成されている。

ここで、本技術に係る化合物半導体は、下記組成式により一般的に表される。



上記組成式において、Al はアルミニウムである。また、In はインジウムである。

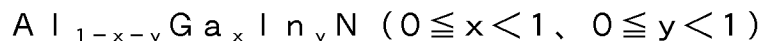
[0021] なお、基板 10 は、珪素 (Si) 基板、炭化珪素 (SiC) 基板又はダイヤモンド基板に、化合物半導体としての GaN 層を積層若しくは貼り合わせて形成してもよい。

[0022] 電界効果トランジスタ Tr は、チャネル層 41 と、バリア層 43 と、ゲート電極 47 と、一对の主電極領域 44 とを主要な構成要素として備えている。

[0023] チャネル層 41 は、基板 10 の少なくとも主面部に形成されている。すなわち、チャネル層 41 は、ここでは GaN により形成されている。

チャネル層 41 において、バリア層 43 の近傍には、キャリアが蓄積され、キャリアのチャネル領域として機能する二次元電子ガス (2DEG) 42 が生成される。

[0024] バリア層 43 は、チャネル層 41 に配設されている。バリア層 43 は、チャネル層 41 との分極によりチャネル層 41 内にキャリアが蓄積される化合物半導体材料により形成されている。バリア層 43 は、化合物半導体により形成されている。化合物半導体は、下記組成式により一般的に表される。



第 1 実施の形態において、バリア層 43 には、例えば AlInN 又は AlGa N が使用されている。

[0025] ゲート電極 47 は、バリア層 43 上に積層された絶縁層 46 に形成された開口 46H を通してバリア層 43 に接触して配設されている。ゲート電極 4

7のバリア層43とは反対側の一部は、絶縁層46の開口46Hの周囲に引き出され、配線47Lとして形成されている。

ゲート電極47は、チタン（Ti）、モリブデン（Mo）、Al、ニッケル（Ni）及び金（Au）から選択される少なくとも1種類以上の金属材料、又はこれらの金属材料を順次積層して形成されている。

つまり、第1実施の形態では、電界効果トランジスタTrは、チャンネル層41にバリア層43を介在させてゲート電極47が形成されているので、電界効果トランジスタTrは、ショットキー接合型電界効果トランジスタとして構築されている。

[0026] また、図2に示されるように、電界効果トランジスタTrは、マルチゲート電極構造により構成されている。ここでは、電界効果トランジスタTrは、2つのゲート電極47と、2つの一方の主電極領域44と、共有された1つの他方の主電極領域44とを備えている。2つのゲート電極47は、電氣的に並列に接続されている。2つの一方の主電極領域44は、破線を用いて示されている層配線により電氣的に並列に接続されている。

第1実施の形態では、マルチゲート電極構造を有する電界効果トランジスタTrに1つの保護素子2が接続され、この1つの保護素子2により電界効果トランジスタTrを保護することができる。

[0027] 一对の主電極領域44は、ゲート電極47のゲート長方向両端部のそれぞれにおいて、チャンネル層41に配設されている。一方の主電極領域44は、例えばソース電極（S）として使用される。また、他の一方の主電極領域44は、例えばドレイン電極（D）として使用される。

[0028] 詳しく説明する。一对の主電極領域44は、それぞれ、基板10の主面から基板10の厚さ方向に掘り下げたリセス44R内に配設されている。

主電極領域44は、化合物半導体としてのGaNにより形成されている。主電極領域44は、基板10よりも不純物密度が高く形成されている。表現を代えれば、主電極領域44を形成している化合物半導体の不純物密度は、基板10を形成している化合物半導体の不純物密度よりも高い設定とされて

いる。

また、主電極領域44は、基板10に形成されたりセス44R内に、Ga Nを再成長させて形成されている。Ga Nの成長には、エピタキシャル成長法が使用される。

主電極領域44は、例えば 1×10^{19} [atoms/cm³]以上のn型不純物密度に形成されている。

[0029] 一对の主電極領域44には、それぞれ、電極45が配設されている。電極45は、主電極領域44に対してオーミック接触又はオーミック接触に近い接触となる電極材料により形成されている。電極45には、例えばTi、Mo、Al、Ni、Auの各々を順次積層した複合膜が使用されている。基本的には、電極45は、ゲート電極47と同様の金属材料により形成されている。

ここで、電極45は、本技術に係る「第1電極」に対応している。

[0030] (3) 保護素子2の具体的なデバイス構成

図2及び図3に示されるように、保護素子2は、第1導電領域21と、第2導電領域22と、抵抗領域20とを少なくとも主要な構成要素として備えている。

[0031] 第1導電領域21は、基本的に導電性を有し、基板10のチャンネル層41に生成される二次元電子ガス42により形成される。詳しく説明すると、第1導電領域21は、電界効果トランジスタTrの二次元電子ガス42と同一層に生成される導電領域である。このため、第1導電領域21となるチャンネル層41には、電界効果トランジスタTrのバリア層43と同一層のバリア層43が配設されている。

[0032] 第2導電領域22は、第1導電領域21に対して離間して配設されている。第2導電領域22は、第1導電領域21と同様に、導電性を有し、基板10のチャンネル層41に生成される二次元電子ガス42により形成される。さらに、第2導電領域22となるチャンネル層41には、バリア層43が配設されている。

[0033] ここで、電界効果トランジスタ T_r の形成領域において、チャンネル層 4 1 は、本技術に係る「第 1 チャンネル層」に対応し、保護素子 2 の形成領域において、チャンネル層 4 1 は、本技術に係る「第 2 チャンネル層」に対応している。

また、電界効果トランジスタ T_r の形成領域において、バリア層 4 3 は、本技術に係る「第 1 バリア層」に対応し、保護素子 2 の形成領域において、バリア層 4 3 は、本技術に係る「第 2 バリア層」に対応している。

[0034] 抵抗領域 2 0 は、第 1 導電領域 2 1 と第 2 導電領域 2 2 との間において、チャンネル層 4 1 に配設されている。詳しく説明する。抵抗領域 2 0 は、第 1 導電領域 2 1、第 2 導電領域 2 2 のそれぞれの比抵抗よりも大きい比抵抗を有する。具体的には、第 1 導電領域 2 1 と第 2 導電領域 2 2 との間の二次元電子ガス 4 2 が生成されないチャンネル層 4 1 により形成されている。抵抗領域 2 0 において、チャンネル層 4 1 には、バリア層 4 3 は配設されていない。

[0035] ここで、図 1 に示される保護素子 2 のダイオード D_1 は、抵抗領域 2 0 と第 1 導電領域 2 1 との境界近傍に生成される。同様に、ダイオード D_2 は、抵抗領域 2 0 と第 2 導電領域 2 2 との境界近傍に生成される。

[0036] 抵抗領域 2 0 の抵抗値 R は、第 1 導電領域 2 1 と第 2 導電領域 2 2 との離間距離 L_1 に抵抗率を乗じた値を、第 1 導電領域 2 1 と第 2 導電領域 2 2 との対向長 L_2 に実効的に電流が流れるチャンネル層 4 1 の深さ L_3 を乗じた断面積で除算することにより算出される ($R = \text{抵抗率} \times L_1 / (L_2 \times L_3)$)。第 1 実施の形態では、抵抗値 R は、例えば $100\text{ k}\Omega$ 以上 $100\text{ M}\Omega$ 以下に設定される。

すなわち、保護素子 2 に必要とされる動作電圧は、主に、離間距離 L_1 及び対向長 L_2 から選択される 1 以上のファクタを変更することにより、簡易に調整可能である。さらに、例えば離間距離 L_1 の変更量に対して、動作電圧は大きく変化するので、保護素子 2 の占有面積の変化は小さい。

[0037] 第 1 導電領域 2 1 は、抵抗領域 2 0 とは反対側において、電極領域 2 4 に電氣的に接続され、更に電極領域 2 4 を通して電極 4 5 に電氣的に接続され

ている。

電極領域 24 は、電界効果トランジスタ T r の主電極領域 44 と同一層に形成された化合物半導体領域である。すなわち、電極領域 24 は、基板 10 の主面から基板 10 の厚さ方向に掘り下げたリセス 24 R 内に配設されている。そして、電極領域 24 は、化合物半導体としての G a N により形成されている。

電極 45 は、電極領域 24 上に配設されている。電極 45 は、主電極領域 44 上に形成された電極 45 と同一層の電極材料により形成されている。

[0038] 一方、第 2 導電領域 22 は、抵抗領域 20 とは反対側において、電極領域 24 に電氣的に接続されている。電極領域 24 は、電界効果トランジスタ T r の主電極領域 44 と同一層に形成された化合物半導体領域であり、リセス 24 R 内に配設されている。第 2 導電領域 22 に電氣的に接続された電極領域 24 は、電界効果トランジスタ T r の主電極領域 44 に電氣的に接続され、かつ、一体に形成されている。

[0039] ここで、電界効果トランジスタ T r の形成領域において、リセス 44 R は、本技術に係る「第 1 リセス」に対応し、主電極領域 44 は、本技術に係る「第 1 化合物半導体領域」に対応している。

また、保護素子 2 の形成領域において、リセス 24 R は、本技術に係る「第 2 リセス」に対応し、電極領域 24 は、本技術に係る「第 2 化合物半導体領域」に対応している。

[0040] 保護素子 2 の第 1 導電領域 21 は、電極領域 24、電極 45 のそれぞれを配線 47 L に電氣的に接続されている。つまり、第 1 導電領域 21 は、電界効果トランジスタ T r のゲート電極 47 に電氣的に接続されている。

表現を代えれば、半導体装置 1 の製造過程において、ゲート電極 47 が形成されると、電界効果トランジスタ T r が実質的に完成され、この完成と同時にゲート電極 47 が保護素子 2 に電氣的に接続される。すなわち、ゲート電極 47 を形成する工程並びにそれ以降の工程において、電界効果トランジスタ T r に発生するプラズマ誘起損傷（P I D : Plasma Induced Damage）、

若しくは静電気放電（ESD：Electro Static Discharge）破壊を効果的に抑制又は防止することができる。

[0041] （４）保護素子２の電流－電圧特性

図４は、保護素子２の電流－電圧特性の一例を表している。

図４において、横軸は、保護素子２の動作電圧〔V〕を示している。縦軸は、保護素子２の動作電流〔mA〕を示している。

[0042] 図４から明らかな通り、保護素子２では、抵抗領域２０の離間距離Ｌ１が増加すると、データｄ１、データｄ２、データｄ３のそれぞれに示すように、動作電圧を増加させることができる。つまり、離間距離Ｌ１が増加すると、保護素子２では、正電流の流れが始まる閾値電圧が正側にシフトし、負電流の流れが始まる降伏電圧が負側にシフトし、動作電圧が調整される。

例えば、離間距離Ｌ１が０．１μm以上０．９μm以下の範囲内に設定されたとき、保護素子２の動作電圧は約１００V以下に調整可能である。離間距離Ｌ１が１．０μmを越えると、保護素子２の動作電圧は約１００Vを越える。一例として、離間距離Ｌ１が０．６μmに設定されたとき、保護素子２の動作電圧は約３６V前後に調整可能である。

携帯端末用途に半導体装置１が使用されるとき、保護素子２の動作電圧は１００V以下が要求されている。

[0043] [半導体装置１の製造方法]

図５～図８は、半導体装置１の製造方法を工程毎に説明する工程断面の一例を表している。第１実施の形態に係る半導体装置１の製造方法は、以下の通りである。

[0044] まず、基板１０が準備される（図５参照）。基板１０には、化合物半導体としてのGaN基板が使用される。基板１０は、電界効果トランジスタTrの形成領域及び保護素子２の形成領域において、チャネル層４１として形成される。

[0045] 図５に示されるように、チャネル層４１にバリア層４３が形成される。バリア層４３は、例えばエピタキシャル成長法を用いて形成される。バリア層

4 3 が形成されると、電界効果トランジスタ T_r が形成される領域において、チャンネル層 4 1 に二次元電子ガス 4 2 が生成される。同様に、保護素子 2 が形成される領域において、チャンネル層 4 1 に二次元電子ガス 4 2 が生成される。

[0046] 図 6 に示されるように、電界効果トランジスタ T_r の形成領域において、一对の主電極領域 4 4 が形成される。主電極領域 4 4 は、チャンネル層 4 1 の主面から深さ方向に掘り下げたリセス（第 1 リセス）4 4 R 内に埋設される。主電極領域 4 4 は、例えば選択エピタキシャル成長法を用いて成長させた化合物半導体領域（第 1 化合物半導体領域）であり、例えば GaN により形成される。リセス 4 4 R は、例えばフォトリソグラフィ技術及びエッチング技術を用いて形成される。

[0047] 一方、保護素子 2 の形成領域において、主電極領域 4 4 を形成する工程と同一工程により、電極領域 2 4 が形成される。電極領域 2 4 は、チャンネル層 4 1 の主面から深さ方向に掘り下げたリセス（第 2 リセス）2 4 R 内に埋設される。リセス 2 4 R は、リセス 4 4 R を形成する工程と同一工程により形成される。電極領域 2 4 は、例えば選択エピタキシャル成長法を用いて成長させた化合物半導体領域（第 2 化合物半導体領域）であり、例えば GaN により形成される。

[0048] 図 7 に示されるように、保護素子 2 の形成領域において、バリア層 4 3 の一部が取り除かれる。この取り除きには、例えばフォトリソグラフィ技術及びエッチング技術が使用される。

バリア層 4 3 の一部が取り除かれると、この領域の二次元電子ガス 4 2 は消失し、抵抗領域 2 0 が形成される。さらに、抵抗領域 2 0 が形成されると、二次元電子ガス 4 2 が分断され、二次元電子ガス 4 2 の分断された一方から第 1 導電領域 2 1 が形成され、他方から第 2 導電領域 2 2 が形成される。すなわち、第 1 導電領域 2 1、抵抗領域 2 0 及び第 2 導電領域 2 2 を備えた保護素子 2 が形成される。

保護素子 2 は、例えば、電流が流れる方向に一致する抵抗領域 2 0 の長さ

、すなわち第1導電領域21と第2導電領域22との離間距離L1をファクタとして、動作電圧を調整可能である。

[0049] 図8に示されるように、電界効果トランジスタTrの形成領域において、主電極領域44に電極45が形成される。同一工程により、保護素子2の形成領域において、電極領域24に電極45が形成される。

なお、保護素子2の抵抗領域20を形成する工程（バリア層43の一部を取り除く工程）は、電極45を形成する工程の後に実施可能である。

[0050] 引き続き、電極45を覆う絶縁層46が形成される（図3参照）。

次に、電界効果トランジスタTrの形成領域において、絶縁層46に開口46Hが形成される（図3参照）。開口46Hは、バリア層43の表面を露出させる貫通孔である。

開口46Hを形成する工程と同一工程により、保護素子2の形成領域において、絶縁層46に開口46Hが形成される。この開口46Hは、電極45の表面を露出させる貫通孔である。

開口46Hの形成には、例えばフォトリソグラフィ技術及びエッチング技術が使用される。

[0051] 前述の図2及び図3に示されるように、電界効果トランジスタTrの形成領域において、開口46Hを通してバリア層43に接触するゲート電極47が形成される。このゲート電極47を形成する工程と同一工程により、保護素子2の形成領域において、ゲート電極47に一体に形成され、かつ、電氣的に接続された配線47Lが形成される。配線47Lは、開口46Hを通して、保護素子2から引き出された電極45に電氣的に接続される。

[0052] この後、図示省略の絶縁層、上層配線のそれぞれを順次形成することにより、第1実施の形態に係る半導体装置1が完成し、製造方法は終了する。

[0053] [作用効果]

第1実施の形態に係る半導体装置1は、図1～図3に示されるように、保護素子2を備える。保護素子2は、第1導電領域21と、第2導電領域22と、抵抗領域20とを含んで構成される。

第1導電領域は、基板10の表面に配設され、導電性を有する。第2導電領域22は、基板10の表面において、第1導電領域21に対して離間して配設され、導電性を有する。抵抗領域20は、第1導電領域21と第2導電領域22との間に配設される。そして、抵抗領域20は、第1導電領域21、第2導電領域22のそれぞれの比抵抗よりも大きい比抵抗を有する。

このように構成される保護素子2では、第1導電領域21と第2導電領域22との離間距離L1を変えることにより、図4に示されるように、動作電圧を調整することができる。

例えば、GaN系ショットキーバリアダイオードを多段化して動作電圧を上げる、比較例に対して、第1実施の形態に係る保護素子2では、離間距離L1を長くして動作電圧を上げることができるので、保護素子2の占有面積を縮小することができる。従って、半導体装置1の集積度を向上させることができ、又半導体装置1の小型化を実現することができる。

[0054] また、半導体装置1では、図2及び図3に示されるように、基板10は、化合物半導体を含んで形成される。化合物半導体では、例えば保護素子としてのダイオードを形成する高ドープのp型半導体領域を製作することが難しい。

このため、保護素子2は、半導体装置1のPID若しくはESD破壊を効果的に抑制又は防止する点について、有効な素子である。

[0055] また、半導体装置1は、図2及び図3に示されるように、保護素子2とは異なる領域において、電界効果トランジスタTrを備える。電界効果トランジスタTrは、ここではHEMTである。

電界効果トランジスタTrは、チャネル層（第1チャネル層）41と、バリア層（第1バリア層）43と、ゲート電極47と、一对の主電極領域44とを備える。チャネル層41は、基板10の表面に配設され、二次元電子ガス42が生成される。バリア層43は、チャネル層41に配設される。ゲート電極47は、チャネル層41にバリア層43を介在させて配設される。一对の主電極領域44は、ゲート長方向においてゲート電極47の両側に配設

され、チャネル層 4 1 にそれぞれ電氣的に接続される。

前述のように、電界効果トランジスタ T_r は、化合物半導体を含んで形成される。化合物半導体では、例えば保護素子としてのダイオードを形成する高ドープの p 型半導体領域を製作することが難しい。

このため、保護素子 2 は、半導体装置 1 の P I D 若しくは E S D 破壊を効果的に抑制又は防止する点について、有効な素子である。

[0056] また、半導体装置 1 では、図 1 ～図 3 に示されるように、保護素子 2 の第 1 導電領域 2 1 は、電界効果トランジスタ T_r のゲート電極 4 7 に電氣的に接続され、第 2 導電領域 2 2 は、一对の主電極領域 4 4 の一方の主電極領域 4 4 (S) に電氣的に接続される。

このため、電界効果トランジスタ T_r のゲート電極 4 7 にサージが入力された時点において、保護素子 2 によりサージを緩和若しくは吸収することができるので、半導体装置 1 の P I D 若しくは E S D 破壊を効果的に抑制又は防止することができる。

[0057] また、半導体装置 1 は、図 2 及び図 3 に示されるように、電界効果トランジスタ T_r において、一对の主電極領域 4 4 の一方、他方のそれぞれに配設され、かつ、電氣的に接続される電極 (第 1 電極) 4 5 を更に備える。一方、半導体装置 1 は、保護素子 2 において、少なくとも第 1 導電領域 2 1 に電氣的に接続され、かつ、電極 (第 1 電極) 4 5 と同一層の電極 (第 2 電極) 4 5 を更に備える。そして、電界効果トランジスタ T_r のゲート電極 4 7 は、このゲート電極 4 7 と同一層の配線 4 7 L を通して保護素子 2 の電極 (第 2 電極) 4 5 に電氣的に接続される。

図 2、図 3、図 7 及び図 8 に示されるように、半導体装置 1 の製造方法によれば、電界効果トランジスタ T_r のゲート電極 4 7 を形成する工程と同一工程において、配線 4 7 L が形成される。配線 4 7 L により、ゲート電極 4 7 と保護素子 2 の第 1 導電領域 2 1 とが電氣的に接続される。

このため、半導体装置 1 の製造過程のゲート電極 4 7 を形成する工程並びにそれ以降の工程において、電界効果トランジスタ T_r に発生する P I D 若

しくはESD破壊を効果的に抑制又は防止することができる。さらに、半導体装置1の完成後のESD破壊を効果的に抑制又は防止することができる。

[0058] また、半導体装置1では、図2及び図3に示されるように、保護素子2の第1導電領域21、第2導電領域22のそれぞれは、電界効果トランジスタTrのチャネル層（第1チャネル層）41と同一層のチャネル層（第2チャネル層）41に生成される二次元電子ガス42を含んで形成される。そして、保護素子2の抵抗領域20は、二次元電子ガス42が生成されないチャネル層（第2チャネル層）41を含んで形成される。

このため、保護素子2の第1導電領域21、第2導電領域22及び抵抗領域20の各構成要素が、電界効果トランジスタTrの二次元電子ガス42及びバリア層43の各構成要素を利用して、簡易に構築可能である。

また、半導体装置1の製造方法としては、保護素子2が電界効果トランジスタTrを形成する工程を利用して形成されるので、保護素子2を形成する新たな工程を追加した場合に比べて、製造工程数を削減することができる。

[0059] さらに、半導体装置1では、図2及び図3に示されるように、保護素子2の第1導電領域21、第2導電領域22のそれぞれに対応する領域において、チャネル層41にバリア層43が配設され、抵抗領域20に対応する領域において、チャネル層41にバリア層43が配設されない。

このため、保護素子2では、バリア層43の有無により、第1導電領域21、第2導電領域22、抵抗領域20のそれぞれを簡易に形成することができる。

[0060] <2. 第2実施の形態>

図9を用いて、本開示の第2実施の形態に係る半導体装置1を説明する。

なお、第2実施の形態並びにそれ以降に説明する実施の形態において、第1実施の形態の構成要素と同一の構成要素、又は実質的に同一の構成要素には同一の符号を付し、重複する説明は省略する。

[0061] [半導体装置1の構成]

図9は、半導体装置1の内部回路3を構築する半導体素子4及び保護素子

2の縦断面構成の一例を表している。

[0062] 第1実施の形態に係る半導体装置1に対して、第2実施の形態に係る半導体装置1は、保護素子2の抵抗領域20の構成を代えている。詳しく説明する。

すなわち、保護素子2の抵抗領域20は、その対応するチャネル層41の領域に結晶欠陥が形成されている。抵抗領域20の結晶欠陥は、抵抗領域20以外のチャネル層41の結晶欠陥よりも多い。

[0063] 抵抗領域20は、チャネル層41に不純物を導入して形成されている。導入には、例えばイオン注入 (Ion implantation) 法が使用される。不純物のイオン種としては、例えばボロン (B)、炭素 (C)、鉄 (Fe)、マグネシウム (Mg) 及び亜鉛 (Zn) から選択される1以上の物質を実用的に使用することができる。

表現を代えれば、抵抗領域20に含まれる結晶欠陥を生成する物質の濃度は、抵抗領域20以外のチャネル層41に含まれる同一種の物質の濃度よりも高くなる。特に、抵抗領域20に含まれる結晶欠陥を生成する物質の濃度は、第1導電領域21、第2導電領域22のそれぞれに含まれる同一種の物質の濃度よりも高くなる。

[0064] 第2実施の形態では、抵抗領域20に対応する領域において、チャネル層41にバリア層43が配設されている。つまり、バリア層43は取り除かれていない。勿論、抵抗領域20に対応する領域において、バリア層43が配設されていなくてもよい。抵抗領域20は、バリア層43の有無に関係無く、形成可能である。

[0065] 上記以外の構成要素は、前述の第1実施の形態に係る半導体装置1の構成要素と同一又は実質的に同一である。

[0066] [作用効果]

第2実施の形態に係る半導体装置1によれば、第1実施の形態に係る半導体装置1により得られる作用効果と同様の作用効果を得ることができる。

[0067] また、半導体装置1では、図9に示されるように、保護素子2の抵抗領域

20を結晶欠陥により形成することができるので、保護素子2を簡易に構成することができる。

[0068] さらに、半導体装置1では、図9に示されるように、保護素子2の抵抗領域20が不純物を導入して結晶欠陥を生成することにより形成される。そして、結晶欠陥を生成する不純物のイオン種及び導入量（ドーズ量）の一方又は双方を適宜変更することにより、抵抗領域20の比抵抗を変化させることができる。

このため、保護素子2では、離間距離L1等の寸法的なファクタだけでなく、チャンネル層41自体の電気特性を決める物理的なファクタを用いて、動作電圧を調整することができる。

[0069] <3. 第3実施の形態>

図10を用いて、本開示の第3実施の形態に係る半導体装置1を説明する。

[0070] [半導体装置1の構成]

図10は、半導体装置1の内部回路3を構築する半導体素子4及び保護素子2の縦断面構成の一例を表している。

[0071] 第1実施の形態に係る半導体装置1に対して、第3実施の形態に係る半導体装置1は、図10に示されるように、保護素子2、電界効果トランジスタTrのそれぞれの構成を代えている。詳しく説明する。

[0072] まず、電界効果トランジスタTrでは、第1実施の形態に係る半導体装置1の電界効果トランジスタTrの主電極領域44が省略され、二次元電子ガス42が電極45に直接電氣的に接続されている。

また、保護素子2では、同様に、二次元電子ガス42により形成されている第1導電領域21、第2導電領域22のそれぞれが電極45に直接電氣的に接続されている。

[0073] 上記以外の構成要素は、前述の第1実施の形態に係る半導体装置1の構成要素と同一又は実質的に同一である。

[0074] [作用効果]

第3実施の形態に係る半導体装置1によれば、第1実施の形態に係る半導体装置1により得られる作用効果と同様の作用効果を得ることができる。

[0075] <4. 第4実施の形態>

図11を用いて、本開示の第4実施の形態に係る半導体装置1を説明する。

[0076] [半導体装置1の構成]

図11は、半導体装置1の内部回路3を構築する半導体素子4及び保護素子2の縦断面構成の一例を表している。

[0077] 第4実施の形態に係る半導体装置1は、図11に示されるように、第3実施の形態に係る半導体装置1に第2実施の形態に係る半導体装置1を組み合わせた応用例である。詳しく説明する。

[0078] すなわち、保護素子2の抵抗領域20は、その対応するチャネル層41の領域に結晶欠陥が形成されている。抵抗領域20の結晶欠陥は、抵抗領域20以外のチャネル層41の結晶欠陥よりも多い。

結晶欠陥の生成方法、不純物のイオン種等は、第2実施の形態に係る半導体装置1の結晶欠陥の生成方法、不純物のイオン種等と同一である。

[0079] 上記以外の構成要素は、前述の第2実施の形態、第3実施の形態に係るそれぞれの半導体装置1の構成要素と同一又は実質的に同一である。

[0080] [作用効果]

第4実施の形態に係る半導体装置1によれば、第2実施の形態に係る半導体装置1により得られる作用効果と第3実施の形態に係る半導体装置1により得られる作用効果とを組み合わせた作用効果を得ることができる。

[0081] <5. 第5実施の形態>

図12を用いて、本開示の第5実施の形態に係る半導体装置1を説明する。

[0082] [半導体装置1の構成]

図12は、半導体装置1の内部回路3を構築する半導体素子4及び保護素子2の縦断面構成の一例を表している。

[0083] 第5実施の形態に係る半導体装置1は、図12に示されるように、第1実施の形態に係る半導体装置1において、保護素子2の第1導電領域21、第2導電領域22のそれぞれの構成を代えている。詳しく説明する。

[0084] すなわち、保護素子2では、第1導電領域21が、電極領域24により形成され、第2導電領域22が、同様に電極領域24により形成されている。前述の通り、電極領域24は、チャンネル層41に形成されたリセス24R内に埋設されている。また、電極領域24は、リセス24R内に埋設された化合物半導体領域（第2化合物半導体領域）である。

[0085] 抵抗領域20は、第1導電領域21と第2導電領域22との間であって、電極領域24間に配設されている。抵抗領域20は、二次元電子ガス42が生成されないチャンネル層41により形成されている。

[0086] 上記以外の構成要素は、前述の第1実施の形態に係る半導体装置1の構成要素と同一又は実質的に同一である。

[0087] [作用効果]

第5実施の形態に係る半導体装置1によれば、第1実施の形態に係る半導体装置1により得られる作用効果と同様の作用効果を得ることができる。

[0088] <6. 第6実施の形態>

図13を用いて、本開示の第6実施の形態に係る半導体装置1を説明する。

[0089] [半導体装置1の構成]

図13は、半導体装置1の内部回路3を構築する半導体素子4及び保護素子2の縦断面構成の一例を表している。

[0090] 第6実施の形態に係る半導体装置1は、図13に示されるように、第5実施の形態に係る半導体装置1において、保護素子2の抵抗領域20の構成を代えている。詳しく説明する。

[0091] すなわち、保護素子2の抵抗領域20では、第2実施の形態に係る半導体装置1の抵抗領域20と同様に、その対応するチャンネル層41の領域に結晶欠陥が形成されている。抵抗領域20の結晶欠陥は、抵抗領域20以外のチ

ャネル層 4 1 の結晶欠陥よりも多い。ここでは、第 1 導電領域 2 1、第 2 導電領域 2 2 のそれぞれである電極領域 2 4 の結晶欠陥よりも多い。

[0092] 上記以外の構成要素は、前述の第 5 実施の形態に係る半導体装置 1 の構成要素と同一又は実質的に同一である。

[0093] [作用効果]

第 6 実施の形態に係る半導体装置 1 によれば、第 2 実施の形態に係る半導体装置 1 により得られる作用効果と第 5 実施の形態に係る半導体装置 1 により得られる作用効果とを組み合わせた作用効果を得ることができる。

[0094] < 7. 第 7 実施の形態 >

図 1 4 を用いて、本開示の第 7 実施の形態に係る半導体モジュール 1 0 0 を説明する。図 1 4 は、第 7 実施の形態に係る半導体モジュール 1 0 0 の概略的な構造を表している。

[0095] [半導体モジュール 1 0 0 の構成]

第 5 実施の形態に係る半導体モジュール 1 0 0 は、例えばアレイ状に配設されたエッジアンテナ 1 0 1 と、フロントエンド部品とを 1 つのモジュールとして基板 1 1 0 上に実装したアンテナ一体型モジュールである。フロントエンド部品には、スイッチ 1 0 2、低ノイズアンプ 1 0 3、バンドパスフィルタ 1 0 4 及びパワーアンプ 1 0 5 等が含まれている。半導体モジュール 1 0 0 は、例えば、通信用のトランシーバとして使用可能である。

[0096] 半導体モジュール 1 0 0 は、例えば、スイッチ 1 0 2、低ノイズアンプ 1 0 3、又はパワーアンプ 1 0 5 等を構成するトランジスタとして、第 1 実施の形態～第 4 実施の形態に係るいずれかの半導体装置 1 を備えている。

[0097] [作用効果]

第 7 実施の形態に係る半導体モジュール 1 0 0 では、半導体装置 1 が含まれるので、無線通信の更なる高速化、高効率化及び低消費電力化を実現することができる。

また、第 1 実施の形態～第 6 実施の形態のいずれかに係る保護素子 2 が半導体装置 1 に搭載される。このため、半導体モジュール 1 0 0 では、保護素

子2の構造を簡素化し、PID若しくはESD破壊に対する保護耐性を向上しつつ、保護素子2の占有面積の縮小化を実現することができる。

[0098] <8. 第8実施の形態>

図15を用いて、本開示の第8実施の形態に係る無線通信装置300を説明する。図15は、第8実施の形態に係る無線通信装置300の概略的なブロック構成を表している。

[0099] [無線通信装置300の構成]

第8実施の形態に係る無線通信装置300は、アンテナANTと、アンテナスイッチ回路301と、高電力増幅器HPAと、高周波集積回路RFIC (Radio Frequency Integrated Circuit) と、ベースバンド部BBと、音声出力部MICと、データ出力部DTと、インタフェース部I/Fとを備えている。インタフェース部I/Fには、例えば、無線LAN (W-LAN: Wireless Local Area Network)、ブルートゥース (登録商標 (Bluetooth: 登録商標)) 等が含まれている。無線通信装置300は、例えば、音声、データ通信及びLAN接続等の多機能を有する携帯電話システムである。

[0100] 無線通信装置300は、アンテナスイッチ回路301、高電力増幅器HPA、高周波集積回路RFIC、又はベースバンド部BB等を構成するトランジスタとして第1実施の形態～第4実施の形態に係るいずれかの半導体装置1を備えている。

[0101] [作用効果]

第8実施の形態に係る無線通信装置300では、半導体装置1を備えるので、無線通信の更なる高速化、高効率化及び低消費電力化を実現することができる。したがって、無線通信装置300が携帯通信端末である場合、無線通信装置300では、使用時間を更に延長させることができるので、携帯性をより向上させることができる。

また、第1実施の形態～第6実施の形態のいずれかに係る保護素子2が半導体装置1に搭載される。このため、無線通信装置300では、保護素子2の構造を簡素化し、PID若しくはESD破壊に対する保護耐性を向上し

つ、保護素子2の占有面積の縮小化を実現することができる。

[0102] <9. その他の実施の形態>

本技術は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内において、種々変更可能である。

[0103] 例えば、本技術に係る半導体装置では、同様の作用効果を得ることができるGa₂N以外の化合物半導体を使用することができる。

また、本技術では、ゲート絶縁型構造を有する電界効果トランジスタを含む半導体装置に適用することができる。

さらに、本技術は、保護素子に他の保護素子を組み合わせてもよい。例えば、他の保護素子としては、ダイオード、抵抗及び容量から選択される1以上の素子である。

[0104] 以上説明したように、本開示の第1実施態様に係る半導体装置は、第1導電領域と、第2導電領域と、抵抗領域とを含む保護素子を備える。

第1導電領域は、基板の表面に配設され、導電性を有する。第2導電領域は、基板の表面において、第1導電領域に対して離間して配設され、導電性を有する。抵抗領域は、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する。

このように構成される半導体装置によれば、保護素子は、第1導電領域と第2導電領域との離間距離を変えることにより、動作電圧を調整可能である。このため、保護素子の占有面積を縮小し、半導体装置の小型化を実現することができる。

[0105] 本開示の第2実施態様に係る半導体装置は、第1実施態様に係る半導体装置であって、保護素子とは異なる領域において、高電子移動度トランジスタを更に備える。

高電子移動度トランジスタは、第1チャネル層と、第1バリア層と、ゲート電極と、一对の主電極領域とを有する。第1チャネル層は、基板の表面に配設され、第1チャネル層には、二次元電子ガスが生成される。第1バリア

層は、第1チャネル層に配設される。ゲート電極は、第1チャネル層に第1バリア層を介在させて配設される。一对の主電極領域は、ゲート長方向においてゲート電極の両側に配設され、第1チャネル層にそれぞれ電氣的に接続される。

このように構成される半導体装置によれば、保護素子は、P I D若しくはE S D破壊を効果的に抑制又は防止する点について、有効な素子である。

[0106] 本開示の第3実施態様に係る半導体装置は、第2実施態様に係る半導体装置であって、第1導電領域は、ゲート電極に電氣的に接続され、第2導電領域は、一对の主電極領域の一方に電氣的に接続されている。

このように構成される半導体装置によれば、高電子移動度トランジスタのゲート電極にサージが入力された時点において、保護素子によりサージを緩和若しくは吸収することができる。このため、半導体装置のP I D若しくはE S D破壊を効果的に抑制又は防止することができる。

[0107] 本開示の第4実施態様に係る半導体モジュールは、半導体装置を備える。半導体装置は、第1導電領域と、第2導電領域と、抵抗領域とを含む保護素子を備える。

第1導電領域は、基板の表面に配設され、導電性を有する。第2導電領域は、基板の表面において、第1導電領域に対して離間して配設され、導電性を有する。抵抗領域は、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する。

このように構成される半導体モジュールによれば、半導体装置の保護素子は、第1導電領域と第2導電領域との離間距離を変えることにより、動作電圧を調整可能である。このため、保護素子の占有面積を縮小し、半導体装置を含めて半導体モジュールの小型化を実現することができる。

[0108] 本開示の第5実施態様に係る電子機器は、半導体装置を備えている。半導体装置は、第1導電領域と、第2導電領域と、抵抗領域とを含む保護素子を備える。

第1導電領域は、基板の表面に配設され、導電性を有する。第2導電領域は、基板の表面において、第1導電領域に対して離間して配設され、導電性を有する。抵抗領域は、第1導電領域と第2導電領域との間に配設され、第1導電領域、第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する。

このように構成される半導体装置によれば、半導体装置の保護素子は、第1導電領域と第2導電領域との離間距離を変えることにより、動作電圧を調整可能である。このため、保護素子の占有面積を縮小し、半導体装置を含めて電子機器の小型化を実現することができる。

[0109] <本技術の構成>

本技術は、以下の構成を備えている。以下の構成の本技術によれば、半導体装置、半導体モジュール及び電子機器において、半導体装置の保護素子の占有面積を縮小し、小型化を実現することができる。

[0110] (1)

基板の表面に配設された導電性を有する第1導電領域と、
前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、
前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と
を含んで構成された保護素子を備えている半導体装置。

(2)

前記基板は、化合物半導体を含んで形成されている
前記(1)に記載の半導体装置。

(3)

前記保護素子とは異なる領域において、前記表面に配設され、二次元電子ガスが生成される第1チャネル層と、
前記第1チャネル層に配設された第1バリア層と、

前記第 1 チャネル層に前記第 1 バリア層を介在させて配設されたゲート電極と、

ゲート長方向において前記ゲート電極の両側に配設され、前記第 1 チャネル層にそれぞれ電氣的に接続された一对の主電極領域とを有する高電子移動度トランジスタを更に備えている

前記（2）に記載の半導体装置。

（4）

前記第 1 導電領域は、前記ゲート電極に電氣的に接続され、

前記第 2 導電領域は、前記一对の主電極領域の一方に電氣的に接続されている

前記（3）に記載の半導体装置。

（5）

前記第 1 導電領域、前記第 2 導電領域のそれぞれは、前記第 1 チャネル層と同一層の第 2 チャネル層に生成される二次元電子ガスを含んで形成され、

前記抵抗領域は、前記二次元電子ガスが生成されない前記第 2 チャネル層を含んで形成されている

前記（3）又は前記（4）に記載の半導体装置。

（6）

前記第 1 導電領域、前記第 2 導電領域のそれぞれに対応する領域において、前記第 2 チャネル層に前記第 1 バリア層と同一層の第 2 バリア層が配設され、

前記抵抗領域に対応する領域において、前記第 2 チャネル層に前記第 2 バリア層が配設されていない

前記（5）に記載の半導体装置。

（7）

前記第 1 導電領域、前記第 2 導電領域のそれぞれに対応する領域において、前記第 2 チャネル層に前記第 1 バリア層と同一層の第 2 バリア層が配設され、

前記抵抗領域に対応する領域において、前記第 2 チャネル層に前記第 1 チャネル層の結晶欠陥よりも多い結晶欠陥が形成されている

前記（５）に記載の半導体装置。

（８）

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第 1 チャネル層の表面から深さ方向に掘り下げられた第 1 リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第 1 化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第 1 導電領域は、前記第 2 チャネル層の表面から深さ方向に掘り下げられた第 2 リセス内に埋設された第 2 化合物半導体領域に電氣的に接続されている

前記（５）又は前記（６）に記載の半導体装置。

（９）

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第 1 チャネル層の表面から深さ方向に掘り下げられた第 1 リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第 1 化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第 1 導電領域は、前記第 2 チャネル層の表面から深さ方向に掘り下げられた第 2 リセス内に埋設された第 2 化合物半導体領域に電氣的に接続されている

前記（７）に記載の半導体装置。

（１０）

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第 1 チャネル層の表面から深さ方向に掘り下げられた第 1 リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第 1 化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第1導電領域は、前記第2チャネル層の表面から深さ方向に掘り下げられた第2リセス内に埋設された第2化合物半導体領域である

前記(5)又は前記(6)に記載の半導体装置。

(11)

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第1チャネル層の表面から深さ方向に掘り下げられた第1リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第1化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第1導電領域は、前記第2チャネル層の表面から深さ方向に掘り下げられた第2リセス内に埋設された第2化合物半導体領域である

前記(7)に記載の半導体装置。

(12)

前記抵抗領域は、B、C、Fe、Mg及びZnから選択される1以上の物質を含み、

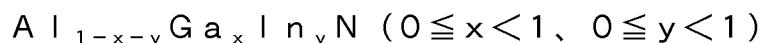
前記抵抗領域に含まれる前記物質の濃度は、前記第1導電領域、前記第2導電領域のそれぞれに含まれる同一種の前記物質の濃度よりも高い

前記(7)、前記(9)又は前記(11)に記載の半導体装置。

(13)

前記第1チャネル層、前記第1バリア層のそれぞれは、下記組成式により表される化合物半導体である

前記(3)から前記(12)のいずれか1つに記載の半導体装置。



(14)

前記第1化合物半導体領域、前記第2化合物半導体領域のそれぞれは、下記組成式により表される化合物半導体である

前記(8)から前記(13)のいずれか1つに記載の半導体装置。

$$A \mid_{1-x-y} G a_x \mid_{n_y} N \quad (0 \leq x < 1, 0 \leq y < 1)$$

(15)

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれに配設され、かつ、電氣的に接続される第1電極を更に備え、

前記保護素子において、

少なくとも前記第1導電領域に電氣的に接続され、かつ、前記第1電極と同一層の第2電極を更に備え、

前記ゲート電極は、当該ゲート電極と同一層の配線を通して前記第2電極に電氣的に接続される

前記(3)から前記(14)のいずれか1つに記載の半導体装置。

(16)

半導体装置を備え、

前記半導体装置は、

基板の表面に配設された導電性を有する第1導電領域と、

前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、

前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と

を含んで構成された保護素子を備えている半導体モジュール。

(17)

半導体装置を備え、

前記半導体装置は、

基板の表面に配設された導電性を有する第1導電領域と、

前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、

前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領

域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と

を含んで構成された保護素子を備えている電子機器。

[0111] 本出願は、日本国特許庁において2023年11月28日に出願された日本特許出願番号2023-200328号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0112] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 基板の表面に配設された導電性を有する第1導電領域と、
 前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、
 前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と
 を含んで構成された保護素子を備えている半導体装置。
- [請求項2] 前記基板は、化合物半導体を含んで形成されている
 請求項1に記載の半導体装置。
- [請求項3] 前記保護素子とは異なる領域において、前記表面に配設され、二次元電子ガスが生成される第1チャネル層と、
 前記第1チャネル層に配設された第1バリア層と、
 前記第1チャネル層に前記第1バリア層を介在させて配設されたゲート電極と、
 ゲート長方向において前記ゲート電極の両側に配設され、前記第1チャネル層にそれぞれ電氣的に接続された一対の主電極領域とを有する高電子移動度トランジスタを更に備えている
 請求項2に記載の半導体装置。
- [請求項4] 前記第1導電領域は、前記ゲート電極に電氣的に接続され、
 前記第2導電領域は、前記一対の主電極領域の一方に電氣的に接続されている
 請求項3に記載の半導体装置。
- [請求項5] 前記第1導電領域、前記第2導電領域のそれぞれは、前記第1チャネル層と同一層の第2チャネル層に生成される二次元電子ガスを含んで形成され、
 前記抵抗領域は、前記二次元電子ガスが生成されない前記第2チャネル層を含んで形成されている

請求項 3 に記載の半導体装置。

[請求項6] 前記第 1 導電領域、前記第 2 導電領域のそれぞれに対応する領域において、前記第 2 チャネル層に前記第 1 バリア層と同一層の第 2 バリア層が配設され、

前記抵抗領域に対応する領域において、前記第 2 チャネル層に前記第 2 バリア層が配設されていない

請求項 5 に記載の半導体装置。

[請求項7] 前記第 1 導電領域、前記第 2 導電領域のそれぞれに対応する領域において、前記第 2 チャネル層に前記第 1 バリア層と同一層の第 2 バリア層が配設され、

前記抵抗領域に対応する領域において、前記第 2 チャネル層に前記第 1 チャネル層の結晶欠陥よりも多い結晶欠陥が形成されている

請求項 5 に記載の半導体装置。

[請求項8] 前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第 1 チャネル層の表面から深さ方向に掘り下げられた第 1 リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第 1 化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第 1 導電領域は、前記第 2 チャネル層の表面から深さ方向に掘り下げられた第 2 リセス内に埋設された第 2 化合物半導体領域に電氣的に接続されている

請求項 5 に記載の半導体装置。

[請求項9] 前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第 1 チャネル層の表面から深さ方向に掘り下げられた第 1 リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第 1 化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第1導電領域は、前記第2チャネル層の表面から深さ方向に掘り下げられた第2リセス内に埋設された第2化合物半導体領域に電氣的に接続されている

請求項7に記載の半導体装置。

[請求項10]

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第1チャネル層の表面から深さ方向に掘り下げられた第1リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第1化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第1導電領域は、前記第2チャネル層の表面から深さ方向に掘り下げられた第2リセス内に埋設された第2化合物半導体領域である

請求項5に記載の半導体装置。

[請求項11]

前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれは、前記第1チャネル層の表面から深さ方向に掘り下げられた第1リセス内に埋設され、前記二次元電子ガスに電氣的に接続される第1化合物半導体領域を含んで形成され、

前記保護素子において、

少なくとも前記第1導電領域は、前記第2チャネル層の表面から深さ方向に掘り下げられた第2リセス内に埋設された第2化合物半導体領域である

請求項7に記載の半導体装置。

[請求項12]

前記抵抗領域は、B、C、Fe、Mg及びZnから選択される1以上の物質を含み、

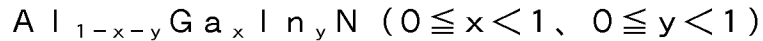
前記抵抗領域に含まれる前記物質の濃度は、前記第1導電領域、前

記第2導電領域のそれぞれに含まれる同一種の前記物質の濃度よりも高い

請求項7に記載の半導体装置。

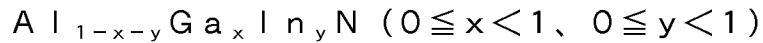
[請求項13] 前記第1チャネル層、前記第1バリア層のそれぞれは、下記組成式により表される化合物半導体である

請求項3に記載の半導体装置。



[請求項14] 前記第1化合物半導体領域、前記第2化合物半導体領域のそれぞれは、下記組成式により表される化合物半導体である

請求項8に記載の半導体装置。



[請求項15] 前記高電子移動度トランジスタにおいて、

前記一对の主電極領域の一方、他方のそれぞれに配設され、かつ、電氣的に接続される第1電極を更に備え、

前記保護素子において、

少なくとも前記第1導電領域に電氣的に接続され、かつ、前記第1電極と同一層の第2電極を更に備え、

前記ゲート電極は、当該ゲート電極と同一層の配線を通して前記第2電極に電氣的に接続される

請求項3に記載の半導体装置。

[請求項16] 半導体装置を備え、

前記半導体装置は、

基板の表面に配設された導電性を有する第1導電領域と、

前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、

前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と

[請求項17]

を含んで構成された保護素子を備えている半導体モジュール。

半導体装置を備え、

前記半導体装置は、

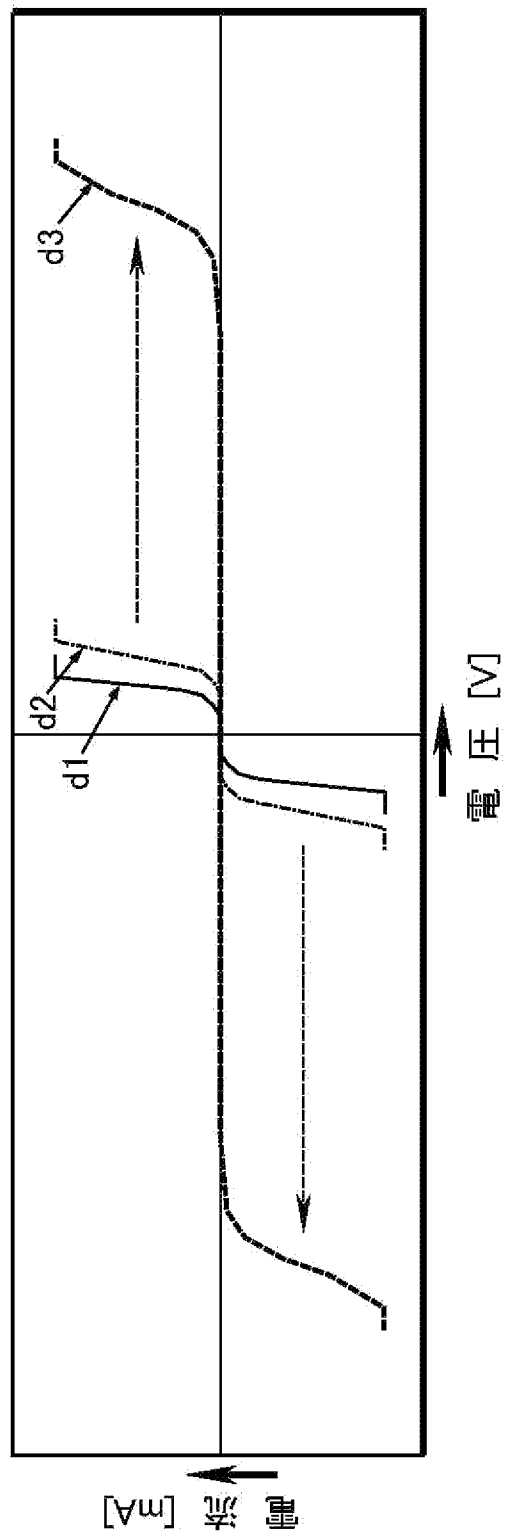
基板の表面に配設された導電性を有する第1導電領域と、

前記表面において、前記第1導電領域に対して離間して配設された導電性を有する第2導電領域と、

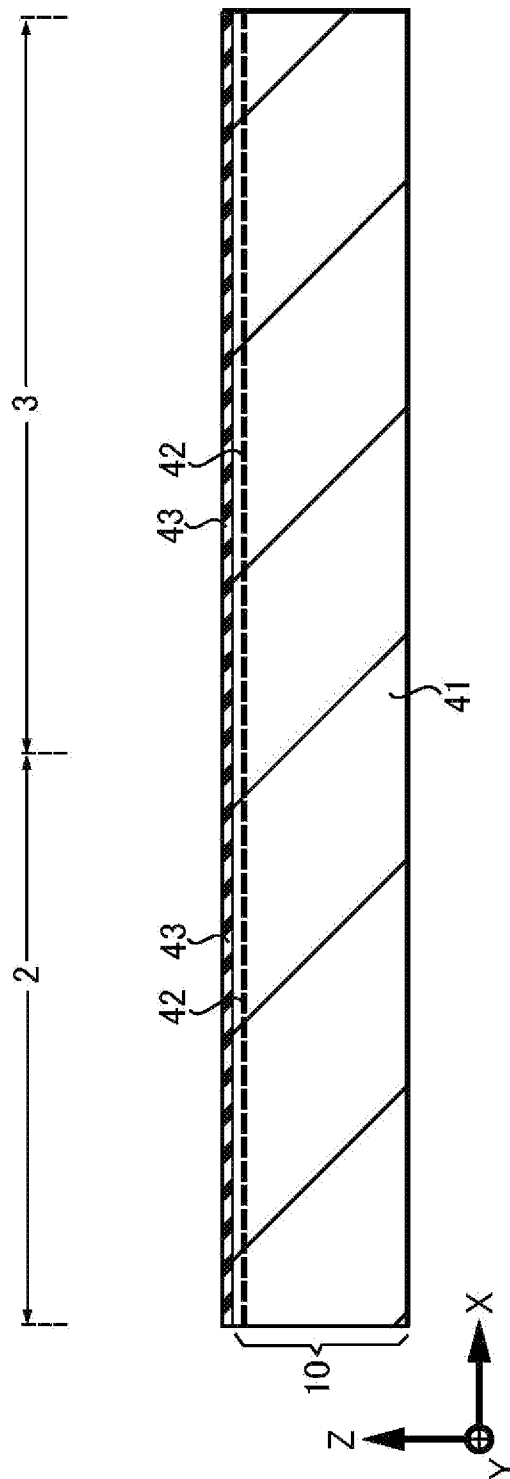
前記第1導電領域と前記第2導電領域との間に配設され、前記第1導電領域、前記第2導電領域のそれぞれの比抵抗よりも大きい比抵抗を有する抵抗領域と

を含んで構成された保護素子を備えている電子機器。

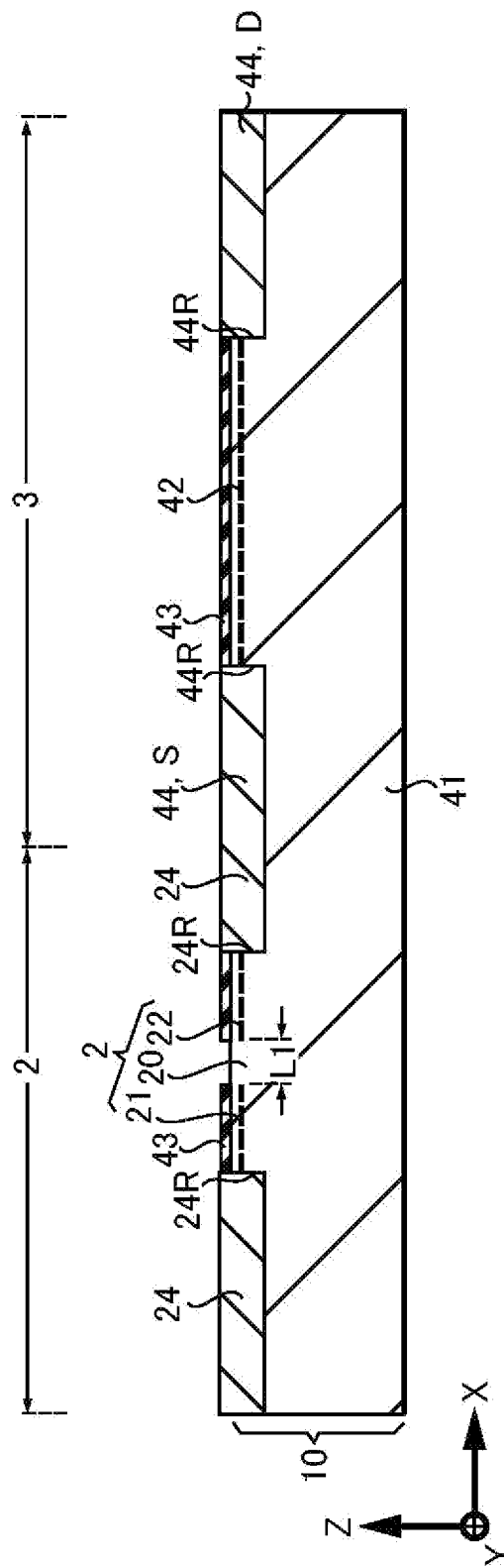
[図4]



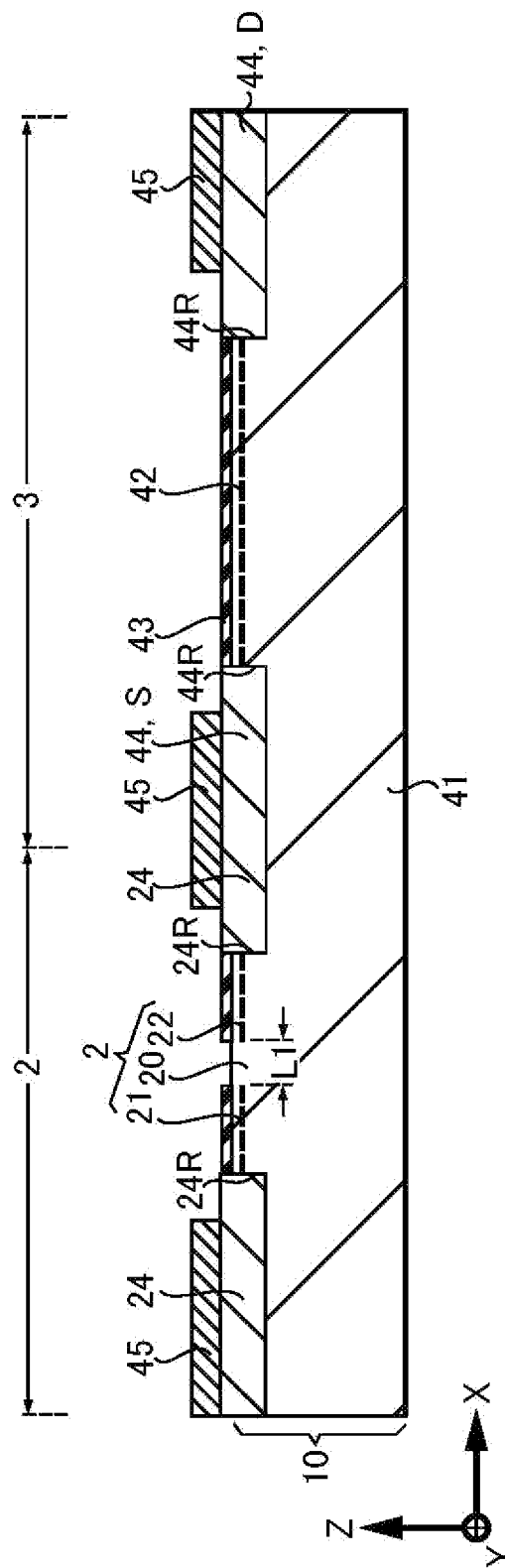
[図5]



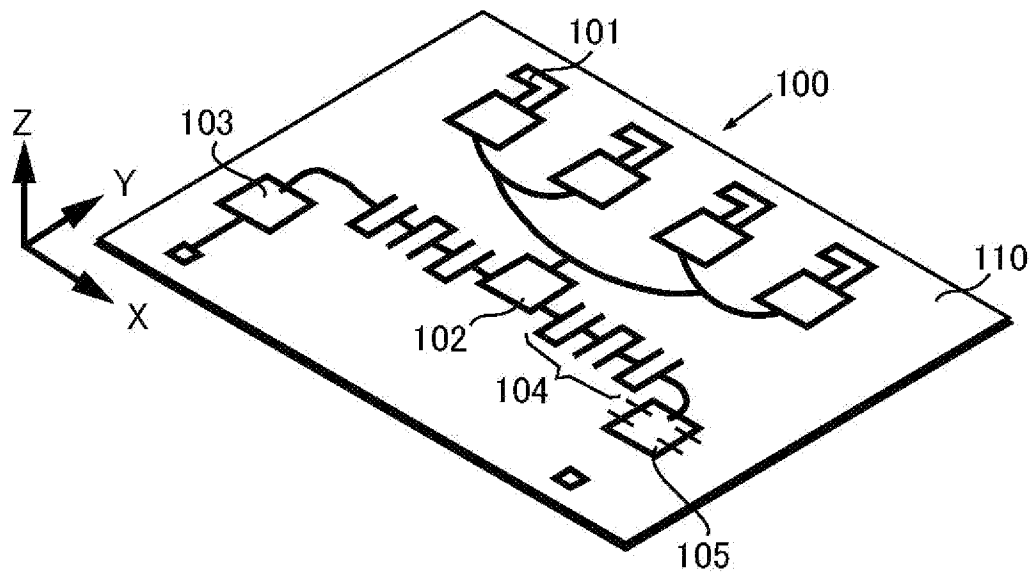
[図7]



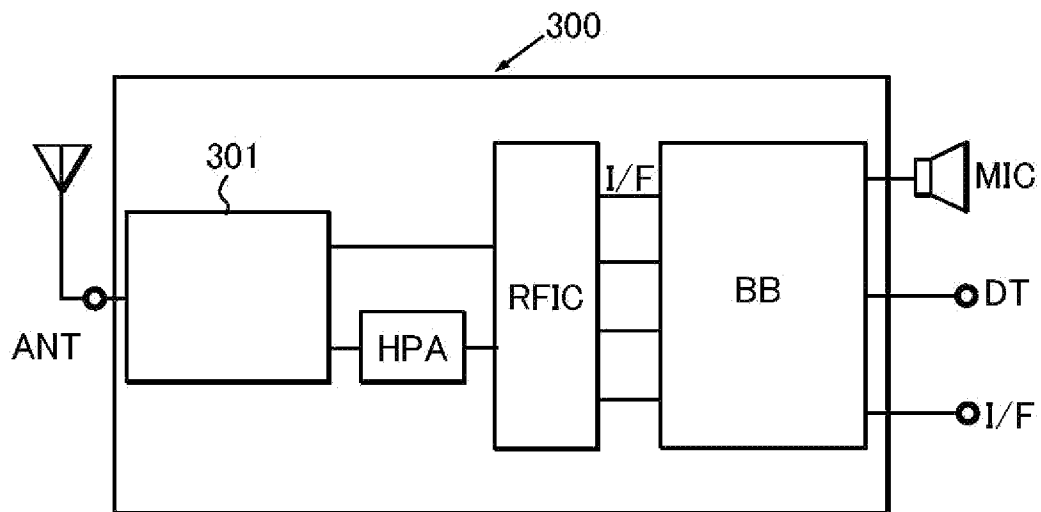
[図8]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/035742

A. CLASSIFICATION OF SUBJECT MATTER**H10D 30/80**(2025.01)i; **H10D 30/47**(2025.01)i; **H10D 30/87**(2025.01)i; **H10D 89/60**(2025.01)i

FI: H01L29/80 P; H01L29/80 H; H01L29/80 E; H01L27/04 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/337; H01L21/338; H01L29/808; H01L29/812; H01L21/822; H01L27/04; H01L29/778

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-48900 A (SANYO ELECTRIC CO., LTD.) 22 February 2007 (2007-02-22) paragraphs [0084]-[0124], [0136]-[0138], [0150], fig. 10-12(C)	1-5, 7, 12-13, 16-17
Y		6, 8-9, 12, 14
A		10-11, 15
Y	WO 2016/185715 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 24 November 2016 (2016-11-24) paragraphs [0014]-[0027], fig. 1A-1B	6
Y	JP 2010-186925 A (PANASONIC CORPORATION) 26 August 2010 (2010-08-26) paragraphs [0004], [0029], [0031]-[0032], [0041]-[0044], fig. 1, 5, 7	8-9, 12, 14
A	JP 2013-179116 A (SONY CORPORATION) 09 September 2013 (2013-09-09) paragraphs [0044]-[0162], fig. 1-14	1-17
A	US 9041066 B2 (INFINEON TECHNOLOGIES AUSTRIA AG) 26 May 2015 (2015-05-26) column 4, line 10 to column 10, line 10, fig. 1-8	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 December 2024

Date of mailing of the international search report

17 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/035742

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-48900	A	22 February 2007	(Family: none)	
WO	2016/185715	A1	24 November 2016	US 2018/0102426 A1 paragraphs [0038]-[0051], fig. 1A-1B	
JP	2010-186925	A	26 August 2010	US 2011/0284928 A1 paragraphs [0004], [0043], [0045]-[0046], [0055]-[0058], fig. 1, 5, 7	
				CN 102318048 A	
JP	2013-179116	A	09 September 2013	US 2013/0221408 A1 paragraphs [0059]-[0183], fig. 1-6	
				CN 103296024 A	
				TW 201401485 A	
US	9041066	B2	26 May 2015	DE 102013105714 A1	
				CN 103456733 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10D 30/80(2025.01)i; H10D 30/47(2025.01)i; H10D 30/87(2025.01)i; H10D 89/60(2025.01)i
FI: H01L29/80 P; H01L29/80 H; H01L29/80 E; H01L27/04 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/337; H01L21/338; H01L29/808; H01L29/812; H01L21/822; H01L27/04; H01L29/778

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-48900 A（三洋電機株式会社）22.02.2007（2007-02-22） 段落[0084]-[0124], [0136]-[0138], [0150], 図10-12(C)	1-5, 7, 12-13, 16-17
Y		6, 8-9, 12, 14
A		10-11, 15
Y	WO 2016/185715 A1（パナソニックIPマネジメント株式会社）24.11.2016（2016-11-24） 段落[0014]-[0027], 図1A-1B	6
Y	JP 2010-186925 A（パナソニック株式会社）26.08.2010（2010-08-26） 段落[0004], [0029], [0031]-[0032], [0041]-[0044], 図1, 5, 7	8-9, 12, 14
A	JP 2013-179116 A（ソニー株式会社）09.09.2013（2013-09-09） 段落[0044]-[0162], 図1-14	1-17
A	US 9041066 B2（INFINEON TECHNOLOGIES AUSTRIA AG）26.05.2015（2015-05-26） 第4欄第10行-第10欄第10行, 図1-8	1-17

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日05. 12. 2024

国際調査報告の発送日17. 12. 2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

志津木 康 5F 1787

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/035742

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-48900	A	22.02.2007	(ファミリーなし)	
WO	2016/185715	A1	24.11.2016	US 2018/0102426 A1	
				段落[0038]-[0051], 図1A-1B	
JP	2010-186925	A	26.08.2010	US 2011/0284928 A1	
				段落[0004], [0043], [0045]-[0046], [0055]-[0058], 図1, 5, 7	
				CN 102318048 A	
JP	2013-179116	A	09.09.2013	US 2013/0221408 A1	
				段落[0059]-[0183], 図1-6	
				CN 103296024 A	
				TW 201401485 A	
US	9041066	B2	26.05.2015	DE 102013105714 A1	
				CN 103456733 A	