



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월13일
(11) 등록번호 10-1746819
(24) 등록일자 2017년06월07일

- (51) 국제특허분류(Int. Cl.)
G06F 15/78 (2006.01) G06F 13/20 (2006.01)
G06F 7/57 (2006.01)
- (52) CPC특허분류
G06F 15/7867 (2013.01)
G06F 13/20 (2013.01)
- (21) 출원번호 10-2015-7036500
- (22) 출원일자(국제) 2014년05월27일
심사청구일자 2016년12월01일
- (85) 번역문제출일자 2015년12월23일
- (65) 공개번호 10-2016-0015275
- (43) 공개일자 2016년02월12일
- (86) 국제출원번호 PCT/US2014/039612
- (87) 국제공개번호 WO 2014/193851
국제공개일자 2014년12월04일
- (30) 우선권주장
13/905,032 2013년05월29일 미국(US)
- (56) 선행기술조사문헌
US8155113 B1

- (73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
노우시아스, 이오아니스
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
카얌, 새미
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
뮤어, 마크, 이안, 로이
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 17 항

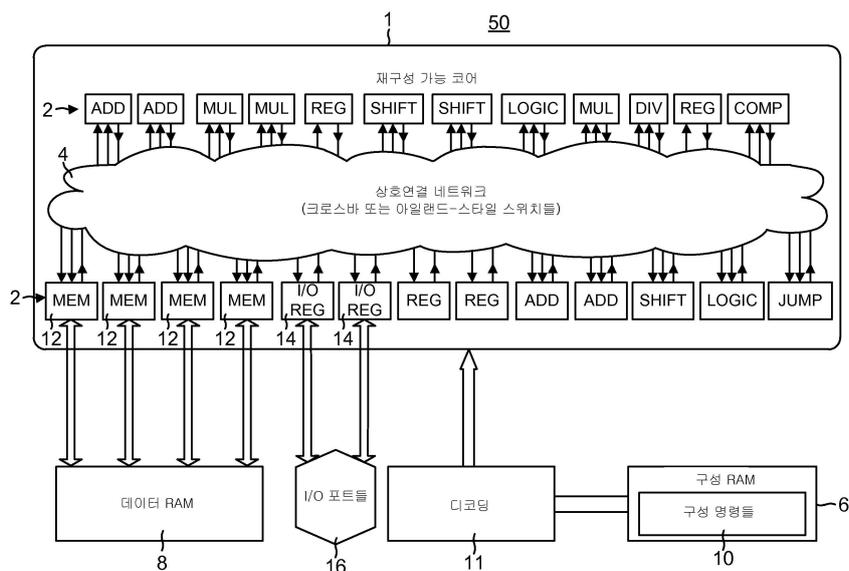
심사관 : 홍경아

(54) 발명의 명칭 조건부 채널 라우팅 및 인-플레이스 기능성을 갖는 재구성 가능한 명령 셀 어레이

(57) 요약

스위치 박스의 어레이를 포함하는 재구성 가능한 명령 셀 어레이가 개시된다. 어레이 내의 각각의 스위치 박스는 어레이에서 이웃 스위치 박스들로부터 복수의 입력 채널을 수신하도록 구성되는 I/O 포트들의 세트를 포함한다. 스위치 박스 내에서, I/O 포트들 중 하나는 어레이에서 이웃 스위치 박스로 구동될 복수의 출력 채널들을 형성하기 위해 스위치 박스에 남아있는 I/O 포트들에 의해 수신된 입력 채널들로부터 조건부로 선택한다.

대표도 - 도1a



(52) CPC특허분류

G06F 15/7871 (2013.01)

G06F 7/57 (2013.01)

명세서

청구범위

청구항 1

회로로서,

복수의 스위치 박스들을 포함하고,

각각의 스위치 박스는 입력/출력(I/O) 포트들의 세트를 포함하고, 각각의 I/O 포트는 복수의 입력 채널들을 수신하고 그리고 복수의 출력 채널들을 출력하도록 구성되고,

각각의 I/O 포트는 상기 복수의 출력 채널들에 대응하는 복수의 조건부 라우팅 회로들을 포함하고, 각각의 스위치 박스의 I/O 포트에 대한 각각의 조건부 라우팅 회로는,

제 1 어드레스 신호에 응답하여 멀티플렉서 출력을 형성하기 위해, 상기 스위치 박스에 대한 상기 I/O 포트들의 세트의 남아있는 각각의 I/O 포트로부터의 입력 채널들 중 단일의 수신된 입력 채널을 포함하는 신호들의 그룹으로부터 선택하도록 구성되는 제 1 멀티플렉서; 및

상기 제 1 어드레스 신호를 형성하도록 구성되는 디코더 - 상기 디코더는, 상기 제 1 어드레스 신호가 상기 신호들의 그룹에 의존하지 않는 정적 라우팅 동작 모드에서 동작하도록 구성가능하고, 상기 디코더는 추가로, 상기 제 1 어드레스 신호가, 선택된 수신된 입력 채널 외에도, 상기 신호들의 그룹의 수신된 입력 채널들 중 하나에 의존하는 조건부 라우팅 동작 모드에서 동작하도록 구성가능하고, 상기 조건부 라우팅 회로는 상기 조건부 라우팅 회로의 출력 채널로서 상기 멀티플렉서 출력을 구동하도록 구성가능함 -

를 포함하는,

회로.

청구항 2

제 1 항에 있어서,

각각의 스위치 박스는, 명령 셀 출력을 생성하기 위해 상기 스위치 박스에 대한 상기 I/O 포트들의 세트의 I/O 포트들 중 하나에 의해 수신된 입력 채널들 중 적어도 하나 상에서 로직 연산을 수행하도록 구성되는 명령 셀을 포함하고, 그리고

상기 신호들의 그룹은 명령 셀 출력을 더 포함하는,

회로.

청구항 3

제 2 항에 있어서,

상기 복수의 스위치 박스들은 행들 및 열들에 의해 배열되고, 그리고

각각의 스위치 박스에 대한 상기 I/O 포트들의 세트는 대향하는 행 I/O 포트들의 쌍 및 대향하는 열 I/O 포트들의 쌍을 포함하는,

회로.

청구항 4

제 1 항에 있어서,

각각의 스위치 박스의 I/O 포트의 조건부 라우팅 회로에 대한 각각의 디코더는, 상기 스위치 박스의 조건부 라우팅 회로의 제 1 멀티플렉서의 신호들의 그룹으로부터 선택하도록 구성될 상기 스위치 박스에 대한 구성 워드로부터의 구성 비트들에 응답하여 디코더-선택 신호를 형성하도록 구성가능한,

회로.

청구항 5

제 4 항에 있어서,

각각의 디코더는 상기 제 1 어드레스 신호를 형성하도록 상기 디코더-선택 신호로부터의 비트들의 서브세트를 디코딩하도록 구성되는,

회로.

청구항 6

제 1 항에 있어서,

각각의 조건부 라우팅 회로는, 기능 유닛 출력을 형성하도록 상기 조건부 라우팅 회로의 멀티플렉서 출력 상에서 로직 연산을 수행하게 구성되는 기능 유닛을 더 포함하는,

회로.

청구항 7

제 5 항에 있어서,

각각의 디코더는 추가로, 제 2 어드레스 신호를 형성하도록 구성되고, 그리고

각각의 조건부 라우팅 회로는, 상기 제 2 어드레스 신호에 응답하여 대응하는 출력 채널을 형성하기 위해, 상기 조건부 라우팅 회로의 기능 유닛 출력과 상기 조건부 라우팅 회로의 멀티플렉서 출력 사이에서 선택하도록 구성되는 제 2 멀티플렉서를 더 포함하는,

회로.

청구항 8

제 6 항에 있어서,

상기 기능 유닛들 중 적어도 하나는 레지스터를 포함하는,

회로.

청구항 9

제 6 항에 있어서,

상기 기능 유닛들 중 적어도 하나는 시프트 회로를 포함하는,

회로.

청구항 10

제 4 항에 있어서,

각각의 디코더는 추가로, 상기 제 1 멀티플렉서가 상기 멀티플렉서 출력을 형성하기 위해 상기 제 1 어드레스 신호에 응답하여 상기 디코더-선택 신호를 제외한 그의 신호들의 그룹으로부터 선택하게 구성되도록, 상기 조건부 라우팅 동작 모드에서 동작하도록 구성가능한,

회로.

청구항 11

제 2 항에 있어서,

상기 명령 셀들 중 적어도 하나는 산술 로직 유닛(ALU)을 포함하는,

회로.

청구항 12

제 3 항에 있어서,

각각의 스위치 박스의 열 I/O 포트의 각각의 제 1 멀티플렉서는, 상기 스위치 박스의 각각의 행 I/O 포트로부터의 수신된 입력 채널로부터 그리고 상기 스위치 박스의 남아있는 열 I/O 포트로부터의 수신된 입력 채널로부터 선택하도록 구성되는,

회로.

청구항 13

제 3 항에 있어서,

각각의 스위치 박스의 각각의 행 I/O 포트의 각각의 제 1 멀티플렉서는, 상기 스위치 박스의 각각의 열 I/O 포트로부터의 수신된 입력 채널로부터 그리고 상기 스위치 박스의 남아있는 행 I/O 포트로부터의 수신된 입력 채널로부터 선택하도록 구성되는,

회로.

청구항 14

방법으로서,

이웃 스위치 박스들의 세트에 의해 둘러싸이도록 스위치 박스들의 어레이에 배열되는 제 1 스위치 박스에 대해, 상기 이웃 스위치 박스들 각각으로부터 복수의 입력 채널들을 수신하는 단계;

명령 셀 출력을 형성하기 위해, 수신된 입력 채널들 중 적어도 하나 상에서 로직 연산을 수행하는 단계;

제 1 어드레스 신호를 형성하기 위해, 상기 세트 내의 각각의 이웃 스위치 박스로부터의 수신된 입력 채널들 중 단일의 입력 채널 및 상기 명령 셀 출력을 포함하는 신호들의 그룹으로부터 선택되는 디코더-선택 신호를 디코딩하는 단계; 및

상기 제 1 어드레스 신호에 응답하여, 상기 이웃 스위치 박스들 중 주어진 하나에 대한 출력 채널을 형성하기 위해, 상기 디코더-선택 신호 외에도, 상기 신호들의 그룹으로부터 선택하는 단계

를 포함하는,

방법.

청구항 15

제 14 항에 있어서,

상기 제 1 스위치 박스에 대한 구성 워드의 구성 비트들에 응답하여 상기 신호들의 그룹으로부터 상기 디코더-선택 신호를 선택하는 단계

를 더 포함하는,

방법.

청구항 16

제 15 항에 있어서,

상기 신호들의 그룹으로부터 상기 디코더-선택 신호를 선택하는 단계는, 상기 신호들의 그룹의 신호들 각각에 대한 로직 상태에 추가로 응답하는,

방법.

청구항 17

제 14 항에 있어서,

상기 출력 채널을 형성하는 것은,
 멀티플렉서 출력을 형성하도록 상기 신호들의 그룹으로부터 선택하는 것;
 기능 유닛 출력을 형성하도록 상기 멀티플렉서 출력 상에서 로직 연산을 수행하는 것; 및
 상기 출력 채널을 형성하도록 상기 멀티플렉서 출력과 상기 기능 유닛 출력 사이에서 선택하는 것을 포함하는,
 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

- [0001] 관련 출원들에 대한 상호-참조
- [0002] [0001] 출원은 2013년 5월 29일 출원된 미국 정식 출원 번호 제13/905,032호를 우선권으로 주장하며, 이 출원은 그 전체가 인용에 의해 본원에 포함된다.
- [0003] 기술 분야
- [0004] [0002] 이 출원은 RICA(reconfigurable instruction cell array)들에 관한 것으로서, 보다 구체적으로는 인-플레이스 기능성(in-place functionality)을 갖는 RICA에 관한 것이다.

배경 기술

- [0005] [0003] 마이크로프로세서 컴퓨팅 전력들이 점점 증가되지만, 추가적인 증가에 대한 요구는 조금도 수그러들지 않은 채로 남아있다. 예를 들어, 스마트폰들은 이제 놀랄 만큼 다양한 작업들로 자신의 프로세서들에 부담을 가한다. 그러나 단일-코어 프로세서는 주어진 시간에 임의의 수의 명령들만을 수용할 수 있다. 따라서, 이제 명령들의 세트들을 병렬로 프로세싱하는 다중-코어 또는 다중-스레드 프로세서들을 제공하는 것이 일반적이다. 그러나 이러한 명령-기반 아키텍처들은 다이 공간, 전력 소비 및 명령 프로세싱 시간의 감소에 관한 복잡도에 의해 부과된 제한들과 항상 다투어야 한다 .
- [0006] [0004] 프로그래밍 가능 프로세싱 코어의 이용에 비해, 전용 하드웨어에서 보다 효율적으로 프로세싱될 수 있는 다수의 알고리즘들이 존재한다. 예를 들어, 이미지 프로세싱은 프로세싱 단계들의 파이프라인을 통해 상당한 병행성(parallelism) 및 그룹들로의 픽셀 프로세싱을 포함한다. 알고리즘이 이어서 하드웨어에 맵핑되는 경우, 구현은 이러한 대칭 및 병행성을 이용한다. 그러나 전용 하드웨어의 설계는 값비싸고 알고리즘이 수정되는 경우 전용 하드웨어가 재설계되어야 한다는 점에서 또한 성가시다.
- [0007] [0005] 명령-기반 아키텍처와 전용 하드웨어 접근법들간의 효율적인 절충안(compromise)을 제공하기 위해, RICA(reconfigurable instruction cell array) 아키텍처가 개발되었다. 도 1a는 예시적인 RICA 시스템(50)을 예시한다. 이 RICA 시스템(50)에서, 복수의 명령 셀들(2)은 프로그래밍 가능 스위칭 패브릭(4)을 통해 상호연결된다. (이들이 어느 종류의 로직 함수 또는 명령을 구현하는지에 관하여) 명령 셀들의 구성은 물론 스위칭 패브릭은 주어진 알고리즘 또는 함수를 구현하는데 필요할 때 클록 사이클마다 재프로그래밍될 수 있다. 명령 셀들은 (결국 데이터 RAM(8)으로부터 로딩되는) MEM 셀들(12)에 의해 리드리브되는 바와 같은 데이터를 프로세싱한다. 명령 셀들(2)에 의한 이러한 프로세싱은 구성 RAM(6)으로부터 획득된 구성 명령들(10)에 따라 발생한다. 디코딩 모듈(11)은 명령 셀들(2) 뿐만 아니라 스위칭 패브릭(4)에 대한 프로그래밍을 획득하도록 명령들(10)을 디코딩한다. 도 1a에서 도시된 추가적인 특징들은 2006년 4월 28일 출원된 미국 특허 공개 번호 제2010/0122105호

에서 설명되며, 그에 의해 이 미국특허의 내용물들은 그 전체가 인용에 의해 포함된다.

- [0008] [0006] RICA의 이점들, 즉 파이프라인 프로세싱 방식을 통해 다수의 픽셀들을 프로세싱하는 것을 포함하는 이미지 프로세싱과 같은 알고리즘이 전용 하드웨어 접근법을 에뮬레이팅하는 방식으로 명령 셀들에 맵핑될 수 있다는 것에 주의한다. 그러나 전용 하드웨어를 설계할 필요가 없고, 대신, 단순히 필요에 따라 셀들 및 스위칭 패브릭을 프로그래밍할 수 있다. 따라서 알고리즘이 재설계되어야 하는 경우, 하드웨어를 재설계할 필요가 없지만, 대신 사용자는 필요에 따라 단지 프로그래밍을 변경할 수 있다. 이것은 종래의 명령-기반 컴퓨팅 접근법들보다 상당히 유리하다.
- [0009] [0007] 이에 따라 RICA가 강건한 이점들을 제공하지만, 그의 구현에 도전과제가 남아있다. 예를 들어, 행들 및 열들로 재구성 가능 어레이에 명령 셀들을 배열하는 것이 통상적이다. 각각의 명령 셀, 임의의 연관된 레지스터, 및 입력 및 출력 스위칭 패브릭은 스위치 박스 내에 상주하는 것으로 고려될 수 있다. 도 1b는 행들 및 열들로 배열되는 스위치 박스들의 예시적인 어레이를 도시한다. 각각의 스위치 박스의 스위칭 패브릭은 그 후 몇몇 행 및 열 위치의 주어진 스위치 박스(100)에서 시작하고 그 후 상이한 행 및 열 위치들의 몇몇 다른 스위치 박스(105)에서 종료할 수 있는 데이터 경로를 수용해야 한다. 이 데이터 경로에서, 2개의 명령 셀들은 ALU들(arithmetic logic units)(110)로서 구성된다. 남아있는 스위치 박스들에 대한 명령 셀들은 예시 명료함을 위해 도시되지 않는다. 각각의 스위치 박스는 그 후 2개의 스위칭 매트릭스들 또는 패브릭들 : 그의 명령 셀로의 입력들에 대해 선택할 입력 스위칭 패브릭 및 또한, 스위치 박스로부터의 출력들에 대해 선택할 출력 스위칭 패브릭을 수용해야 한다는 것에 주의한다.
- [0010] [0008] 명령 셀에 대조적으로, FPGA(field programmable gate array)의 로직 블록은 LUT들(lookup tables)을 이용한다. 예를 들어, 구성된 FPGA에서 수행되는 로직 연산들에서 AND 게이트가 필요하다고 가정한다. LUT는 그 후 AND 게이트 로직 함수에 대한 진리치표(truth table)로 프로그래밍될 것이다. 그러나 명령 셀은, 그것이 전용 로직 게이트들을 갖는다는 점에서 훨씬 "거친 입도가 된다(coarser-grained)". 예를 들어, ALU 명령 셀은 다양한 전용 로직 게이트들을 포함할 것이다. 이것은 구성 가능한 ALU 명령 셀의 함수인데, 그의 원시적인 로직 게이트들은 전용 게이트들이고, 이에 따라 구성 가능하지 않다. 예를 들어, 종래의 CMOS 인버터는 하나의 타입의 전용 로직 게이트이다. 이러한 인버터에 관하여 어떠한 것도 구성 가능하지 않으며, 어떠한 구성 비트들도 필요 없다. 그러나 FPGA 프로그래밍 가능 로직 블록에서 인버터 함수의 예시화는 LUT의 진리치표의 대응하는 프로그래밍에 의해 대신 수행된다. 따라서, 본 명세서에서 이용된 바와 같이, "명령 셀(instruction cell)"이란 용어는 전용 로직 게이트들을 포함하는 구성 가능한 로직 엘리먼트를 지칭한다.
- [0011] [0009] 명령 셀은 명령 셀 출력을 형성하도록 하나 또는 그 초과 피연산자 상에서 그의 로직 함수들을 수행한다. 이 맥락에서 피연산자는 수신된 입력 채널이다. 그의 구성 가능한 비트들에 의존하여, 명령 셀은 대응하는 로직 연산들을 수행하도록 구성된다. 예를 들어, 제 1 스위치 박스는 2개의 채널 입력들에 대응하는 2개의 피연산자들을 부가하도록 구성된 ALU 명령 셀을 포함할 수 있다. 그러나 동일한 ALU 명령 셀은 2개의 피연산자들을 차감하도록 추후에 업데이트될 수 있다. 명령 셀 내의 로직 연산으로부터 발생하는 명령 셀 출력은 다른 명령 셀에서 요구될 수 있다. 따라서, 제 1 스위치 박스에서 출력 스위칭 패브릭은 대응하는 채널 출력들을 통해 제 1 스위치 박스로부터의 명령 셀 출력을 구동하도록 구성될 수 있다. 대조적으로, FPGA들의 LUT들은 각각 비트를 생성하고, 이들은 워드들을 생성하지 않는다. 따라서 FPGA의 스위칭 패브릭은, FPGA의 스위칭 패브릭이 FPGA의 LUT들로부터 비트들을 라우팅하도록 구성된다는 점에서 RICA의 스위칭 패브릭과 근본적으로 상이하다. 대조적으로, RICA에서 스위칭 박스들 간의 라우팅은 입력 채널들 및 출력 채널들 둘 다로서 워드들을 라우팅하도록 구성된다. 예를 들어, 스위칭 박스 어레이는 20개의 채널들을 라우팅하도록 구성될 수 있다. 이러한 실시예에서 스위칭 박스들은 이에 따라 (행 및 열 차원들에 의해 정의된 바와 같은) 모든 4개의 방향들에서 20개의 입력 채널들을 수신하고 4개의 방향들에서 20개의 출력 채널들을 구동할 수 있다. 열 차원은 임의의 주어진 스위칭 박스에 대해 남쪽 및 북쪽 방향들에 대응하는 것으로 간주될 수 있다. 유사하게, 행 차원은 동쪽 및 서쪽 방향들에 대응하는 것으로 간주될 수 있다.
- [0012] [0010] 스위칭 박스로부터의 각각의 출력 채널은 스위칭 박스 내에서 대응하는 채널 출력 멀티플렉서에 의해 선택될 수 있다. 이러한 채널 출력 멀티플렉서는 출력 멀티플렉서들의 길렉션을 포함하며, 각각의 출력 멀티플렉서는 채널 워드 폭의 단지 한 비트에 대응한다. 다음의 논의는 전체 채널에 대해 선택하는 채널 출력 멀티플렉서들을 참조하지만, 이러한 채널 출력 멀티플렉서는 실제로 각각이 단일 비트 출력을 갖는 복수의 출력 멀티플렉서들을 포함한다는 것이 이해될 것이다. 임의의 주어진 출력 방향(예를 들어, 북쪽, 남쪽, 동쪽 또는 서쪽)과 관하여, 3개의 남아있는 입력 방향들이 있다. 예를 들어, 북쪽 출력 채널은 동쪽, 서쪽, 남쪽 입력 채널들로부터 선택될 수 있다. 주어진 출력 방향에 대한 각각의 채널 출력 멀티플렉서는 이에 따라 3:1 멀티플렉서를 포함

할 수 있다. 그러나 출력 채널은 스위치 박스의 명령 셀 출력에 의해 또한 구동될 수 있다. 따라서, 각각의 채널 출력 멀티플렉서는 RICA 스위치 박스의 4:1 멀티플렉서를 포함할 수 있다. 열 채널들이 북쪽 및 남쪽 방향들에서 이동하는 것으로 가정되는 경우, 스위치 박스는 이에 따라, 20 채널 실시예에서 북쪽 출력 채널들을 구동하기 위해 20개의 4:1 채널 출력 멀티플렉서들 및 남쪽 출력 채널을 구동하기 위해 다른 20개의 4:1 채널 출력 멀티플렉서를 요구할 것이다. 유사하게, 행 채널들은 동쪽 및 서쪽 방향들에서 이동하는 것으로 가정될 수 있다. 따라서 20 채널 실시예에서 스위치 박스는 동쪽 출력 채널들을 구동하기 위한 20개의 채널 출력 멀티플렉서 및 서쪽 출력 채널들을 구동하기 위한 20개의 4:1 채널 출력 멀티플렉서들을 포함할 것이다. 모든 네 방향에 대한 4:1 채널 출력 멀티플렉서들의 결과적인 세트는 각각의 스위치 박스에 대한 출력 스위치 패브릭을 형성한다.

[0013] [0011] 각각의 4:1 채널 출력 멀티플렉서는 그것이 이용 가능한 4개의 입력들 중 어느 것이 4:1 채널 출력 멀티플렉서들의 출력 채널을 구동하기 위해 선택되어야 하는지를 제어하기 위해 2개의 구성 비트들을 요구한다. 종래의 RICA에서, 이들 구성 비트들은 정적인데 : 그들은 각각의 스위치 박스에 대한 입력 스위치 패브릭 및 명령 셀들의 로직 연산을 또한 구성하는 구성 스트림의 부분이다. 그러나 멀티-미디어 애플리케이션들과 같은 특정 애플리케이션들은 정적 출력 스위칭 패브릭이 수용할 수 없는 조건부 이동들을 요구한다.

[0014] [0012] 따라서, 조건부 이동 능력들을 갖는 출력 스위치 패브릭들을 갖는 재구성 가능한 명령 셀 어레이에 대한 당분야의 요구가 있다.

발명의 내용

[0015] [0013] 재구성 가능한 명령 셀 어레이에서(RICA)에서, 명령 셀들의 어레이는 원하는 로직 알고리즘 또는 동작을 구현하도록 대응하는 구성 워드들에 의해 구성된다. 각각의 명령 셀은 스위치 박스로서 지정된 유닛에서 대응하는 I/O 포트들의 세트와 연관된다. 명령 셀들의 어레이는 이에 따라 스위치 박스들의 대응하는 어레이를 포함한다. 스위치 박스의 각각의 I/O 포트는 (어레이에서 스위치 박스의 포지션에 의존하여 이웃 스위치 박스의 또는 동일한 스위치 박스 중 하나의) 다른 I/O 포트로부터 복수의 입력 채널들을 수신한다. 스위치 박스 내에서, 명령 셀은 명령 셀 출력들을 형성하도록 스위치 박스 I/O 포트들로부터 수신된 입력 채널들의 적어도 하나 상에서 로직 연산을 수행하게 구성될 수 있다. 스위치 박스의 각각의 I/O 포트는 복수의 출력 채널들을 형성하기 위해 스위치 박스의 남아있는 I/O 포트들에 의해 수신된 입력 채널들로부터는 물론, 명령 셀 출력으로부터 선택하도록 구성 가능하다. 차례로, 스위치 박스의 I/O 포트부터의 복수의 출력 채널들은 (어레이에서 스위치 박스의 포지션에 의존하여 인접 스위치 박스의 또는 동일한 스위치 박스의) 다른 I/O 포트에 의해 복수의 입력 채널들로서 수신된다.

[0016] [0014] 그의 출력 채널들에 대한 선택을 행하기 위해, 각각의 I/O 포트는 각각의 출력 채널에 대한 조건부 라우팅 회로를 포함한다. I/O 포트의 조건부 라우팅 회로는 대응하는 출력 채널을 형성하기 위해 명령 셀 출력 및 스위치 박스의 남아있는 각각의 I/O 포트로부터 수신된 입력 채널을 포함하는 신호들의 그룹으로부터 선택하도록 구성된다. RICA 동작 및 유연성을 강화하기 위해, 조건부 라우팅 회로에 의한 선택은 신호들의 그룹으로부터 선택된 신호의 디코딩에 의해 컨디셔닝될 수 있다. 이러한 방식으로, 선택된 신호의 디코딩은 조건부 라우팅 회로에 의한 라우팅을 제어한다. 대조적으로, 종래에, 이러한 라우팅이 스위치 박스의 구성 워드에 의해 정적으로 결정되었다.

[0017] [0015] RICA 동작 및 유연성을 추가로 강화하기 위해, 조건부 라우팅 회로는 조건부 라우팅 회로에 의한 선택을 프로세싱하는 기능 유닛을 포함할 수 있다.

도면의 간단한 설명

[0018] [0016] 도 1a는 예시적인 재구성 가능한 명령 셀 어레이(RICA)에 대한 블록도이다.

[0017] 도 1b는 도 1a의 RICA에서 스위치 박스들의 어레이에 대한 블록도이다.

[0018] 도 2는 스위치 박스들의 어레이에서 스위치 박스에 대한 I/O 포트들은 물론, I/O 포트들 중 하나에 대한 채널 출력 멀티플렉서를 도시한다.

[0019] 도 3은 스위치 박스의 I/O 포트에 대한 조건부 라우팅 회로를 예시한다.

[0020] 도 4는 스위치 박스의 I/O 포트에 대한 인-플레이스 가능성을 포함하는 조건부 라우팅 회로를 예시한다.

[0021] 도 5a는 인-플레이스 가능성이 레지스터에 의해 구현되는 도 4의 조건부 라우팅 회로의 실시예를 도시한다

다.

[0022] 도 5b는 인-플레이스 기능성이 시프트 회로에 의해 구현되는 도 4의 조건부 라우팅 회로의 실시예를 도시한다.

[0023] 도 5c는 인-플레이스 기능성이 인버터에 의해 구현되는 도 4의 조건부 라우팅 회로의 실시예를 도시한다.

[0024] 도 6은 스위치 박스에 의해 조건부 라우팅의 예시적인 방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0019] [0025] 정적 라우팅에 대한 개선을 위한 당 분야의 이러한 요구를 충족하기 위해, 조건부 라우팅을 갖는 출력 스위치 패브릭을 구비한 RICA가 개시된다. 또한, 각각의 스위치 박스는 출력 채널들에 대한 인-플레이스 기능성 (in-place functionality)을 가질 수 있다. 예를 들어, 하나의 타입의 인-플레이스 기능성은 레지스터를 포함할 수 있다. 여기에 개시된 조건부 라우팅 및 인-플레이스 기능성을 더 잘 이해하기 위해, 재구성 가능한 명령 셀 어레이(RICA)에 대한 정적(비-조건부) 출력 스위치 패브릭을 재차 고려하는 것이 유용하다. 위에서 논의된 바와 같이, RICA의 각각의 스위치 박스는 출력 스위치 패브릭을 포함한다. 이 출력 스위치 패브릭은 스위치 박스들 그 자체가 행들 및 열들로 배열된다는 점에서, 행 및 열 방향들에 관하여 정의된다. 그 점에서, 무엇이 "행"인지 대 무엇이 "열"인지는 단순히 관점의 문제이다. 따라서 행 및 열이란 용어들은 범용성의 손실없이 여기서 사용된다. 행들 및 열들의 어레이에서, 주어진 스위치 박스에 입력 채널은 동일한 행의 스위치 박스로부터 비롯될 수 있다. 행 방향들은 "동쪽"과 "서쪽" 방향으로 간주될 수 있다. 채널 방향들은 "북쪽"과 "남쪽" 방향으로 간주될 수 있다. 이 배경지식을 감안하여, 조건부 라우팅 및 인-플레이스 기능성은 이제 다음과 같이 논의할 수 있다.

[0020] 개요

[0021] [0026] 채널 입력 및 출력 방향들은 도 2에서 어레이(220)의 예시적인 스위치 박스(205)에 대해 도시된다. 스위치 박스의 행 및 열 배열에 대응하는 이 북쪽, 남쪽, 동쪽 및 서쪽 라우팅을 감안하여, 스위치 박스(205)와 같은 각각의 스위치 박스는 각각의 방향에 대한 입력 출력(I/O) 포트를 포함하는 것으로 간주될 수 있다. 예를 들어, 스위치 박스(205)는 서쪽 I/O 포트(225), 남쪽 I/O 포트(230), 북쪽 I/O 포트(235), 및 동쪽 I/O 포트(240)를 갖는다. 각각의 I/O 포트에서, 스위치 박스(205)는 복수의 입력 채널들을 수신하고 복수의 출력 채널들을 출력한다. 예를 들어, 스위치 박스(205)는 남쪽 I/O 포트(230)를 통해 모든 남쪽 입력 채널들을 수신한다. 유사하게, 스위치 박스(205)는 남쪽 I/O 포트(230)를 통해 모든 남쪽 출력 채널들을 구동한다. 각각의 I/O 포트는 이에 따라 I/O 포트의 출력 채널들을 구동하기 위한 출력 스위치 패브릭을 포함한다.

[0022] [0027] 각각의 I/O 포트에 관하여, 출력 채널들은 대응하는 채널 출력 멀티플렉서들에 의해 선택된다. 각각의 출력 채널은 이에 따라 임의의 주어진 I/O 포트에서 그 자신의 대응하는 채널 출력 멀티플렉서를 갖는다. 예시 명확성을 위해, 스위치 박스(205)에서 동쪽 I/O 포트(240)에 대한 동쪽 출력 채널에 대해 단일의 채널 출력 멀티플렉서(200)만이 도시된다. 이 채널은 그것이 나타내는 특정한 채널 "i"가 임의적이라는 점에서, i번째 동쪽 출력 채널로서 지칭될 것이다. 부가적인 동쪽 출력 채널은 유사한 채널 출력 멀티플렉서들에 의해 제공될 것이다. 유사하게, 북쪽, 남쪽, 및 서쪽 출력 채널들은 또한 그 자신의 대응하는 채널 출력 멀티플렉서들에 의해 선택될 것이다. I/O 포트들(225, 230, 235 및 240)(각각의 하나는 복수의 채널 출력 멀티플렉서들을 포함함)의 결과적인 세트는 스위치 박스(205)에 대한 출력 스위치 패브릭을 구성한다. 주어진 I/O 포트로부터 구동되는 임의의 특정한 출력 채널에 관하여, 대응하는 채널 출력 멀티플렉서는 대향하는 방향의 I/O 포트에 의해 수신된 동일한 입력 채널에 대해 선택하도록 구성될 수 있다. 예를 들어, "i번째" 서쪽 출력 채널은 i번째 동쪽 입력 채널에 의해 구동될 수 있으며, 여기서 i는 어떤 임의의 채널 번호이다. 유사하게, i번째 북쪽 출력 채널은 i번째 남쪽 입력 채널에 의해 구동되는 식이 될 수 있다.

[0023] [0028] 채널 출력 멀티플렉서(200)가 i번째 동쪽 출력 채널을 구동하기 때문에, 그것은 채널 i에 대한 서쪽 입력에 대응하는 "in_opp" 입력 채널을 수신한다. in_opp 입력은 또한 대향하는 입력으로 지칭될 수 있다. 각각의 채널 출력 멀티플렉서는 또한 직교 방향들의 I/O 포트들에서 수신된 입력 채널들로부터 선택할 수 있다. 즉, 서쪽 출력 채널에 대한 채널 출력 멀티플렉서는 북쪽 및 남쪽 방향들의 입력 채널들로부터 선택할 수 있다. 유사하게, 북쪽 출력 채널에 대한 채널 출력 멀티플렉서는 동쪽 및 서쪽 방향들의 입력 채널들로부터 선택할 수 있다. 그 점에서, 이러한 선택에 대한 직교성은 채널 출력 멀티플렉서에 대한 출력 방향과 관하여 시계 방향 또는 반-시계 방향 중 어느 하나로서 표시될 수 있다. 예를 들어, 채널 출력 멀티플렉서(200)의 관점에서, 그것은 북쪽

입력 채널로부터 선택하는 것이 반-시계 방향 회전이다. 유사하게 채널 출력 멀티플렉서(200)에 대한 남쪽 입력 채널로부터 선택하는 것이 시계 방향 회전이다. 따라서 스위치 박스(200)의 I/O 포트에서 각각의 채널 출력 멀티플렉서는 시계 방향(in_cw) 입력 채널로부터 그리고 또한 반-시계 방향(in_acw) 입력 채널로부터 선택할 수 있다. 또한, 각각의 채널 출력 멀티플렉서는 또한 그의 출력 채널을 구동하도록 명령 셀 출력 워드(in_co)를 선택한다.

[0024] [0029] 도 1b를 재차 참조하면, 어레이의 에지에서 스위치 박스(120)와 같은 스위치 박스들은 이웃 스위치 박스를 향하지 않는 I/O 포트들을 가질 수 있다는 것을 알 수 있다. 예를 들어, 스위치 박스(120)에 대한 동쪽 I/O 포트는 그의 동쪽으로 어떠한 이웃 스위치 박스도 갖지 않는다. 따라서, 다른 스위치 박스를 향하지 않는 I/O 포트로부터의 출력 채널들은 인접 스위치 박스에 "랩 어라운드(wrap around)"하도록 구성된다. 예를 들어, 스위치 박스(120)로부터 동쪽 출력 채널들은 인접 스위치 박스(125)에 대해 동쪽 입력 채널들이 되도록 랩 어라운드 된다.

[0025] [0030] 채널 출력 멀티플렉서에 조건부 라우팅 능력을 제공하기 위해, 조건부 라우팅 회로(350)가 도 3에서 도시된 바와 같이 도입된다. 조건부 라우팅 회로(350)는 채널 출력 멀티플렉서(300)를 포함한다. 멀티플렉서(200) 관하여 논의된 바와 같이, 채널 출력 멀티플렉서(300)는 그의 출력 채널을 구동하도록 대향하는, 시계 방향, 반-시계 방향 및 셀 출력 워드들로부터 멀티플렉싱한다. 디코더(305)는 조건부 라우팅 회로(350)가 정적 라우팅 동작 모드 또는 조건부 라우팅 동작 모드에서 동작하는지를 제어한다. 정적 라우팅 동작 모드에서, 채널 출력 멀티플렉서(300)는 도 2의 채널 출력 멀티플렉서(200)에 관하여 논의된 바와 같이 동작하도록 디코더(305)에 의해 제어된다. 정적 동작 모드에서, 디코더(305)는 4개의 입력 워드들(대향하는, 시계 방향, 반-시계 방향, 및 셀 출력) 중 어느 워드가 채널 출력 멀티플렉서(300)에 의해 선택되는지를 제어하도록 구성 비트들에 의해 구성될 수 있다. 그러나 조건부 라우팅의 동작의 모드에서, 채널 출력 멀티플렉서(300)에 의한 선택은 4개의 입력 워드 중 디코더-선택 입력 워드에 기초한다.

[0026] [0031] 3개의 구성 비트들을 감안하여, 디코더(305)는 8개의 상이한 상태 중 하나로 구성될 수 있다. 이들 상태들 중 4개는 정적 동작 모드를 제어할 수 있다. 즉, 디코더(305)에 대한 제 1 상태는 4개의 입력 워드들 중 제 1 입력 워드에 대해 정적으로 선택하도록 제어 채널 출력 멀티플렉서(300)를 제어하고, 다른 상태는 4개의 입력 워드들 중 제 2의 하나에 대해 정적으로 선택하도록 채널 출력 멀티플렉서(300)를 제어할 수 있는 식이다. 일반적으로, 채널 출력 멀티플렉서(300)가 셋 다운되는 디폴트 상태를 갖는 것이 종종 유용하다. 따라서 디코더(305)는 4:1 채널 출력 멀티플렉서(300)가 출력을 디스에이블하는 디스에이블된 상태에 대해 구성될 수 있다. 3개의 구성 비트들을 감안하여, 디코더(305)는 이에 따라 다른 3개의 상태에 대해 디코딩할 수 있다. 이들 상태들은 조건부 라우팅 동작 모드에서 사용되는 상태일 수 있다. 예를 들어, 하나의 상태에서, 반-시계 방향 워드(특히, 그의 비트들 중 2개)는 디코더(305)에 의해 남아있는 3개의 시계 방향, 대향하는, 그리고 명령 셀 출력 워드들의 채널 출력 멀티플렉서(300)에 의한 선택을 제어하도록 디코딩될 수 있다. 이 상태에서, 반-시계 방향 워드는 디코더(305)에 의해 선택될 것이고 멀티플렉서(300)에 의한 선택을 제어하는 제 1 어드레스 신호(306)로 디코딩될 것이다. 다른 상태에서, 대향하는 워드는 남아있는 3개의 시계 방향, 반-시계 방향 및 명령 셀 출력 워드들의 채널 출력 멀티플렉서(300)에 의한 선택을 제어하도록 디코더(305)에 의해 선택되고 디코딩될 수 있는 식이다. 단지 3개의 상태들이 3 구성 비트들로부터 이용 가능하기 때문에, 4개의 입력 워드들 중 하나는 디코더(305)에서의 그의 디코딩을 통해 채널 출력 멀티플렉서(300)에 의한 선택을 제어하는 능력을 갖지 않을 것이다. 그러나 대안적인 실시예에서, 디코더(305)는, 각각의 입력 워드가 채널 출력 멀티플렉서(300)에 의한 선택을 제어할 수 있도록 3개 초과인 구성 비트들을 수신할 수 있다.

[0027] [0032] 조건부 라우팅 동작 모드에서, 디코더(305)는 채널 출력 멀티플렉서(300)에 의한 선택을 제어하는 제 1 어드레스 신호(306)를 형성하도록 입력 워드 중 하나를 선택하고, 디코더-선택 워드(또는 이의 부분)를 디코딩한다. 조건부 라우팅 동작 모드에서, 채널 출력 멀티플렉서(300)는 디코더-선택 입력 워드의 디코딩에 기초하여 3개의 남아있는 입력 워드들로부터 선택한다. 3개의 입력 워드들로부터 이러한 선택은 단지 2 비트들만을 필요로 한다. 따라서 디코더(305)는 각각의 입력 워드(in_co, in_opp, in_cw 및 in_acw)로부터 2비트들을 수신한다. 디코더(305)는 조건부 라우팅 동작 모드에서 제 1 어드레스 신호(306)로 디코더-선택 입력 워드로부터 2비트들을 맵핑 및 디코딩할 수 있다. 그러나 각각의 입력 워드로부터 디코더(305)로 제공되는 비트들의 실제 수는 다른 실시예들이 각각의 입력 워드로부터 부가적인 비트를 디코더(305)에 제공할 수 있다는 점에서 임의적이다. 또한, 디코더(305)가 디코더-선택 입력 워드로부터 단지 2비트만을 요구하지만, 디코더(305)는 여전히 대향하는, 시계방향, 반-시계 방향 및 명령어 셀 워드들로 구성된 그룹으로부터 선택된 입력 워드 그 전체를 수신하는 것으로 간주될 수 있다. 디코더-선택 입력 워드의 여분의 비트들은 그 후 채널 출력 멀티플렉서(300)에

의한 선택을 제어하기 위해 제 1 어드레스 신호(306)로의 디코딩에 관하여 돈 케어(don't care) 값들을 포함하는 것으로 간주될 수 있다.

[0028] [0033] 일 실시예에서, 입력 워드들로부터의 디코더(305)에 의한 선택은 디코더(305)에 의해 수신된 구성 비트에 의해서만 결정된다. 대안적인 실시예에서, 디코더 선택은 입력 워드들에 기초하여 그 자체가 조건부일 수 있다. 즉, 디코더(305)는 그의 로직 상태를 결정하기 위해 입력 워드(in_co, in_acw, in_opp 및 in_cw) 신호들로부터 수신된 비트들을 디코딩하기 위해 구성 비트들에 의해 구성될 수 있다. 이들 수신된 비트들이 제 1 로직 상태로 디코딩되는 경우, 디코더(305)는 예를 들어, 남아있는 대향하는, 시계 방향, 및 반-시계 방향 입력 워드들로부터의 멀티플렉서(300)에 의한 선택을 제어하기 위해 명령 셀 출력 워드를 제 1 어드레스 신호(306)로 디코딩할 수 있다. 그러나 입력 워드들로부터의 수신된 비트들이 제 2 로직 상태로 디코딩되는 경우, 디코더(305)는, 예를 들어, 멀티플렉서(300)에 의한 선택을 제어하기 위해 시계 방향 입력 워드들로부터의 수신된 비트들을 제 1 어드레스 신호(306)로 디코딩할 수 있는 식이다. 디코더-선택 입력 워드의 이러한 조건부 선택은 디코딩의 2개의 층 즉, 디코더 선택을 결정하기 위해 입력 워드들의 로직 상태를 디코딩하기 위한 제 1 층 및 제 1 어드레스 신호(306)를 형성하도록 디코더-선택 워드를 디코딩하기 위한 제 2 층을 포함한다는 것이 이해될 것이다.

[0029] [0034] 조건부 라우팅 회로(350)에서, 멀티플렉서(300)에 의해 수신된 시계 방향, 반-시계 방향, 명령 셀 출력, 대향하는 워드들은 입력 워드들의 그룹을 형성하는 것으로 간주될 수 있다. 조건부 라우팅 동작 모드에서, 디코더(305)는 입력 워드들의 그룹 중 남아있는 것들로부터 채널 출력 멀티플렉서(300)에 의한 선택을 제어하기 위해 제 1 어드레스 신호(306)로 디코딩되는 디코더-선택 입력 신호를 형성하도록 이러한 입력 워드들의 그룹으로부터 선택한다. 입력 워드들의 그룹으로부터 디코더(305)에 의한 이러한 선택은 구성 비트 단독에 의해 또는 구성 비트들 및 입력 신호들의 로직 상태에 의해 구동될 수 있다. 선택이 어떻게 이루어지는지에 무관하게, 디코더(305)는 선택된 워드를 제 1 어드레스 신호(306)로 디코딩한다.

[0030] [0035] 멀티플렉서(300)는 또한 조건부 라우팅 회로(350)에서 "제 1 멀티플렉서"로서 지정될 수 있다. 조건부 라우팅 동작 모드에서 두 선택들이 있다는 것에 또한 주의하고: 입력 워드들(in_co, in_acw, in_opp 및 in_cw) 중 어느 것이 채널 출력 멀티플렉서(300)에 의한 선택을 제어할지에 관한 디코더(305)에 의한 제 1 선택이 있고, 제 1 어드레스 신호(306)에 의해 제어될 때 남아있는 입력 워드들로부터 채널 출력 멀티플렉서(300)에 의한 제 2 선택이 있다. 멀티플렉서(300)에 의한 선택된 입력 신호들의 그룹 내의 입력 신호들의 수가 4일 필요가 없고, 오히려 다른 실시예들에서 변동될 수 있다는 것이 인지될 것이다. 예를 들어, 8로 넘버링된 멀티플렉서(300)에 의해 선택된 입력 신호의 그룹을 가정한다. 이러한 실시예에서, 멀티플렉서(300)는 도 3의 제 1 어드레스 신호(306)를 구성하는 2비트들과 대조적으로 3개의 어드레스 비트들을 요구할 것이다.

[0031] [0036] 추가 유연성을 제공하기 위해, 기능 유닛은 멀티플렉서 출력 데이터 경로 내에 포함될 수 있다. 인-플레이스 기능을 갖는 예시적인 조건부 라우팅 회로(450)가 도 4에 도시된다. 기능 유닛(400)은 기능 유닛 출력(410)을 생성하도록 제 1 멀티플렉서(300)로부터 멀티플렉서 출력(401)을 수신한다. (또한 조건부 라우팅 회로(450) 내에서 제 2 멀티플렉서로 지정될 수 있는) 2:1 멀티플렉서(405)는 출력 채널(415)을 형성하도록 기능 유닛 출력(410) 및 멀티플렉서 출력(401) 사이에서 선택한다. 구성 비트들에 의해 구성된 바와 같은 디코더(420)는 도 3의 디코더(305)에 관하여 논의된 것과 유사하게 조건부 라우팅 회로(450)가 정적 라우팅 모드에서 또는 조건부 라우팅 모드에서 동작할지를 제어한다. 예시 명확성을 위해, 디코더(420)로의 입력들을 위한 2-비트(또는 그 초과) 버스 폭 마킹들 및 제 1 멀티플렉서(300)로의 입력들을 위한 워드-폭 버스 마킹은 도 4에 도시되지 않으며 본 개시의 나머지 도면들에도 도시되지 않는다.

[0032] [0037] 기능 유닛(400)은 제 1 멀티플렉서(300)로부터의 출력(401) 상에서 로직 함수를 수행한다. 기능 유닛을 포함하지 않은 종래의 동작 모드를 유지하기 위해, 기능 유닛(400)은 제 2 멀티플렉서(405)가 제 1 멀티플렉서(300)로부터의 출력(401)에 대해 선택하도록 우회될 수 있다. 또한, 기능 유닛(400)은 또한 제 1 멀티플렉서 출력(401) 상에서 그의 로직 함수를 수행하도록 인에이블 또는 디스에이블될 수 있다. 그 점에서, 디코더(420)를 구성하는데 이용되는 구성 비트들의 수는 동작의 모드들에 대한 상태들의 총 수를 결정한다. 예를 들어, 디코더(420)가 4 구성 비트들에 의해 구성된 경우, 디코더(420)는 16개의 가능한 상태들 중 하나에서 동작할 수 있다.

[0033] [0038] 일 실시예에서, 이들 16개의 가능한 상태들은 다음과 같다. 종래의 정적 라우팅 동작 모드는 제 1 멀티플렉서(300)에 의해 선택되는 4개의 입력 워드들 중 하나에 상응하는 4개의 상태들을 포함한다는 것을 상기한다. 이 4개의 상태들은, 제 2 멀티플렉서(405)가 제 1 멀티플렉서(300)의 출력(401)에 대해 선택하도록 디코더(420)로부터의 제 2 어드레스 신호(407)에 의해 제어되는 경우 그리고 디코더(420)로부터의 제 1 어드레스 신호(306)가 입력 워드들 상에 의존하지 않는 경우(정적 라우팅), 조건부 라우팅 회로(450)에 의해 복제할

수 있다. 기능 유닛(400)은 또한, 가능한 경우 이러한 4개의 상태들 동안 디코더(420)로부터의 제어 신호(406)에 의해 디스에이블될 것이다. 그러나 예컨대, 기능 유닛(400)이 인버터를 포함하는 경우, 대안적인 기능 유닛 실시예들에서, 제어 신호(406)는 포함되지 않는다는 것이 이해될 것이다.

[0034] [0039] 정적 라우팅 동작 모드는 기능 유닛 출력(410)에 대해 선택하도록 제 2 멀티플렉서(405)가 제 2 어드레스 신호(407)에 의해 제어된다는 것을 제외하면, 방금 설명한 4개의 상태들과 동일한 다른 4개의 상태들을 또한 포함할 것이다. 이들 4개의 상태들에서, 기능 유닛(400)은 제어 신호(406)에 의해 기능하도록 인에이블될 것이다. 따라서 이미 설명된 8개의 상태들이 있다. 위에서 논의된 바와 같이, 제 1 멀티플렉서(300)가 셋 다운되는 디폴트 상태를 갖는 것이 종종 유용하다. 따라서, 디코더(420)는 제 1 멀티플렉서(300)가 그의 출력을 디스에이블하는 디스에이블된 상태에 대해 구성될 수 있다. 그것은 디코더(420)에 의해 수신된 4개의 구성 비트들에 의해 구성된 바와 같은 16개의 상태들 중 설명될 7개의 상태들을 남겨둔다. 이들 남아있는 상태들 중 3개는 또한 정적 라우팅 동작 모드내에 있다. 이들 3개의 남아있는 상태들에서, 제 1 어드레스 신호(306)는 제 1 멀티플렉서(300)에 대한 입력 워드들에 의존하지 않는다. 예를 들어, 제 1 멀티플렉서(300)는 상태들 중 하나에서 대향하는 입력 워드, 다른 상태에서 시계 방향 입력 워드, 및 상태들 중 남아있는 하나에서 반-시계 방향 입력 워드에 대해 정적으로 선택할 수 있다. 그러나 제어 신호(406)는 입력 워드들에 의존할 것이다. 즉, 조건부 라우팅의 동작의 모드와 유사하게, 이들 3개의 남아있는 정적 라우팅 모드 상태들은, 디코더(420)가 입력 워드들 중 하나에 대해 선택하는 것 그리고 제어 신호(406)가 기능 유닛(400)의 동작을 인에이블 또는 디스에이블하는지를 결정하기 위해 디코더-선택 입력 워드에 대한 비트들 중 하나를 사용하는 것을 포함할 것이다.

[0035] [0040] 이들 4개의 남아있는 상태들은 모두 각각의 상태가 디코더(420)에 의해 선택되는 입력 워드들 중 하나에 대응하도록 조건부 라우팅 동작 모드 내의 상태들을 포함할 것이다. 디코더(420)는 그 후 제 1 어드레스 신호(306)를 형성하도록 디코더-선택 입력 워드로부터의 비트들(예를 들어, 2비트)을 디코딩할 것이다. 제 1 멀티플렉서(300)에 의한 조건부 라우팅을 제어할 수 있는 4개의 입력 워드들이 있기 때문에, 디코더(420)에 대해 4개의 이러한 조건부 라우팅 상태들이 있다. 이 조건부 라우팅 상태들 동안, 기능 유닛(400)은 제어 신호(406)에 의해 인에이블될 수 있다. 또한, 제 2 멀티플렉서(405)는 이들 4개의 상태들 동안 기능 유닛 출력(410)에 대해 선택할 수 있다.

[0036] [0041] 부가적인 구성 비트들은 정적 및 조건부 라우팅 동작 모드들에 대해 부가적인 상태들을 형성하는데 이용될 수 있다는 것을 인지할 것이다. 디코더(420)는 따라서 대안적인 실시예들에서 4개 초과와 구성 비트들에 의해 구성될 수 있다. 회로들(350, 450)과 같은 조건부 라우팅 회로는 채널 라우팅 회로의 대응하는 출력 채널을 형성하기 위해 제 1 멀티플렉서(300)에 제시되는 입력 신호(대향하는, 시계 방향, 반-시계 방향, 및 명령 셀 출력 워드)의 그룹으로부터 조건부 선택을 하기 위한 수단을 포함하는 것으로 간주될 수 있다. 유사하게, 회로(450)와 같은 조건부 라우팅 회로는 또한 대응하는 출력 채널(415)을 형성하도록 기능적 동작에서 제 1 멀티플렉서(300)에 의해 멀티플렉싱되는 입력 신호들의 그룹으로부터 선택된 신호를 조건부로 프로세싱하기 위한 수단을 포함하는 것으로 간주될 수 있다.

[0037] 예시적인 실시예들

[0038] [0042] 몇 개의 예시적인 실시예들은 이제 기능 유닛(400)에 의해 구현될 수 있는 매우 다양한 기능들을 예시하기 위해 논의될 것이다. 도 5a에서, 레지스터(500)는 기능 유닛으로서 역할을 한다. 디코더(420)는 레지스터(500)에 대한 기록 인에이블(w_en) 입력(501)을 제어한다. 따라서, 디코더(420)는 제 1 멀티플렉서(300)로부터의 출력(401)이 레지스터(500)에 등록되는 경우, 정적 및 조건부 라우팅 모드들 둘 다에서 기록 인에이블 입력(501)을 어서트(assert)하도록 구성될 수 있다. 또한, 디코더(420)는 제 1 입력 멀티플렉서(300)에 대한 입력-신호들 중 디코더-선택된 것이, 기록 인에이블 입력(501)이 어서트될지 안될지를 제어하도록 허용하게 구성될 수 있다. 이 실시예에서의 기능 유닛 출력(410)은 레지스터(500)의 데이터 출력이다. 디코더(420)는 제 2 멀티플렉서(405)가 등록된 기능 유닛 출력(410)에 대해 상응하게 선택하도록 제 2 어드레스 신호(407)를 구동하게 구성될 수 있다. 그러나 기능 유닛 출력(410)은 레지스터(500)의 이전에 저장된 값을 나타낸다는 것을 주의한다. 레지스터(500)는 그 후 제 1 멀티플렉서(300)로부터 현재 출력(401)을 등록할 것이다. 대안적으로, 디코더(420)는, 제 2 멀티플렉서(405)가 제 1 멀티플렉서 출력(401)에 대해 선택하도록 이러한 등록된 기능 유닛 출력(410)이 우회되게 구성될 수 있다. 이러한 모드에서, 기록 인에이블(501)은 레지스터(500)가 제 1 멀티플렉서 출력(401)을 등록하지 않도록 디-어서트될 수 있다.

[0039] [0043] 유사하게, 기능 유닛(400)은 도 5b에 도시된 바와 같은 시프트 회로(505)를 포함할 수 있다. 기능 유닛 출력(410)은 그 후 제 1 멀티플렉서 출력(401)의 시프트된 버전을 포함할 것이다. 그의 구성에 의존하여, 디코

더(420)는 시프트 회로(505)를 상응하게 제어하도록 좌측/우측 시프트 제어 신호(515)를 구동한다. 시프트 기능이 활성화되는지에 의존하여, 디코더(420)는 제 2 어드레스 신호(407) 통해 제 2 멀티플렉서(405)를 상응하게 제어한다.

[0040] [0044] 다른 실시예에서, 인버터(510)는 도 5c에 도시된 바와 같이 기능 유닛(400)으로서 기능한다. 출력(401)이 다중-비트 워드이기 때문에, 인버터(510)는 복수의 단일-비트 인버터들을 포함한다는 것이 인지될 것이다. 인버터(510)는 디코더(420)로부터의 어떠한 제어 신호도 필요 없다는 것에 주의한다. 결과적인 조건부 라우팅 및/또는 인-플레이스 기능성은 RICA 유연성 및 성능을 크게 강화한다. 예를 들어, RICA의 스위치 박스 어레이는 픽셀 데이터 상에서 슬라이딩 윈도우 알고리즘(sliding window algorithm)을 수행하도록 구성될 수 있다. 임의의 주어진 계산 사이클에서, 스위치 박스들의 서브세트는 계산 세트를 형성하도록 구성된다. 후속 사이클에서, 서브세트는 행 방향으로 시프트된다. 행의 끝으로 서브세트를 시프트하면, 그것은 그 후 픽셀 데이터를 계속 프로세싱하기 위해 위 또는 아래로 이동될 수 있다. 이러한 조건부 이동은 여기에 개시된 RICA 조건부 라우팅 및 인-플레이스 기능성을 이용하여 쉽게 달성될 수 있다.

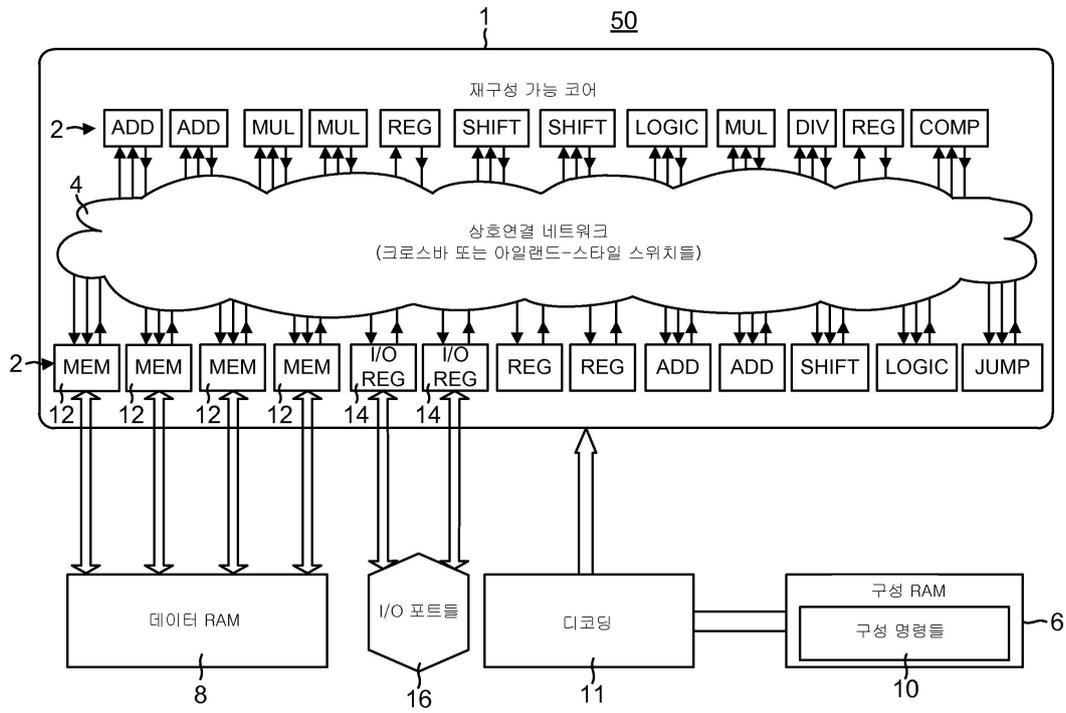
[0041] 예시적인 이용 방법

[0042] [0045] 예시적인 방법에 대한 흐름도가 도 6에서 제공된다. 이 방법은 이웃 스위치 박스들의 세트에 의해 둘러싸이도록 스위치 박스들의 어레이에 배열되는 제 1 스위치 박스에 관하여 정의되고 이웃 스위치 박스들 각각으로부터 복수의 입력 채널들을 수신하는 단계(600)에서 시작한다. 북쪽, 남쪽, 동쪽, 및 서쪽 방향에서 이웃 스위치 박스들로부터 입력 채널을 수신하는 단계(600)의 예는 도 2에서 스위치 박스(205)에 대해 도시된다. 이 방법은 명령 셀 출력을 형성하기 위해 수신된 입력 채널들 중 적어도 하나 상에서 로직 연산을 수행하는 단계(605)로 진행된다. 예시적인 명령 셀은 ALU(110)가 ALU의 스위치 박스에서 수신된 입력 채널들 중 하나 이상으로부터의 명령 셀 출력을 형성한다는 점에서 도 1b의 ALU(110)이다. 단계(610)는 제 1 어드레스 신호를 형성하기 위해 세트 내의 각각의 이웃 스위치 박스로부터의 입력 채널 및 상기 명령 셀 출력을 포함하는 신호들의 그룹으로부터 선택된 신호를 디코딩하는 것을 포함한다. 이 방법은 또한 상기 제 1 어드레스 신호에 응답하여, 상기 이웃 스위치 박스들 중 주어진 하나에 대한 출력 채널을 형성하도록 상기 신호들의 그룹으로부터 신호를 선택하는 단계(615)를 포함한다. 도 4의 멀티플렉서의 출력(401)은 이러한 선택을 예시한다.

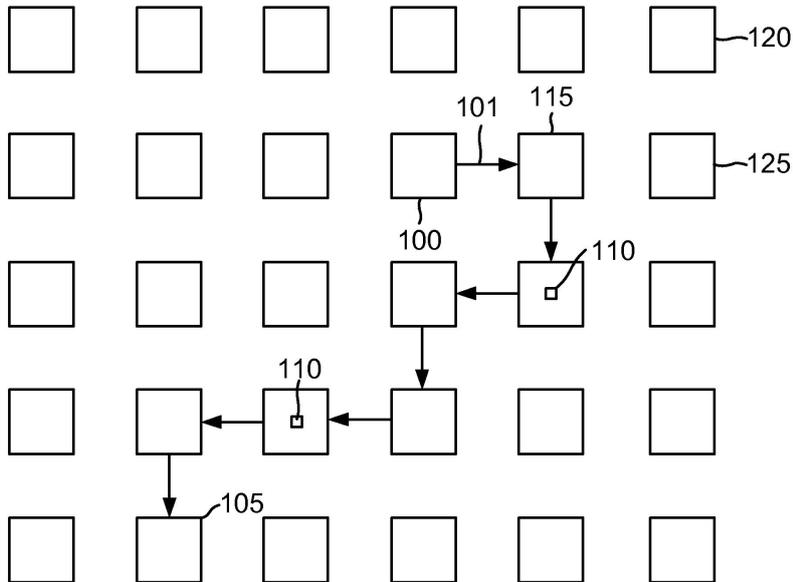
[0043] [0046] 당업자들이 이제 인지할 바와 같이, 당면한 특정한 애플리케이션에 의존하여, 본 개시의 사상 및 범위로 부터 벗어남 없이 본 개시의 디바이스들의 물질들, 장치, 구성들 및 이용 방법들 내에서 그리고 이들에 대해서 다수의 변형들, 교체들 및 변동들이 이루어질 수 있다. 이러한 견지에서, 본 개시의 범위는, 이들이 본 발명의 몇몇 예들일 뿐이므로, 본 명세서에서 예시되고 설명된 특정한 실시예들의 범위로 제한되어선 안 되고, 오히려, 이하 첨부된 청구항 및 그의 기능적 등가물들의 범위에 완전히 상응해야 한다.

도면

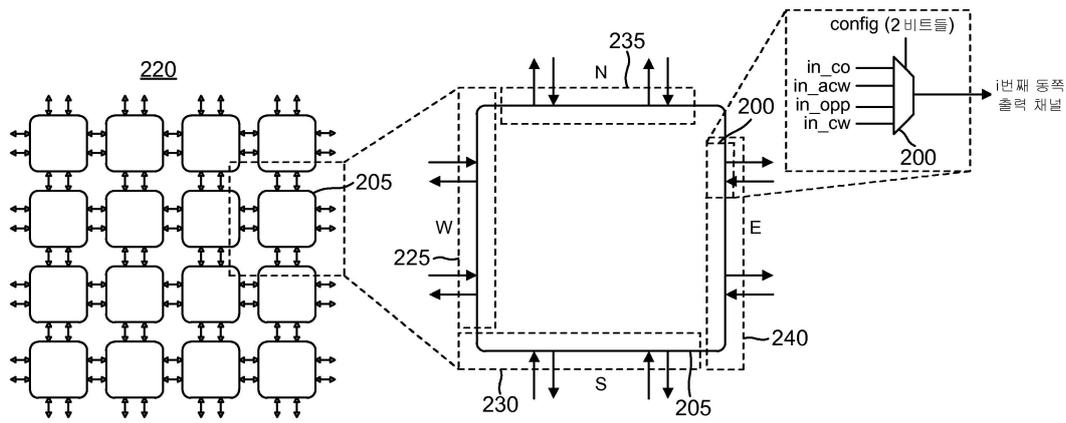
도면1a



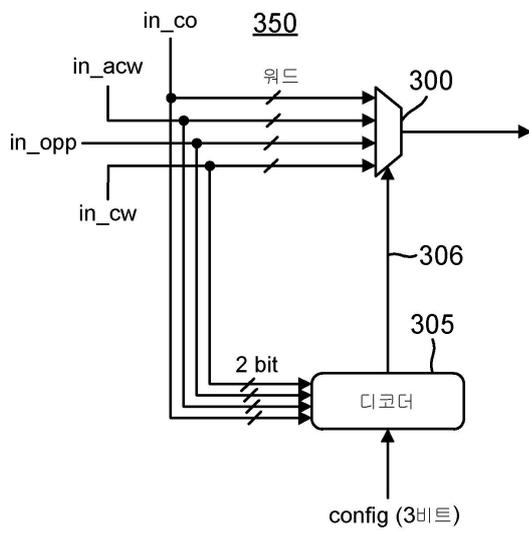
도면1b



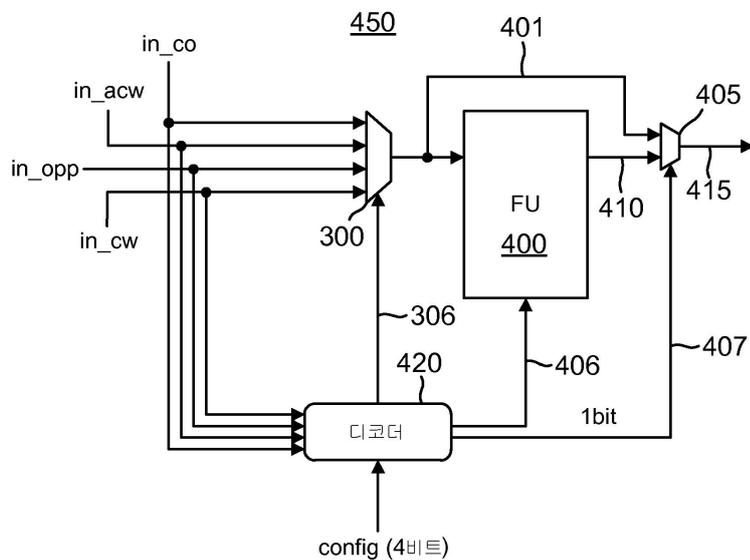
도면2



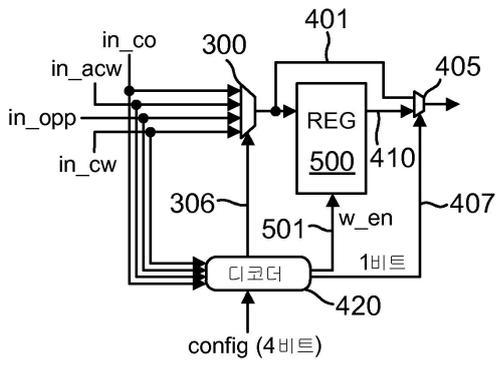
도면3



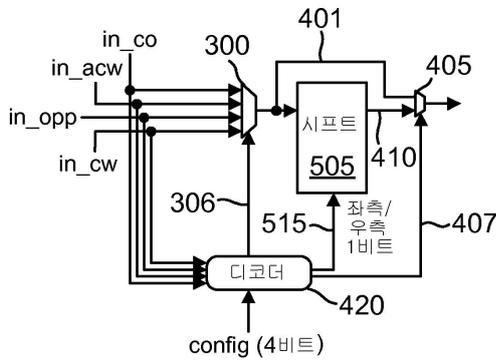
도면4



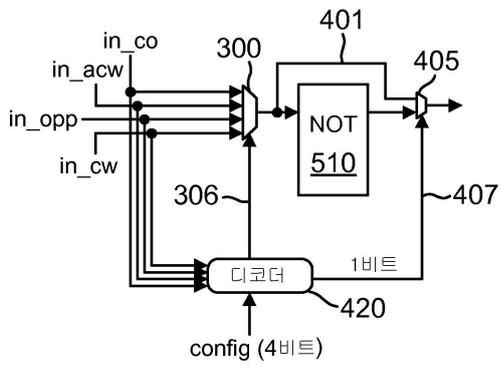
도면5a



도면5b



도면5c



도면6

