

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-206302

(P2007-206302A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	2C162
B41J 2/44 (2006.01)	B41J 3/21 L	5C080
B41J 2/455 (2006.01)	G09G 3/20 624B	
B41J 2/45 (2006.01)	G09G 3/20 642A	
G09G 3/20 (2006.01)	G09G 3/20 641P	
審査請求 有 請求項の数 12 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2006-24160 (P2006-24160)

(22) 出願日 平成18年2月1日(2006.2.1)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 藤川 紳介

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 城 宏明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2C162 AE28 AE47 AF20 AF21 AF44
AF70 AF92 FA04 FA16

最終頁に続く

(54) 【発明の名称】 電気光学装置、その駆動方法および電子機器

(57) 【要約】

【課題】 周辺回路の規模を抑制しながら各電気光学素子の階調のムラを抑制する。

【解決手段】 信号線Lには、第1期間Paにて各单位回路Uの補正データAが供給される

とともに第2期間Pbにて各单位回路Uの補正データGが供給される。各单位回路Uは、

駆動電流 I_{dr} に応じた階調となる電気光学素子Eと、信号線Lからデータを順次取得する

データ取得回路30と、補正データAに応じた基準電流 $I_{s[i]}$ を生成する補正回路50

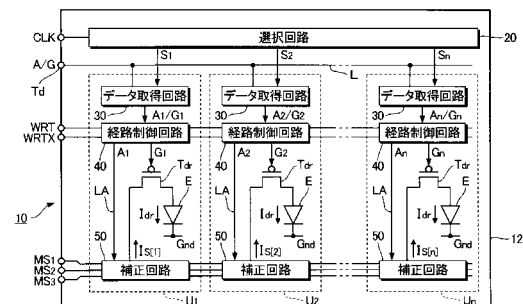
と、電気光学素子Eに供給される駆動電流 I_{dr} を、階調データGと補正回路50が生成し

た基準電流 $I_{s[i]}$ とに応じて制御する駆動トランジスタ T_{dr} と、データ取得回路30が第

1期間Paに取得した補正データAを補正回路50に出力するとともにデータ取得回路30

0が第2期間Pbに取得した階調データGに応じた電位を駆動トランジスタ T_{dr} のゲート

に供給する経路制御回路40を含む。



【特許請求の範囲】**【請求項 1】**

複数の単位回路と、

第 1 期間にて前記各単位回路の補正データが供給されるとともに前記第 1 期間とは異なる第 2 期間にて前記各単位回路の階調データが供給される信号線とを具備し、

前記複数の単位回路の各々は、

駆動電流に応じた階調となる電気光学素子と、

前記信号線からデータを順次取得するデータ取得手段と、

補正データに応じた基準電流を生成する補正手段と、

前記電気光学素子に供給される駆動電流を、階調データと前記補正手段が生成した基準電流とに応じて制御する駆動手段と、

前記データ取得手段が前記第 1 期間に取得した補正データを前記補正手段に出力するとともに前記データ取得手段が前記第 2 期間に取得した階調データを前記駆動手段に出力する経路制御手段と

を含む電気光学装置。

【請求項 2】

補正手段は、

前記経路制御手段から供給される補正データを記憶する記憶手段と、

前記記憶手段に記憶された補正データに応じた電流値の基準電流を生成する電流源とを含む請求項 1 に記載の電気光学装置。

【請求項 3】

前記補正手段は、各々が補正データのビットに対応する複数の電流生成部と、前記経路制御手段から出力された補正データの各ビットがシリアルに供給される補正データ線とを含み、

前記複数の電流生成部の各々は、

補正データのうち当該電流生成部に対応したビットを前記補正データ線から取得する取得手段と、

前記取得手段が取得したビットを記憶する記憶手段と、

前記記憶手段が記憶するビットに応じた電流を生成する電流源とを含み、

前記各電流生成部の電流源が生成した電流の加算によって基準電流を生成する

請求項 1 に記載の電気光学装置。

【請求項 4】

第 1 期間および第 2 期間の各々において前記各単位回路を順次を選択する選択手段を具備し、

前記複数の単位回路の各々におけるデータ取得手段は、前記選択手段が当該単位回路を選択したときに前記信号線からデータを取得し、

前記第 1 期間において前記選択手段が前記各単位回路を選択する周期は、前記第 2 期間において前記選択手段が前記各単位回路を選択する周期よりも長い

請求項 1 から請求項 3 の何れかに記載の電気光学装置。

【請求項 5】

前記各単位回路の経路制御手段は、前記駆動手段に対する階調データの出力よりも長い期間にわたって補正データを前記補正手段に出力する

請求項 1 から請求項 3 の何れかに記載の電気光学装置。

【請求項 6】

第 1 単位回路と第 2 単位回路とを各々が含む複数の回路部と、

第 1 期間にて前記各第 2 単位回路の補正データが供給されるとともに前記第 1 期間とは異なる第 2 期間にて前記各第 1 単位回路の階調データが供給される第 1 信号線と、

前記第 1 期間にて前記各第 1 単位回路の補正データが供給されるとともに前記第 2 期間にて前記各第 2 単位回路の階調データが供給される第 2 信号線とを具備し、

前記第 1 単位回路および前記第 2 単位回路の各々は、

10

20

30

40

50

駆動電流に応じた階調となる電気光学素子と、
データを取得するデータ取得手段と、
補正データに応じた基準電流を生成する補正手段と、
前記電気光学素子に供給される駆動電流を、階調データと前記補正手段が生成した基準電流とに応じて制御する駆動手段と、
前記データ取得手段が取得したデータの出力先を制御する経路制御手段とを含み、
前記各第1単位回路のデータ取得手段は前記第1信号線から順次にデータを取得し、前記各第2単位回路のデータ取得手段は前記第2信号線から順次にデータを取得し、
前記複数の回路部の各々において、
前記第1単位回路の経路制御手段は、当該第1単位回路のデータ取得手段が前記第1期間に取得した補正データを前記第2単位回路の補正手段に出力するとともに、当該第1単位回路のデータ取得手段が前記第2期間に取得した階調データを当該第1単位回路の駆動手段に出力し、
前記第2単位回路の経路制御手段は、当該第2単位回路のデータ取得手段が前記第1期間に取得した補正データを前記第1単位回路の補正手段に出力するとともに、当該第2単位回路のデータ取得手段が前記第2期間に取得した階調データを当該第2単位回路の駆動手段に出力する
電気光学装置。

10

【請求項7】

前記複数の回路部の各々において、
前記第1単位回路の経路制御手段は、前記第2単位回路の補正手段からみて当該第2単位回路の電気光学素子とは反対側に配置され、
前記第2単位回路の経路制御手段は、前記第1単位回路の補正手段からみて当該第1単位回路の電気光学素子とは反対側に配置される
請求項6に記載の電気光学装置。

20

【請求項8】

第1期間と第2期間との各々にて前記各第1単位回路を順次に選択する第1選択手段と、
第1期間と第2期間との各々にて前記各第2単位回路を順次に選択する第2選択手段とを具備し、
前記各第1単位回路のデータ取得手段は、前記第1選択手段が当該第1単位回路を選択したときに前記第1信号線からデータを取得し、
前記各第2単位回路のデータ取得手段は、前記第2選択手段が当該第2単位回路を選択したときに前記第2信号線からデータを取得する
請求項6または請求項7に記載の電気光学装置。

30

【請求項9】

前記第1選択手段が前記各第1単位回路を選択するタイミングと前記第2選択手段が前記各第2単位回路を選択するタイミングとは略一致する
請求項8に記載の電気光学装置。

【請求項10】

請求項1から請求項9の何れかに記載の電気光学装置を具備する電子機器。

40

【請求項11】

補正データに応じた基準電流を生成する補正手段と、階調データと前記補正手段が生成した基準電流とに応じた駆動電流の供給によって電気光学素子を駆動する駆動手段とを各々が含む複数の単位回路を具備する電気光学装置の駆動方法であって、
第1期間にて前記各単位回路の補正データを信号線に供給し、前記第1期間とは異なる第2期間にて前記各単位回路の階調データを前記信号線に供給する一方、
前記第1期間においては、前記各単位回路に対して前記信号線から順次に補正データを入力し、この入力した補正データを当該単位回路の補正手段に供給し、
前記第2期間においては、前記各単位回路に対して前記信号線から順次に階調データを

50

入力し、この入力した階調データを当該単位回路の駆動手段に供給する
電気光学装置の駆動方法。

【請求項 12】

第 1 単位回路と第 2 単位回路とを各々が含む複数の回路部を具備し、前記第 1 単位回路および前記第 2 単位回路の各々が、補正データに応じた基準電流を生成する補正手段と、階調データと前記補正手段が生成した基準電流とに応じた駆動電流の供給によって電気光学素子を駆動する駆動手段とを含む電気光学装置の駆動方法であって、

第 1 期間において、前記各第 2 単位回路の補正データを第 1 信号線に供給するとともに前記各第 1 単位回路の補正データを第 2 信号線に供給し、前記第 1 期間とは異なる第 2 期間において、前記各第 1 単位回路の階調データを前記第 1 信号線に供給するとともに前記第 2 単位回路の階調データを前記第 2 信号線に供給する一方、

前記第 1 期間においては、前記第 1 信号線に供給される補正データを前記各第 2 単位回路の補正手段に供給するとともに、前記第 2 信号線に供給される補正データを前記各第 1 単位回路の補正手段に供給し、

前記第 2 期間においては、前記第 1 信号線に供給される階調データを前記各第 1 単位回路の駆動手段に供給するとともに、前記第 2 信号線に供給される階調データを前記各第 2 単位回路の補正手段に供給する

電気光学装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード（以下「OLED（Organic Light Emitting Diode）」という）素子など各種の電気光学素子を制御する技術に関する。

【背景技術】

【0002】

電気光学素子とこれを制御する回路とを含む複数の単位回路を配列した構成の電気光学装置が従来から提案されている。この種の電気光学装置においては、各電気光学素子の特性（例えば発光効率）や各単位回路を構成するトランジスタの特性（例えば閾値電圧）のバラツキに起因して、複数の電気光学素子について階調（輝度）のムラが発生する場合がある。このような階調のムラを抑制するために、例えば特許文献 1 には、各電気光学素子の階調データ（階調を指定するデータ）を補正データに基づいて補正したうえで各電気光学素子を駆動する構成が開示されている。

【特許文献 1】特開 2005 - 283816 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、特許文献 1 の構成においては、補正データに基づいて階調データを補正するための演算回路が不可欠であるから、電気光学素子の周辺に配置される回路（以下「周辺回路」という）の規模が肥大化するという問題がある。このような事情を背景として、本発明は、周辺回路の規模を抑制しながら各電気光学素子の階調のムラを抑制するという課題の解決を目的としている。

【課題を解決するための手段】

【0004】

以上の課題を解決するために、本発明の第 1 の態様に係る電気光学装置は、複数の単位回路と、第 1 期間（例えば図 3 の第 1 期間 Pa）にて各単位回路の補正データが供給されるとともに第 1 期間とは異なる第 2 期間（例えば図 3 の第 2 期間 Pb）にて各単位回路の階調データが供給される信号線（例えば図 2 の信号線 L）とを具備し、複数の単位回路の各々は、駆動電流（例えば図 2 の駆動電流 I_{dr}）に応じた階調となる電気光学素子と、信号線からデータを順次取得するデータ取得手段（例えば図 2 のデータ取得回路 30）と

、補正データに応じた基準電流（例えば図2の基準電流 $I_{s[1]} \sim I_{s[n]}$ ）を生成する補正手段（例えば図2の補正回路50）と、電気光学素子に供給される駆動電流を、階調データと補正手段が生成した基準電流とに応じて制御する駆動手段（例えば図2の駆動トランジスタ T_{dr} ）と、データ取得手段が第1期間に取得した補正データを補正手段に出力するとともにデータ取得手段が第2期間に取得した階調データを駆動手段に出力する経路制御手段（例えば図2の経路制御回路40）とを含む。なお、この態様の具体例は第1実施形態および第3実施形態として後述される。

【0005】

以上の構成においては、駆動電流の基礎となる基準電流を補正データに基づいて生成する補正手段が各单位回路に設置されるから、補正データに基づいて階調データを補正する周辺回路は原理的には不要である。したがって、電気光学装置の周辺回路の規模を縮小することができる。さらに、信号線が補正データの伝送と階調データの伝送とに兼用されるから、補正データを伝送する配線と階調データを伝送する配線とが別個に形成された構成と比較して構成が簡素化される。例えば、補正データと階調データとが共通の端子から信号線に入力されるから、各々が別個の端子に入力される構成と比較して端子数を削減できる。したがって、各端子と外部との接続に不良が発生する可能性を低減でき、これによって電気光学装置の信頼性を向上させることができる。

【0006】

なお、補正データに基づいて階調データを補正する周辺回路が原理的には不要であると言っても、各单位回路の補正手段が補正データに基づいて基準電流を調整する構成（すなわち駆動電流が補正データに応じて補正される構成）と周辺回路が階調データを補正する構成とを兼備する電気光学装置を本発明の範囲から除外する趣旨ではない。複数の種類の補正が実行される電気光学装置において、少なくともひとつの補正が各单位回路の補正手段によって実行される構成によれば、周辺回路にてその補正を実行する必要はなくなるから、総ての補正を周辺回路が実行する従来の構成と比較すれば、周辺回路の規模を縮小できるという本発明の所期の効果は確かに奏される。例えば、各单位回路の補正手段による補正で各電気光学素子の特性のバラツキが抑制されるとともに、周辺回路が階調データに対してガンマ補正を実行する構成としてもよい。

【0007】

本発明における電気光学素子は、輝度や透過率といった光学的な特性が電流の供給によって変化する要素（いわゆる電流駆動型の電気光学素子）である。本発明に係る電気光学装置の典型例は、駆動電流の電流値に応じた輝度で発光する発光素子（例えばOLED素子）を電気光学素子として採用した発光装置であるが、その他の電気光学素子を採用した電気光学装置にも本発明は適用される。

【0008】

また、本発明における駆動手段の典型例は、駆動電流の経路上に介挿されたトランジスタ（例えば図2の駆動トランジスタ T_{dr} ）であるが、駆動手段の形態は任意に変更される。例えば、補正回路から電気光学素子に至る経路から分岐した経路上に電気光学素子と並列に配置されたトランジスタを駆動手段としてもよい。この構成においては、トランジスタの導通状態（ソース・ドレイン間の抵抗）を階調データに応じて制御することによって、基準電流のうち電気光学素子に流れる駆動電流とトランジスタに流れる電流との比率を変化させることができるから、電気光学素子を階調データに応じた階調に駆動することが可能である。

【0009】

本発明における「複数の単位回路」は、電気光学装置が備える総ての単位回路であっても一部の単位回路であってもよい。例えば、電気光学装置が備える総ての単位回路のなかにダミー回路（専ら検査や試験のために使用されて実際には駆動されない単位回路）が含まれる構成であっても、ダミー回路を除外した「複数の単位回路」について本発明の要件が充足されれば、他の単位回路（ダミー回路）について要件の成立性を議論するまでもなく、その電気光学装置は当然に本発明の範囲に含まれる。また、例えば、表示色（例えば

10

20

30

40

50

赤色・緑色および青色)が相違する複数の電気光学素子を備えた電気光学装置においては、例えば特定の表示色の電気光学素子についてのみ補正が実行される構成としてもよい。この構成においては、特定の表示色の電気光学素子に対応した「複数の単位回路」について本発明の要件が充足されれば、他の表示色に対応する単位回路が本発明の要件を充足するか否かに拘わらず、その電気光学装置は本発明の範囲に含まれる。

【0010】

本発明の好適な態様において、補正手段は、経路制御手段から供給される補正データを記憶する記憶手段(例えば図4の保持回路52)と、記憶手段に記憶された補正データに応じた電流値の基準電流を生成する電流源(例えば図4の電流源トランジスタ54)とを含む。この構成によれば、補正データを記憶する記憶手段が各単位回路に設置されるから、各電気光学素子の駆動に先立って各単位回路の記憶手段に補正データを格納しておけば、階調データの転送のたびに補正データを各単位回路に供給する必要はない。したがって、各単位回路が記憶手段を持たない構成と比較して、外部から電気光学装置に伝送されるべきデータ量を低減することができる。なお、記憶手段としては、例えばSRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)など各種の記憶素子が採用される。

さらに具体的な構成において、補正手段は、各々が補正データのビットに対応する複数の電流生成部(例えば図4の電流生成部C1~C3)と、経路制御手段から出力された補正データの各ビットがシリアルに供給される補正データ線(例えば図4の補正データ線LA)とを含み、複数の電流生成部の各々は、補正データのうち当該電流生成部に対応したビットを補正データ線から取得する取得手段(例えば図5のトランсмисシヨングート61)と、取得手段が取得したビットを記憶する記憶手段(例えば図5のラッチ回路64)と、記憶手段が記憶するビットに応じた電流を生成する電流源(例えば図4や図5の電流源トランジスタ54)とを含み、各電流生成部の電流源が生成した電流の加算によって基準電流を生成する。

【0011】

さらに好適な態様(例えば後述する第1実施形態)においては、第1期間および第2期間の各々において各単位回路を順次を選択する選択手段(例えば図2の選択回路20)が設置され、複数の単位回路の各々におけるデータ取得手段は、選択手段が当該単位回路を選択したときに信号線からデータを取得し、第1期間において選択手段が各単位回路を選択する周期(例えば図3の周期T1)は、第2期間において選択手段が各単位回路を選択する周期(例えば図3の周期T2)よりも長い。換言すると、各単位回路の経路制御手段は、駆動手段に対する階調データの出力よりも長い期間にわたって補正データを補正手段に出力する。これらの態様によれば、信号線から各単位回路に補正データを取り込む期間を十分に確保することができる。したがって、各単位回路の補正手段に確実に補正データを供給することが可能となる。

ゲートが階調データに応じた電位に設定されるトランジスタを駆動手段に採用した構成や補正手段が記憶手段や電流源を備える構成においては、補正手段に補正データを出力する動作が駆動手段に階調データを出力する動作よりも高負荷となる場合が多い。したがって補正データの取り込みの時間を十分に確保できる本態様は、このような場合に特に有効であると言える。

【0012】

本発明の第2の態様に係る電気光学装置は、第1単位回路(例えば図6の第1単位回路Ua)と第2単位回路(例えば図6の第2単位回路Ub)とを各々が含む複数の回路部(例えば図6の回路部UB1~UBN)と、第1期間(例えば図7の第1期間Pa)にて各第2単位回路の補正データが供給されるとともに第1期間とは異なる第2期間(例えば図7の第2期間Pb)にて各第1単位回路の階調データが供給される第1信号線(例えば図6の信号線La)と、第1期間にて各第1単位回路の補正データが供給されるとともに第2期間にて各第2単位回路の階調データが供給される第2信号線(例えば図6の信号線Lb)とを具備する。第1単位回路および第2単位回路の各々は、駆動電流(例えば図6の駆動

電流 I_{dr}) に応じた階調となる電気光学素子と、データを取得するデータ取得手段 (例えば図 6 のデータ取得回路 30) と、補正データに応じた基準電流 (例えば図 6 の基準電流 $I_{s[1]} \sim I_{s[n]}$) を生成する補正手段 (例えば図 6 の補正回路 50) と、電気光学素子に供給される駆動電流を、階調データと補正手段が生成した基準電流とに応じて制御する駆動手段 (例えば図 6 の駆動トランジスタ T_{dr}) と、データ取得手段が取得したデータの出力先を制御する経路制御手段 (例えば図 6 の経路制御回路 40) とを含む。各第 1 単位回路のデータ取得手段は第 1 信号線から順次にデータを取得し、各第 2 単位回路のデータ取得手段は第 2 信号線から順次にデータを取得する。そして、複数の回路部の各々において、第 1 単位回路の経路制御手段は、当該第 1 単位回路のデータ取得手段が第 1 期間に取得した補正データを第 2 単位回路の補正手段に出力するとともに、当該第 1 単位回路のデータ取得手段が第 2 期間に取得した階調データを当該第 1 単位回路の駆動手段に出力し、第 2 単位回路の経路制御手段は、当該第 2 単位回路のデータ取得手段が第 1 期間に取得した補正データを第 1 単位回路の補正手段に出力するとともに、当該第 2 単位回路のデータ取得手段が第 2 期間に取得した階調データを当該第 2 単位回路の駆動手段に出力する。なお、この態様の具体例は第 2 実施形態として後述される。

10

20

30

40

50

【 0 0 1 3 】

以上の構成においては、各単位回路に補正手段が設置され、第 1 信号線および第 2 信号線の各々が補正データの伝送と階調データの伝送とに兼用される。したがって、第 1 の態様に係る電気光学装置と同様の作用および効果が奏される。また、第 2 の態様においては、複数の回路部の各々において、第 1 単位回路の経路制御手段を、第 2 単位回路の補正手段からみて当該第 2 単位回路の電気光学素子とは反対側に配置し、第 2 単位回路の経路制御手段を、第 1 単位回路の補正手段からみて当該第 1 単位回路の電気光学素子とは反対側に配置した構成を採用することができる。この構成によれば、第 1 単位回路の経路制御手段と第 2 単位回路の補正手段とを連結する配線や第 2 単位回路の経路制御手段と第 1 単位回路の補正手段とを連結する配線 (例えば図 6 の補正データ線 L_A) を、各電気光学素子の配列を横断するように形成する必要はない。したがって、電気光学素子の形成に利用できるスペースを拡大できるという利点がある。

【 0 0 1 4 】

第 2 の態様に係る電気光学装置においては、第 1 期間と第 2 期間との各々にて各第 1 単位回路を順次に選択する第 1 選択手段 (例えば図 6 の第 1 選択回路 21) と、第 1 期間と第 2 期間との各々にて各第 2 単位回路を順次に選択する第 2 選択手段 (例えば図 6 の第 2 選択回路 22) とがさらに設置され、各第 1 単位回路のデータ取得手段は、第 1 選択手段が当該第 1 単位回路を選択したときに第 1 信号線からデータを取得し、各第 2 単位回路のデータ取得手段は、第 2 選択手段が当該第 2 単位回路を選択したときに第 2 信号線からデータを取得する。この態様によれば、第 1 選択手段による第 1 単位回路の選択と第 2 選択手段による第 2 単位回路の選択とが並行に実施されるから、総ての単位回路の補正データや階調データを供給するための時間長を短縮することができる。この態様においては、第 1 選択手段が各第 1 単位回路を選択するタイミングと第 2 選択手段が各第 2 単位回路を選択するタイミングとを略一致させてもよい。この構成によれば、第 1 選択手段と第 2 選択手段との動作のタイミングを規定する信号 (例えば図 7 のクロック信号 CLK_a やクロック信号 CLK_b) を第 1 選択手段と第 2 選択手段とで共用することが可能となる。

【 0 0 1 5 】

本発明に係る電気光学装置は各種の電子機器に利用される。この電子機器の典型例は、本発明の電気光学装置を露光装置 (光ヘッド) として利用した画像形成装置である。この画像形成装置は、露光により像形成面に潜像が形成される像担持体 (例えば図 1 の感光体ドラム 110) と、像形成面を露光する本発明の電気光学装置と、潜像に対する現像剤 (例えばトナー) の付着によって顕像を形成する現像器とを含む。もっとも、本発明に係る電気光学装置の用途は露光に限定されない。例えば、本発明の電気光学装置を各種の電子機器の表示装置として利用することもできる。この種の電子機器としては例えばパーソナルコンピュータや携帯電話機がある。また、液晶装置の背面側に配置されてこれを照明す

る装置（バックライト）や、スキャナなどの画像読取装置に搭載されて原稿に光を照射する装置など各種の照明装置としても本発明の電気光学装置を採用することができる。

【0016】

本発明は、電気光学装置を駆動するための方法としても特定される。電気光学装置は、補正データに応じた基準電流を生成する補正手段（例えば図2や図6の補正回路50）と、階調データと補正手段が生成した基準電流とに応じた駆動電流の供給によって電気光学素子を駆動する駆動手段（例えば図2や図6の駆動トランジスタT_{dr}）とを各々が含む複数の単位回路を具備する。以下の各態様に係る駆動方法によれば、以上の各態様に係る電気光学装置と同様の作用および効果が奏される。

【0017】

第1の態様に係る駆動方法は、第1期間（例えば図3の第1期間P_a）にて各単位回路の補正データを信号線（例えば図2の信号線L）に供給し、第1期間とは異なる第2期間（例えば図3の第2期間P_b）にて各単位回路の階調データを信号線に供給する一方、第1期間においては、各単位回路に対して信号線から順次に補正データを入力し、この入力した補正データを当該単位回路の補正手段に供給し、第2期間においては、各単位回路に対して信号線から順次に階調データを入力し、この入力した階調データを当該単位回路の駆動手段に供給する。なお、この態様の具体例は第1実施形態や第3実施形態として後述される。

【0018】

第2の態様に係る駆動方法は、第1期間（例えば図7の第1期間P_a）において、各第2単位回路の補正データを第1信号線（例えば図6の第1信号線L_a）に供給するとともに各第1単位回路の補正データを第2信号線（例えば図6の第2信号線L_b）に供給し、第1期間とは異なる第2期間（例えば図7の第2期間P_b）において、各第1単位回路の階調データを第1信号線に供給するとともに第2単位回路の階調データを第2信号線に供給する一方、第1期間においては、第1信号線に供給される補正データを各第2単位回路の補正手段に供給するとともに、第2信号線に供給される補正データを各第1単位回路の補正手段に供給し、第2期間においては、第1信号線に供給される階調データを各第1単位回路の駆動手段に供給するとともに、第2信号線に供給される階調データを各第2単位回路の補正手段に供給する。なお、この態様の具体例は第2実施形態として後述される。

【発明を実施するための最良の形態】

【0019】

< A：第1実施形態 >

図1は、本発明の第1実施形態に係る電気光学装置を露光装置（光ヘッド）として利用した画像形成装置の部分的な構成を示す斜視図である。同図に示すように、画像形成装置は電気光学装置10と集光性レンズアレイ15と感光体ドラム110とを含む。電気光学装置10は、基板12の表面に直線状に配列された多数の電気光学素子（図1においては図示略）を含む。これらの電気光学素子は、用紙などの記録材に印刷されるべき画像の態様に応じて選択的に発光する。感光体ドラム110は、主走査方向に延在する回転軸に支持され、外周面を電気光学装置10に対向させた状態で副走査方向（記録材が搬送される方向）に回転する。

【0020】

集光性レンズアレイ15は電気光学装置10と感光体ドラム110との間隙に配置される。この集光性レンズアレイ15は、各々の光軸を電気光学装置10に向けた姿勢でアレイ状に配列された多数の屈折率分布型レンズを含む。このような集光性レンズアレイ15としては、例えば日本板硝子株式会社から入手可能なSLA（セルフロック・レンズ・アレイ）がある（セルフロック/SELFLOCは日本板硝子株式会社の登録商標）。

【0021】

電気光学装置10の各電気光学素子からの出射光は集光性レンズアレイ15の各屈折率分布型レンズを透過したうえで感光体ドラム110の表面に到達する。この露光によって感光体ドラム110の表面には所望の画像に応じた潜像（静電潜像）が形成される。本実

10

20

30

40

50

施形態においては、横（主走査方向） n 列×縦（副走査方向） m 行にわたって画素がマトリクス状に配列された潜像が形成される場合を想定する（ m および n の各々は2以上の自然数）。

【0022】

図2は、電気光学装置10の電氣的な構成を示すブロック図であり、図3は、電気光学装置10の駆動に利用される各信号の波形を例示するタイミングチャートである。図2に示すように、電気光学装置10は、選択回路20と n 個の単位回路 U （ $U_1 \sim U_n$ ）とが基板12の表面に配置された構造となっている。単位回路 $U_1 \sim U_n$ は主走査方向に沿って配列する。各単位回路 U は電気光学素子 E を含む。電気光学装置10には、画像形成装置の制御装置（例えばCPUやコントローラである。以下では「上位装置」という）から各種の信号やデータが供給される。

【0023】

図3に示すように、電気光学装置10が動作する期間は第1期間 P_a と第2期間 P_b とに区分される。第2期間 P_b は、記録材に形成されるべき画像に応じて各電気光学素子 E の輝度が実際に制御される期間である。換言すると、第2期間 P_b は、その期間内における各電気光学素子 E の発光に応じた画像が実際に記録材に形成されて出力される期間である。一方、第1期間 P_a は、各電気光学素子 E の階調の制御が停止している期間である。例えば、電源の投入の直後に電気光学装置10の各部の状態を初期化するための期間や、外部に出力される画像に各電気光学素子 E の階調が反映されない期間（例えば複数の記録材に画像を形成するときの間隔（紙間）の期間）が第1期間 P_a に該当する。

【0024】

図2の選択回路20は、 n 個の単位回路 $U_1 \sim U_n$ を各々の配列の順番（すなわち単位回路 U_1 から単位回路 U_n に向かう順番）に順次を選択する手段である。本実施形態の選択回路20は、単位回路 $U_1 \sim U_n$ の総数に相当する n ビットのシフトレジスタであり、図3に示すように、第1期間 P_a および第2期間 P_b の各々において、上位装置から供給されるクロック信号 CLK に同期して所定のパルス信号（図示略）を順次にシフトすることで選択信号 $S_1 \sim S_n$ を出力する。したがって、図3に示すように、選択信号 $S_1 \sim S_n$ はクロック信号 CLK の周期ごとに順番にハイレベルに遷移する。選択信号 S_i （ i は1から n を満たす整数）のハイレベルへの遷移は単位回路 U_i の選択を意味する。

【0025】

図3に示すように、クロック信号 CLK の周期は第1期間 P_a と第2期間 P_b とで変化する。すなわち、第1期間 P_a におけるクロック信号 CLK の周期 T_1 は第2期間 P_b における周期 T_2 よりも長い。したがって、第1期間 P_a にて各単位回路 U が選択される周期（ T_1 ）は、第2期間 P_b にて各単位回路 U が選択される周期（ T_2 ）よりも長い。

【0026】

図2に示すように、各単位回路 U は、電気光学素子 E と駆動トランジスタ T_{dr} とデータ取得回路30と経路制御回路40と補正回路50とを含む。電気光学素子 E は、駆動電流 I_{dr} に応じた階調となる素子である。本実施形態における電気光学素子 E は、有機EL（ElectroLuminescent）材料で形成された発光層が陽極と陰極との間隙に介在するOLED素子であり、発光層に供給される駆動電流 I_{dr} の電流値に応じた輝度で発光する。単位回路 U_i における電気光学素子 E の階調は階調データ G_i によって指定される。本実施形態における階調データ G_i は、第 i 番目の電気光学素子 E に対して点灯（高階調）および消灯（低階調）の何れかを指定する1ビットのデジタルデータである。

【0027】

補正回路50は、駆動電流 I_{dr} の基準となる基準電流 $I_s[i]$ を生成する手段である（具体的な構成は後述する）。駆動トランジスタ T_{dr} は、補正回路50が出力する基準電流 $I_s[i]$ と階調データ G_i とに応じた電流値の駆動電流 I_{dr} を生成する手段（すなわち基準電流 $I_s[i]$ と階調データ G_i とに基づいて電気光学素子 E を駆動する手段）として機能する。本実施形態の駆動トランジスタ T_{dr} は、補正回路50と電気光学素子 E の陽極との間に介在するpチャネル型のトランジスタ（典型的には薄膜トランジスタ）である。駆動トラ

10

20

30

40

50

ンジスタ T_{dr} は、階調データ G_i に応じた電圧がゲートに供給されることでオン状態（低抵抗状態）またはオフ状態（高抵抗状態）の何れかに制御される。駆動トランジスタ T_{dr} がオン状態に変化すると、基準電流 $I_{s[i]}$ が駆動電流 I_{dr} として供給されることで電気光学素子 E は発光する。これに対し、駆動トランジスタ T_{dr} がオフ状態に変化して基準電流 $I_{s[i]}$ の経路が遮断されると、駆動電流 I_{dr} の電流値はゼロとなって電気光学素子 E は消灯する。

【0028】

ところで、各単位回路 U_i における電気光学素子 E の特性には製造技術に起因した誤差が発生する場合がある。このように各々の特性（例えば発光効率）が相違するにも拘わらず総ての電気光学素子 E に同じ電流値の駆動電流 I_{dr} が供給されるとすれば、各電気光学素子 E の実際の輝度（階調）にはバラツキが発生する。以上のような輝度のバラツキを抑制するために、本実施形態においては、各単位回路 U_i の補正回路 50 によって生成される基準電流 $I_{s[i]}$ が、その単位回路 U_i について生成された補正データ A_i に応じた電流値に設定される。

10

【0029】

ひとつの単位回路 U_i に対応する補正データ A_i は、最上位のビット $a_{1[i]}$ と次位のビット $a_{2[i]}$ と最下位のビット $a_{3[i]}$ とからなる 3 ビットのデジタルデータであり、各電気光学素子 E の輝度を事前に測定した結果や電気光学装置 10 の利用者による操作に応じて電気光学素子 E ごとに予め生成される。例えば、各々に同じ電流値の駆動電流 I_{dr} を供給したうえで総ての電気光学素子 E の実際の輝度が測定され、その測定の結果（非補正時における輝度のバラツキ）に基づいて、総ての電気光学素子 E の輝度が均一化されるように単位回路 $U_1 \sim U_n$ について補正データ $A_1 \sim A_n$ が決定される。

20

【0030】

図 2 に示す信号線 L は、上位装置から端子 T_d に入力されたデータを各単位回路 U_i に伝送するための配線である。本実施形態における信号線 L は、補正データ $A_1 \sim A_n$ の伝送および階調データ $G_1 \sim G_n$ の伝送のために兼用される。

【0031】

さらに詳述すると、第 1 期間 P_a においては、図 3 に示すように、補正データ $A_1 \sim A_n$ の各ビットが順次に上位装置から端子 T_d を介して信号線 L に供給される。第 1 期間 P_a は 3 個の期間 $P_1 \sim P_3$ に区分される。期間 P_1 においては、補正データ $A_1 \sim A_n$ の各々における最上位のビット $a_{1[1]} \sim a_{1[n]}$ がこの順番でシリアルに信号線 L に供給される。同様に、期間 P_2 においては補正データ $A_1 \sim A_n$ における次位のビット $a_{2[1]} \sim a_{2[n]}$ が信号線 L に供給され、期間 P_3 においては最下位のビット $a_{3[1]} \sim a_{3[n]}$ が信号線 L に供給される。一方、第 2 期間 P_b においては、階調データ $G_1 \sim G_n$ が順次に信号線 L に供給される。補正データ $A_1 \sim A_n$ および階調データ $G_1 \sim G_n$ は、クロック信号 CLK に同期したタイミングで信号線 L に供給される。クロック信号 CLK の第 1 期間 P_a における周期 T_1 は第 2 期間 P_b における周期 T_2 よりも長いから、補正データ $A_1 \sim A_n$ の各ビットの伝送周波数（ $1/T_1$ ）は階調データ $G_1 \sim G_n$ の伝送周波数（ $1/T_2$ ）よりも低い。

30

【0032】

次に、図 2 および図 4 を参照して単位回路 $U_1 \sim U_n$ の具体的な構成を説明する。なお、総ての単位回路 $U_1 \sim U_n$ の構成は同様であるから、以下ではひとつの単位回路 U_i の構成のみを説明して総ての単位回路 $U_1 \sim U_n$ の説明を兼ねるものとする。

40

【0033】

単位回路 U_i のデータ取得回路 30 は、第 1 期間 P_a にて補正データ A_i の各ビット $a_{1[i]} \sim a_{3[i]}$ を信号線 L から取得するとともに第 2 期間 P_b にて階調データ G_i を信号線 L から取得する手段であり、図 4 に示すようにトランスミッションゲート 31 とラッチ回路 35 とを含む。総ての単位回路 $U_1 \sim U_n$ におけるトランスミッションゲート 31 の入力端子は信号線 L に対して共通に接続される。

【0034】

トランスミッションゲート 31 は、信号線 L とラッチ回路 35 との電氣的な接続（導通

50

／非導通）を制御するスイッチであり、選択信号 S_i がハイレベルを維持する期間（選択信号 S_i の論理レベルをインバータ 32 によって反転した信号がローレベルを維持する期間）にてオン状態となる。したがって、単位回路 U_i のデータ取得回路 30 には、選択信号 S_i がハイレベルを維持する期間にて信号線 L に供給されているデータ（第 1 期間 P_a における補正データ A_i の各ビット $a1[i] \sim a3[i]$ または第 2 期間 P_b における階調データ G_i ）がトランスミッションゲート 31 を介して取り込まれる。

【0035】

ラッチ回路 35 はクロックドインバータ 351 とインバータ 352 とを含む。クロックドインバータ 351 の出力端子にはトランスミッションゲート 31 の出力端子とインバータ 352 の入力端子とが接続される。インバータ 352 の出力端子には、クロックドインバータ 351 の入力端子と経路制御回路 40 とが接続される。選択信号 S_i がハイレベルを維持する期間にてクロックドインバータ 351 はハイインピーダンス状態となる。一方、選択信号 S_i がローレベルに遷移するとクロックドインバータ 351 はインバータとして機能する。したがって、選択信号 S_i がローレベルを維持する期間においては、その直前にトランスミッションゲート 31 によって取得されたデータがラッチ回路 35 に保持されるとともに経路制御回路 40 に出力される。さらに詳述すると、第 1 期間 P_a においては、選択信号 S_i がローレベルに遷移するタイミングにて補正データ A_i の各ビット $a1[i] \sim a3[i]$ が順番にラッチされる。一方、第 2 期間 P_b においては、選択信号 S_i がローレベルに遷移するたびに階調データ G_i が順番にラッチされる。

10

【0036】

経路制御回路 40 は、データ取得回路 30 が信号線 L から取得したデータの出力先を経路制御信号 WRT と反転経路制御信号 $WRTX$ とに応じて変化させる手段である。図 3 に示すように、経路制御信号 WRT は、第 1 期間 P_a にてハイレベルを維持するとともに第 2 期間 P_b にてローレベルを維持する信号である。反転経路制御信号 $WRTX$ は、経路制御信号 WRT の論理レベルを反転させた信号である。

20

【0037】

図 4 に示すように、経路制御回路 40 は、2 個のトランスミッションゲート 42・43 と n チャネル型のトランジスタ 45 と p チャネル型のトランジスタ 46 とを含む。トランスミッションゲート 42 は、データ取得回路 30 と補正回路 50（補正データ線 LA ）との電気的な接続を制御するスイッチである。一方、トランスミッションゲート 43 は、データ取得回路 30 と駆動トランジスタ T_{dr} との電気的な接続を制御するスイッチである。トランスミッションゲート 42 とトランスミッションゲート 43 とは経路制御信号 WRT および反転経路制御信号 $WRTX$ に応じて択一的にオン状態となる。すなわち、経路制御信号 WRT がハイレベルを維持する第 1 期間 P_a においては、トランスミッションゲート 42 がオン状態を維持するとともにトランスミッションゲート 43 がオフ状態を維持する。これに対し、経路制御信号 WRT がローレベルを維持する第 2 期間 P_b においては、トランスミッションゲート 42 がオフ状態を維持するとともにトランスミッションゲート 43 がオン状態を維持する。

30

【0038】

トランジスタ 45 は、接地電位 Gnd と補正データ線 LA との電気的な接続を制御するスイッチであり、反転経路制御信号 $WRTX$ がハイレベルとなる第 2 期間 P_b にてオン状態となる。トランジスタ 46 は、電源電位 V_{dd} と駆動トランジスタ T_{dr} のゲートとの電気的な接続を制御するスイッチであり、反転経路制御信号 $WRTX$ がローレベルとなる第 1 期間 P_a にてオン状態となる。

40

【0039】

以上の構成によって、第 1 期間 P_a においては、データ取得回路 30 から出力される補正データ A_i の各ビット $a1[i] \sim a3[i]$ がトランスミッションゲート 42 を経由して順次に補正データ線 LA に供給される一方、電源電位 V_{dd} がトランジスタ 46 を介してゲートに供給されることで駆動トランジスタ T_{dr} はオフ状態となる。したがって、第 1 期間 P_a においては総ての電気光学素子 E が消灯する。これに対し、第 2 期間 P_b においては、ト

50

ランジスタ 45 がオン状態に遷移することで補正データ線 LA の電位は接地電位 Gnd に維持される一方、データ取得回路 30 から出力される階調データ Gi に応じた電位がトランスミッションゲート 43 を介して駆動トランジスタ Tdr のゲートに供給される。したがって、第 2 期間 Pb においては各電気光学素子 E の階調（点灯 / 非点灯）が階調データ Gi に応じて制御される。

【0040】

図 4 に示すように、補正回路 50 は、補正データ Ai のビット数に相当する 3 個の電流生成部 C (C1~C3) とひとつの補正データ線 LA とを含む。電流生成部 C1~C3 は、補正データ線 LA を介して経路制御回路 40（より詳細にはトランスミッションゲート 42 の出力端子）に共通に接続される。第 k 番目（k は 1 ~ 3 を満たす整数）の電流生成部 Ck は、補正データ Ai のビット ak[i] を補正データ線 LA から取得して保持する保持回路 52 と、保持回路 52 に保持されたビット ak[i] に応じた電流 Ik を生成する電流源トランジスタ 54 とを含む。電流生成部 C1~C3 の電流源トランジスタ 54 は、各々のソースが電源電位 Vdd に接続されるとともに各々のドレインが駆動トランジスタ Tdr のソースに接続された p チャネル型のトランジスタである。

10

【0041】

図 5 は、電流生成部 Ck (C1~C3) の構成を示すブロック図である。同図に示すように、電流生成部 Ck の保持回路 52 は、トランスミッションゲート 61 とインバータ 62 とラッチ回路 64 とスイッチ 66 とを含む。3 個の電流生成部 C1~C3 の各々におけるトランスミッションゲート 61 の入力端子は、補正データ線 LA に対して共通に接続される。また、単位回路 U1~Un の電流生成部 Ck におけるトランスミッションゲート 61 およびラッチ回路 64 には書込信号 MSk が共通に供給される。書込信号 MS1~MS3 は、単位回路 U1~Un の各々における 3 個の電流生成部 C1~C3 の何れかを択一的に選択するための信号である。

20

【0042】

図 3 に示すように、書込信号 MS1~MS3 は、第 1 期間 Pa にて順番にハイレベルに遷移する。すなわち、書込信号 MS1 は、補正データ A1~An の各々における最上位のビット a1[1]~a1[n] が信号線 L に供給される期間 P1 でハイレベルとなる。同様に、書込信号 MS2 は、次位のビット a2[1]~a2[n] が信号線 L に伝送される期間 P2 にてハイレベルとなり、書込信号 MS3 は期間 P3 にてハイレベルとなる。一方、第 2 期間 Pb において書込信号 MS1~MS3 はローレベルを維持する。

30

【0043】

図 5 のトランスミッションゲート 61 は、補正データ線 LA とラッチ回路 64 との電気的な接続を制御するスイッチであり、書込信号 MSk がハイレベルを維持する期間（書込信号 MSk の論理レベルをインバータ 62 によって反転させた信号がローレベルを維持する期間）Pk にてオン状態となる。一方、ラッチ回路 64 は、データ取得回路 30 のラッチ回路 35 と同様に、クロックドインバータ 641 とインバータ 642 とを含む。書込信号 MSk がローレベルを維持する期間においてクロックドインバータ 641 はインバータとして機能するから、ラッチ回路 64 は、書込信号 MSk がローレベルに遷移する直前のトランスミッションゲート 61 の出力（ビット ak[i]）を保持する。

40

【0044】

以上のように、選択信号 Si によってデータ取得回路 30 が信号線 L から取得した補正データ Ai のビット ak[i] は、ハイレベルの書込信号 MSk によってオン状態となったトランスミッションゲート 61 を介して補正データ線 LA から電流生成部 Ck に取り込まれ、書込信号 MSk がローレベルに遷移した時点（期間 Pk の終点）からラッチ回路 64 によって保持される。この動作が期間 P1~P3 の各々において総ての単位回路 U1~Un によって実行されると、各単位回路 Ui には 3 ビットの補正データ Ai が保持される。この補正データ Ai は第 1 期間 Pa の経過後の第 2 期間 Pb においても保持される。

【0045】

スイッチ 66 は、ラッチ回路 64 に保持されたビット ak[i] に応じて電流源トランジス

50

タ 5 4 をオン状態またはオフ状態に制御する手段であり、トランスマッションゲート 6 6 1 およびトランスマッションゲート 6 6 2 とを含む。ビット $a_k[i]$ が “ 1 ” である場合には、トランスマッションゲート 6 6 1 がオン状態を維持するとともにトランスマッションゲート 6 6 2 がオフ状態を維持する。したがって、オン電位 V_{on} がトランスマッションゲート 6 6 1 を介してゲートに供給されることで電流源トランジスタ 5 4 はオン状態に変化する。これによって電流源トランジスタ 5 4 には電流 I_k が流れる。一方、ビット $a_k[i]$ が “ 0 ” である場合、トランスマッションゲート 6 6 1 がオフ状態を維持するとともにトランスマッションゲート 6 6 2 がオン状態に変化する。したがって、電流源トランジスタ 5 4 のゲートの電位はオフ電位 V_{off} に設定される。これによって電流源トランジスタ 5 4 はオフ状態に遷移して電流 I_k は遮断される。

10

【 0 0 4 6 】

以上のように、3 個の電流源トランジスタ 5 4 の各々が補正データ A の各ビットに応じて選択的にオン状態とされる。そして、オン状態となった 1 以上の電流源トランジスタ 5 4 に流れる電流 I_k の加算によって基準電流 $I_s[i]$ が生成される。ひとつの単位回路 U に含まれる 3 個の電流源トランジスタ 5 4 の特性は、各々がオン状態に遷移した場合に流れる電流 $I_1 \sim I_3$ の電流値の相対比が「 $I_1 : I_2 : I_3 = 4 : 2 : 1$ 」となるように選定されている。したがって、基準電流 $I_s[i]$ は単位回路 U i の補正データ A に応じて 7 段階の何れかに設定される。すなわち、補正回路 5 0 は、補正データ A i に応じた電流値の基準電流 $I_s[i]$ を生成する D A C (Digital to Analog Converter) として機能する。

【 0 0 4 7 】

20

なお、ここでは電流源トランジスタ 5 4 の各々の特性を相違させた構成を例示したが、同じ特性のトランジスタを重み値に応じた個数だけ並列に配置することによっても、電流 $I_1 \sim I_3$ の各々を所望の重み値に応じた電流値とすることができる。例えば、電流生成部 C 2 の電流源トランジスタ 5 4 の代わりに、電流生成部 C 3 の電流源トランジスタ 5 4 と同じ特性の 2 個のトランジスタを並列に配置し、電流生成部 C 1 の電流源トランジスタ 5 4 の代わりに、電流生成部 C 3 の電流源トランジスタ 5 4 と同じ特性の 4 個のトランジスタを並列に配置した構成によっても、電流 $I_1 \sim I_3$ の相対比を「 $I_1 : I_2 : I_3 = 4 : 2 : 1$ 」に設定することができる。

【 0 0 4 8 】

以上の構成によれば、単位回路 U i の電気光学素子 E の階調を決定する駆動電流 I_{dr} の電流値が、補正データ A i に応じた基準電流 $I_s[i]$ と階調データ G i とに基づいて制御される。したがって、各電気光学素子 E の特性や単位回路 U 1 ~ U n を構成する各要素 (特に駆動トランジスタ T dr) の特性にバラツキがある場合であっても、補正データ A 1 ~ A n を適宜に選定することによって各電気光学素子 E の階調のバラツキを抑制することができる。そして、補正データ A i に応じた基準電流 $I_s[i]$ を生成する補正回路 5 0 が各単位回路 U に設置されるから、補正データ A i に基づいて階調データ G i を補正する回路は原理的に不要である。したがって、本実施形態によれば、電気光学装置 1 0 の周辺回路の規模を縮小することができる。

30

【 0 0 4 9 】

さらに、本実施形態においては、ひとつの信号線 L が補正データ A 1 ~ A n の伝送と階調データ G 1 ~ G n の伝送とに兼用されるから、補正データ A 1 ~ A n を伝送する配線と階調データ G 1 ~ G n を伝送する配線とが別個に形成された構成と比較して種々の利点がある。例えば、上位装置から電気光学装置 1 0 にデータを出力する処理を補正データ A 1 ~ A n と階調データ G 1 ~ G n とで区別する必要がないから、上位装置における処理の負荷が軽減されるという利点がある。また、補正データ A 1 ~ A n と階調データ G 1 ~ G n とが共通の端子 T d から入力されるから、補正データ A 1 ~ A n と階調データ G 1 ~ G n とが別個の端子に入力される構成と比較して端子数を削減することができる。したがって、各端子と外部との接続に不具合が発生する可能性が低減され、これによって電気光学装置 1 0 の信頼性を向上させることができる。ここで、画像形成装置においては記録材の搬送や感光体ドラム 1 1 0 の駆動などに際して電気光学装置 1 0 に振動が発生するから、電気光学装置 1 0 のうち

40

50

外部との接続の箇所が破損し易いという事情がある。したがって、端子数を削減できる本実施形態の構成は、画像形成装置に利用される電気光学装置 10 に特に好適である。

【0050】

ところで、補正データ A_i の出力先である補正回路 50 は階調データ G_i の出力先（駆動トランジスタ T_{dr} ）と比較して回路の規模が大きい。さらに、補正データ A_i が伝送される補正データ線 L_A の長さは階調データ G_i が伝送される経路よりも長い。したがって、各单位回路 U_i に対する補正データ A_i の取込みや補正回路 50 への供給といった動作が階調データ G_i と同等の速度で実行されるとすれば、補正回路 50 のラッチ回路 64 に補正データ A_i の各ビットを確実に格納できない場合が生じ得る。本実施形態においては、補正データ $A_1 \sim A_n$ を経路制御回路 40 から補正回路 50 に出力する周期 T_1 が階調データ $G_1 \sim G_n$ の出力の周期 T_2 よりも長時間に設定されるから、各ビット $a_1[i] \sim a_3[i]$ を補正回路 50 に取り込むための時間が十分に確保される。したがって、補正データ $A_1 \sim A_n$ を正確かつ確実に補正回路 50 に保持させることができる。

10

【0051】

< B : 第 2 実施形態 >

次に、本発明の第 2 実施形態について説明する。本実施形態のうち第 1 実施形態と共通する要素については以上と同じ符号を付してその詳細な説明を適宜に省略する。

【0052】

図 6 は、本実施形態に係る電気光学装置 10 の構成を示すブロック図であり、図 7 は、この電気光学装置 10 の各部における信号の波形を示すタイミングチャートである。図 6 に示すように、電気光学装置 10 は、主走査方向に沿って配列された n 個の単位回路 U と、これらを挟む各位置に配置された第 1 選択回路 21 および第 2 選択回路 22 と、第 1 信号線 L_a および第 2 信号線 L_b とを含む。以下では、図 6 の左方からみて奇数番目の単位回路 U （以下「第 1 単位回路 U_a 」という）とその右側に隣接する偶数番目の単位回路 U （以下「第 2 単位回路 U_b 」という）との対を「回路部 U_B （ $U_{B1} \sim U_{BN}$ ）」と表記する（ $N = n/2$ ）。

20

【0053】

第 1 選択回路 21 は、第 1 期間 P_a および第 2 期間 P_b の各々において各第 1 単位回路 U_a を順次に選択する手段である。本実施形態の第 1 選択回路 21 は、図 7 に示すように、各第 1 単位回路 U_a に出力される選択信号 $S_{A1} \sim S_{AN}$ をクロック信号 CLK_a の 1 周期ごとに順番にハイレベルに設定する。同様に、第 2 選択回路 22 は、クロック信号 CLK_b の 1 周期ごとに順番にハイレベルとなる選択信号 $S_{B1} \sim S_{BN}$ を各第 2 単位回路 U_b に出力することで、第 1 期間 P_a および第 2 期間 P_b の各々にて各第 2 単位回路 U_b を順次に選択する。クロック信号 CLK_a とクロック信号 CLK_b とは同波形の信号である。したがって、図 7 に示すように、選択信号 S_{Aj} （ j は $1 \sim j \sim N$ を満たす整数）と選択信号 S_{Bj} とは同波形となる。すなわち、第 1 選択回路 21 が回路部 U_{Bj} の第 1 単位回路 U_a を選択するタイミングにおいて第 2 選択回路 22 は同じ回路部 U_{Bj} の第 2 単位回路 U_b を選択する。また、クロック信号 CLK_a およびクロック信号 CLK_b は、第 1 実施形態と同様に、第 1 期間 P_a における周期 T_1 が第 2 期間 P_b における周期 T_2 よりも長い。なお、図 6 においてはクロック信号 CLK_a とクロック信号 CLK_b とが別個の端子に入力される構成を例示したが、ひとつの端子に入力されるクロック信号（例えば図 7 のクロック信号 CLK_a ）が第 1 選択回路 21 および第 2 選択回路 22 の双方に供給される構成としてもよい。

30

40

【0054】

図 7 に示すように、第 1 信号線 L_a には、各第 2 単位回路 U_b の補正データ A と各第 1 単位回路 U_a の階調データ G とがシリアルに供給される。さらに詳述すると、第 1 期間 P_a においては、第 2 単位回路 U_b の補正データ A （ $A_2, A_4, \dots, A_n$ ）の各ビットが、クロック信号 CLK_a の周期 T_1 ごとに第 1 信号線 L_a に供給される。また、第 2 期間 P_b においては、第 1 単位回路 U_a の階調データ G （ $G_1, G_3, \dots, G_{n-1}$ ）が、クロック信号 CLK_a の周期 T_2 ごとに第 1 信号線 L_a に供給される。また、第 2 信号線 L_b には、各第 1 単位回路 U_a の補正データ A と各第 2 単位回路 U_b の階調データ G とがシリアルに供給される。すな

50

わち、第 1 期間 P_a においては、第 1 単位回路 U_a の補正データ A ($A_1, A_3, \dots, A_{n-1}$) の各ビットが周期 T_1 で第 2 信号線 L_b に供給され、第 2 期間 P_b においては、第 2 単位回路 U_b の階調データ G ($G_2, G_4, \dots, G_n$) が周期 T_2 で第 2 信号線 L_b に供給される。

【0055】

単位回路 U (第 1 単位回路 U_a および第 2 単位回路 U_b の各々) は、電気光学素子 E と駆動トランジスタ T_{dr} とデータ取得回路 30 と経路制御回路 40 と補正回路 50 とを含む。これらの各部の具体的な構成は第 1 実施形態と同様である。ただし、各第 1 単位回路 U_a のデータ取得回路 30 および経路制御回路 40 と各第 2 単位回路 U_b の補正回路 50 とは n 個の電気光学素子 E の配列を挟んで第 1 選択回路 21 側に位置するのに対し、各第 2 単位回路 U_b のデータ取得回路 30 および経路制御回路 40 と各第 1 単位回路 U_a の補正回路 50 とは電気光学素子 E の配列を挟んで第 2 選択回路 22 側に位置する。したがって、回路部 U_{Bj} に属する第 1 単位回路 U_a の経路制御回路 40 は、同じ回路部 U_{Bj} に属する第 2 単位回路 U_b の補正回路 50 からみて当該第 2 単位回路 U_b の電気光学素子 E とは反対側に配置される。また、回路部 U_{Bj} に属する第 2 単位回路 U_b の経路制御回路 40 は、この回路部 U_{Bj} に属する第 1 単位回路 U_a の補正回路 50 からみて当該第 1 単位回路 U_a の電気光学素子 E とは反対側に配置される。

【0056】

回路部 U_{Bj} に属する第 1 単位回路 U_a のデータ取得回路 30 は、第 1 選択回路 21 から供給される選択信号 S_{Aj} に応じて第 1 信号線 L_a から順次にデータを取得する。すなわち、回路部 $U_{B1} \sim U_{BN}$ の第 1 単位回路 U_a におけるデータ取得回路 30 は、第 1 期間 P_a において第 2 単位回路 U_b の補正データ A の各ビット ($a_1[2], a_1[4], \dots, a_1[n], a_2[2], a_2[4], \dots, a_2[n], a_3[2], a_3[4], \dots, a_3[n]$) を周期 T_1 で順番に取得し、第 2 期間 P_b においては第 1 単位回路 U_a の階調データ G ($G_1, G_3, \dots, G_{n-1}$) を周期 T_2 で順番に取得する。

【0057】

一方、回路部 U_{Bj} における第 2 単位回路 U_b のデータ取得回路 30 は、第 2 選択回路 22 から供給される選択信号 S_{Bj} に応じて第 2 信号線 L_b から順次にデータを取得する。すなわち、回路部 $U_{B1} \sim U_{BN}$ の第 2 単位回路 U_b におけるデータ取得回路 30 は、第 1 単位回路 U_a の補正データ A の各ビット ($a_1[1], a_1[3], \dots, a_1[n-1], a_2[1], a_2[3], \dots, a_2[n-1], a_3[1], a_3[3], \dots, a_3[n-1]$) を第 1 期間 P_a にて順番に取得し、第 2 単位回路 U_b の階調データ G ($G_2, G_4, \dots, G_n$) を第 2 期間 P_b にて順番に取得する。

【0058】

また、回路部 U_{Bj} に属する第 1 単位回路 U_a の経路制御回路 40 は、その前段のデータ取得回路 30 が取得したデータの出力先を、第 1 単位回路 U_a の駆動トランジスタ T_{dr} と回路部 U_{Bj} に属する第 2 単位回路 U_b の補正回路 50 とで切り替える。すなわち、第 1 単位回路 U_a の経路制御回路 40 は、第 1 期間 P_a に供給される補正データ ($A_2, A_4, \dots, A_n$) の各ビットを回路部 U_{Bj} の第 2 単位回路 U_b の補正回路 50 に対して順次に出力し、第 2 期間 P_b に供給される階調データ G ($G_1, G_3, \dots, G_{n-1}$) に応じた電位を第 1 単位回路 U_a の駆動トランジスタ T_{dr} のゲートに供給する。

【0059】

同様に、回路部 U_{Bj} に属する第 2 単位回路 U_b の経路制御回路 40 は、データ取得回路 30 から供給されるデータの出力先を、第 2 単位回路 U_b の駆動トランジスタ T_{dr} と回路部 U_{Bj} に属する第 1 単位回路 U_a の補正回路 50 とで切り替える。すなわち、第 2 単位回路 U_b の経路制御回路 40 は、第 1 期間 P_a に供給される補正データ A ($A_1, A_3, \dots, A_{n-1}$) の各ビットを回路部 U_{Bj} の第 1 単位回路 U_a の補正回路 50 に対して順次に出力し、第 2 期間 P_b に供給される階調データ G ($G_2, G_4, \dots, G_n$) に応じた電位を第 2 単位回路 U_b の駆動トランジスタ T_{dr} のゲートに供給する。以上の構成においても、各単位回路 U の補正回路 50 および駆動トランジスタ T_{dr} は第 1 実施形態と同様に動作する。

本実施形態においても第1実施形態と同様の効果が奏される。

【0060】

ところで、第1実施形態の電気光学装置10においては、図2に示したように、各単位回路Uの補正回路50と経路制御回路40との間隙に電気光学素子Eが介在するから、主走査方向に沿った電気光学素子Eの配列を横断するように補正データ線LAを形成する必要がある。これに対し、本実施形態においては、回路部UBjに属する第1単位回路Uaの補正回路50とこれに補正データAを供給する第2単位回路Ub(回路部UBj)の経路制御回路40との間隙に電気光学素子Eや駆動トランジスタTdrが介在しない。第2単位回路Ubの補正回路50と第1単位回路Uaの経路制御回路40との間隙についても同様である。したがって、電気光学素子Eの配列を横断するように補正データ線LAを形成する必要はない。このように電気光学素子Eの周辺の配線が削減されるから、本実施形態によれば、各電気光学素子Eの面積を第1実施形態と比較して拡大することが可能である。また、各電気光学素子Eの面積を拡大できるということは、所定の発光強度を得るために電気光学素子Eに供給すべき電気エネルギー(電流値や電流密度)が低減されることを意味する。そして、電気光学素子Eに供給される電気エネルギーを低減することで、消費電力の抑制や電気光学素子Eの長寿命化といった効果を得ることができる。

【0061】

また、本実施形態においては、各第1単位回路Uaに対するデータの供給と各第2単位回路Ubに対するデータの供給とが並行して実施されるから、総ての単位回路Uに補正データAや階調データGを供給するために必要となる時間長が第1実施形態の約半分に短縮されるといふ利点もある。なお、第1実施形態においては各単位回路Uがひとつの選択回路20によって選択されるのに対し、本実施形態においては2個の選択回路(第1選択回路21および第2選択回路22)20が必要となる。しかしながら、第1選択回路21および第2選択回路22の各々の規模は第1実施形態の選択回路20の約半分となる(例えばn/2ビットのシフトレジスタで足りる)から、電気光学装置10の全体としてみれば、各単位回路Uの選択に関わる回路の規模が第1実施形態と比較して大幅に肥大化することはない。

【0062】

< C : 第3実施形態 >

次に、本発明の第3実施形態について説明する。

第1実施形態においてはn個の単位回路Uの各々が選択回路20によって選択される構成を例示したが、データの供給先となる単位回路Uを選択するための方法や構成は任意である。本実施形態においては、選択回路20が基板12に配置されず、上位装置から供給される信号によって各単位回路Uが順番に選択される構成となっている。なお、本実施形態のうち第1実施形態と共通する要素については同一の符号を付してその詳細な説明を適宜に省略する。

【0063】

図8は、本実施形態に係る電気光学装置10の構成を示すブロック図であり、図9は、各部で利用される信号の波形を示すタイミングチャートである。図8に示すように、n個の単位回路U1~Unは3個を単位としてM個(M=n/3)のブロックB1~BMに区分される。基板12の面上には、各々が別個のブロックに対応するM本の信号線L1~LMが形成される。ひとつのブロックBh(hは1~Mを満たす整数)に対応する信号線Lhは、そのブロックBhに属する3個の単位回路Uの各々におけるデータ取得回路30(トランスマッションゲート31の入力端子)に対して共通に接続される。

【0064】

また、ブロックB1~BMの各々に属する第1番目の単位回路U(U1, U4, ..., Un-2)には上位装置から選択信号SEL1が供給される。同様に、ブロックB1~BMの第2番目の単位回路U(U2, U5, ..., Un-1)には選択信号SEL2が供給され、第3番目の各単位回路U(U3, U6, ..., Un)には選択信号SEL3が供給される。図9に示すように、選択信号SEL1~SEL3は、所定の周期(第1期間Paにおいては周期T1、第2期間Pbにお

いては周期 T_2) で順番にアクティブレベルとなる。

【0065】

信号線 L_h には、ブロック B_h の各単位回路 U に対応した補正データ A と階調データ G とが上位装置から供給される。さらに詳述すると、図 9 に示すように、第 1 期間 P_a においては、ブロック B_h の各単位回路 U に対応した補正データ A の各ビットが周期 T_1 で順次に信号線 L_h に供給される。また、第 2 期間 P_b においては、ブロック B_h の各単位回路 U に対応した階調データ G が周期 T_2 で順次に信号線 L_h に供給される。

【0066】

以上の動作によって、第 1 期間 P_a においては、選択信号 SEL_1 がハイレベルに遷移すると各ブロック B_h の第 1 番目の単位回路 U ($U_1, U_4, \dots, U_{n-2}$) に補正データ A のビット a_k が並列に取り込まれる。同様に、選択信号 SEL_2 がハイレベルに遷移すると第 2 番目の各単位回路 U ($U_2, U_5, \dots, U_{n-1}$) にビット a_k が取り込まれ、選択信号 SEL_3 がハイレベルに遷移すると第 3 番目の各単位回路 U ($U_3, U_6, \dots, U_n$) にビット a_k が取り込まれる。以上の動作が期間 $P_1 \sim$ 期間 P_3 の各々にて実行されると、第 1 実施形態と同様に、補正データ $A_1 \sim A_n$ が単位回路 $U_1 \sim U_n$ に保持される。

【0067】

一方、第 2 期間 P_b においては、選択信号 SEL_1 がハイレベルに遷移するとブロック $B_1 \sim B_M$ の第 1 番目の各単位回路 U に階調データ G ($G_1, G_4, \dots, G_{n-2}$) が取り込まれる。同様に、選択信号 SEL_2 がハイレベルに遷移すると第 2 番目の各単位回路 U に階調データ G ($G_2, G_5, \dots, G_{n-1}$) が取り込まれ、選択信号 SEL_3 がハイレベルに遷移すると第 3 番目の各単位回路 U に階調データ G ($G_3, G_6, \dots, G_n$) が取り込まれる。以上の動作によって、第 1 実施形態と同様に、単位回路 $U_1 \sim U_n$ の電気光学素子 E は階調データ $G_1 \sim G_n$ に応じた階調に駆動される。

【0068】

本実施形態においても第 1 実施形態と同様の作用および効果が奏される。さらに、本実施形態においては、ブロック $B_1 \sim B_M$ の各々に属するひとつの単位回路 U に対して並列にデータが取り込まれるから、総ての単位回路 U に補正データ A や階調データ G を供給するために必要となる時間長が第 1 実施形態よりも短縮されるという利点がある。

【0069】

< D : 変形例 >

以上の各形態には様々な変形を加えることができる。具体的な変形の態様を例示すれば以下の通りである。なお、以下の各態様を適宜に組み合わせてもよい。

【0070】

(1) 変形例 1

補正データ A のビット数が以上の例示に限定されないことはもちろんである。したがって、ひとつの補正回路 50 を構成する電流生成部 C_k の個数は以上の例示から適宜に変更される。また、以上の各形態においては 1 ビットの階調データ G によって電気光学素子 E の階調が 2 値的に制御される構成を例示したが、階調データ G は 2 ビット以上であってもよい。この構成においては、駆動トランジスタ T_{dr} に流れる駆動電流 I_{dr} が階調データ G に応じて段階的に制御され、これによって電気光学素子 E の階調が多値的に (3 以上の階調の何れかに) 制御される。また、第 1 実施形態における信号線 L や第 2 実施形態における信号線 L_a および信号線 L_b に代えて、上位装置からシリアルに出力される信号 (例えば画像信号) を相展開 (シリアル - パラレル変換) した各系統の信号が供給される複数の信号線が配置された構成も採用される。

【0071】

(2) 変形例 2

以上の各形態においては電気光学素子 E として $OLED$ 素子が採用された構成を例示したが、これ以外の電気光学素子 E を利用した様々な電気光学装置 10 にも本発明は適用される。例えば、無機 EL 素子を利用した表示装置、電界放出ディスプレイ (FED : Field Emission Display)、表面導電型電子放出ディスプレイ (SED : Surface-conducti

10

20

30

40

50

on Electron-emitter Display)、弾道電子放出ディスプレイ(BSD:Ballistic electron Surface emitting Display)、発光ダイオードを利用した表示装置にも以上の各形態と同様に本発明を適用することができる。

【0072】

< E : 電子機器 >

次に、図10を参照して、本発明に係る電子機器のひとつの態様である画像形成装置について説明する。この画像形成装置は、ベルト中間転写体方式を利用したタンデム型のフルカラー画像形成装置である。

【0073】

この画像形成装置では、各々が同様の構成である4個の電気光学装置10K, 10C, 10M, 10Yが、各々の構成が同様である4個の感光体ドラム(像担持体)110K, 110C, 110M, 110Yの像形成面110Aに対向する位置にそれぞれ配置されている。電気光学装置10K, 10C, 10M, 10Yは、以上の各形態に係る電気光学装置10と同様の構成である。 10

【0074】

図10に示すように、この画像形成装置には、駆動ローラ121と従動ローラ122とが設けられており、これらのローラ121, 122には無端の中間転写ベルト120が巻回されて、矢印に示すようにローラ121, 122の周囲を回転させられる。図示しないが、中間転写ベルト120に張力を与えるテンションローラなどの張力付与手段を設けてもよい。 20

【0075】

この中間転写ベルト120の周囲には、外周面に感光層を有する4個の感光体ドラム110K, 110C, 110M, 110Yが互いに所定の間隔をおいて配置される。添字「K」、「C」、「M」、「Y」はそれぞれ黒、シアン、マゼンタ、イエローの顕像を形成するために使用されることを意味している。他の部材についても同様である。感光体ドラム110K, 110C, 110M, 110Yは、中間転写ベルト120の駆動と同期して回転駆動される。

【0076】

各感光体ドラム110(K, C, M, Y)の周囲には、コロナ帯電器111(K, C, M, Y)と、電気光学装置10(K, C, M, Y)と、現像器114(K, C, M, Y)とが配置されている。コロナ帯電器111(K, C, M, Y)は、これに対応する感光体ドラム110(K, C, M, Y)の像形成面110A(外周面)を一様に帯電させる。電気光学装置10(K, C, M, Y)は、各感光体ドラムの帯電した像形成面110Aに静電潜像を書き込む。各電気光学装置10(K, C, M, Y)においては、感光体ドラム110(K, C, M, Y)の母線(主走査方向)に沿って複数の電気光学素子Eが配列する。静電潜像の書き込みは、複数の電気光学素子Eによって感光体ドラム110(K, C, M, Y)に光を照射することにより行う。現像器114(K, C, M, Y)は、静電潜像に現像剤としてのトナーを付着させることにより感光体ドラム110(K, C, M, Y)に顕像(すなわち可視像)を形成する。 30

【0077】

このような4色の単色顕像形成ステーションにより形成された黒、シアン、マゼンタ、イエローの各顕像は、中間転写ベルト120上に順次に一次転写されることによって中間転写ベルト120上で重ね合わされ、この結果としてフルカラーの顕像が形成される。中間転写ベルト120の内側には、4つの一次転写コロトロン(転写器)112(K, C, M, Y)が配置されている。一次転写コロトロン112(K, C, M, Y)は、感光体ドラム110(K, C, M, Y)の近傍にそれぞれ配置されており、感光体ドラム110(K, C, M, Y)から顕像を静電的に吸引することにより、感光体ドラムと一次転写コロトロンの間を通過する中間転写ベルト120に顕像を転写する。 40

【0078】

最終的に画像を形成する対象(記録材)としてのシート102は、ピックアップローラ 50

103によって、給紙カセット101から1枚ずつ給送されて、駆動ローラ121に接した中間転写ベルト120と二次転写ローラ126の間のニップに送られる。中間転写ベルト120上のフルカラーの顕像は、二次転写ローラ126によってシート102の片面に一括して二次転写され、定着部である定着ローラ対127を通ることでシート102上に定着される。この後、シート102は、排紙ローラ対128によって、装置上部に形成された排紙カセット上へ排出される。

【0079】

次に、図11を参照して、本発明に係る画像形成装置の他の形態について説明する。この画像形成装置は、ベルト中間転写体方式を利用したロータリ現像式のフルカラー画像形成装置である。図11に示すように、感光体ドラム110の周囲には、コロナ帯電器168と、ロータリ式の現像ユニット161と、以上の実施形態に係る電気光学装置10と、中間転写ベルト169とが設けられている。

10

【0080】

コロナ帯電器168は、感光体ドラム110の外周面を一様に帯電させる。電気光学装置10は、感光体ドラム110の帯電させられた像形成面110A（外周面）に静電潜像を書き込む。この電気光学装置10においては、感光体ドラム110の母線（主走査方向）に沿って複数の電気光学素子Eが配列する。静電潜像の書き込みは、これらの電気光学素子Eから感光体ドラム110に光を照射することにより行う。

【0081】

現像ユニット161は、4つの現像器163Y, 163C, 163M, 163Kが90°の角間隔をおいて配置されたドラムであり、軸161aを中心にして反時計回りに回転可能である。現像器163Y, 163C, 163M, 163Kは、それぞれイエロー、シアン、マゼンタ、黒のトナーを感光体ドラム110に供給して、静電潜像に現像剤としてのトナーを付着させることにより感光体ドラム110に顕像（すなわち可視像）を形成する。

20

【0082】

無端の中間転写ベルト169は、駆動ローラ170a、従動ローラ170b、一次転写ローラ166およびテンションローラに巻回されて、これらのローラの周囲を矢印に示す向きに回転させられる。一次転写ローラ166は、感光体ドラム110から顕像を静電的に吸引することにより、感光体ドラム110と一次転写ローラ166の間を通過する中間

30

【0083】

具体的には、感光体ドラム110の最初の1回転で、電気光学装置10によりイエロー（Y）像のための静電潜像が書き込まれて現像器163Yにより同色の顕像が形成され、さらに中間転写ベルト169に転写される。また、次の1回転で、電気光学装置10によりシアン（C）像のための静電潜像が書き込まれて現像器163Cにより同色の顕像が形成され、イエローの顕像に重なり合うように中間転写ベルト169に転写される。そして、このようにして感光体ドラム110が4回転する間に、イエロー、シアン、マゼンタ、黒の顕像が中間転写ベルト169に順次に重ね合わせられ、この結果としてフルカラーの顕像が転写ベルト169上に形成される。最終的に画像を形成する対象としてのシートの両面に画像を形成する場合には、中間転写ベルト169に表面と裏面の同色の顕像を転写し、次に中間転写ベルト169に表面と裏面の次の色の顕像を転写する形式で、フルカラーの顕像を中間転写ベルト169上に形成する。

40

【0084】

画像形成装置には、シートが通過させられるシート搬送路174が設けられている。シートは、給紙カセット178から、ピックアップローラ179によって1枚ずつ取り出され、搬送ローラによってシート搬送路174を進行させられ、駆動ローラ170aに接した中間転写ベルト169と二次転写ローラ171の間のニップを通過する。二次転写ローラ171は、中間転写ベルト169からフルカラーの顕像を一括して静電的に吸引することにより、シートの片面に顕像を転写する。二次転写ローラ171は、図示しないクラッ

50

チにより中間転写ベルト 169 に接近および離間させられるようになっている。そして、シートにフルカラーの顕像を転写する時に二次転写ローラ 171 は中間転写ベルト 169 に当接させられ、中間転写ベルト 169 に顕像を重ねている間は二次転写ローラ 171 から離される。

【0085】

以上のようにして画像が転写されたシートは定着器 172 に搬送され、定着器 172 の加熱ローラ 172a と加圧ローラ 172b の間を通過させられることにより、シート上の顕像が定着する。定着処理後のシートは、排紙ローラ対 176 に引き込まれて矢印 F の向きに進行する。両面印刷の場合には、シートの大部分が排紙ローラ対 176 を通過した後、排紙ローラ対 176 が逆方向に回転させられ、矢印 G で示すように両面印刷用搬送路 175 に導入される。そして、二次転写ローラ 171 により顕像がシートの他面に転写され、再び定着器 172 で定着処理が行われた後、排紙ローラ対 176 でシートが排出される。

10

【0086】

図 10 および図 11 に例示した画像形成装置は、OLED 素子を電気光学素子 E として採用した光源（露光手段）を利用しているので、レーザ走査光学系を用いた場合よりも装置が小型化される。なお、以上に例示した以外の電子写真方式の画像形成装置にも本発明の電気光学装置 10 を採用することができる。例えば、中間転写ベルトを使用せずに感光体ドラムからシートに対して直接的に顕像を転写するタイプの画像形成装置や、モノクロの画像を形成する画像形成装置にも本発明に係る電気光学装置 10 を応用することが可能である。

20

【0087】

本発明に係る電気光学装置の用途は感光体の露光に限定されない。例えば、本発明の電気光学装置は、原稿などの読取対象に光を照射するライン型の光ヘッド（照明装置）としてスキャナなどの画像読取装置に採用される。この種の画像読取装置としては、スキャナ、複写機やファクシミリの読取部分、バーコードリーダ、あるいは QR コード（登録商標）のような二次元画像コードを読む二次元画像コードリーダがある。また、複数の電気光学素子（特に発光素子）を面状に配列した電気光学装置は、液晶パネルの背面側に配置されるバックライトユニットとしても採用される。

【0088】

また、画像を表示する表示装置としても本発明の電気光学装置が採用される。この表示装置においては、行方向および列方向にわたって複数の電気光学素子 E がマトリクス状に配列される。そして、走査線駆動回路が単位期間（水平走査期間）ごとに各行を選択し、この選択行の各電気光学素子 E に対して補正データ A または階調データ G とが供給される。本発明の電気光学装置が画像の表示のために利用される電子機器としては、例えば、可搬型のパーソナルコンピュータ、携帯電話機、携帯情報端末（PDA: Personal Digital Assistants）、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器等などが挙げられる。

30

40

【図面の簡単な説明】

【0089】

【図 1】第 1 実施形態に係る画像形成装置の部分的な構成を示す斜視図である。

【図 2】電気光学装置の構成を示すブロック図である。

【図 3】第 1 実施形態の動作を説明するためのタイミングチャートである。

【図 4】ひとつの単位回路の構成を示す回路図である。

【図 5】ひとつの電流生成部の構成を示す回路図である。

【図 6】第 2 実施形態に係る電気光学装置の構成を示すブロック図である。

【図 7】第 2 実施形態の動作を説明するためのタイミングチャートである。

【図 8】第 3 実施形態に係る電気光学装置の構成を示すブロック図である。

50

【図 9】第 3 実施形態の動作を説明するためのタイミングチャートである。

【図 10】本発明に係る電子機器の具体例（画像形成装置）を示す斜視図である。

【図 11】本発明に係る電子機器の具体例（画像形成装置）を示す斜視図である。

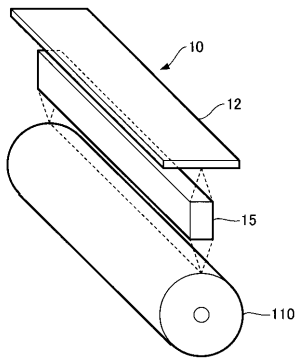
【符号の説明】

【0090】

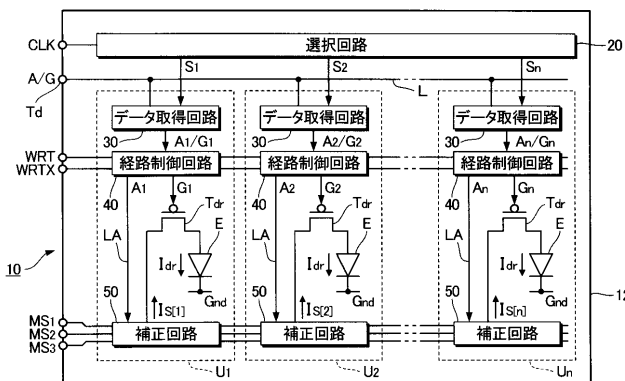
10 ... 電気光学装置、15 ... 集光性レンズアレイ、110 ... 感光体ドラム、12 ... 基板、U (U1~Un) ... 単位回路、Ua ... 第 1 単位回路、Ub ... 第 2 単位回路、UB (UB1~UBN) ... 回路部、B (B1~BM) ... ブロック、L, L1~LM ... 信号線、La ... 第 1 信号線、Lb ... 第 2 信号線、Tdr ... 駆動トランジスタ、E ... 電気光学素子、20 ... 選択回路、21 ... 第 1 選択回路、22 ... 第 2 選択回路、30 ... データ取得回路、40 ... 経路制御回路、50 ... 補正回路、54 ... 電流源トランジスタ、Is[1]~Is[n] ... 基準電流、Idr ... 駆動電流、A (A1~An) ... 補正データ、G (G1~Gn) ... 階調データ。

10

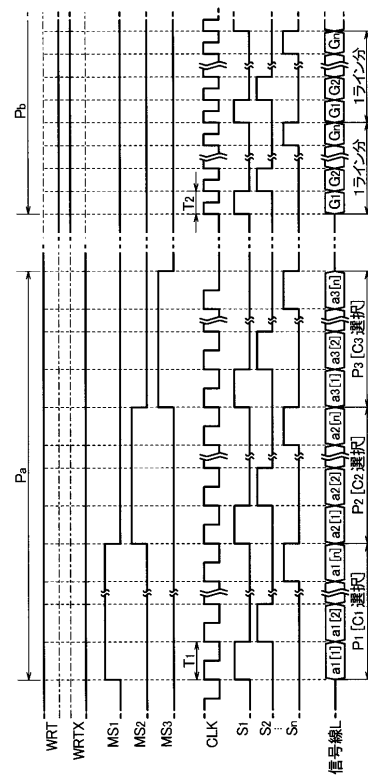
【図 1】



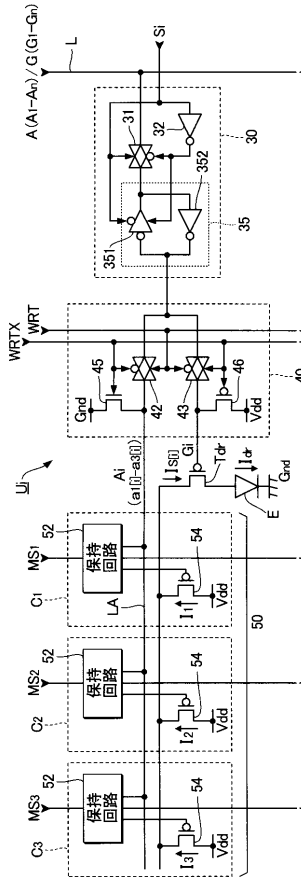
【図 2】



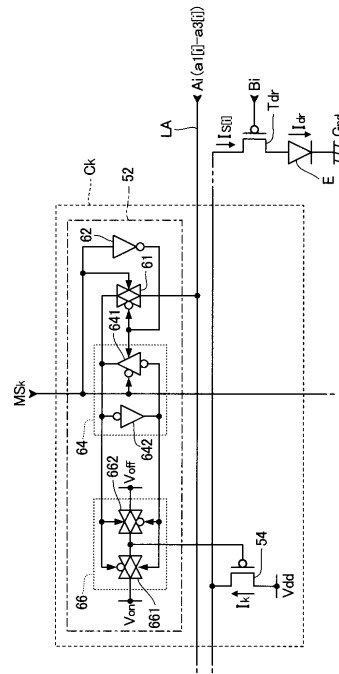
【図 3】



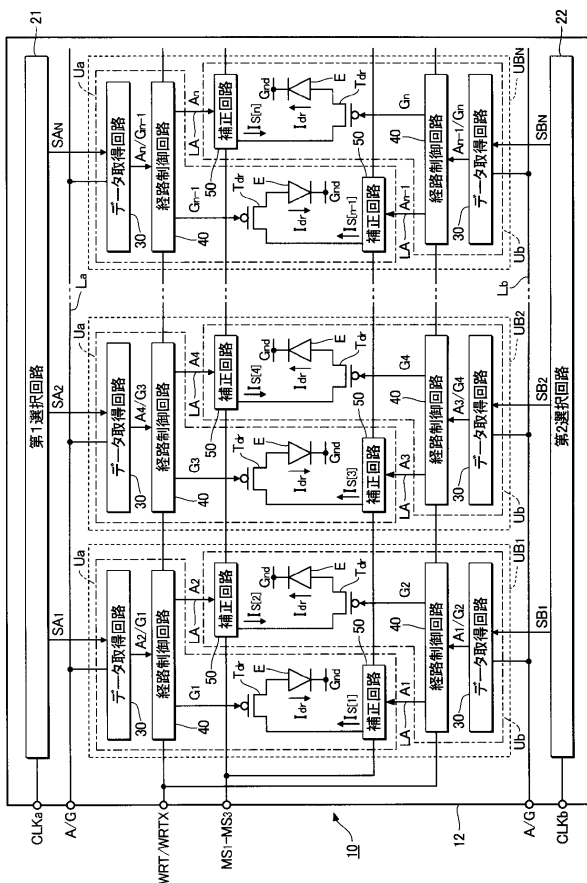
【図 4】



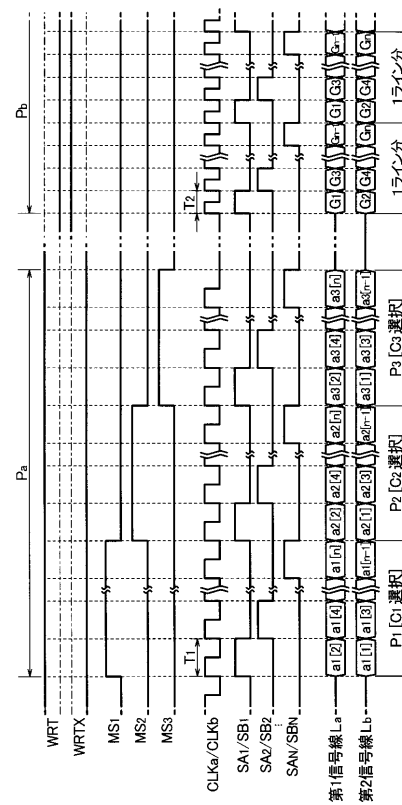
【図 5】



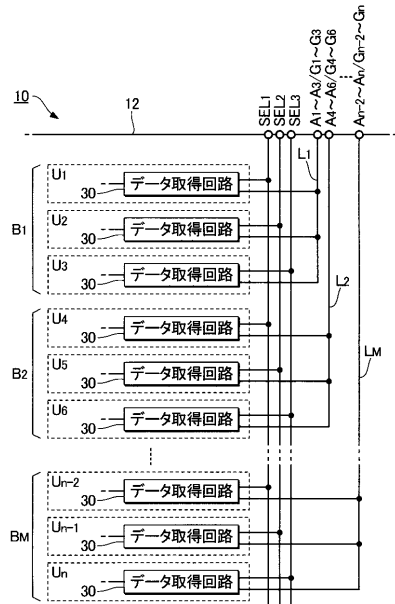
【図 6】



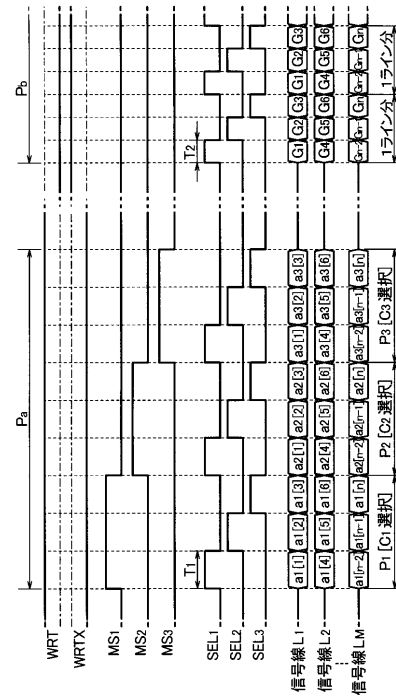
【図 7】



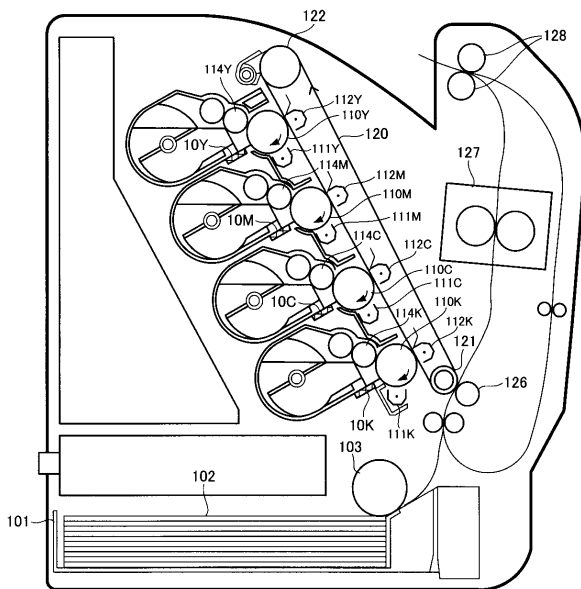
【図 8】



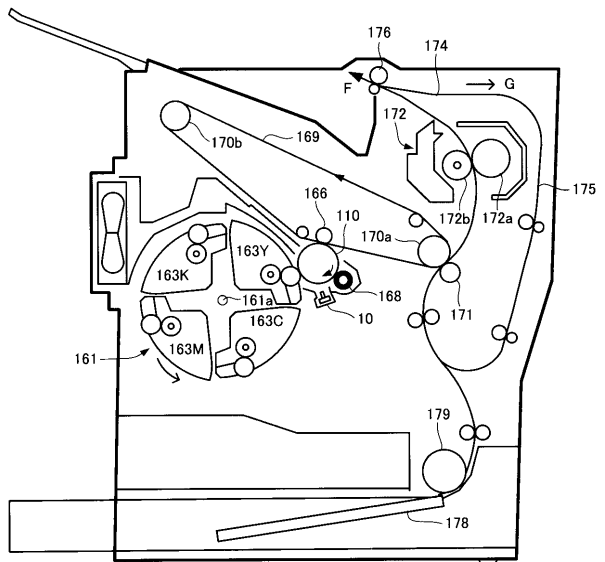
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 1 2 F

F ターム(参考) 5C080 AA06 BB05 DD05 DD22 EE29 FF11 GG09 HH09 JJ02 JJ03
JJ04 JJ06 KK01 KK07 KK43 KK47

【要約の続き】

【選択図】図 2