

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 97194710.4

H01L 27/11 (2006.01)
H01L 21/8244 (2006.01)
G11C 11/40 (2006.01)

[45] 授权公告日 2008 年 5 月 14 日

[11] 授权公告号 CN 100388499C

[22] 申请日 1997.3.20 [21] 申请号 97194710.4

[30] 优先权

[32] 1996.3.28 [33] US [31] 08/623,463

[86] 国际申请 PCT/US1997/004686 1997.3.20

[87] 国际公布 WO1997/036330 英 1997.10.2

[85] 进入国家阶段日期 1998.11.17

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 M·T·波尔 J·K·格雷森

[56] 参考文献

JP7-169856A 1995.7.4

US5436506A 1995.7.25

JP7-176633A 1995.7.14

US5452247A 1995.9.19

US5485420A 1996.1.16

审查员 赵立杰

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 邹光新 王忠忠

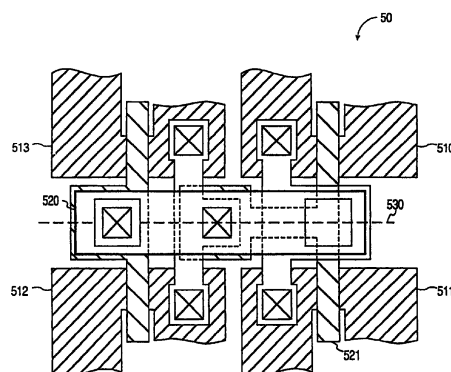
权利要求书 1 页 说明书 7 页 附图 8 页

[54] 发明名称

具有垂直层叠跨接的存储单元设计

[57] 摘要

一种具有垂直层叠跨接(520, 521)的存储单元(50)。在现有的存储单元中,存储单元内的跨接连接在相同的器件层中实现。由于在布线设计中需要跨接并排地设置。所以浪费了有用的设计空间。本发明在不同的器件层上用不同的材料实现跨接。因此跨接可以垂直地层叠于彼此的顶部,减少了存储单元的面积。



1. 一种半导体存储单元，包括：
具有第一输入和第一输出的第一逻辑门；
具有第二输入和第二输出的第二逻辑门；
包括第一跨接连接的栅层，所述第一跨接连接直接将所述第一输入连接到所述第二输出；以及
包括第二跨接连接的金属互连层，所述第二跨接连接直接将所述第二输入连接到所述第一输出，所述第二跨接连接形成在部分所述第一跨接连接上而不与所述第一跨接连接相接触，以便从顶部看去，所述第一和第二跨接连接重叠。
2. 根据权利要求 1 的半导体存储单元，其中所述第一逻辑门包括 n 型的金属氧化物半导体晶体管和 p 型的金属氧化物半导体晶体管。
3. 根据权利要求 1 的半导体存储单元，其中所述第二逻辑门包括 n 型的金属氧化物半导体晶体管和 p 型的金属氧化物半导体晶体管。
4. 根据权利要求 1 的半导体存储单元，其中所述第一跨接连接包括局部互连层。
5. 根据权利要求 1 的半导体存储单元，其中所述第一跨接连接是由从多晶硅和硅化钛组成的组中选出的材料形成的；所述第二跨接连接是由从铝、铜、钛和氮化钛的组中选出的材料形成的。
6. 根据权利要求 1 的半导体存储单元，其中所述第一逻辑门是互补金属氧化物半导体反相器。
7. 根据权利要求 1 的半导体存储单元，其中所述第二逻辑门是互补金属氧化物半导体反相器。
8. 根据权利要求 4 的半导体存储单元，其中所述局部互连层是由从钛、氮化钛和钨组成的组中选出的材料形成的。
9. 根据权利要求 1 的半导体存储单元，其中所述第二跨接连接由铝构成。

具有垂直层叠跨接的存储单元设计

本发明涉及存储单元设计。具体地，本发明涉及具有垂直层叠跨接的存储单元设计。

静态随机存取存储器（SRAM）频繁地用于集成电路器件中。例如，SRAM 单元的阵列用做高速微处理器的高速缓冲存储器。SRAM 的一个这种应用是在 California Santa Clara 的 Intel Corporation 出售的 Pentium®Pro 处理器的 2 级（L2）高速缓冲存储器中。

SRAM 单元阵列一般包括多个相同的 SRAM 单元，每个单元用于存储器的每一位。例如，用于 Pentium®Pro 处理器的 256K L2 高速缓冲存储器需要上百万的 SRAM 单元来实现。随着阵列尺寸的增加，有用的管芯空间浪费了，并且制造成本增加。因此需要尽可能地减少单个 SRAM 单元的尺寸，以使 SRAM 阵列的尺寸不变得太大，不浪费管芯空间和不变得太昂贵。

SRAM 设计的一个例子图示在图 1 中。6 个晶体管的 SRAM 单元 10 包括两个互补金属氧化物半导体（CMOS）反相器。第一个反相器包括晶体管 110 和 111。第二个反相器包括晶体管 112 和 113。两个旁路晶体管 114 和 115 用于选择 SRAM 进行读出和写入操作。

要写入单元 10，将适当的写数据（DATA）放置在位线（BIT）上，它的补码（DATA#）放置在 BIT#线上。然后根据晶体管 114 和 115 的栅极确定字线（WL），DATA 写入到单元 10。要读出单元，BIT 和 BIT#预先充电。此后确定 WL，分别通过晶体管 112 或 111 将 BIT 或 BIT#放电。作为选择，静态上拉（Pull up）（未显示）可以添加到 BIT 和 BIT#线以消除预先充电的需要。

除了 PMOS 晶体管 110 和 113 由其它的公知上拉装置例如耗尽晶体管和增强晶体管或电阻器代替外，另一现有技术的 SRAM 单元设计与单元 10 类似。另一现有技术的 SRAM 单元包括一个而不是两个晶体管来控制 BIT 和 WL 信号。此外，类似的现有技术的 SRAM 单元包括两个端口或字线来控制输入和输出单元的数据传输。

这些现有技术的 SRAM 单元设计的类似之处在于全都需要使用跨接连接，例如存储单元 10 内的跨接连接 120 和 121。跨接连接 120 将包

括晶体管 110 和 111 的第一反相器的输入连接到包括晶体管 112 和 113 的第二反相器的输出。此外，跨接连接 121 将包括晶体管 112 和 113 的第二反相器的输入连接到包括晶体管 110 和 111 的第一反相器的输出。

典型的现有 SRAM 器件-层布线使用相同的掩模层在相同的材料中实现两个跨接。由此 SRAM 单元的布线看起来象图 2 的单元 20。跨接 220 和 221 都在布线的第二金属层中实现。该单元布线 20 的缺点是跨接 220 和 221 必须相互并排地设置，增加了 SRAM 单元的尺寸。

图 3 示出了另一现有的 SRAM 器件层布线，其中两个跨接 320 和 321 在栅层中实现，通常由多晶硅制成。同样由于跨接 320 和 321 都在相同的器件层中实现，因此它们必须并排放置。

图 4 示出了使用栅层以及局部互连层的第三个现有的 SRAM 单元 40 的器件-层布线。跨接 420 和 421 最初在栅层中实现，栅层到晶体管的源或漏的连接通过局部互连层 420a-b 和 421a-b 实现。局部互连层与一般的第一或第二级金属层的不同之处在于局部互连直接淀积在暴露的多晶硅和晶体管器件的扩散区 的顶部。即使使用局部互连层，跨接 420 和 421 也必须并排地设置，增加了 SRAM 单元需要的面积量。

从以上现有的 SRAM 单元布线的讨论可以知道，需要提供一种 SRAM 单元布线，其中单元的尺寸可以最小化。

此外，要减少制造成本，需要提供一种使用现有的工艺材料、参数和设计规则设计的最小尺寸的 SRAM 单元。由此需要的 SRAM 单元设计不需要改变半导体工艺来实现。

本发明描述一种具有垂直层叠跨接的半导体存储单元。该存储单元包括具有第一输入和第一输出的第一晶体管反相器，具有第二输入和第二输出的第二反相器。第一和第二晶体管用第一和第二跨接连接耦合。第一跨接连接将第一输入连接到第二输出。第二跨接连接将第二输入连接到第一输出。两个跨接连接包括半导体制造工艺中的不同导电层。因此两个跨接连接垂直地层叠在彼此的上部，以减少存储单元布线的面积。

本发明借助例子的方式图示出，但并不局限于附图，其中：

图 1 示出了现有技术的六个晶体管 SRAM 单元。

图 2 示出了现有技术带金属跨接的 SRAM 单元的布线。

图 3 示出了现有技术带栅级互连跨接的 SRAM 单元的布线。

图 4 示出了现有技术带栅级互连和局部互连跨接的 SRAM 单元的布线。

图 5 示出了本发明的一个实施例的布线设计。

图 6 示出了图 5 的布线设计的截面。

图 7 示出了本发明的第二个实施例的布线设计。

图 8 示出了图 7 的布线设计的截面。

下面介绍具有垂直层叠跨接的存储单元设计。在下面的说明中，陈列出大量的具体细节，例如具体的材料、工艺参数和布线技术，以便于完全理解本发明。然而，显然对于本领域的技术人员来说不需要使用这些具体细节也可以实施本发明。另一方面，没有详细介绍公知的工艺方法或材料以避免混淆本发明。

本发明的存储单元的一个实施例包括 6 个晶体管的 SRAM 单元设计，跨接垂直地层叠在单元布线内。换句话说，一个跨接连接的大部分设置在 SRAM 单元布线内的其它跨接连接的顶部。

此外，作为设计选择，存储单元可以包括多于或少于 6 个晶体管，除了反相器之外可以包括其它公知的逻辑门。而且，存储单元可以包括动态随机存储（DRAM）单元。不过必要的是存储单元要使用跨接，并且跨接在某种程度上相互垂直地重叠。

图 5 示出了本发明的第一实施例。存储单元 50 包括 PMOS 晶体管 510 和 513，和 NMOS 晶体管 511 和 512。跨接 520 在金属互连层中实现，跨接 521 在栅层中实现。这种排列在沿存储单元 50 的线 530 截取的图 6 的剖面图中较好地示出。

图 6 示出了存储单元 50 的不同层。如图 6 所示，部分跨接 620 设置在跨接 621 上，即它们“垂直地层叠”。这种垂直的层叠可以实现是由于跨接 620 在第二金属互连层中实现，并且跨接 621 在栅层中实现。下面将进一步地介绍根据本发明制备存储单元 50 的方法。

注意，晶体管器件 510-513 未在图 6 中示出。金属氧化物半导体（MOS）晶体管的设计和制备方法在本领域中公知，因此不再详细介绍。

图 6 的第一层 600 包括半导体衬底。对于本发明的一个实施例，衬底包括硅（Si）。此外，衬底可以包括如砷化镓（GaAs）等的其它公知的适宜半导体材料。

在器件 510-513 和半导体衬底 600 的上部为场介质层 601。在一个实施例中，介质层 601 包括二氧化硅 (SiO_2)，并通过几种公知的化学汽相淀积 (CVD) 工艺中的一种形成在衬底 600 上。此外，介质层 601 可以由热生长形成。

在介质层 601 的上部为包括栅层的跨接 621。同样在栅层中示出的是连接晶体管 512 和 513 的栅的互连 622。在一个实施例中，跨接 621 包括可以是掺杂或未掺杂的多晶硅。此外，跨接 621 包括另一适宜材料用做晶体管的栅接触。在另一实施例中，跨接 621 还包括一层硅化钛 (TiSi_2)、或显示出低薄层电阻的另一金属或金属硅化物。

根据多晶硅淀积技术，例如几种公知 CVD 技术中的一种首先淀积栅材料（即多晶硅）形成跨接 621。此后，光刻胶或另一适宜掩模材料层旋涂在多晶硅上。曝光并显影光刻胶，限定出如跨接 621 等的形貌。腐蚀多晶硅生成需要的形貌，并除去光刻胶。

介质层 670 形成在跨接 621 的顶部。对于一个实施例，介质层 670 包括硼磷硅玻璃 (BPSG)。此外，介质层 670 可以包括磷硅玻璃 (PSG) 层。而且，介质层 670 可以包括如氮化硅 (Si_3N_4) 的扩散阻挡层。对于一个实施例，介质层 670 由 CVD 工艺形成。此外，介质层 670 可以由热生长、溅射、或通过旋涂玻璃淀积技术形成。

掩模材料（即光刻胶）旋涂在介质上并构图限定出用于接触 630a 和 630b 的开口。然后根据如反应离子腐蚀 (RIE) 等的公知腐蚀技术腐蚀介质。

然后用导电材料填充接触 630a 和 630b。对于一个实施例，导电材料包括用 CVD 工艺淀积的钨 (W)。此外导电材料包括另一公知的接触材料，例如铝。而且，导电材料可以通过如溅射或蒸发等的其它淀积技术淀积。导电材料还包括一层或多层钛 (Ti) 或氮化钛 (TiN)，用于提高接触材料的粘附性并提供扩散阻挡层。

对于本发明的一个实施例，在进行下面的步骤之前，用化学机械抛光系统抛光衬底以平面化钨和介质。

然后第一金属互连层淀积在衬底上。第一金属互连层包括金属线 640a、640b 和 640c。线 640a 将跨接 620 连接到栅层 622，栅层 622 为晶体管 512 和 513 的输入。线 640b 将跨接 621 连接到晶体管 512 和 513 的输出。金属线 640c 将跨接 620 连接到晶体管 510 和 511 的输出。

对于一个实施例，第一金属互连层包括铝（Al）。此外，金属互连层包括铝和铜（Cu）的合金。作为另一种选择，第一金属层包括一层或多层钛（Ti）或氮化钛（TiN）。应该知道显示出需要的特性（例如低电阻率、易于形成和腐蚀、在机械应力和处理中稳定）的其它导电材料可以用做第一金属互连层，且不脱离本发明的范围。

通过包括但不限于 CVD、蒸发和溅射的几种公知的淀积技术中的一种形成第一金属互连层。此后，通过施加掩模材料（即光刻胶）层、构图并显影以及根据公知的金属腐蚀技术进行金属腐蚀，限定出金属线 640a-c。例如，可以使用反应等离子体或反应离子腐蚀技术。腐蚀后去掉光刻胶。

然后层间介质（ILD）层 680 形成在第一金属互连层的顶部。对于一个实施例，ILD 层 680 包括二氧化硅（SiO₂），并根据 CVD 淀积技术形成。然后构图并腐蚀介质层 680，如上所述，形成用于通孔 650a 和 650b 的开口。对于一个实施例，之后用化学机械抛光法平面化 ILD 层 680。通孔 650a 用于将跨接 620 连接到金属线 640a，由此将跨接 620 连接到金属线 640a，将跨接 620 连接到包括晶体管 512 和 513 的反相器的输入。通孔 650b 将跨接 620 连接到金属线 640c，由此将跨接 620 连接到包括晶体管 510 和 511 的反相器的输出。

通孔 650a 和 650b 由导电材料例如钨（W）填充。或者另外由一层或多层钛（Ti）或氮化钛（TiN）填充通孔。应该知道其它合适的导电材料例如铝（Al）可以用于填充通孔 650a 和 650b，并且不脱离本发明的范围。

使用如 CVD、蒸发或溅射等的公知金属淀积技术淀积导电材料。对于一个实施例，在进行下面的步骤之前，进行化学机械抛光平面化导电材料。

然后在第二级层间互连材料内形成跨接 620。第二级层间互连材料的形成与第一级层间互连材料类似。对于一个实施例，跨接 620 包括铝（Al）。或者，跨接 620 还包括一层或多层钛（Ti）或氮化钛（TiN）。应该知道，几种公知导电材料中的一种可以用于第二金属互连层，并且不脱离本发明的范围。对于另一实施例，第二金属互连层包括比第一金属互连层更厚的金属层，以便减少第二金属层的电阻。

根据以上介绍的介质淀积方法，在第二金属互连层的顶部上形成

介质层。第三金属互连层可选地淀积在介质的顶部，如图 6 中的接触 660a 和 660b 所示。

图 7 示出了本发明的另一实施例。图 7 为与图 5 的单元 50 类似的六个晶体管 SRAM 单元的布线设计。存储单元 70 与存储单元 50 的不同之处在于跨接 720 在第一金属互连层内实现，跨接 721 由两个互连实现，第一互连包括栅层，第二互连包括局部的互连层。跨接 721 的互连 721a 将包括晶体管 712 和 713 的反相器的输出连接到跨接 721 的互连 721b。跨接 721 的互连 721b 完成到包括晶体管 710 和 711 的反相器的输入的连接。

图 8 示出了沿线 730 截取的图 7 的存储单元的截面。衬底 800 和介质层 801 与衬底 600 和介质层 601 类似，由此可以由上述参考图 6 详细介绍的方法形成。

跨接 820 包括第一金属互连层。跨接 821 包括两个互连 821a 和 821b。互连 821a 包括局部互连层，下面将进一步详细介绍。互连 821b 由栅层形成，与图 6 的跨接 621 类似。由此根据以上参考图 6 的跨接 621 介绍的方法实现互连 821b。

互连 821a 在局部互连层内实现。局部互连层包括直接位于如互连 721b 等栅层顶部的导电材料，以及同样在如晶体管 713 和 712 的源和漏等扩散区顶部的导电材料。对于一个实施例，局部互连层包括钛 (Ti)。或者，局部互连层包括氮化钛 (TiN) 或钨 (W)。局部互连层可以包括许多适于器件互连的公知的导电材料中的一种。根据如 CVD、蒸发或溅射等的公知淀积方法淀积导电材料形成局部互连层。然后构图 (即，用光刻胶和以上介绍的腐蚀步骤) 导电材料产生互连 821b。

互连 822 由栅材料形成，用于连接晶体管 713 和 714 的栅。对于一实施例，互连 822 包括多晶硅，并根据结合图 6 的跨接 621 和互连 622 介绍的方法形成。

介质材料层淀积在跨接 821a、821b 和 822 的顶部。此后形成接触 830a 将跨接 820 连接到包括晶体管 712 和 713 的反相器的输入。

跨接 820 包括以上参考图 6 的第一金属互连层介绍的方法淀积和腐蚀的第一金属互连层。跨接 820 将包括晶体管 712 和 713 的反相器的输入连接到包括晶体管 710 和 711 的反相器的输出。

另一介质层淀积在跨接 820 的顶部，此后形成第二层间金属互连

层（未显示）。之后介质层和金属层可以根据需要交替。如图 8 所示，两个互连 860a 和 860b 包括用于连接其它电路的第三金属互连（未显示）。

在以上详细的说明中，介绍了垂直层叠跨接的存储单元设计。现已参考具体的材料、制备方法和布线设计选择介绍的本发明的存储设计。然而，应该理解可以对其进行不同的修改和变型且不脱离本发明的范围。

例如，在第一金属互连层中实现一个跨接，在第二金属互连层中实现另一个。形成存储单元中使用的特定制备工艺将影响许多设计选择。因此，说明书和附图应为说明性的而非限制性的。

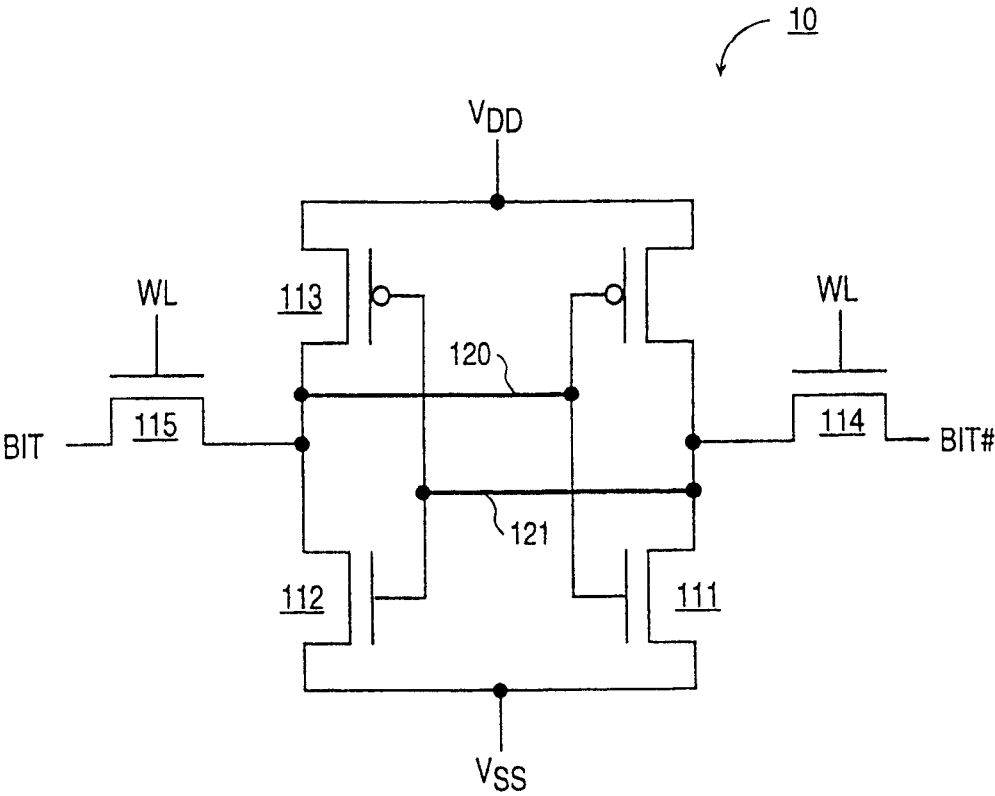


图 1

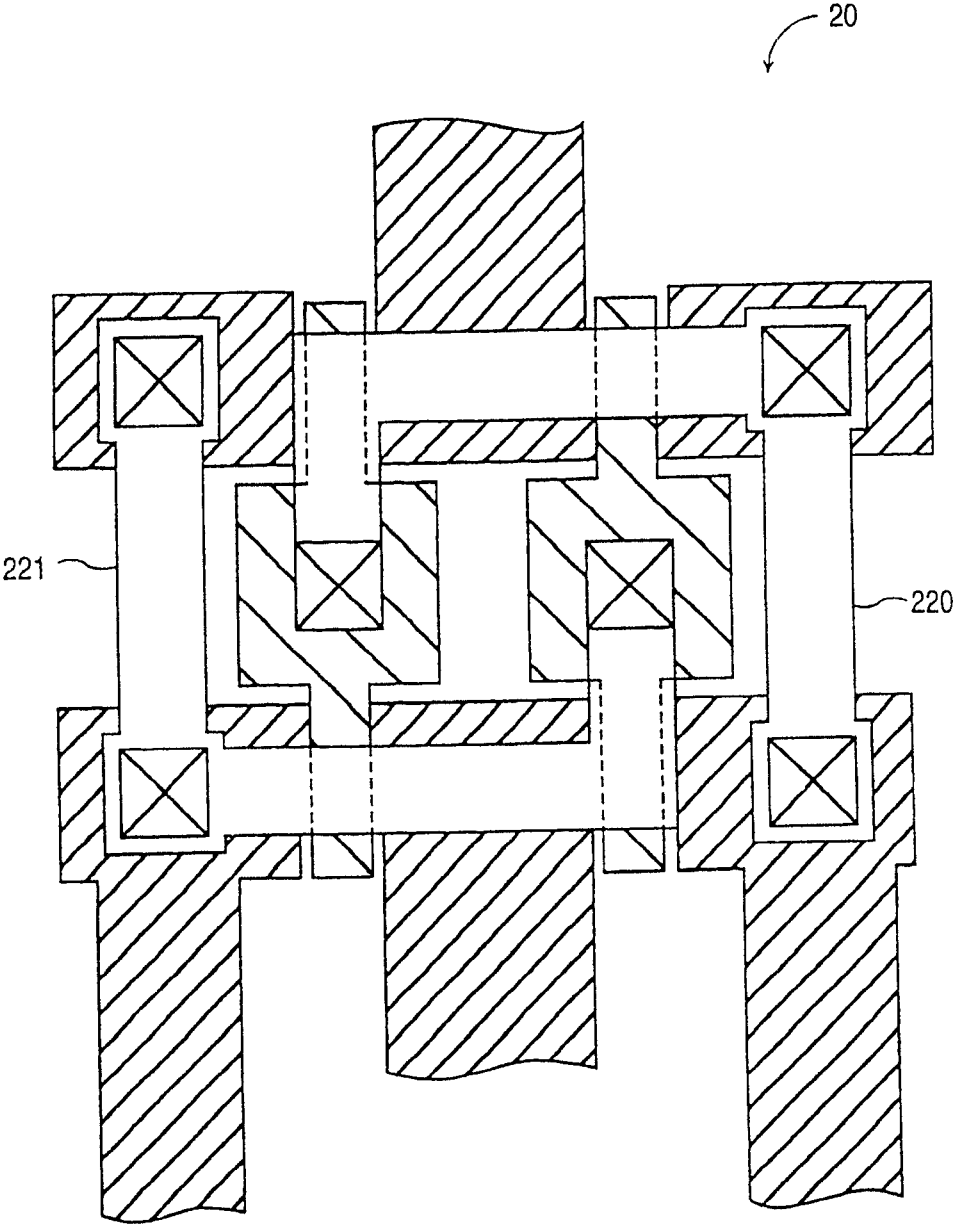


图 2
现有技术

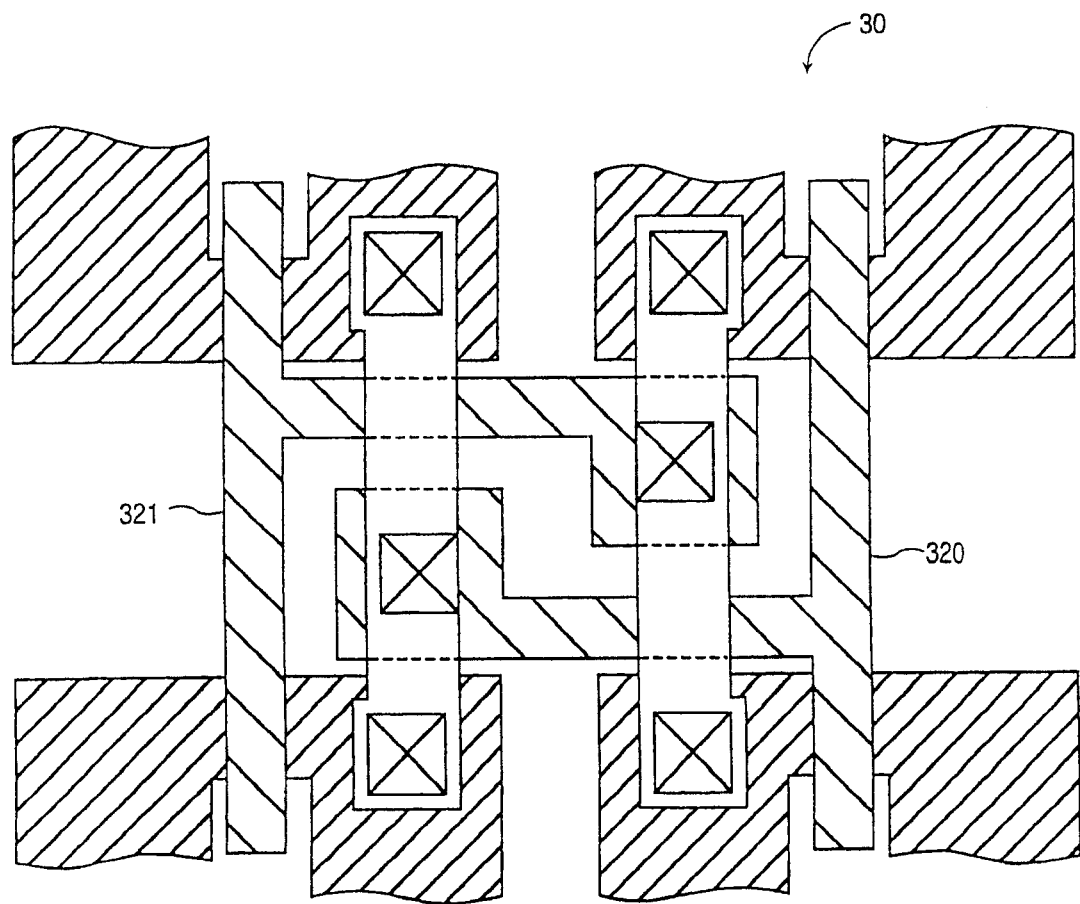


图 3
现有技术

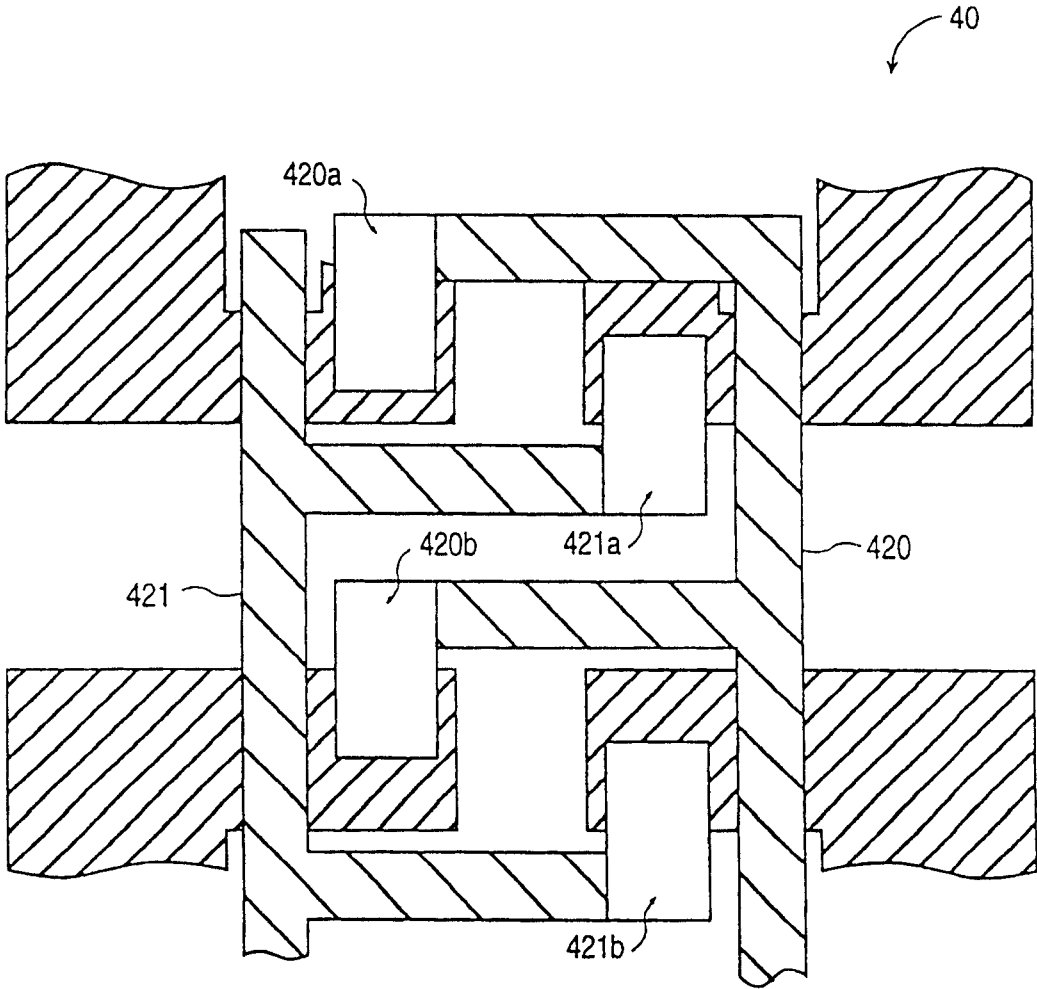


图 4
现有技术

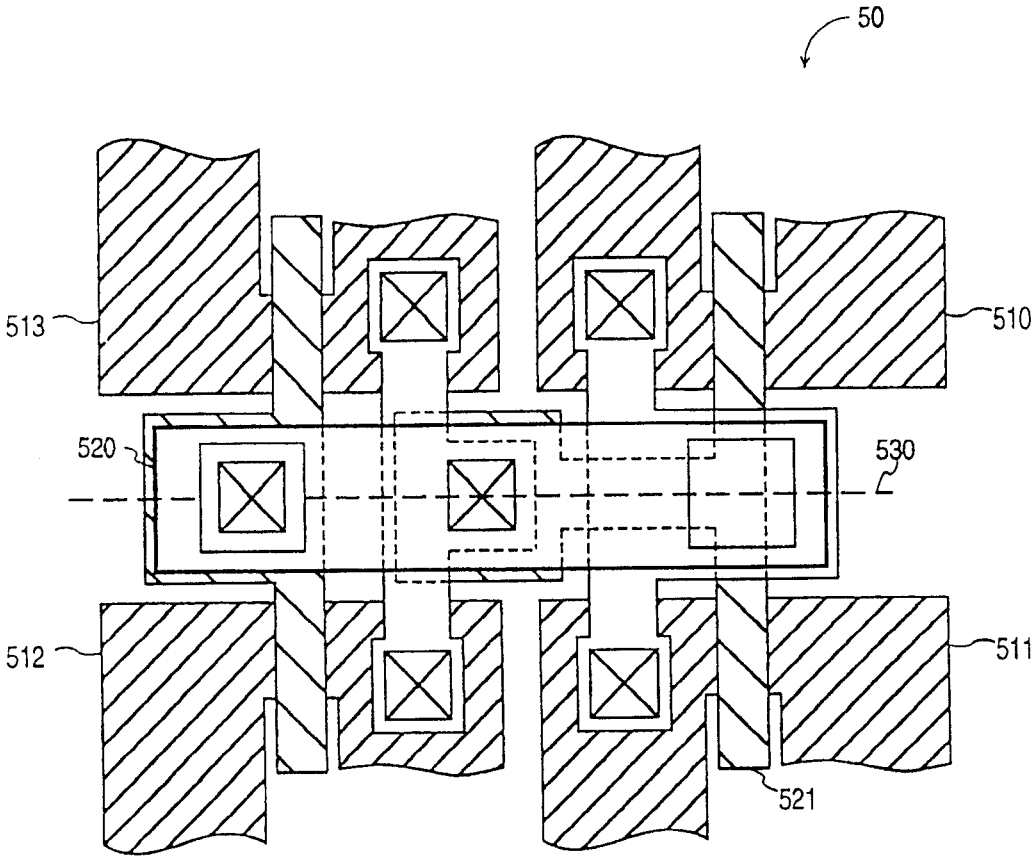


图 5

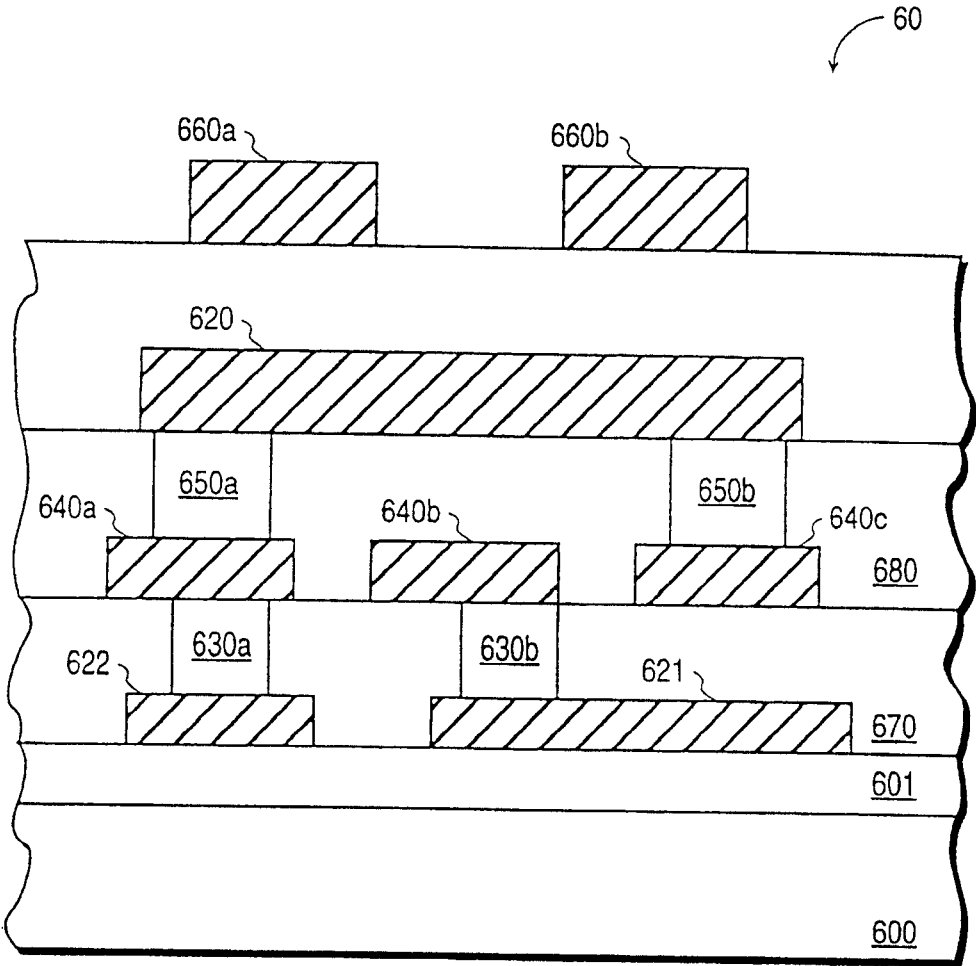


图 6

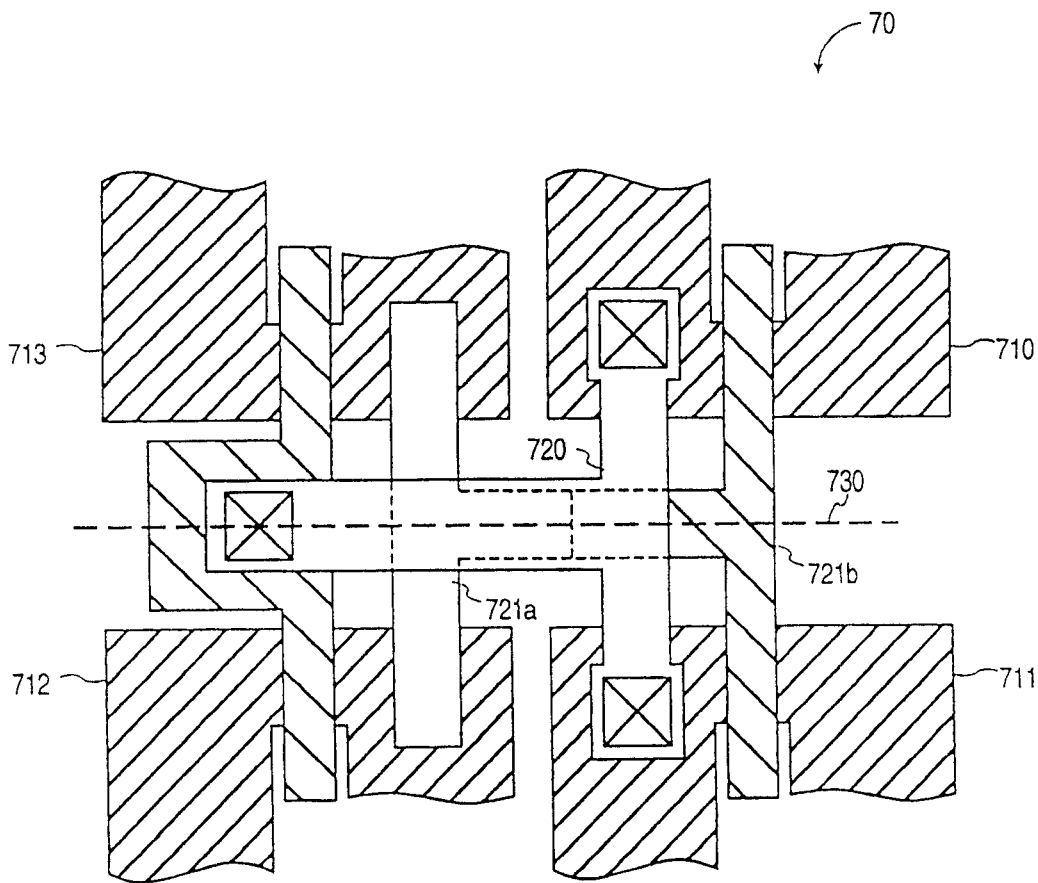


图 7

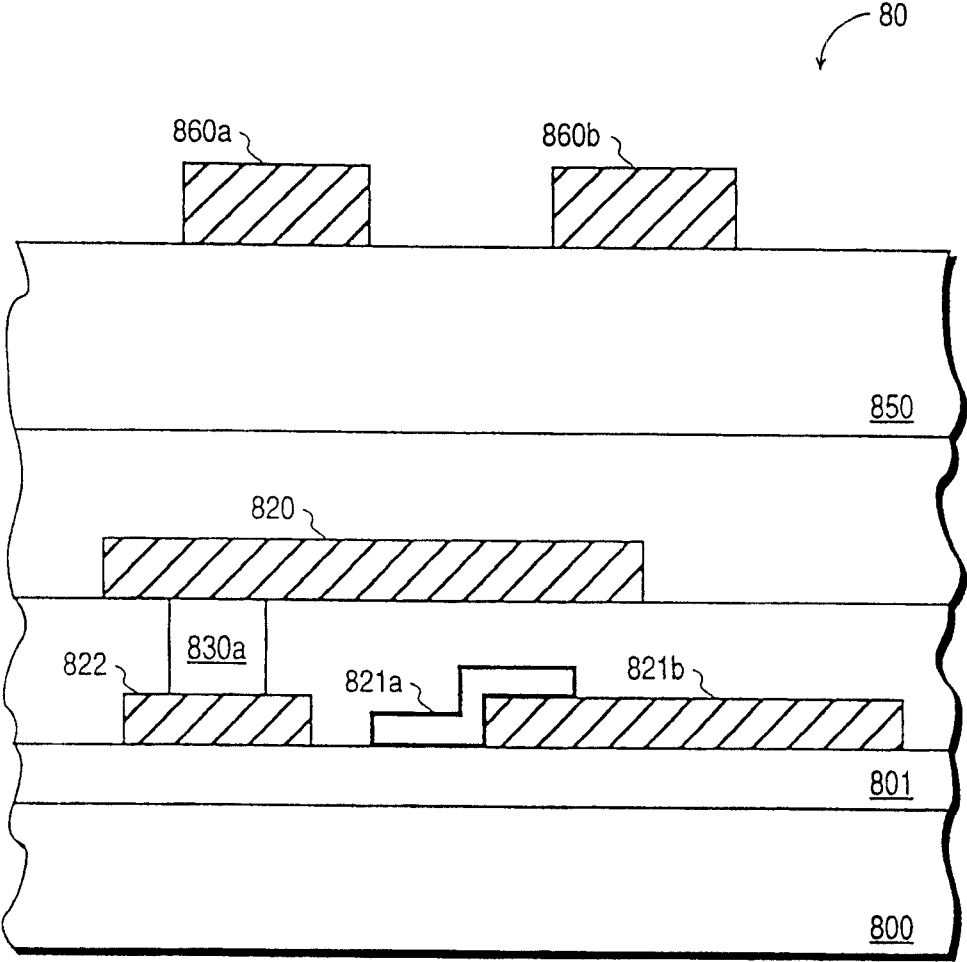


图 8