

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5501463号
(P5501463)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.

F I

H O 1 L 29/66 (2006.01)

H O 1 L 29/66 T

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 2 2

B 8 2 Y 30/00 (2011.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/06 (2006.01)

H O 1 L 29/78 6 2 6 Z

B 8 2 Y 30/00

請求項の数 9 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2012-526177 (P2012-526177)
 (86) (22) 出願日 平成22年8月30日(2010.8.30)
 (65) 公表番号 特表2013-503471 (P2013-503471A)
 (43) 公表日 平成25年1月31日(2013.1.31)
 (86) 国際出願番号 PCT/IB2010/053884
 (87) 国際公開番号 W02011/024152
 (87) 国際公開日 平成23年3月3日(2011.3.3)
 審査請求日 平成25年5月9日(2013.5.9)
 (31) 優先権主張番号 12/550,857
 (32) 優先日 平成21年8月31日(2009.8.31)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 トンネル電界効果デバイス

(57) 【特許請求の範囲】

【請求項 1】

トンネル電界効果トランジスタ(T F E T)構造用の間接誘導トンネル・エミッタであって、

第1の半導体材料から形成された細長いコア・エレメントと、

前記コア・エレメントを少なくとも部分的に取り囲み、前記T F E T構造のソース領域に対応する位置に配置された外装と、

前記外装と前記コア・エレメントとの間に配置された絶縁体層と、

前記外装を前記コア・エレメントにショートさせるソース接点と、を含み、

ON状態中に前記T F E T構造の前記ソース領域から前記コア・エレメントのチャンネル領域内にトンネリングするために十分なキャリア濃度を前記コア・エレメントの前記ソース領域に導入するように、前記外装が第3の半導体材料から形成された半導体外装を含み、前記半導体外装が前記コア・エレメントより高い濃度でドーピングされ、

前記絶縁体層が前記第1の半導体材料より広いバンドギャップを有する第2の半導体材料から形成され、

前記ソース接点が、前記コア・エレメントより高い濃度でドーピングされる第4の半導体材料から形成され、

前記第1の半導体材料のバンドエッジ・エネルギーが、前記第2の半導体のバンドエッジ・エネルギーより大きく、前記第3の半導体材料のバンドエッジ・エネルギーより大きく、

10

20

前記第 3 の半導体材料のフェルミ・エネルギーが、前記第 1 の半導体材料のフェルミ・エネルギーより高い、T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 2】

前記コア・エレメントが、ナノワイヤ、フィン構造、およびカーボン・ナノチューブのうちの 1 つまたは複数を含む、請求項 1 記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 3】

前記第 1、第 2、第 3、および第 4 の半導体材料が、それらの間の界面にヘテロ接合を形成するエピタキシャル成長半導体を含む、請求項 1 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

10

【請求項 4】

前記第 1、第 3、および第 4 の半導体材料が同じ材料である、請求項 3 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 5】

前記第 1、第 2、および第 3 の半導体が単結晶構造を有する、請求項 4 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 6】

前記外装が金属材料を含む、請求項 1 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 7】

20

前記外装が金属材料で覆われる、請求項 1 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 8】

前記第 1 の半導体材料が $\text{InAs}_{0.8}\text{P}_{0.2}$ を含み、前記第 2 の半導体材料が InP を含み、前記第 3 および第 4 の半導体材料が InAs を含む、請求項 1 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【請求項 9】

前記第 1、第 2、第 3、および第 4 の半導体材料の長さが 10 ナノメートルから 100 ナノメートルである、請求項 1 に記載の T F E T 構造用の間接誘導トンネル・エミッタ。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、一般に、半導体デバイス構造に関し、詳細には、トンネル電界効果トランジスタ (T F E T : tunnel field effect transistor) デバイス用の間接誘導トンネル・エミッタ (indirectly induced tunnel emitter) に関する。

【背景技術】

【0002】

超小型電子デバイスは、典型的に、集積回路として半導体基板上に形成され、そのコア・エレメントの 1 つとして相補型金属酸化膜半導体 (C M O S) 電界効果トランジスタを含む。集積回路のパフォーマンスおよび実装密度を絶えず向上させるために、何年もの間、C M O S トランジスタの寸法および動作電圧は継続的に低減または縮小されている。

40

【0003】

しかし、C M O S トランジスタの縮小の結果発生する問題の 1 つは、デバイス全体の電力消費量が増加し続けることである。これは、一部分は、漏れ電流が (たとえば、短チャネル効果により) 増加しているためであり、また、供給電圧を低減し続けることが困難になっているためでもある。さらに、後者の問題は、主に、逆サブスレッショルド勾配 (inverse subthreshold slope) が (最小限に) 約 60 ミリボルト (m V) / ディケード (decade) に限定され、トランジスタを O F F 状態から O N 状態に切り替えるには特定の電圧変動を必要とし、したがって、最小限の供給電圧を必要とすることによる。

【発明の概要】

50

【発明が解決しようとする課題】

【0004】

したがって、短チャネル効果がないため、ならびに、サブスレッショルド勾配が従来の金属酸化膜半導体電界効果トランジスタ(MOSFET)の物理的限界である60mV/ディケード未満にすることができ、その結果、潜在的により低い供給電圧を使用できるために、トンネル電界効果トランジスタ(TFET)はMOSFETの「後継者」として推奨されてきた。一方、TFETは典型的にON電流が低く、これがトンネル障壁の大きい抵抗に関連する欠点になっている。

【課題を解決するための手段】

【0005】

10

典型的な一実施形態では、トンネル電界効果トランジスタ(TFET)構造用の間接誘導トンネル・エミッタは、第1の半導体材料から形成された細長いコア・エレメントを少なくとも部分的に取り囲み、TFET構造のソース領域に対応する位置に配置された外装と、外装とコア・エレメントとの間に配置された絶縁体層と、外装をコア・エレメントにショートさせるソース接点とを含み、ON状態中にTFET構造のチャネル領域内にトンネリングするために十分なキャリア濃度をコア・エレメントのソース領域に導入するように外装が構成される。

【0006】

他の実施形態では、トンネル電界効果トランジスタ(TFET)構造用の間接誘導トンネル・エミッタを形成する方法は、第1の半導体材料から細長いコア・エレメントを形成することと、コア・エレメントを少なくとも部分的に取り囲む絶縁体層を形成することと、TFET構造のソース領域に対応する位置で絶縁体層を少なくとも部分的に取り囲む外装を形成することと、外装をコア・エレメントにショートさせるソース接点を形成することを含み、ON状態中にTFET構造のチャネル領域内にトンネリングするために十分なキャリア濃度をコア・エレメントのソース領域に導入するように外装が構成される。

20

【0007】

典型的な図面を参照すると、同様の要素には複数の図において同様の番号が付けられている。

【図面の簡単な説明】

【0008】

30

【図1】TFETのP/N接合における電子トンネル効果を示すバンド図である。

【図2】「ON」状態にあるスタガー・バンド・ヘテロ接合(staggered band heterojunction)を有するTFETデバイスのバンド図である。

【図3】「OFF」状態にあるスタガー・バンド・ヘテロ接合を有するTFETデバイスのバンド図である。

【図4】薄い絶縁体層によってナノワイヤから分離された周囲の金属被覆によってナノワイヤ内に正孔が誘導されたTFETデバイスのソース領域の切取断面図である。

【図5】本発明の典型的な一実施形態により、間接誘導トンネル・エミッタ(IITE)を有するTFET構造の側部断面図である。

【図6】図5の線b-bに沿って取られたIITEの端部断面図である。

40

【図7】図5および図6に示されている典型的なnチャネルTFETの価電子帯を示す部分バンド図である。

【図8】(a)図5のTFET構造の他の側部断面図、および、(b)その構造に対応するバンド図である。

【図9】バンドが伝導帯規約に対応し、図7に対して逆になっている、ヘテロ接合トンネル・エミッタの汎用バンド図である。

【発明を実施するための形態】

【0009】

上記で示した通り、近年、TFETは、低電力エレクトロニクスに使用される可能性のある候補として多大な関心を引き起こしてきた。典型的に、たとえば、nチャネルTFE

50

Tでは、デバイスのソース領域内の価電子帯の最上部からデバイスのチャネル内の伝導帯の底部に電子が注入される。図1は、単純なP/N接合についてこのプロセスを示すバンド図であり、「P」側はソース領域を表し、「N」側はTFETのチャネルを表す。「ON」状態（バンドを示す黒の曲線によって示されているもの）では、電子はソース内の価電子帯からチャネル内の伝導帯にトンネリングすることができる。増加する負のゲート電圧を「部分的にON」状態に適用すると、トンネリング距離が増加し（長い破線の曲線によって示されている）、最終的にこれらのバンドは非交差状態になり（短い破線の曲線によって示されている）、電流を遮断する。

【0010】

TFETデバイス用の接合配置の1つのタイプは、図2および図3のバンド図に示されているスタガー・バンド・ヘテロ接合の整列として知られるものである。この配置では、ソースおよびチャネル領域内のエネルギー帯は、図2の「ON」状態から、縦方向の電界がかなり小さい図3の「OFF」状態への切り替えを可能にするために、相互にオフセットされている。

【0011】

TFET使用の主要目的は、従来のFETよりかなり小さい電圧範囲について「ON」から「OFF」への切り替えを達成することである。これが実現される理由は、NFET内で使用される従来のn型ソースがp型トンネル・ソース（本明細書では「エミッタ」ともいう）で置き換えられ、価電子帯の最上部がn型ソース内に存在するフェルミ関数（Fermi function）のサーマル・テール（thermal tail）を切り離し、室温で60 mV / decより小さい逆サブスレッショルド傾斜Sを可能にすることであり、ここで $S = [d(\log_{10} I_D) / dV_G]^{-1}$ であり、 I_D はドレイン電流であり、 V_G はゲート電圧である。

【0012】

これに対して、図2および図3のバンド図は、Sを増加し、TFETのパフォーマンスを劣化させる働きをする、いくつかの要因も示している。たとえば、図2に描写されている「ON」状態では、ソースにおける縮退（図2の領域（a））によってトンネリングに使用可能な状態が低減され、それにより、「ON」電流が低減される。加えて、バンドの曲がり（図2の領域（b））によってTFETをONにするために必要なゲート電圧が増加する。図3に描写されている「OFF」状態では、バンドの曲がり（図3の領域（c）および（d））によってTFETをOFFにするために必要な電圧の揺れが増加し、価電子帯および伝導帯内にポテンシャル井戸が残る。ここで、サーマル・テールは、井戸からのトンネリング時の60 mV / デイケードの傾斜への逆戻り、多重フォノン・プロセスによる帯間移転（図3の領域（e））、またはギャップ状態によるトンネリングを介する帯間移転（図3の領域（f））を引き起こす可能性がある。

【0013】

ソース内に高濃度のドーパントが存在することによってこのようなバンドの曲がり低減できる可能性はあるが、結果的にドーピングによって引き起こされる障害によってギャップ状態を誘導する可能性があり、次に、その高いキャリア濃度によって過剰な縮退が発生する可能性もある。したがって、この問題に対して可能な解決策の1つは、図4に示されているように「静電ドーピング（electrostatic doping）」を使用することである。より具体的には、図4はTFETデバイス400のソース領域の切取断面図であり、この例では、FETのゲート導体およびゲート誘電体層と同様に、薄い絶縁体層406によってナノワイヤ402から分離された周囲の金属被覆404によってナノワイヤ402内に正孔が誘導される。周囲の金属被覆404への近接によってナノワイヤ402内の電界を遮蔽し、その結果、ナノワイヤ自体における高い正孔濃度の必要性が不要になる。ここで、トンネル・インジェクタ（図4には示されていない）から離れたナノワイヤ402の高濃度ドーピングされたセクション408は、TFETへの電気接点を提供する。この解決策は上記で概略を述べた問題のうちのいくつかを解決するが、その他の問題も引き起こす。たとえば、図4のTFET 400は金属被覆404用に個別の電気接点を必要とし、設計

10

20

30

40

50

を複雑にするであろう。加えて、絶縁体とナノワイヤの境界における界面準位 (interface state) は追加のトンネル経路を提供する可能性があり、金属誘導ギャップ状態は被覆 404 がチャネルに近接していることによって誘導される可能性がある。

【0014】

したがって、図5および図6は、それぞれ、本発明の典型的な実施形態により、本明細書で間接誘導トンネル・エミッタ (I I T E) と呼ばれるものを有する T F E T 構造 500 の側部および端部断面図である。図示の通り、I I T E は、第1の半導体材料 (S_1) から形成された細長いコア・エレメント 502 (たとえば、ナノワイヤ) と、ナノワイヤを取り囲み、第1の半導体材料 (S_1) より広いバンドギャップを有する第2の半導体材料 (S_2) から形成された絶縁体層 504 と、絶縁体 504 を取り囲む第3の半導体材料 (S_3) から形成されたドープ半導体外装 506 と、半導体外装 506 をコア・エレメント 502 にショートさせる第4の半導体材料 (S_4) から形成されたソース接点 508 とを含む。

【0015】

典型的な一実施形態では、半導体 $S_1 \sim S_4$ に使用される材料はいずれも、それぞれの界面でヘテロ接合を形成するエピタキシャル成長半導体にすることができるであろう。これにより、図4に示されているような T F E T 構造の問題を表す界面準位を低減または解消できるであろう。外装 506 もドープ半導体 (S_3) であるので、金属誘導ギャップ状態 (M I G S) も解消される。さらに、図5および図6に示されている T F E T 構造は、 S_1 、 S_3 、および S_4 に同じ半導体材料を使用することによって単純化することができる。

【0016】

描写されている典型的な実施形態はコア・エレメント、絶縁体、および外装に関する同心環状構成を示しているが、その他の適切な形状も使用できることが企図されている。たとえば、個々の要素の断面形状は、円形に加え、たとえば、長円形、卵形、正方形、または長方形などのその他の形にすることもできる。さらに、例示されている実施形態は他の層を完全に取り囲む層 (たとえば、コア・エレメント 502 を取り囲む絶縁体層 504) を描写しているが、たとえば、オメガ () 形など、その構造の外層がその構造の内層を部分的に取り囲むことができることも企図されている。

【0017】

細長いコア・エレメント 502 に関しては、ナノワイヤ構造エレメントに加えて、たとえば、半導体フィンまたはカーボン・ナノチューブなどの他の構造からコア・エレメント 502 を形成することもできるであろう。

【0018】

次に、図7を参照すると、環状断面を横切り、図5および図6に示されている典型的な n チャネル T F E T の価電子帯を示す部分バンド図 600 が示されている。図示の通り、 E_{01} および E_{03} は、それぞれ、領域1および3における基底状態サブバンド・エネルギーであり、 V_g はフェルミ・エネルギー (電源電圧) である。 $S_1 \sim S_3$ のバンドギャップは、エミッタ内の伝導帯がその動作時に役割を果たさないように十分広いものであると想定される。これらの層のバンド・アライメントおよび厚さは、 S_1 内の正孔がほとんど縮退しないが、 S_3 がかなり高い正孔濃度を有することを基底状態エネルギー E_{01} および E_{03} が保証するような構成を達成するように調整される。したがって、図4の金属被覆付き T F E T 構造 400 と同じ遮蔽上の利点を得ることができる。

【0019】

上述の通り、 S_1 および S_3 に同じ半導体材料を使用するために、基底状態エネルギーが図7に示すように整列するように、 S_3 の厚さおよび S_1 の直径が注意深く調整される。 S_1 と S_4 および S_3 と S_4 の界面が高濃度ドーピングされた場合、 S_4 の要件を緩和することができ、その場合、他の実施形態では S_4 の代わりに金属を使用することができる。さらに他の実施形態では、遮蔽を改善するために、 S_3 を追加の金属層 (図示せず) で覆うこともできる。また、本明細書に開示されている典型的な I I T E の諸実施形態は

10

20

30

40

50

、すべてのp型半導体をn型半導体で置き換え、図7に示されている通りであるが逆になっている適切な伝導帯の整列を保証することにより、補足的なトンネリング正孔インジェクタにも等しく適用可能であることも理解されたい。

【0020】

要約すると、上述の不利益はIITEの諸実施形態によって対処される。これは図8に概略的に描写されており、図8(a)は図5のTFET構造の他の側部断面図であり、図8(b)は図8(a)の構造に対応するバンド図である。まず第1に、ドープ外層(S_3)は縦方向の遮蔽を提供し、バンドの曲がりを低減する。第2に、 S_3 におけるドーピング誘導状態および縮退条件は S_2 によってインジェクタ・コア(S_1)から分離される。第3に、 S_3 の半導体バンドギャップは金属誘導ギャップ状態を最小限にする。加えて、エピタキシャル適合材料 $S_1 \sim S_3$ は、単結晶構造のために界面準位を解消する。ソース接点層 S_4 は、被覆への余分な外部接触の必要性を解消する。

10

【0021】

最後に、図9は、ヘテロ接合トンネル・エミッタの汎用バンド図800であり、ここで各バンドは伝導帯の慣例(convention)に対応し、図7に対して逆になっている。すなわち、バンド図800は、半径方向に描かれ、伝導帯内の電子に関する慣例どおり、電荷担体のエネルギーは上向きである(図7に示されているように、正孔に関しては下向きである)。

【0022】

以下に示す不等式は、関連のケースの場合に「エネルギー」が電子エネルギーまたは正孔エネルギーのいずれかを指す可能性があることを理解した上で、電子および正孔の両方に適用される。ここで、 E_{b1} 、 E_{b2} 、および E_{b3} はバンドエッジ(伝導帯または価電子帯)エネルギーであり、 E_{01} および E_{03} は量子化されたサブバンドの基底状態エネルギーであり、 E_{F1} および E_{F3} は電子または正孔のフェルミ・エネルギーである。図800はフラットバンド条件で描かれており、適切な電圧が S_1 と S_3 の間に印加され、図7に示されているような電荷そのものによって誘導されたバンドの曲がりは無視されるものと想定している。動作時に、 S_1 は S_4 によって S_3 にショートし、したがって、フェルミ準位 E_{F1} および E_{F3} は等化する。 S_1 、 S_2 、および S_3 に関する条件を明確にして上記の典型的な実施形態(複数も可)の運用性を容易にするために、これらの単純化および近似が示されている。真空準位 E_{VAC} を基準として使用して、以下の条件が本明細書の諸実施形態に適用される。

20

1. S_2 のバンドエッジ・エネルギー(E_{b2})は S_1 および S_3 のバンドエッジ・エネルギー(E_{b1} および E_{b3})より大きく、すなわち、 S_2 と S_3 および S_1 と S_3 の間のバンド不連続は正である。

2. S_3 内のフェルミ・エネルギー(E_{F3})は S_1 内のフェルミ・エネルギー(E_{F1})より高い。これにより電荷は S_3 から S_1 に流れることができ、この条件は以下の式で表すことができる。

$$(E_{F3} - E_{03}) + (E_{03} - E_{b3}) - E_{b23} > (E_{F1} - E_{01}) + (E_{01} - E_{b1}) - E_{b21} \quad (\text{式1})$$

3. E_{b3} および E_{b1} の所与のバンド・アライメントならびに所与の基底状態エネルギー E_{01} および E_{03} の場合、条件2を満足するために、 S_1 内のドーピングは、 E_{F3} を E_{F1} より高くするのに十分な大きさでなければならない。

40

4. E_{b3} および E_{b1} の所与のバンド・アライメントならびに S_3 内の所与のドーピングの場合、条件2を満足するために、半径 r_1 は E_{01} を低減させるのに十分な大きさでなければならない、半径の差 $r_3 - r_2$ は E_{03} を増加するのに十分な小ささでなければならない。

5. 半径 r_1 および r_2 ならびに S_3 内の所与のドーピングの場合、条件2を満足するために、バンドエッジ・エネルギー E_{b3} は E_{b1} より十分大きくなければならず、 E_{b1} が E_{b3} より大きいときにはその差が十分に小さくなければならない。 S_4 に関する条件(図8)は重大なものではない。 S_4 は、 S_1 および S_3 の両方との良好なオーム接点を

50

保証するために十分高濃度のドーピングまたは十分小さいバンドギャップを備えていなければならない。また、 S_1 および S_3 は、オーム接点を保証するために S_4 に隣接してドーピングすることもできる。この場合、 S_4 は金属にすることができる。

【0023】

典型的な一実施形態では、選択された適切な半導体材料は次の通りである。すなわち、 S_1 には $\text{InAs}_{0.8}\text{P}_{0.2}$ 、 S_2 には InP 、 S_3 および S_4 には InAs である。 S_1 、 S_2 、および S_3 の半径は、それぞれ、30、40、および50 nm である。 S_1 および S_4 は 10^{19} 原子数 / cm^3 の濃度までシリコンがドーピングされ、 S_4 を介して S_3 から S_1 への良好なオーム接点を保証し、上記の式 1 が満足される。その式は以下のようになる。

$$(E_{F3} + 0.033) + (-0.033 + 0.173) - 0.6533 > (E_{F1} + 0.044) + (-0.044 + 0.0744) - 0.5544 \quad (\text{式 2})$$

【0024】

次にこの式は以下のように縮小される。

$$E_{F3} > E_{F1} + 0.0003 \text{ eV} \quad (\text{式 3})$$

【0025】

したがって、式の各項について選択されたシステム・パラメータを代入すると、その結果、 $E_{F3} > E_{F1} + 0.0003 \text{ eV}$ という条件になり、これは S_3 内の選択されたドーピング・レベルで満足される。もう一度、図 8 を参照すると、 S_1 、 S_2 、 S_3 、および S_4 の長さは重大なものではないが、図 9 に示されているバンドの曲がりを実現するために約 10 nm より長くなければならず、直列抵抗を最小限にするために約 100 nm より短くなければならない。

【0026】

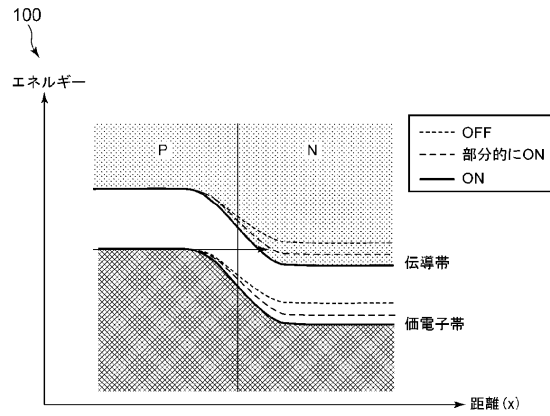
1 つまたは複数の好ましい実施形態に関連して本発明を説明してきたが、当業者であれば、本発明の範囲を逸脱せずに、様々な変更を行うことができ、その諸要素の代わりに同等のものを使用できることを理解するであろう。加えて、本発明の本質的な範囲を逸脱せずに、特定の状況または材料を本発明の教示に適合させるように多くの変更を行うことができる。したがって、本発明は本発明を実行するために企図された最良の態様として開示された特定の実施形態に限定されず、本発明は特許請求の範囲内に入るすべての実施形態を含むことが意図されている。

10

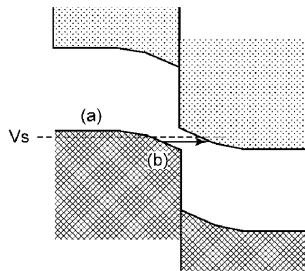
20

30

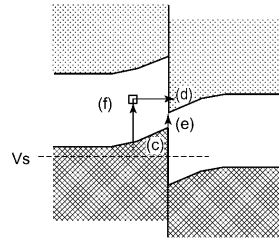
【図 1】



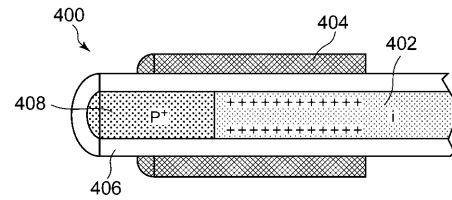
【図 2】



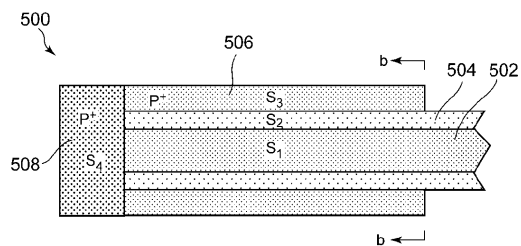
【図 3】



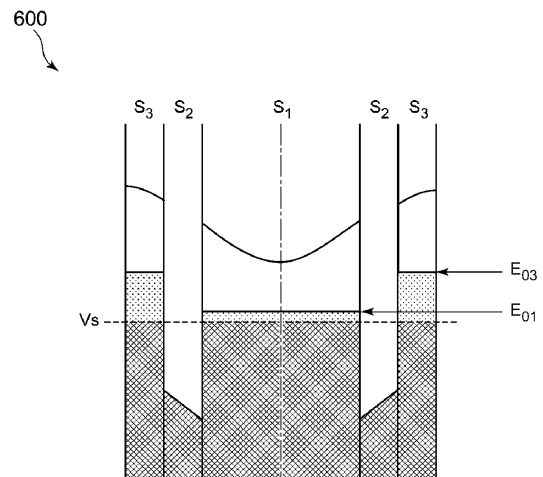
【図 4】



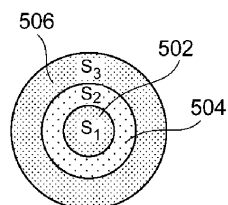
【図 5】



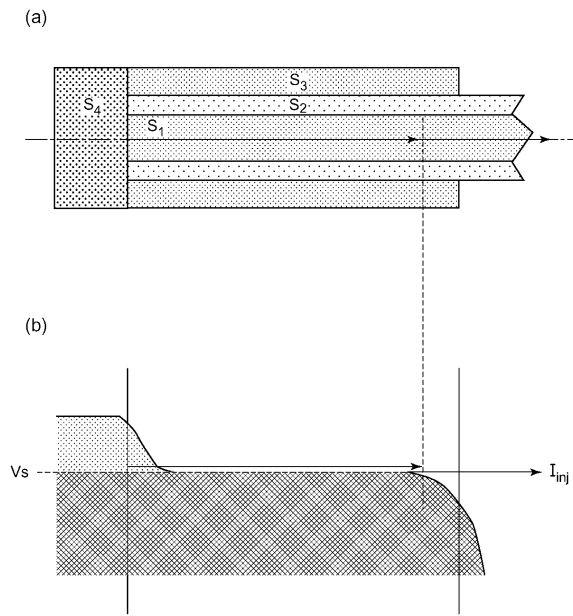
【図 7】



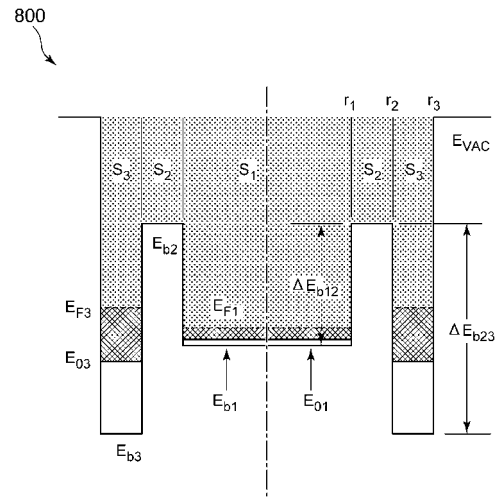
【図 6】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/06 6 0 1 L

(72)発明者 ビョーク・ミカエル・ティー

スイス国シーエイチ - 8 8 0 3 ルシュリコン ゾウマーシュトラッセ 4

(72)発明者 カーグ・シェグフライド・エフ

スイス国シーエイチ - 8 8 0 3 ルシュリコン ゾウマーシュトラッセ 4

(72)発明者 ノック・ホアキム

ドイツ連邦共和国 カストロプ - ローセル 4 4 5 7 7 アム・シュタインホフ 5 3

(72)発明者 リエル・ハイク・イー

スイス国シーエイチ - 8 8 0 3 ルシュリコン ゾウマーシュトラッセ 4

(72)発明者 リエス・ウォルター・エイチ

スイス国シーエイチ - 8 8 0 3 ルシュリコン ゾウマーシュトラッセ 4

(72)発明者 ソロモン・ポール・エム

アメリカ合衆国 1 0 5 9 8 ニューヨーク州ヨークタウン・ハイツ キチャワン・ロード 1 1 0

1

審査官 小田 浩

(58)調査した分野(Int.Cl. , D B名)

H 0 1 L 2 9 / 6 6

B 8 2 Y 3 0 / 0 0

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 8 6