



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월20일  
(11) 등록번호 10-0840282  
(24) 등록일자 2008년06월16일

(51) Int. Cl.  
H01L 27/04 (2006.01) H01L 29/78 (2006.01)  
(21) 출원번호 10-2006-0138404 (분할)  
(22) 출원일자 2006년12월29일  
심사청구일자 2006년12월29일  
(65) 공개번호 10-2007-0008498  
(43) 공개일자 2007년01월17일  
(62) 원출원 특허 10-2000-0053073  
원출원일자 2000년09월07일  
심사청구일자 2005년09월05일  
(30) 우선권주장 JP-P-1999-00259460 1999년09월13일 일본(JP)  
(56) 선행기술조사문헌 JP06350035 A JP11008352 A

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼  
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고  
(72) 발명자 스즈키 카즈히사  
일본국 도쿄도 치요다쿠 마루노우치 1초메 5-1 뉴 마루노우치빌딩가부시키가이샤 히타치세이사쿠쇼 소유켄훈부나이  
타카하시 토시로  
일본국 도쿄도 치요다쿠 마루노우치 1초메 5-1 뉴 마루노우치빌딩가부시키가이샤 히타치세이사쿠쇼 소유켄훈부나이  
(뒷면에 계속)  
(74) 대리인 이중일

전체 청구항 수 : 총 37 항

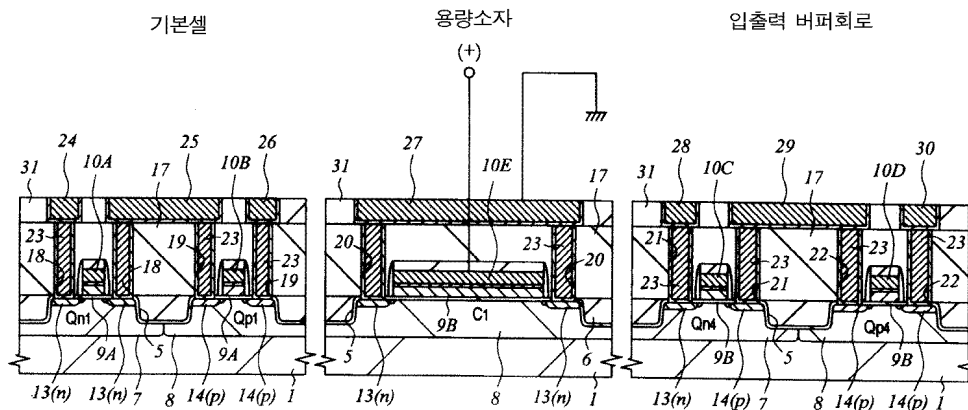
심사관 : 박혜련

(54) 반도체 집적회로장치의 제조방법

(57) 요약

본 발명은, 반도체 집적회로장치 및 그 제조방법에 관한 것으로서, 논리부의 MISFET 보다도 두꺼운 게이트 산화막(9B)을 가지는 p채널형 MISFET의 축적영역을 이용하여 용량소자(C<sub>1</sub>)를 형성하고, 상기 용량소자(C<sub>1</sub>)는, 낮은 전원전압에서도 안정하게 동작할 수 있도록 게이트전극(10E)의 일부를 구성하는 다결정 실리콘막에 n형 불순물이 도프되어짐으로써, 제조공정을 늘리지 않고도 낮은 누설전류의 용량소자를 형성할 수 있는 기술이 제시된다.

대표도



(72) 발명자

**야나기사와 야스노부**

일본국 도쿄도 치요다쿠 마루노우치 1초메 5-1 뉴  
마루노우치빌딩가부시키키가이샤 히타치세이사쿠쇼  
유켄혼부나이

**노나카 유스케**

일본국 도쿄도 치요다쿠 마루노우치 1초메 5-1 뉴  
마루노우치빌딩가부시키키가이샤 히타치세이사쿠쇼  
유켄혼부나이

---

**특허청구의 범위**

**청구항 1**

반도체 기판의 제1 MISFET 형성 영역, 제2 MISFET 형성 영역 및 용량 소자 형성 영역에, 각각 제1 MISFET, 제2 MISFET 및 용량 소자를 구비하는 반도체 집적회로 장치의 제조 방법으로서,

- (a) 상기 제1 MISFET 형성 영역의 상기 반도체 기판에 제1 웰을 형성하는 공정,
- (b) 상기 제2 MISFET 형성 영역의 상기 반도체 기판에 제2 웰을 형성하는 공정,
- (c) 상기 용량 소자 형성 영역의 상기 반도체 기판에 제3 웰을 형성하는 공정,
- (d) 상기 제1 웰상에 제1 게이트 절연막을 형성하는 공정,
- (e) 상기 제2 및 제3 웰상에 상기 제1 게이트 절연막보다 막두께가 두꺼운 제2 게이트 절연막을 형성하는 공정,
- (f) 상기 제1 MISFET 형성 영역의 상기 제1 게이트 절연막상에 제1 게이트 전극을 형성하는 공정,
- (g) 상기 제2 MISFET 형성 영역의 상기 제2 게이트 절연막상에 제2 게이트 전극을 형성하는 공정,
- (h) 상기 용량 소자 형성 영역의 상기 제2 게이트 절연막상에 제3 게이트 전극을 형성하는 공정을 갖고,

상기 제3 웰은, 상기 용량 소자의 2개의 전극 중 한쪽의 전극으로서 작용하고,

상기 제3 게이트 전극은, 상기 용량 소자의 다른 쪽의 전극으로서 작용하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 2**

청구항 1에 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1 및 제2 웰은 각각 제1 및 제2 반도체 영역이 형성되어 있고,

상기 제1 및 제2 반도체 영역은, 각각 상기 제1 및 제2 MISFET의 소스·드레인 영역의 일부를 구성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 3**

청구항 1 기재의 반도체 집적회로 장치의 제조 방법은 또한,

상기 제1, 제2 및 제3 게이트 전극은 실리사이드막을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 4**

청구항 1 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기(b) 공정 및 상기(c) 공정은 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 5**

청구항 4 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기(a) 공정, 상기(b) 공정 및 상기(c) 공정은, 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 6**

청구항 1 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막은, 산화 실리콘막으로 형성하는 것을 특징으로 하는

반도체 집적회로 장치의 제조 방법.

**청구항 7**

청구항 6 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막을 형성할 때에는, 질화 처리가 실시되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 8**

청구항 1 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1 게이트 절연막의 막두께는 3 nm이하인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 9**

반도체 기판의 제1 MISFET 형성 영역, 제2 MISFET 형성 영역 및 용량 소자 형성 영역에 각각, 제1 MISFET, 제2 MISFET 및 용량 소자를 구비하는 반도체 집적회로 장치의 제조 방법으로서,

- (a) 상기 제1 MISFET 형성 영역의 상기 반도체 기판에 제1 도전형의 제1 웰을 형성하는 공정,
  - (b) 상기 제2 MISFET 형성 영역의 상기 반도체 기판에 상기 제1 도전형의 제2 웰을 형성하는 공정,
  - (c) 상기 용량 소자 형성 영역의 상기 반도체 기판에 상기 제1 도전형의 제3 웰을 형성하는 공정,
  - (d) 상기 제1 웰상에 제1 게이트 절연막을 형성하는 공정,
  - (e) 상기 제2 및 제3 웰상에, 상기 제1 게이트 절연막보다 막두께가 두꺼운 제2 게이트 절연막을 형성하는 공정,
  - (f) 상기 제1 MISFET 형성 영역의 상기 제1 게이트 절연막상에, 상기 제1 도전형과는 반대의 도전형인 제2 도전형의 제1 게이트 전극을 형성하는 공정,
  - (g) 상기 제2 MISFET 형성 영역의 상기 제2 게이트 절연막상에, 상기 제2 도전형의 제2 게이트 전극을 형성하는 공정,
  - (h) 상기 용량 소자 형성 영역의 상기 제2 게이트 절연막상에, 상기 제1 도전형의 제3 게이트 전극을 형성하는 공정을 갖고,
- 상기 제3 웰은, 상기 용량 소자의 2개의 전극 중 한쪽의 전극으로서 작용하고,
- 상기 제3 게이트 전극은 상기 용량 소자의 다른 쪽의 전극으로서 작용하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 10**

청구항 9 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

- (i) 상기 (f), (g) 및 (h) 공정 후에 상기 제1 웰에 상기 제2 도전형의 제1 반도체 영역을 형성하는 공정,
  - (j) 상기 (f), (g) 및 (h) 공정 후에 상기 제2 웰에 상기 제2 도전형의 제2 반도체 영역을 형성하는 공정을 갖고,
- 상기 제1 및 제2 반도체 영역은, 각각 상기 제1 및 제2 MISFET의 소스·드레인 영역의 일부를 구성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 11**

청구항 9 기재의 반도체 집적회로 장치의 제조 방법은 또한,

상기 제1, 제2 및 제3 게이트 전극은 실리사이드막을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 12**

청구항 9 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제1 도전형은 n형이고,  
 상기 제2 도전형은 p형인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 13**

청구항 9 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기(b) 공정 및 상기(c) 공정은, 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 14**

청구항 13 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기(a) 공정, 상기(b) 공정 및 상기(c) 공정은, 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 15**

청구항 9 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막은 산화 실리콘막으로 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 16**

청구항 15 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막을 형성할 때에는, 질화 처리가 실시되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 17**

청구항 9 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제1 게이트 절연막의 막두께는 3 nm이하인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 18**

반도체 기관의 제1 MISFET 형성 영역, 제2 MISFET 형성 영역, 제3 MISFET 형성 영역 및 용량 소자 형성 영역에 각각 제1 MISFET, 제2 MISFET, 제3 MISFET 및 용량 소자를 구비하는 반도체 집적회로 장치의 제조 방법으로서,  
 (a) 상기 제1 MISFET 형성 영역의 상기 반도체 기관에 제1 도전형의 제1 웰을 형성하는 공정,  
 (b) 상기 제2 MISFET 형성 영역의 상기 반도체 기관에 상기 제1 도전형의 제2 웰을 형성하는 공정,  
 (c) 상기 용량 소자 형성 영역의 상기 반도체 기관에 상기 제1 도전형의 제3 웰을 형성하는 공정,  
 (d) 상기 제3 MISFET 형성 영역의 상기 반도체 기관에 상기 제1 도전형과는 반대의 도전형인 제2 도전형의 제4 웰을 형성하는 공정,  
 (e) 상기 제1 웰상에 제1 게이트 절연막을 형성하는 공정,  
 (f) 상기 제2, 제3 및 제4 웰상에, 상기 제1 게이트 절연막보다 막두께가 두꺼운 제2 게이트 절연막을 형성하는 공정,  
 (g) 상기 제1 게이트 절연막상 및 상기 제2 게이트 절연막상에 다결정 실리콘막을 형성하는 공정,  
 (h) 상기 다결정 실리콘막에 선택적으로 이온 주입한 후에, 상기 다결정 실리콘막을 선택적으로 패터닝 하는 것으로, 상기 제1 MISFET 형성 영역의 상기 제1 게이트 절연막상에 상기 제2 도전형의 제1 게이트 전극을 형성하

고, 상기 제2 MISFET 형성 영역의 상기 제2 게이트 절연막상에 상기 제2 도전형의 제2 게이트 전극을 형성하고, 상기 용량 소자 형성 영역의 상기 제2 게이트 절연막상에 상기 제1 도전형의 제3 게이트 전극을 형성하고, 상기 제3 MISFET 형성 영역의 상기 제2 게이트 절연막상에 상기 제1 도전형의 제4 게이트 전극을 형성하는 공정,

(i) 상기 제1 및 제2 웰에 이온 주입하는 것으로, 각각 상기 제2 도전형의 제1 및 제2 반도체 영역을 형성하는 공정,

(j) 상기 제3 및 제4 웰에 이온 주입하는 것으로, 각각, 상기 제1 도전형의 제3 및 제4 반도체 영역을 형성하는 공정을 갖고,

상기 제3 웰은, 상기 용량 소자의 2개의 전극 중 한쪽의 전극으로서 작용하고,

상기 제3 게이트 전극은, 상기 용량 소자의 다른 쪽의 전극으로서 작용하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 19

청구항 18에 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1, 제2 및 제4 반도체 영역은 각각 상기 제1, 제2 및 제3 MISFET의 소스·드레인 영역의 일부를 구성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 20

청구항 18 기재의 반도체 집적회로 장치의 제조 방법은 또한,

상기 제1, 제2, 제3 및 제4 게이트 전극의 상기 다결정 실리콘막상에 실리사이드막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 21

청구항 18 기재의 반도체 집적회로 장치의 제조 방법은 또한,

상기 용량 소자상에 절연막을 형성하는 공정과,

상기 절연막안에, 상기 제3 반도체 영역과 접속하는 플러그를 형성하는 공정과,

상기 절연막상에, 상기 플러그와 접속하는 배선을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 22

청구항 18 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1 도전형은 n형이고,

상기 제2 도전형은 p형인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 23

청구항 18 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기(b) 공정 및 상기(c) 공정은 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 24

청구항 23 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기(a) 공정, 상기(b) 공정 및 상기(c) 공정은 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 25

청구항 18 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막은 산화 실리콘막으로 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 26**

청구항 25에 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막을 형성할 때에는, 질화 처리가 실시되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 27**

청구항 18 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1 게이트 절연막의 막두께는 3 nm이하인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 28**

반도체 기판의 제1 MISFET 형성 영역, 제2 MISFET 형성 영역 및 용량 소자 형성 영역에, 각각, 제1 MISFET, 제2 MISFET 및 용량 소자를 구비하는 반도체 집적회로 장치의 제조 방법으로서,

- (a) 상기 제1 MISFET 형성 영역의 상기 반도체 기판에 제2 도전형의 제1 웰을 형성하는 공정,
- (b) 상기 제2 MISFET 형성 영역의 상기 반도체 기판에 상기 제2 도전형의 제2 웰을 형성하는 공정,
- (c) 상기 용량 소자 형성 영역의 상기 반도체 기판에 상기 제2 도전형의 제3 웰을 형성하는 공정,
- (d) 상기 제3 웰에, 상기 제2 도전형과는 반대의 도전형인 제1 도전형을 나타내는 불순물을 도입하는 공정,
- (e) 상기 제1 웰상에 제1 게이트 절연막을 형성하는 공정,
- (f) 상기 제2 및 제3 웰상에 상기 제1 게이트 절연막보다 막두께가 두꺼운 제2 게이트 절연막을 형성하는 공정,
- (g) 상기 제1 게이트 절연막상 및 상기 제2 게이트 절연막상에 다결정 실리콘막을 형성하는 공정,
- (h) 상기 다결정 실리콘막에 선택적으로 이온 주입한 후에, 상기 다결정 실리콘막을 선택적으로 패터닝 하는 것으로, 상기 제1 MISFET 형성 영역의 상기 제1 게이트 절연막상에 상기 제1 도전형의 제1 게이트 전극을 형성하고, 상기 제2 MISFET 형성 영역의 상기 제2 게이트 절연막상에 상기 제1 도전형의 제2 게이트 전극을 형성하고, 상기 용량 소자 형성 영역의 상기 제2 게이트 절연막상에 상기 제1 도전형의 제3 게이트 전극을 형성하는 공정,
- (i) 상기 제1, 제2 및 제3 웰에 이온 주입하는 것으로 각각, 상기 제1 도전형의 제1, 제2 및 제3 반도체 영역을 형성하는 공정을 갖고,

상기 제3 웰은, 상기 용량 소자의 2개의 전극 중 한쪽 전극으로서 작용하고,

상기 제3 게이트 전극은 상기 용량 소자의 다른 쪽의 전극으로서 작용하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 29**

청구항 28에 기재의 반도체 집적회로 장치의 제조 방법에 있어서,

상기 제1 및 제2 반도체 영역은 각각 상기 제1 및 제2 MISFET의 소스·드레인 영역의 일부를 구성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 30**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법은 또한,

상기 제1, 제2 및 제3 게이트 전극의 상기 다결정 실리콘막상에, 실리사이드막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 31**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법은 또한,  
 상기 용량 소자상에 절연막을 형성하는 공정과,  
 상기 절연막안에, 상기 제3 반도체 영역과 접속하는 플러그를 형성하는 공정과,  
 상기 절연막상에 상기 플러그와 접속하는 배선을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 32**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제1 도전형은 n형이고,  
 상기 제2 도전형은 p형인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 33**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기(b) 공정 및 상기(c) 공정은 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 34**

청구항 33 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기(a) 공정, 상기(b) 공정 및 상기(c) 공정은 동일 공정으로 행해지는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 35**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막은, 산화 실리콘막으로 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 36**

청구항 35 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제2 MISFET 및 상기 용량 소자의 제2 게이트 절연막을 형성할 때에는, 질화 처리가 실시되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**청구항 37**

청구항 28 기재의 반도체 집적회로 장치의 제조 방법에 있어서,  
 상기 제1 게이트 절연막의 막두께는 3 nm이하인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<52> 본 발명은, 반도체 집적회로장치 및 그 제조기술에 관한 것으로서, 특히 MISFET(Metal Insulator Semiconductor Field Effect Transistor)로 구성된 용량소자를 가지는 반도체 집적회로장치에 적용하여 유용한



기술에 관한 것이다.

- <53> MISFET를 이용하여 회로를 구성하는 LSI에 있어서는, MISFET의 게이트 산화막을 사용하여 용량소자를 형성하는 방법이 알려져 있다 게이트 산화막의 용량을 이용하는 경우, p채널형 MISFET의 축적영역 또는 n채널형 MISFET의 반전영역이 사용된다.
- <54> 예를들어, 일본특허공개 소61-232656호 공보는, 통상의 MOSFET의 게이트 산화막을 형성하는 공정에서 동시에 MOS형 용량소자의 용량 절연막을 형성하는 경우에는, 게이트 산화막의 막두께가 두껍기 때문에, 원하는 용량값을 얻기 위해서는 전극의 면적을 크게 하지 않으면 안된다고 하는 문제점을 감안하여, 비휘발성 기억소자를 구성하는 얇은 게이트 산화막을 형성하는 공정에서 용량 절연막을 동시에 형성함으로써, MOS형 용량소자의 면적을 축소할 수 있는 기술을 개시하고 있다.
- <55> 또한, 일본특허공개 평5-235289호 공보는, LSI의 저소비전력화에 따라 동작전원전압이 저하된 경우, 축적영역을 사용하는 종래의 MOS형 용량소자에서는 전압의존성이 커진다고 하는 종래의 문제점을 감안하여, 임계값 전압(Vth)을 제어함으로써, 전체 입력전압 범위에 걸쳐 MOS형 용량소자가 반전영역에서 사용되어지도록 한 LSI를 개시하고 있다.

**발명이 이루고자 하는 기술적 과제**

- <56> 최근들어 MISFET의 미세화에 따라 게이트 산화막 두께가 3nm 이하로까지 계속 얇아지고 있다. 그러나, 게이트 산화막 두께가 그 정도까지 얇아지게 되면, 게이트 산화막 중의 결함이나 직접 터널전류에 의한 누설전류의 증가가 현저해져, 용량소자에 사용한 경우에는 안정된 용량을 얻기가 어렵게 되어 왔다.
- <57> 본 발명의 목적은, MISFET의 게이트 산화막을 사용한 용량소자의 누설전류를 줄일 수 있는 기술을 제공하는 데에 있다.
- <58> 본 발명의 다른 목적은, 제조공정을 늘리지 않고 낮은 누설전류의 용량소자를 형성할 수 있는 기술을 제공하는 데에 있다.
- <59> 본 발명의 상기 및 그 밖의 다른 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면을 보면 명확해질 것이다.
- <60> 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.
- <61> (1) 본 발명의 반도체집적회로장치는, 제 1 게이트 절연막을 가지는 제 1 MISFET와, 상기 제 1 게이트 절연막 보다도 막두께가 얇은 제 2 게이트 절연막을 가지는 제 2 MISFET와, 상기 제 1 MISFET에 의해 구성된 용량소자를 갖추고 있다.
- <62> (2) 본 발명의 반도체집적회로장치의 제조방법은 이하의 공정을 가진다 ;
- <63> (a) 반도체기판 주면의 제 1 영역 및 제 2 영역에 제 1 막두께를 가지는 제 1 게이트 절연막을 형성하고, 상기 반도체기판 주면의 제 3 영역에 상기 제 1 막두께 보다도 얇은 제 2 막두께를 가지는 제 2 게이트 절연막을 형성하는 공정,
- <64> (b) 상기 제 1 및 제 2 게이트 절연막이 형성된 상기 반도체기판 상에 실리콘막을 포함하는 제 1 도전막을 형성하는 공정,
- <65> (c) 상기 실리콘막 일부에 n형 불순물을 도입하고, 상기 실리콘막의 다른 일부에 p형 불순물을 도입하는 공정,
- <66> (d) 상기 제 1 도전막을 패터닝하여 게이트전극을 형성함으로써, 상기 제 1 영역에 n형 실리콘을 포함하는 게이트전극을 갖춘 n채널형 MISFET 및 p형 실리콘을 포함하는 게이트전극을 갖춘 p채널형 MISFET를 형성하고, 상기 제 2 영역에 n형 실리콘을 포함하는 게이트전극을 갖춘 p채널형 MISFET로 구성되는 용량소자를 형성하고, 상기 제 3 영역에 n형 실리콘을 포함하는 게이트전극을 갖춘 n채널형 MISFET 및 p형 실리콘을 포함하는 게이트전극을 갖춘 p채널형 MISFET를 형성하는 공정.
- <67> 상기한 수단에 의하면, 두꺼운 게이트절연막 두께를 가지는 MISFET로 용량소자를 형성함으로써, 누설전류를 줄일 수 있다.
- <68> 또한, n형 실리콘을 포함하는 게이트전극을 갖춘 p채널형 MISFET로 용량소자를 형성함으로써, 임계값 전압을 높게할 수가 있기 때문에, 저전원전압 하에서도 안정된 동작을 실현할 수 있다. 또한, 상기 p채널형 MISFET의

임계값 전압을 올리기 위한 특별한 공정이 필요없게 된다.

**발명의 구성 및 작용**

- <69> 이하, 본 발명의 실시예를 도면을 바탕으로 상세하게 설명하기로 한다. 또한, 실시예를 설명하기 위한 전 도면에 있어서 동일한 기능을 가지는 것은 동일한 부호를 붙여서 그 반복설명은 생략하기로 한다.
- <70> 실시예 1
- <71> 본 실시예의 반도체 집적회로장치는, 본 발명을 CMOS(Complementary Metal Oxide Semiconductor) 게이트 어레이에 적용한 예이다. 상기 CMOS 게이트 어레이가 형성된 반도체칩을 도 1에 나타내었다.
- <72> 예를들어, 단결정 실리콘으로 이루어지는 반도체칩(1A) 주면의 중앙부에는, 게이트 어레이의 논리부를 구성하는 다수의 기본셀(2)이 도의 X방향 및 Y방향을 따라 매트릭스상으로 배치되어 있다. 각 기본셀(2)은, 도 1에는 나타나지 않은 n채널형 MISFET(Qn1) 및 p채널형 MISFET(Qp1)를 소정수 조합하여 구성되어 있으며, 각 기본셀(2) 내의 MISFET(Qn1, Qp1)간 및 기본셀(2) 간을 논리설계를 바탕으로 결선함으로써, 원하는 논리기능을 실현하고 있다.
- <73> 상기 논리기능을 실현하기 위한 결선은, 예를들어 CAD(Computer Aided Design)를 이용한 자동배치 배선시스템(DA; Design Automation)에 의해 이루어진다. 자동배치 배선시스템은, 마크로셀 등을 이용하여 설계, 검증된 논리회로를 반도체칩(1A) 상에 자동적으로 레이아웃함과 동시에, 상기 논리회로 상에 가상적으로 설정된 X-Y격자 좌표에 배선을 자동적으로 레이아웃하여 논리회로간을 결선한다.
- <74> 본 실시예의 게이트 어레이는, 특별히 한정되어 있지는 않지만, 예를들어 7층 배선을 가지고 있으며, 제 1층째 배선부터 제 6층째 배선(신호용 배선 및 전원용 배선)까지는 Cu(동)을 주체로 하는 금속으로 구성되고, 제 7층째 배선(전원용 배선)은 Al(알루미늄) 합금을 주체로 하는 금속으로 구성되어 있다.
- <75> 상기 논리부의 주변근방에는, 외부의 참조클록을 소정 주파수의 클록으로 변환하여 내부회로에 출력하는 아날로그 PLL(Phase Lock Loop) 회로(3)가 배치되어 있다. 상기 PLL회로(3)는, 예를들어 도 2에 나타낸 바와 같이, 위상비교기(PFC), 차지펄프회로(C.P.), 전압-전류 변환회로(VI1~VI3), 시간-전류 변환회로(TI), 발진회로(C.C.O.) 및 분주기로 구성되어 있다.
- <76> 상기 PLL회로(3) 내의 차지펄프회로(C.P.)는, 예를들어 도 3에 나타낸 바와 같이, n채널형 MISFET(Qn2, Qn3), p채널형 MISFET(Qp2, Qp3) 및 용량소자(C1) 등으로 구성되어 있다. 용량소자(C1)의 한쪽 전극은 GND(0V)가 인가되고, 용량소자(C1)의 다른쪽 전극은 n채널형 MISFET(Qn3) 및 p채널형 MISFET(Qp3)의 드레인에 전기적으로 접속된다. n채널형 MISFET(Qn3) 및 p채널형 MISFET(Qp3)의 드레인은, 전압-전류 변환회로(VI1~VI3)의 입력에 전기적으로 접속된다. 차지펄프회로(C.P.)는, 위상비교기(PFC)로부터 출력되는 위상차신호(UP, DN)에 따른 전하를 용량소자(C1)에 축적함으로써 소정 레벨의 전압을 생성하고, 이를 출력전압(CPOUT)으로서 전압-전류 변환회로(VI1~VI3)로 출력한다.
- <77> 상기 논리부의 주위에는, 복수의 입출력(I/O) 버퍼회로(4)가 논리부를 둘러싸듯이 배치되어 있다. 각 입출력 버퍼회로(4)는, 도 1에는 나타나 있지 않은 n채널형 MISFET(Qn4) 및 p채널형 MISFET(Qp4)를 소정수 조합하여 구성되어 있으며, 이들 MISFET(Qn4, Qp4)간의 결선패턴을 바꿈으로써 도 4(a)에 나타낸 바와 같은 입력버퍼회로, 도 4(b)에 나타낸 바와 같은 출력버퍼회로, 혹은 도시하지 않은 쌍방향성 버퍼회로 등의 회로기능이 형성되도록 되어 있다.
- <78> 상기 입출력 버퍼회로(4)의 주위에는, 외부장치와의 전기적인 접속을 취하기 위한 본딩패드(외부단자)(BP)가 반도체칩(1A)의 각 변을 따라 일렬로 배치되어 있다. 이들 본딩패드(BP)는, 입출력 버퍼회로(4)의 배열에 대응하는 위치에 배치되어 있으며, 각 본딩패드(BP)와 그에 대응하는 입출력 버퍼회로(4)는, 도시하지 않은 배선을 매개로 전기적으로 접속되어 있다.
- <79> 도 5는, 상기 CMOS 게이트 어레이가 형성된 반도체기판(이하, 간단히 기판이라 한다)(1)의 요부 단면도이다. 도 5의 좌측부분은 기본셀(2)을 구성하는 MISFET(Qn1, Qp1)가 형성된 영역, 중앙부분은 차지펄프회로(C.P.)의 용량소자(C1)가 형성된 영역, 우측부분은 입출력 버퍼회로(4)를 구성하는 MISFET(Qn4, Qp4)가 형성된 영역을 나타내

고 있다.

- <80> 기본셀(2)을 구성하는 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>) 중, n채널형 MISFET(Q<sub>n1</sub>)는, 기판(1)의 p형 웰(7)에 형성되고, 주로 게이트 산화막(9A), 게이트 전극(10A) 및 n+형 반도체영역(소스, 드레인)(13)에 의해 구성되어 있다. 또한, p채널형 MISFET(Q<sub>p1</sub>)는, 기판(1)의 n형 웰(8)에 형성되고, 주로 게이트 절연막인 게이트 산화막(9A), 게이트 전극(10B) 및 p+형 반도체영역(소스, 드레인)(14)에 의해 구성되어 있다.
- <81> 상기 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>)의 게이트 산화막(9A)은, 논리기능의 고속화, 고성능화를 추진하기 위하여, 얇은 막두께(예를들어, 2.5nm~3nm)로 형성되어 있다. 또한, 상기 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>)의 게이트 전극(10A, 10B)은, 게이트의 대규모화를 추진하기 위하여, 이들의 게이트 길이가 회로의 최소가공규격(예를들어, 0.14 $\mu$ m)으로 형성되고, 동시에 저저항화를 추진하기 위하여, 다결정 실리콘막의 상부에 WN막 등의 배리어메탈 및 W(텅스텐)막을 적층한, 이른바 폴리메탈 구조로 구성되어 있다. 또한, 상기 게이트 전극(10A, 10B)은, 임계값 전압(V<sub>th</sub>)을 낮게하여 회로의 저전압화, 저소비전력화를 추진하기 위하여, 게이트 전극(10A)의 일부를 구성하는 다결정 실리콘막에 n형 불순물(예를들어, As(비소))을 도프하고, 게이트 전극(10B)의 일부를 구성하는 다결정 실리콘막에 p형 불순물(예를들어, B(붕소))를 도프한, 이른바 듀얼게이트 구조로 구성되어 있다.
- <82> 한편, 입출력 버퍼회로(4)를 구성하는 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>) 중, n채널형 MISFET(Q<sub>n4</sub>)는, 기판(1)의 p형 웰(7)에 형성되고, 주로 게이트 절연막인 게이트 산화막(9B), 게이트 전극(10C) 및 n+형 반도체영역(소스, 드레인)(13)에 의해 구성되어 있다. 또한, p채널형 MISFET(Q<sub>p4</sub>)는, 기판(1)의 n형 웰(8)에 형성되고, 주로 게이트 산화막(9B), 게이트 전극(10D) 및 p+형 반도체영역(소스, 드레인)(14)에 의해 구성되어 있다.
- <83> 상기 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)는, 상기 기본셀(2)을 구성하는 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>) 보다도 느슨한 디자인 룰로 형성되어 있다. 또한, 외부와의 인터페이스에 사용되는 이들 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)는, 내부회로를 구성하는 MISFET의 동작전압(예를들어, 1.5V) 보다도 높은 전압(예를들어, 3.3V)에서 동작하기 때문에, 내압 확보의 관점에서 이들 게이트 산화막(9B)이 두꺼운 막두께(예를들어, 6.5nm)로 형성되어 있다. 즉, 게이트 산화막(9B)의 막두께는, 게이트 산화막(9A)의 막두께 보다도 두껍게 구성된다. 또한, 이들 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)의 게이트 전극(10C, 10D)은, 기본셀(2)을 구성하는 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>)의 게이트 전극(10A, 10B)과 마찬가지로, 폴리메탈 구조이면서 듀얼게이트 구조로 구성되어 있다.
- <84> 차지펌프회로(C.P.)의 용량소자(C<sub>1</sub>)는, 기판(1)의 n형 웰(8)에 형성되고, 주로 게이트 산화막(9B), 게이트 전극(10E) 및 n형 웰(8)에 접지전압(GND)을 인가하기 위한 n+형 반도체영역(13)에 의해 구성되어 있다. 즉, 용량소자(C<sub>1</sub>)는, p채널형 MISFET로 구성되어 있다. 또한, n형 웰(8)은 용량소자(C<sub>1</sub>)의 한쪽 전극으로서 작용하고, 게이트 전극(10E)은 용량소자(C<sub>1</sub>)의 다른쪽 전극으로서 작용하고, 게이트 산화막(9B)은 용량소자(C<sub>1</sub>)의 유도체막으로서 작용한다. 상기 용량소자(C<sub>1</sub>)는, 예를들어 50pF~100pF 정도의 정전용량을 확보하기 위하여, 1 $\times$ 10<sup>-4</sup>cm<sup>2</sup> 정도의 대면적으로 구성되어 있다.
- <85> 상기 용량소자(C<sub>1</sub>)의 게이트 산화막(9B)은, 누설전류를 줄이기 위하여, 상기 입출력 버퍼회로(4)를 구성하는 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)의 게이트 산화막(9B)과 동일한 막두께(예를들어, 6.5nm)로 형성되어 있다. 또한, 상기 용량소자(C<sub>1</sub>)의 게이트 산화막(9E)은, 상기 기본셀(2)을 구성하는 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>)의 게이트 전극(10A, 10B) 및 입출력 버퍼회로(4)를 구성하는 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)의 게이트 전극(10C, 10D)과 마찬가지로 폴리메탈 구조로 구성되어 있다. 또한, 상기 용량소자(C<sub>1</sub>)는, 낮은 전원전압에서도 안정하게 동작하도록, 게이트 전극(10E)의 일부를 구성하는 다결정 실리콘막에 n형 불순물(예를들어, As)이 도프되어 있다.
- <86> 도 6은, p채널형 MISFET로 구성된 상기 용량소자(C<sub>1</sub>)의 V<sub>g</sub>-C 특성을 나타내는 도이다.
- <87> 상기 용량소자(C<sub>1</sub>)는, 입출력 버퍼회로(4)를 구성하는 MISFET(Q<sub>n4</sub>, Q<sub>p4</sub>)와 동일한 두꺼운 막두께인 게이트 산화막(9B)을 사용하고 있기 때문에, 기본셀(2)을 구성하는 MISFET(Q<sub>n1</sub>, Q<sub>p1</sub>)와 동일한 얇은 막두께의 게이트 산화막(9A)을 사용하여 작성한 용량소자에 비해 누설전류가 적다. 그 반면, p채널형 MISFET의 축적영역을 용량소자로서 사용하는 경우에는, 도 6의 파선으로 나타낸 바와 같이, 게이트 입력전압이 낮은 영역에 있어서, 안정된 용

량을 얻을 수 없다. 따라서, 본 실시예에서는, 게이트 전극(10E)의 일부를 구성하는 다결정 실리콘막에 n형 불순물(예를들어, As)을 도프하고, p채널형 MISFET의 임계값 전압을 높게한다. 이로써, 도 6의 실선으로 나타낸 바와 같이, 게이트 입력전압이 낮은 영역에서도 안정된 용량을 얻을 수 있게 되기 때문에, 차지펌프회로(C.P.)의 출력전압(CPOUT)이 높은 영역이나 낮은 영역에 있어서도 모두 안정된 용량을 얻을 수 있다.

<88> 상기 도 5에서 나타낸 바와 같이, 상기 MISFET(Qn<sub>1</sub>, Qp<sub>1</sub>, Qn<sub>4</sub>, Qp<sub>4</sub>) 및 용량소자(C<sub>1</sub>) 각각의 상부에는, 2층의 층간절연막인 산화실리콘막(17, 31)이 형성되어 있다. 또한, 산화실리콘막(17)에 형성된 콘택트 홀(18~22)의 내부에는 플래그 전극(23)이 형성되고, 플래그 전극(23)의 상부에는 제 1층째 배선(24~30)이 형성되어 있다. 플래그 전극(23)은, 예를들어 동과 TaN 등의 배리어메탈, 또는 텅스텐막과 TiN막으로 구성된다. 또한, 이들 배선(24~30)의 상부에는 층간절연막을 끼고 6층의 배선이 형성되어 있는데, 이들의 도시는 생략하기로 한다.

<89> 다음으로, 본 실시예인 CMOS 게이트 어레이의 제조방법을 도 7~도 19를 이용하여 설명하기로 한다.

<90> 우선, 도 7에 나타낸 바와 같이, 기판(1)의 소자분리영역에 형성한 홈의 내부에, 예를들어 산화실리콘막(6)을 설치하여 소자분리홈(5)을 형성한다. 다음으로, 도시하지 않은 포토레지스트막을 마스크로 하여 기판(1)의 일부에 n형 불순물(예를들어, P(인))을 이온주입하고, 다른 일부에 p형 불순물(예를들어, B)을 이온주입한 후, 기판(1)을 열처리하여 상기 불순물을 확산시킴으로써, p형 웰(7) 및 n형 웰(8)을 형성한다.

<91> 다음으로, 도 8에 나타낸 바와 같이, 기판(1)을 열산화시킴으로써 기판(1)(p형 웰(7) 및 n형 웰(8))의 표면에 막두께 3nm~4nm 정도의 얇은 게이트 산화막(9)을 형성한 후, 도 9에 나타낸 바와 같이, 용량소자영역(도의 중앙부분) 및 입출력버퍼 회로영역(도의 우측부분)의 기판(1) 상부를, 예를들어 포토레지스트막(41)으로 덮고, 기판 셀영역(도의 좌측부분)의 게이트 산화막(9)을 웨트 에칭으로 제거한다.

<92> 다음으로, 포토레지스트막(41)을 제거한 후, 도 10에 나타낸 바와 같이, 기판(1)을 열산화시킴으로써 기판 셀영역의 기판(1)(p형 웰(7) 및 n형 웰(8)) 표면에 막두께 2.5nm~3nm 정도의 얇은 게이트 산화막(9A)을 형성한다. 이 때, 용량소자영역 및 입출력버퍼 회로영역의 기판(1)(p형 웰(7) 및 n형 웰(8)) 표면에 형성된 상기 산화실리콘막(9)이 성장하여 막두께 6.5nm 정도의 두꺼운 게이트 산화막(9B)으로 된다. 그 후, 게이트 산화막(9A, 9B)에 질화처리를 실시하여도 좋다.

<93> 다음으로, 도 11에 나타낸 바와 같이, 기판(1) 상에 CVD법으로 막두께 79nm 정도의 다결정 실리콘막(42)을 퇴적시킨 후, 도 12에 나타낸 바와 같이, 기본셀 영역의 p형 웰(7) 상부, 용량소자영역의 기판(1)(n형 웰(8)) 상부 및 입출력버퍼 회로영역의 p형 웰(7) 상부를, 예를들어 포토레지스트막(43)으로 덮고, 기본셀 영역의 n형 웰(8) 상부의 다결정 실리콘막(42) 및 입출력버퍼 회로영역의 n형 웰(8) 상부의 다결정 실리콘막(42)에 p형 불순물(B)을 이온주입한다.

<94> 상기 p형 불순물의 이온주입은, 기본셀(2)의 일부를 구성하는 p채널형 MISFET(Qp<sub>1</sub>)의 게이트 전극(10B) 및 입출력 버퍼회로(4)의 일부를 구성하는 p채널형 MISFET(Qp<sub>4</sub>)의 게이트 전극(10D)을 p형으로 하기 위하여 실시한다.

<95> 다음으로, 포토레지스트막(43)을 제거한 후, 도 13에 나타낸 바와 같이, 기본셀 영역의 n형 웰(8) 상부 및 입출력버퍼 회로영역의 n형 웰(8) 상부를 포토레지스트막(44)으로 덮고, 기본셀 영역의 p형 웰(7) 상부의 다결정 실리콘막(42), 용량소자영역의 기판(1)(n형 웰(8)) 상부의 다결정 실리콘막(42) 및 입출력버퍼 회로영역의 p형 웰(7) 상부의 다결정 실리콘막(42)에 n형 불순물(As)을 이온주입한다.

<96> 상기 n형 불순물의 이온주입은, 기본셀(2)의 다른 일부를 구성하는 n채널형 MISFET(Qn<sub>1</sub>)의 게이트 전극(10A) 및 입출력 버퍼회로(4)의 다른 일부를 구성하는 n채널형 MISFET(Qn<sub>4</sub>)의 게이트 전극(10C)을 n형으로 하기 위하여 실시한다. 또한, 상기 이온주입에 의해 용량소자(C<sub>1</sub>)의 게이트 전극(10E)이 n형으로 되기 때문에, 용량소자(C<sub>1</sub>)를 구성하는 p채널형 MISFET의 임계값 전압이 높아진다(상기 도 6 참조).

<97> 이와 같이, 상기의 제조방법에서는, n채널형 MISFET(Qn<sub>1</sub>)의 게이트 전극(10A) 및 n채널형 MISFET(Qn<sub>4</sub>)의 게이트 전극(10C)을 n형으로 하기 위한 이온주입 공정을 이용하여 용량소자(C<sub>1</sub>)의 게이트 전극(10E)에 n형 불순물을 도입한다. 즉, 상기의 제조방법에서는, 용량소자(C<sub>1</sub>)의 게이트 전극(10E)에 n형 불순물을 도입할 때, 별도로 포토마스크를 준비하거나 이온주입을 실시할 필요가 없어, 제조공정의 증가없이 용량소자(C<sub>1</sub>)의 게이트 전극(10E)에 n형 불순물을 도입할 수 있다.

- <98> 다음으로, 포토레지스트막(44)을 제거한 후, 도 14에 나타난 바와 같이, 다결정 실리콘막(42)의 상부에 스퍼터링법으로 막두께 5nm 정도의 WN막(45) 및 막두께 100nm 정도의 W막(46)을 퇴적시키고, 또한 그 상부에 CVD법으로 막두께 50nm 정도의 캡절연막인 질화실리콘막(15)을 퇴적시킨다.
- <99> 다음으로, 도 15에 나타난 바와 같이, 포토레지스트막(47)을 마스크로 하여 질화실리콘막(15), W막(46), WN막(45) 및 다결정 실리콘막(42)을 순서대로 드라이에칭함으로써, 기본셀 영역에 게이트 전극(10A, 10B)을 형성하고, 입출력 버퍼회로에 게이트 전극(10C, 10D)을 형성하고, 용량소자영역에 게이트 전극(10E)을 형성한다. 또한, 게이트 전극(10A~10E)은, 폴리메탈 이외의 재료, 예를들어 다결정 실리콘막으로 형성하거나, 다결정 실리콘막의 상부에 텅스텐 실리사이드(WSi)막을 적층한 폴리사이드막으로 형성하여도 좋다.
- <100> 다음으로, 포토레지스트막(47)을 제거한 후, 도 16에 나타난 바와 같이, 도시하지 않은 포토레지스트막을 마스크로 하여 기본셀 영역의 n형 웰(8) 및 입출력버퍼 회로영역의 n형 웰(8)에 p형 불순물(예를들어, B)을 이온주입함으로써 p-형 반도체영역(12)을 형성하고, 기본셀 영역의 p형 웰(7), 용량소자영역의 n형 웰(8) 및 입출력버퍼 회로영역의 p형 웰(7)에 n형 불순물(예를들어, P)을 이온주입함으로써 n-형 반도체영역(11)을 형성한다. n-형 반도체영역(11) 및 p-형 반도체영역(12)은, 기본셀(2)을 구성하는 MISFET(Qn<sub>1</sub>, Qp<sub>1</sub>), 용량소자(C<sub>1</sub>)을 구성하는 MISFET 및 입출력버퍼회로(4)를 구성하는 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>)를 LDD(Lightly Doped Drain)구조로 하기 위하여 형성한다.
- <101> 다음으로, 도 17에 나타난 바와 같이, 기판(1) 상에 예를들어 CVD법으로 퇴적시킨 질화실리콘막(도시생략)을 이방적으로 에칭하여 게이트전극(10A~10E)의 측면에 사이드월 스페이서(16)를 형성한 후, 도시하지 않은 포토레지스트막을 마스크로 하여 기본셀 영역의 n형 웰(8) 및 입출력버퍼 회로영역의 n형 웰(8)에 p형 불순물(예를들어, B)을 이온주입함으로써 p+형 반도체영역(소스, 드레인)(14)을 형성하고, 기본셀 영역의 p형 웰(7), 용량소자영역의 n형 웰(8) 및 입출력버퍼 회로영역의 p형 웰(7)에 n형 불순물(예를들어, P)을 이온주입함으로써 n+형 반도체영역(소스, 드레인)(13)을 형성한다. 여기까지의 공정에 의해, 기본셀(2)을 구성하는 MISFET(Qn<sub>1</sub>, Qp<sub>1</sub>), 입출력 버퍼회로(4)를 구성하는 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>) 및 용량소자(C<sub>1</sub>)가 완성된다.
- <102> 다음으로, 도 18에 나타난 바와 같이, 기판(1) 상에 CVD법으로 산화실리콘막(17)을 퇴적시키고, 계속해서 포토레지스트막(도시생략)을 마스크로 하여 드라이에칭으로 산화실리콘막(17)에 콘택트 홀(18~22)을 형성한 후, 콘택트 홀(18~22)의 내부에 플래그 전극(23)을 형성한다. 플래그 전극(23)을 형성하려면, 예를들어 콘택트 홀(18~22)의 내부 및 산화실리콘막(17)의 상부에 CVD법으로 TiN막(23a) 및 W막(23b)을 퇴적시킨 후, 콘택트 홀(18~22) 외부의 W막(23b) 및 TiN막(23a)을 화학기계연마법으로 제거한다.
- <103> 다음으로, 도 19에 나타난 바와 같이, 산화실리콘막(17)의 상부에 CVD법으로 산화실리콘막(31)을 퇴적시킨 후, 포토레지스트막(도시생략)을 마스크로 하여 드라이에칭으로 산화실리콘막(31)에 배선홈(48~54)을 형성한다.
- <104> 그 후, 배선홈(48~54)의 내부에 제 1 층체인 배선(24~30)을 형성함으로써, 상기 도 5에 나타난 CMOS 게이트 어레이를 얻을 수 있다. 제 1 층체인 배선(24~30)을 형성하려면, 예를들어 배선홈(48~54)의 내부 및 산화실리콘막(31)의 상부에 CVD법으로 TiN막 및 W막을 퇴적시킨 후, 배선홈(48~54) 외부의 TiN막 및 W막을 화학기계연마법으로 제거한다. 또한, 제 1 층체인 배선(24~30)은, 배선홈(48~54)의 내부 및 산화실리콘막(31)의 상부에 TaN막을 형성하고, TaN막 상에 Cu시드막을 형성한 후, 예를들어 도금법으로 Cu막을 형성하고, 그 후 Cu시드막, Cu막을 화학기계연마법으로 제거한다.
- <105> 본 실시예에 의하면, PLL회로(3)의 용량소자(C<sub>1</sub>) 일부를 구성하는 게이트 산화막(9B)을 입출력 버퍼회로(4)의 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>) 일부를 구성하는 게이트 산화막(9B)과 동일하게 두꺼운 막두께로 형성함으로써, CMOS 게이트 어레이를 미세화하여도 누설전류가 적은 용량소자(C<sub>1</sub>)를 형성할 수 있다.
- <106> 또한, 본 실시예에 의하면, 포토마스크의 장수나 이온주입 공정을 늘리지 않고도 상기 용량소자(C<sub>1</sub>)를 형성할 수 있다.
- <107> 실시예 2
- <108> 상술한 PLL회로(3)의 용량소자(C<sub>1</sub>)는, 도 20에 나타난 바와 같은 n채널형 MISFET로 구성하여도 좋다. 상기 용량소자(C<sub>1</sub>)는, 기판(1)의 p형 웰(7)에 형성되어, 주로 게이트 산화막(9B), 게이트 전극(10E) 및 n+형 반도체영역

(13)에 의해 구성된다.

- <109> 상기 용량소자(C<sub>1</sub>)의 게이트 산화막(9B)은, 누설전류를 줄이기 위하여, 입출력버퍼회로(4)를 구성하는 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>)의 게이트 산화막(9B)과 동일하게 두꺼운 막두께(예를들어, 6.5nm)로 형성된다. 또한, 상기 용량소자(C<sub>1</sub>)는, 낮은 전원전압에서도 안정하게 동작하도록, p형 웰(7)에 n형 불순물(예를들어, As)이 도프되고, n채널형 MISFET의 임계값 전압이 다른 n채널형 MISFET(Qn<sub>4</sub>)의 임계값 전압 보다도 내려가 있다.
- <110> 도 21은, n채널형 MISFET로 구성된 상기 용량소자(C<sub>1</sub>)의 Vg-C 특성을 나타내는 도이다.
- <111> 상기 용량소자(C<sub>1</sub>)는, 입출력버퍼회로(4)를 구성하는 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>)와 동일하게 두꺼운 게이트 산화막(9B)을 사용하고 있기 때문에, 얇은 막두께의 게이트 산화막(9A)을 사용한 경우에 비해 누설전류가 감소한다. 그 반면, n채널형 MISFET의 반전영역을 용량소자로서 사용하는 경우는, 도 21의 파선으로 나타낸 바와 같이, 게이트 산화막 두께의 증가에 따라 임계값 전압이 높아지기 때문에, 게이트 입력전압이 낮은 영역에 있어서 안정된 용량을 얻을 수 없게 된다. 그래서, p형 웰(7)에 n형 불순물(예를들어, As)을 도프하고, n채널형 MISFET의 임계값 전압을 낮게 함으로써, 도 21의 실선으로 나타낸 바와 같이, 게이트 입력전압이 낮은 영역에서도 안정된 용량을 얻을 수 있게 된다.
- <112> n채널형 MISFET로 구성된 상기 용량소자(C<sub>1</sub>)는, 다음과 같은 방법으로 구성한다.
- <113> 우선, 도 22에 나타낸 바와 같이, 기판(1)의 소자분리영역에 소자분리홈(5)을 형성한 후, 도시하지 않은 포토레지스트막을 마스크로 하여 기판(1)의 일부에 n형 불순물(예를들어, P)을 이온주입하고, 다른 일부에 p형 불순물(예를들어, B)을 이온주입한 후, 기판(1)을 열처리하여 상기 불순물을 확산시킴으로써, p형 웰(7) 및 n형 웰(8)을 형성한다. 이 때, 본 실시예에서는, 용량소자영역의 기판(1)에 p형 웰(7)을 형성한다.
- <114> 다음으로, 도 23에 나타낸 바와 같이, 기본셀 영역의 상부 및 입출력버퍼 회로영역의 상부를 포토레지스트막(60)으로 덮고, 용량소자영역의 기판(1)인 p형 웰(7)에 n형 불순물(As)을 이온주입한다. 상기 이온주입은, 용량소자(C<sub>1</sub>)를 구성하는 n채널형 MISFET의 임계값 전압을 내리기 위하여 실시한다.
- <115> 다음으로, 포토레지스트막(60)을 제거한 후, 도 24에 나타낸 바와 같이, 기판(1)을 열산화함으로써 기판(1)(p형 웰(7) 및 n형 웰(8))의 표면에 막두께 2.5nm~3nm 정도의 얇은 게이트 산화막(9A)을 형성한다.
- <116> 다음으로, 도 25에 나타낸 바와 같이, 기본셀 영역의 기판(1)(p형 웰(7) 및 n형 웰(8))의 상부를 질화실리콘과 같은 내산화성의 절연막(61)으로 덮은 상태에서 기판(1)을 열산화한다. 이 때, 용량소자영역 및 입출력버퍼 회로영역의 기판(1)(p형 웰(7) 및 n형 웰(8)) 표면에 형성된 상기 질화실리콘막(9A)이 성장하여 막두께 6.5nm 정도의 두꺼운 게이트 산화막(9B)으로 된다. 또한, 막두께가 서로 다른 상기 2종의 게이트 산화막(9A, 9B)은, 상기 실시예 1과 동일한 방법으로 형성하여도 좋다.
- <117> 그 후, 기본셀 영역의 절연막(61)을 제거하고, 또한 상기 실시예 1의 도 1~도 17에 나타낸 공정에 따라서, 기본셀(2)을 구성하는 MISFET(Qn<sub>1</sub>, Qp<sub>1</sub>), 입출력버퍼회로(4)를 구성하는 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>) 및 용량소자(C<sub>1</sub>)를 형성한다.
- <118> 이와 같이, n채널형 MISFET로 용량소자(C<sub>1</sub>)를 구성한 경우에 있어서도, 그 일부를 구성하는 게이트 산화막(9B)을 입출력버퍼회로(4)의 MISFET(Qn<sub>4</sub>, Qp<sub>4</sub>)와 동일하게 두꺼운 게이트 산화막(9B)으로 구성함으로써, 누설전류를 줄일 수 있다.
- <119> 또한, p형 웰(7)에 n채널형 MISFET로 구성된 용량소자(C<sub>1</sub>)를 형성한 경우는, 상기 n채널형 MISFET의 임계값 전압을 조정하기 위한 이온주입 공정과 포토마스크가 별도로 필요하게 된다(도 23 참조). 그러나, n채널형 MISFET의 반전영역을 사용하는 본 실시예의 용량소자(C<sub>1</sub>)는, p채널형 MISFET의 축적영역을 사용하는 용량소자에 비하면, 게이트 입력전압이 낮은 영역에 있어서 보다 안정된 용량을 얻을 수 있다는 이점이 있다.
- <120> 실시예 3
- <121> 상기 실시예 1, 2에서는, CMOS 게이트 어레이에 적용한 경우에 대하여 설명하였는데, 예를들어 도 26에 나타낸 바와 같은, 논리블럭, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 마크로셀을 갖춘 스탠다드셀 방식의 특정용도용 LSI에 적용할 수도 있다. 이 경우도, 입출력 버퍼회로(4)를 구성하는

MISFET, 혹은 DRAM이나 SRAM의 메모리셀을 구성하는 MISFET( $Q_M$ ,  $Q_S$ )와 동일하게 두꺼운 게이트 산화막(9B)을 사용하여 아날로그 PLL회로 내의 아날로그 회로용 용량소자를 형성함으로써, 상기 실시예 1과 마찬가지로의 효과를 얻을 수 있다.

<122> 또한, 게이트 어레이나 스탠다드셀 뿐만 아니라, 예를들어 마이크로 컴퓨터 등, 게이트 산화막 두께가 서로 다른 2종 이상의 MISFET를 사용하여 회로를 구성하는 LSI에 폭넓게 적용할 수 있다. 예를들어, 마이크로 컴퓨터의 경우에는, 마이크로 프로세서 유닛을 구성하는 MISFET의 얇은 게이트 산화막이 아니라, 입출력 버퍼회로나 메모리회로를 구성하는 MISFET와 동일하게 두꺼운 게이트 산화막(9B)을 사용하여 아날로그 PLL회로 내의 아날로그 회로용 용량소자를 형성하면 된다.

<123> 또한, 본 발명의 적용대상이 되는 용량소자는, 상기한 아날로그 PLL회로 내의 아날로그 회로용 용량소자에 한정되는 것이 아니라, 예를들어 도 27에 나타낸 바와 같은, 아날로그 회로 또는 디지털 회로의 전원라인( $V_{dd}$ ,  $V_{ss}$ ) 간에 노이즈 대책으로서 접속되는 전원안정화 용량소자( $C_2$ )나, 도 28에 나타낸 바와 같은, 필터용량소자( $C_3$ ) 등에 적용할 수도 있다.

<124> 두꺼운 게이트 산화막(9B)을 사용하여 용량소자를 형성한 경우, 누설전류를 줄일 수 있는 반면에, 얇은 게이트 산화막(9A)을 사용하여 용량소자를 형성한 경우에 비해 단위면적당의 용량은 작아진다. 따라서, 용량소자의 사용목적에 따라 게이트 산화막의 막두께를 구별하여 사용할 필요가 있다.

<125> 도 29(a)에 나타낸 바와 같이, 칩면적이 크고 회로소비전력도 큰 경우는, 예를들어 아날로그 PLL회로 내의 용량소자( $C_1$ ) 및 전원안정화 용량소자( $C_2$ ) 모두 두꺼운 게이트 산화막(9B)을 사용하여 형성한다. 이 경우, 아날로그 PLL회로 내의 용량소자( $C_1$ )는, 낮은 전압에서도 안정된 용량을 얻을 수 있도록 p채널형 MISFET로 구성하지만, 전원안정화 용량소자( $C_2$ )는, 게이트 전극을 전원( $V_{dd}$ )으로 고정하기 때문에, p채널형 MISFET나 n채널형 MISFET 모두 좋다.

<126> 또한, 도 29(b)에 나타낸 바와 같이, 칩면적이 작고 회로소비전력도 작은 경우는, 예를들어 누설전류가 특히 문제되는 아날로그 PLL회로 내의 용량소자( $C_1$ )만 두꺼운 게이트 산화막(9B)을 사용한 p채널형 MISFET로 구성하고, 전원안정화 용량소자( $C_2$ )는, 그 면적을 작게 하기 위하여 얇은 게이트 산화막(9A)을 사용한다. 이 경우도 전원안정화 용량소자( $C_2$ )는, 게이트 전극을 전원( $V_{dd}$ )으로 고정하기 때문에, p채널형 MISFET나 n채널형 MISFET 모두 좋다.

<127> 이상, 본 발명자에 의해 이루어진 발명을 실시예를 바탕으로 구체적인 설명을 하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위내에서는 물론 다양하게 변경할 수 있다.

### 발명의 효과

<128> 본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 다음과 같다.

<129> (1) 본 발명에 의하면, MISFET로 구성된 용량소자의 누설전류를 줄여 안정 동작을 실현할 수 있다.

<130> (2) 본 발명에 의하면, 저전원전압에서도 안정되어 동작하는 용량소자를 제조공정의 증가없이 형성할 수 있다.

### 도면의 간단한 설명

<1> 도 1 은 본 발명의 실시예 1인 CMOS 게이트 어레이를 나타내는 반도체칩의 평면도이다.

<2> 도 2 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 아날로그 PLL회로를 나타내는 도이다.

<3> 도 3 은 도 2에 나타낸 아날로그 PLL회로 내의 차지펌프회로를 나타내는 도이다.

<4> 도 4(a) 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 입력버퍼회로를 나타내는 도이고, (b)는 마찬가지로 출력버퍼회로를 나타내는 도이다.

<5> 도 5 는 본 발명의 실시예 1인 CMOS 게이트 어레이를 나타내는 반도체기판의 요부단면도이다.

<6> 도 6 은, 도 2에 나타낸 차지펌프회로 내의 용량소자의  $V_g$ -C특성을 나타내는 도이다.

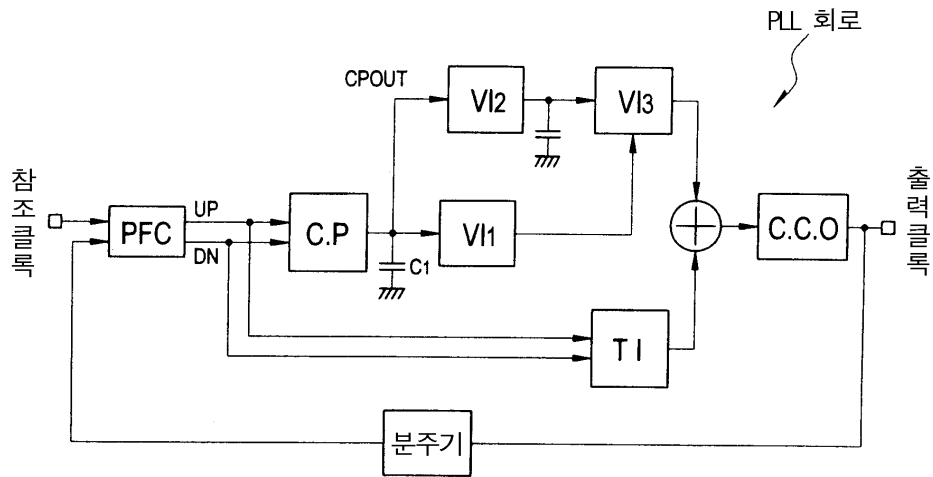
<7> 도 7 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.

- <8> 도 8 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <9> 도 9 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <10> 도 10 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <11> 도 11 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <12> 도 12 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <13> 도 13 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <14> 도 14 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <15> 도 15 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <16> 도 16 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <17> 도 17 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <18> 도 18 은 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <19> 도 19 는 본 발명의 실시예 1인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <20> 도 20 은 본 발명의 실시예 2인 CMOS 게이트 어레이를 나타내는 반도체기판의 요부단면도이다.
- <21> 도 21 은 n채널형 MISFET로 구성된 용량소자의 Vg-C특성을 나타내는 도이다.
- <22> 도 22 는 본 발명의 실시예 2인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <23> 도 23 은 본 발명의 실시예 2인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <24> 도 24 는 본 발명의 실시예 2인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <25> 도 25 는 본 발명의 실시예 2인 CMOS 게이트 어레이의 제조방법을 나타내는 반도체기판의 요부단면도이다.
- <26> 도 26 은 본 발명의 실시예 3인 스탠다드 셀을 나타내는 반도체칩의 평면도이다.
- <27> 도 27 은 본 발명의 다른 실시예인 전원 안정화 용량소자를 나타내는 도이다.
- <28> 도 28 은 본 발명의 다른 실시예인 필터 용량소자를 나타내는 도이다.
- <29> 도 29(a), (b)는 용량소자의 사용목적에 따른 게이트 산화막 두께의 사용구별방법의 구체예를 나타내는 도이다.
- <30> \*<도면의 주요부분에 대한 부호의 설명>
- |                                |                 |
|--------------------------------|-----------------|
| <31> 1 : 반도체기판                 | 1A : 반도체칩       |
| <32> 2 : 기본셀                   | 3 : 아날로그 PLL회로  |
| <33> 4 : 입출력(I/O) 버퍼회로         | 5 : 소자분리홈       |
| <34> 6 : 산화실리콘막                | 7 : p형 웰        |
| <35> 8 : n형 웰                  | 9 : 게이트 산화막     |
| <36> 9A : 게이트 산화막(얇은 게이트 산화막)  |                 |
| <37> 9B : 게이트 산화막(두꺼운 게이트 산화막) |                 |
| <38> 10A~10E : 게이트 전극          | 11 : n-형 반도체영역  |
| <39> 12 : p-형 반도체영역            |                 |
| <40> 13 : n+형 반도체영역(소스, 드레인)   |                 |
| <41> 14 : p+형 반도체영역(소스, 드레인)   | 15 : 질화실리콘막     |
| <42> 16 : 사이드웰 스페이서            | 17, 31 : 산화실리콘막 |
| <43> 18~22 : 콘택트홀              | 23 : 플래그        |

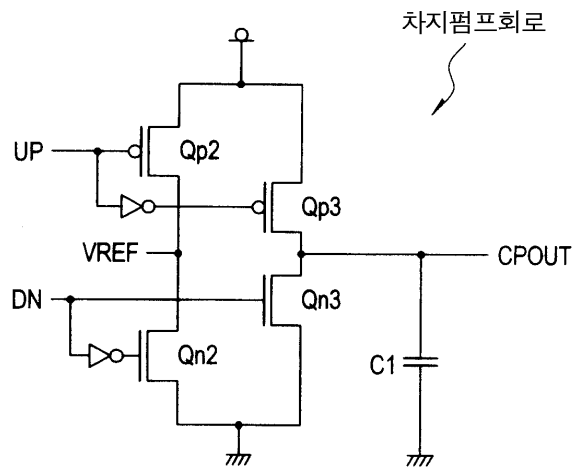




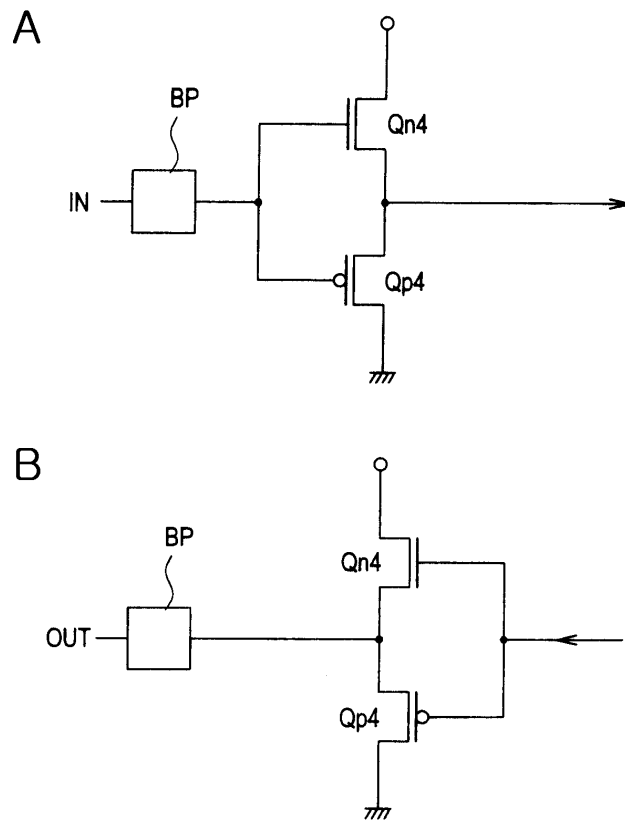
도면2



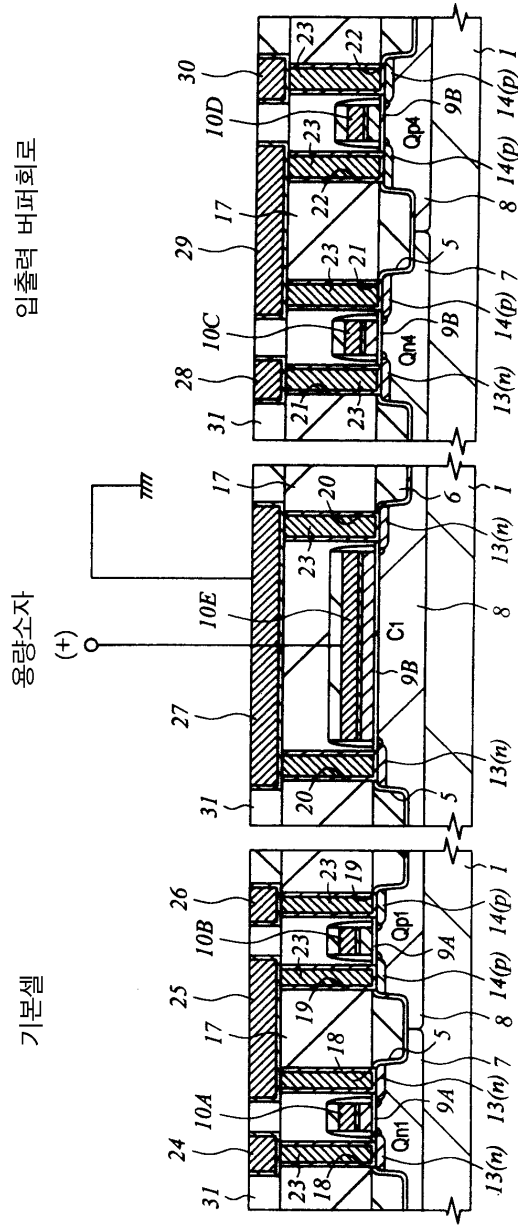
도면3



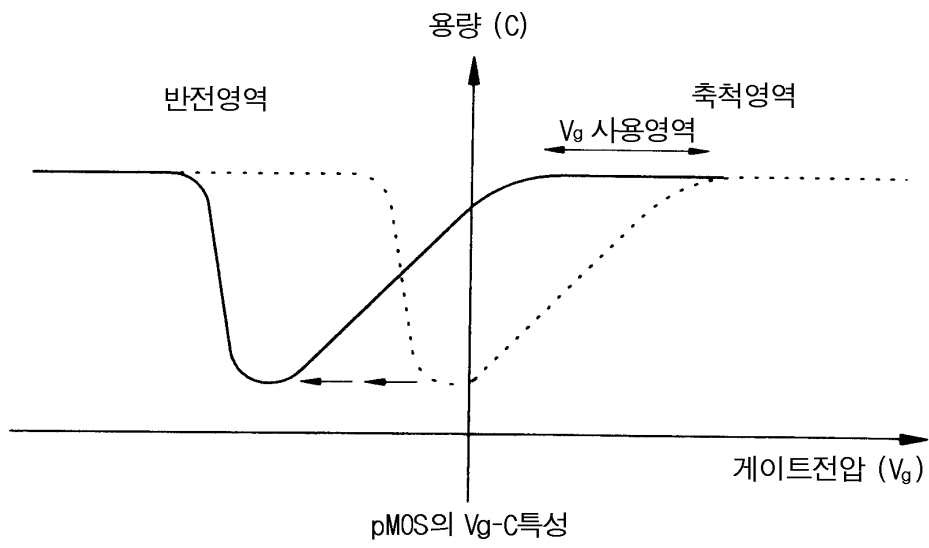
도면4



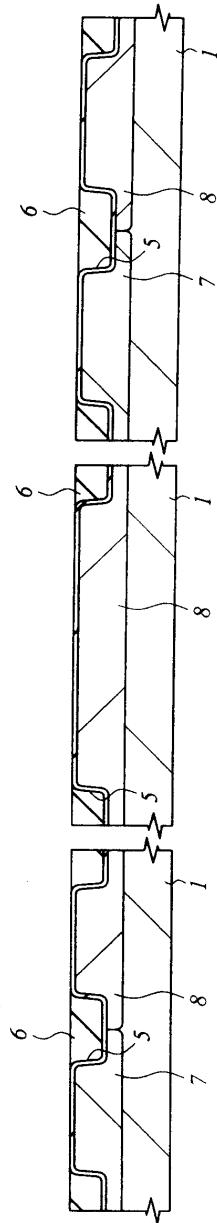
도면5



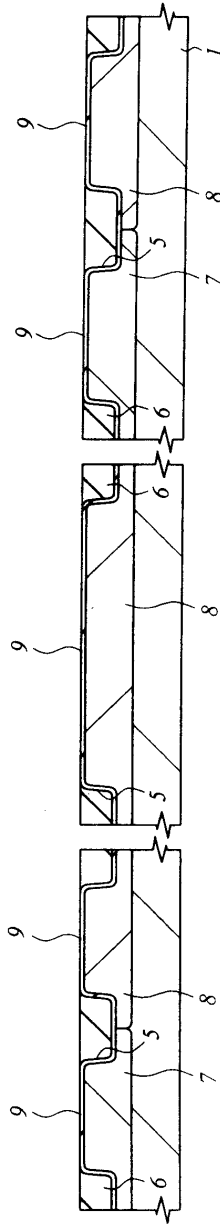
도면6



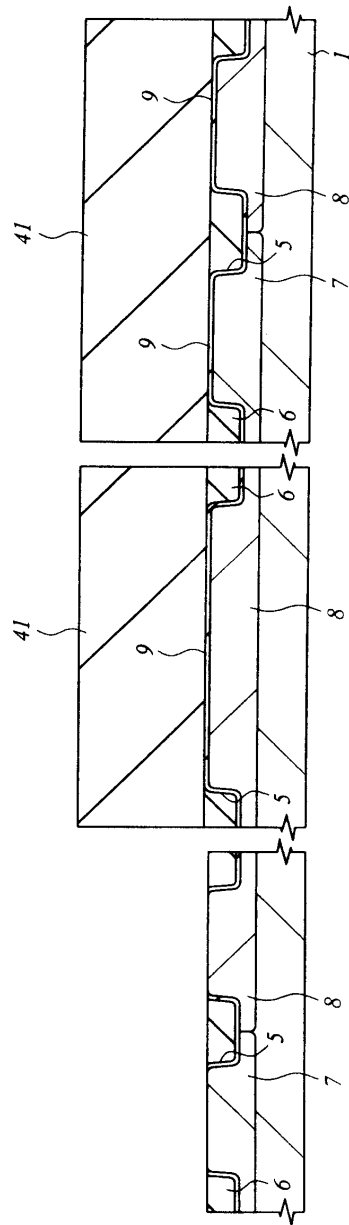
도면7



도면8

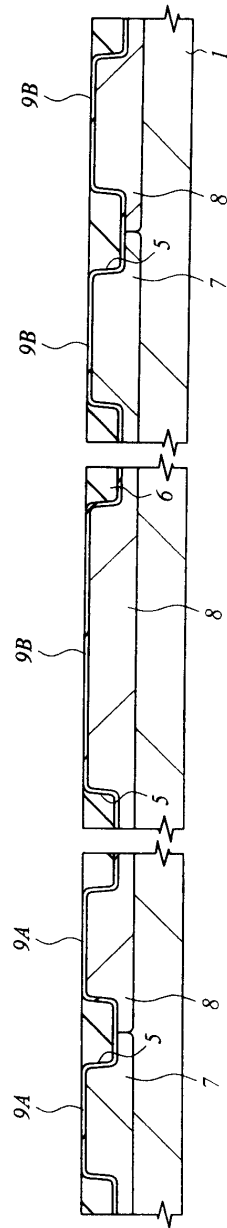


도면9

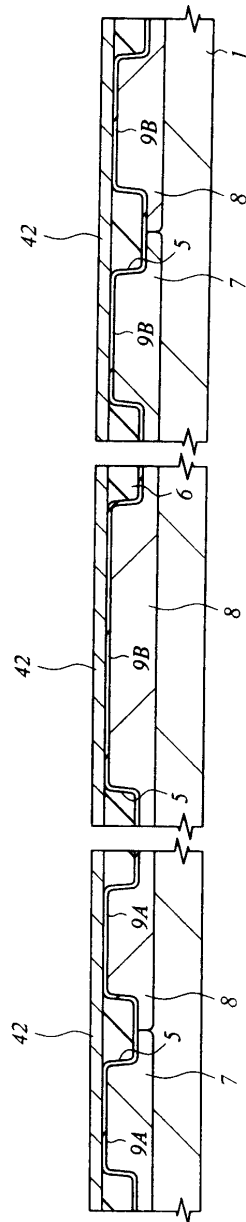




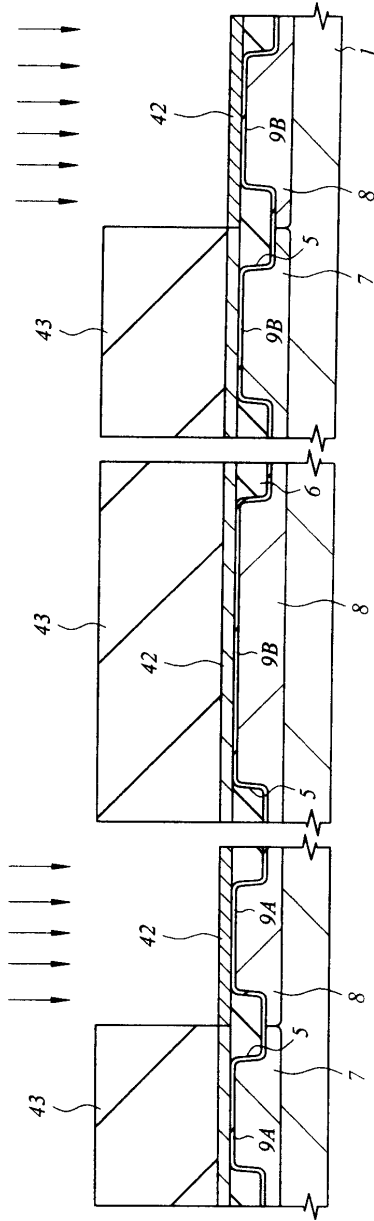
도면10



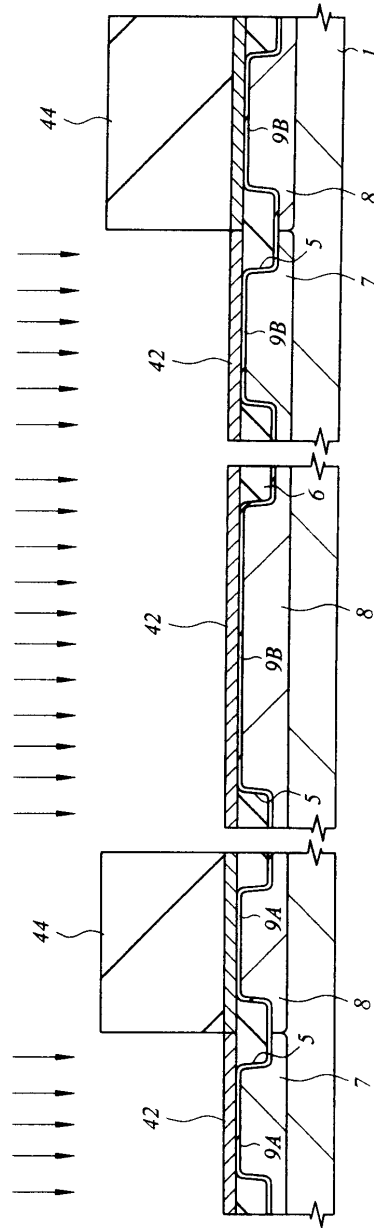
도면11



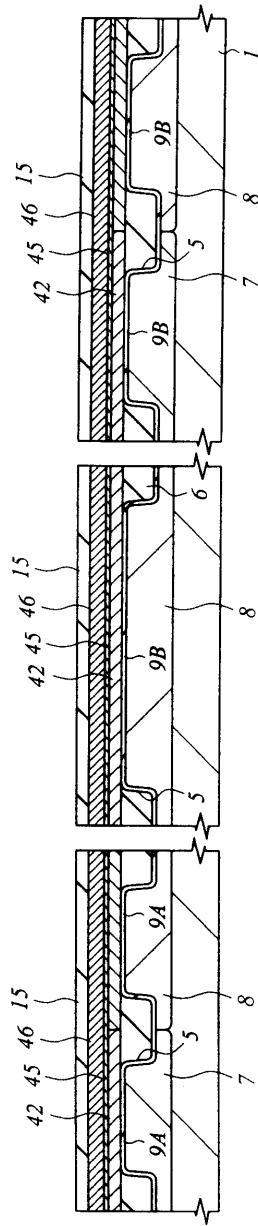
도면12



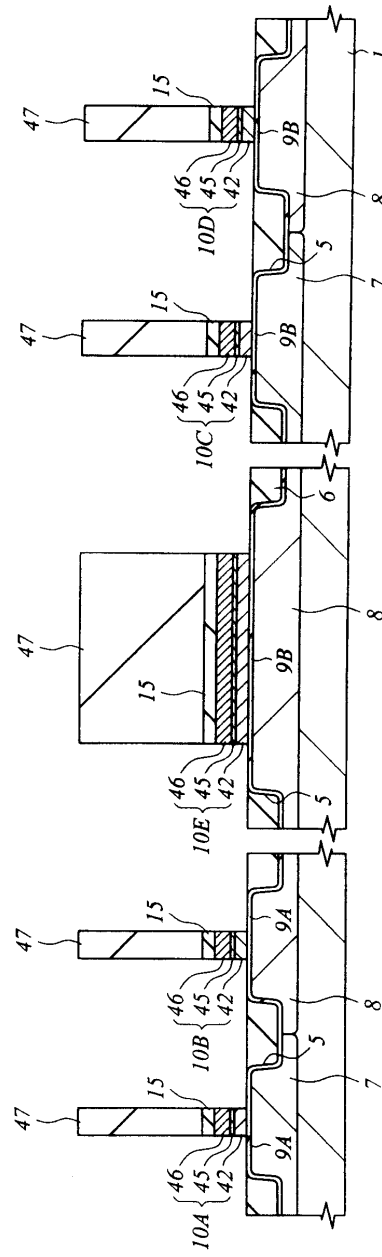
도면13



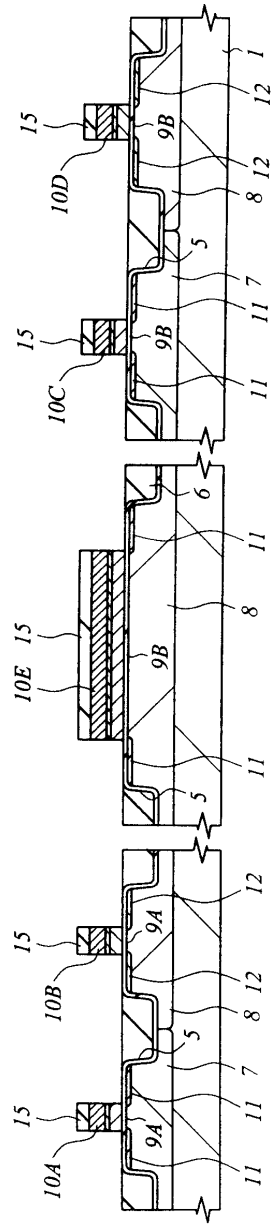
도면14



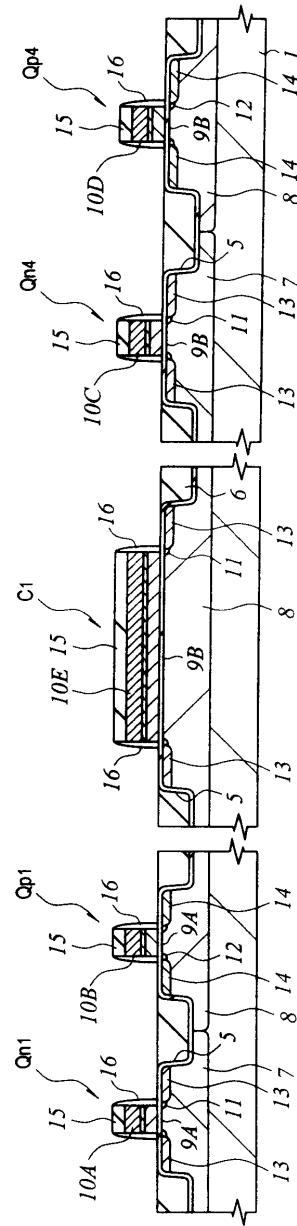
도면15



도면16

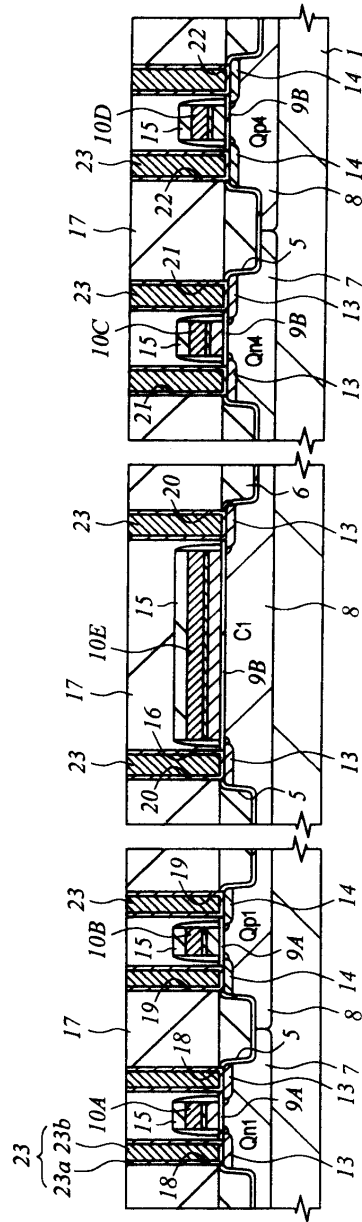


도면17

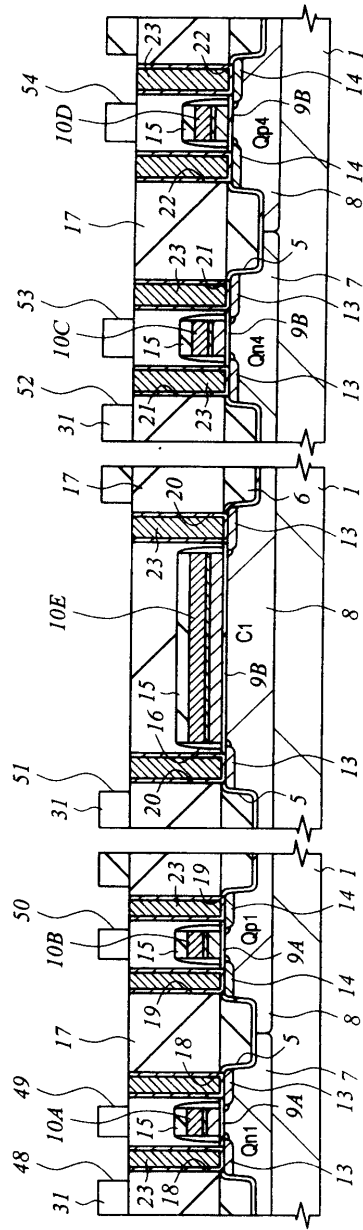




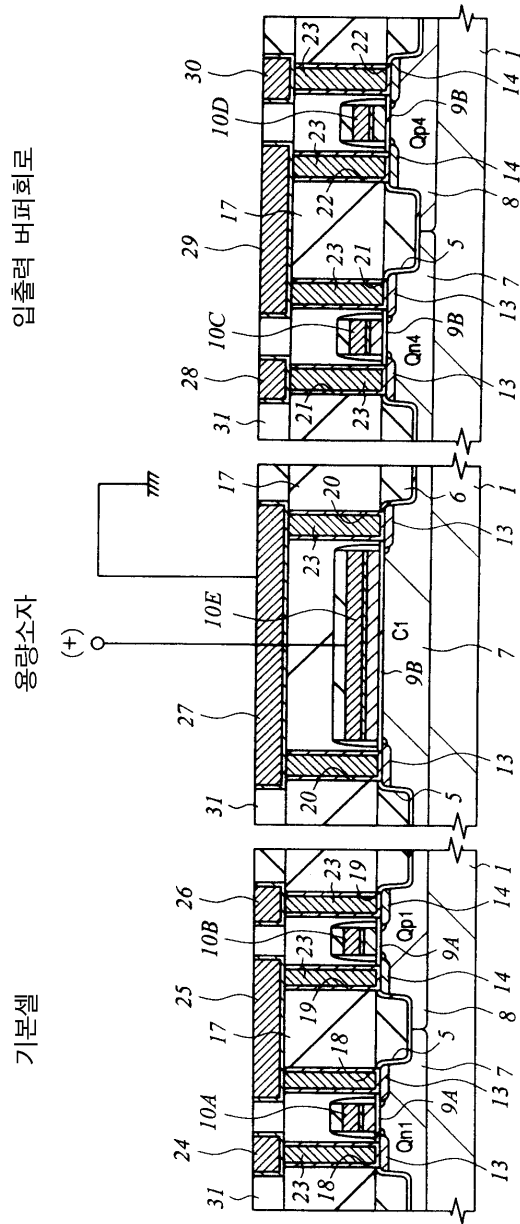
도면18



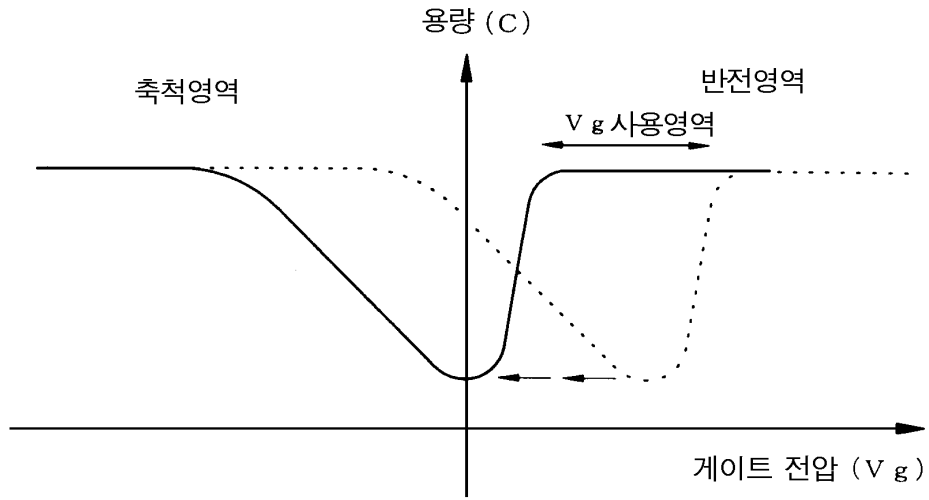
도면19



도면20

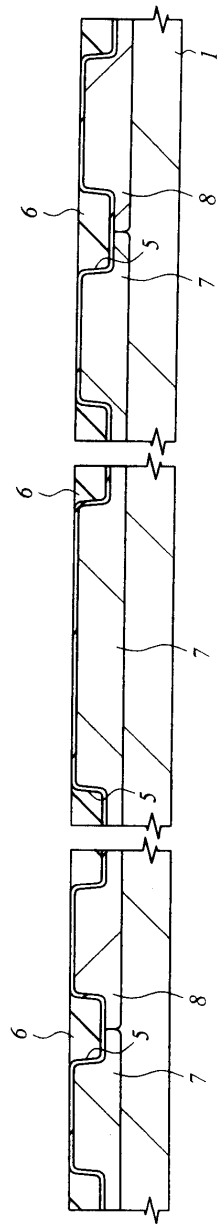


도면21

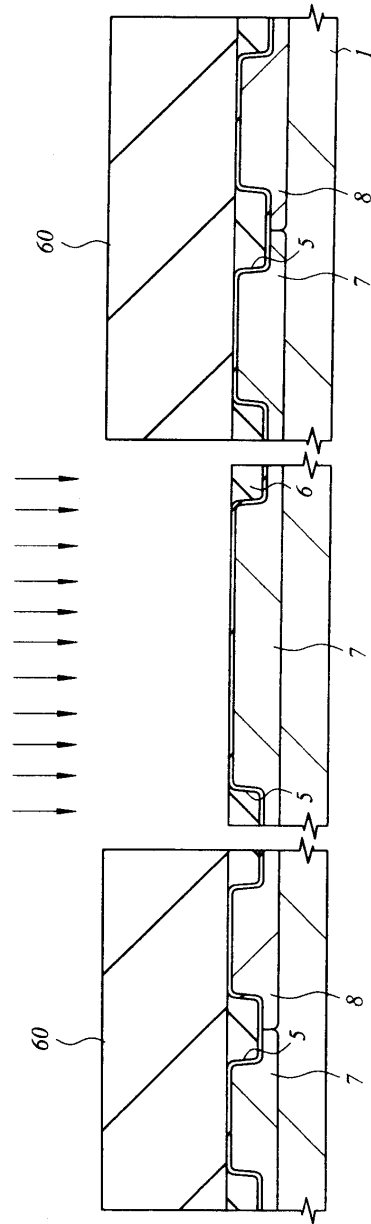


nMOS의  $V_g - C$  특성

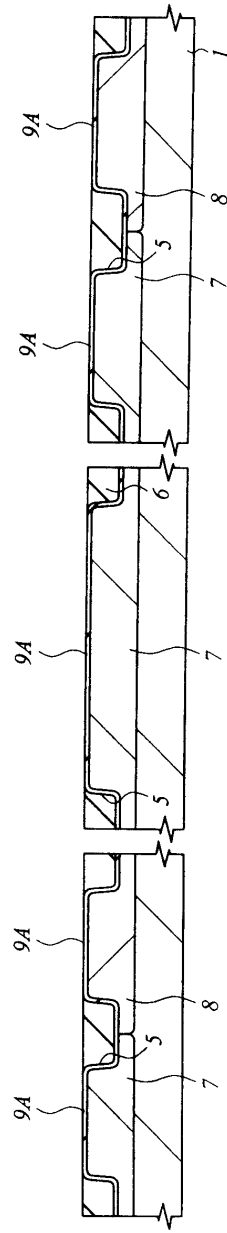
도면22



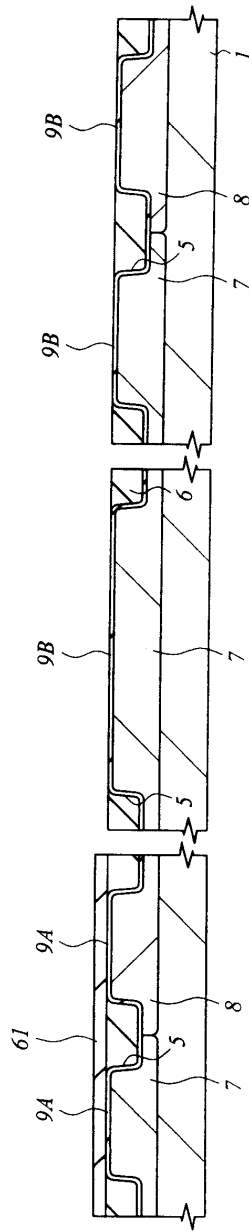
도면23



도면24

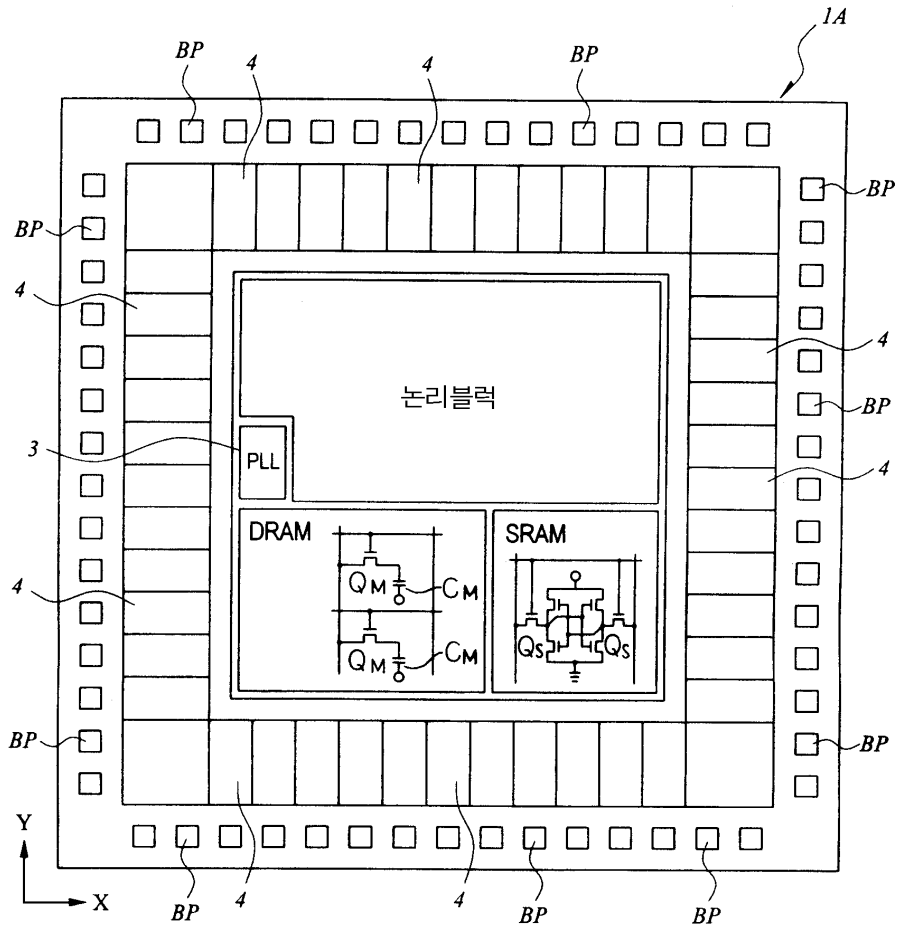


도면25

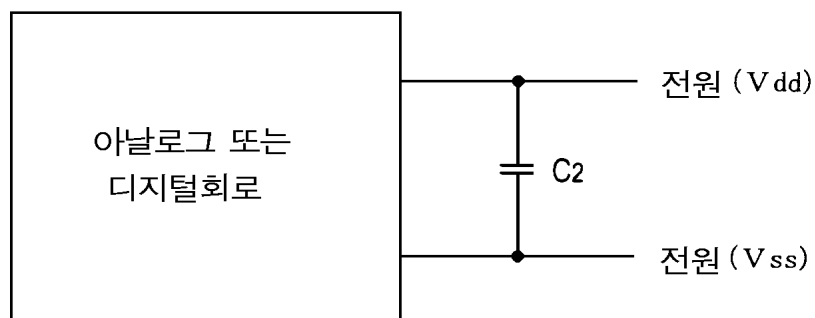




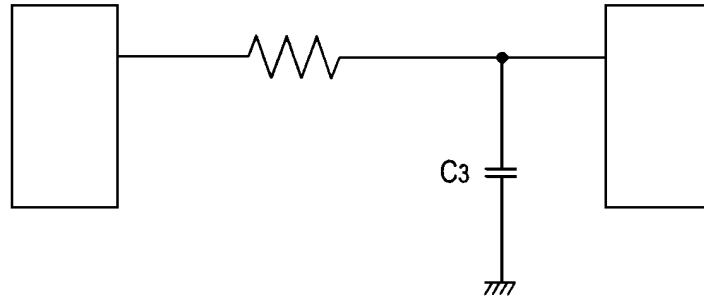
도면26



도면27



도면28



도면29

