

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-78898
(P2004-78898A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G 0 6 K 19/07	G O 6 K 19/00 J	2 C O O 5
B 4 2 D 15/10	B 4 2 D 15/10 5 2 1	5 B O 3 5
	G O 6 K 19/00 H	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2003-161919 (P2003-161919)	(71) 出願人	000005108
(22) 出願日	平成15年6月6日 (2003.6.6)		株式会社日立製作所
(31) 優先権主張番号	特願2002-175189 (P2002-175189)		東京都千代田区神田駿河台四丁目6番地
(32) 優先日	平成14年6月17日 (2002.6.17)	(71) 出願人	000233169
(33) 優先権主張国	日本国 (JP)		株式会社日立超エル・エス・アイ・システムズ
			東京都小平市上水本町5丁目22番1号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	角田 尚隆
			東京都小平市上水本町5丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

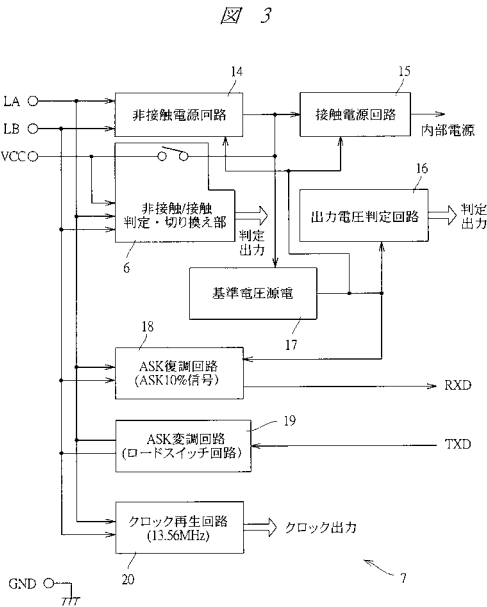
(54) 【発明の名称】 I C カード

(57) 【要約】

【課題】非接触動作時における電源端子間の短絡による誤動作などを防止し、かつセキュリティを大幅に向上する。

【解決手段】非接触／接触動作を兼用するデュアルウェイタイプのI Cカードにおいて、電源電圧端子V C Cと接触電源回路1 5との間には分離用のトランジスタが設けられている。非接触／接触判定・切り換え部6は、I Cカードが非接触動作であることを検出すると、該トランジスタをO F Fし、電源電圧端子V C Cと接触電源回路1 5と分離する。これにより、非接触動作時に電源電圧端子V C Cとグランド端子G N Dとが短絡した際のI Cカードの誤動作などを確実に防止する。このとき、電源電圧端子V C Cが基準電位V S Sレベルとなるので、該電源電圧端子V C Cの電圧モニタを防止でき、該I Cカードのセキュリティを大幅に向上する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

接触タイプと非接触タイプとを兼用したデュアルウェイタイプの IC カードであって、非接触動作を検出し、制御信号を出力する動作モード検出部と、前記動作モード検出部の制御信号に基づいて、接触電源端子と内部電源とを切り離す分離スイッチ手段とを備えたことを特徴とする IC カード。

【請求項 2】

請求項 1 記載の IC カードにおいて、前記接触電源端子が、電源電圧が供給される電源電圧端子、または基準電位が接続される基準電位端子の少なくともいずれかであることを特徴とする IC カード。

10

【請求項 3】

請求項 1 または 2 記載の IC カードにおいて、前記分離スイッチ手段が、2 つの P チャネル MOS トランジスタを直列接続した構成からなることを特徴とする IC カード。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の IC カードにおいて、前記分離スイッチ手段を、前記接触電源端子の近傍に設けたことを特徴とする IC カード。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の IC カードにおいて、前記 P チャネル MOS トランジスタのトランジスタサイズは、論理用の MOS トランジスタよりも大きいことを特徴とする IC カード。

20

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の IC カードにおいて、前記動作モード検出部は、受信した電波を整流して直流電圧を生成し、その直流電圧を検出して非接触動作を判定することを特徴とする IC カード。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、IC カードに関し、特に、デュアルウェイタイプの IC カードにおける信頼性の向上に適用して有効な技術に関するものである。

【0002】

30

【従来の技術】

近年、クレジットカードや電話カードなどの機能を有する IC カードが普及しつつある。この IC カードは、磁気カードと同じような形状のカードに CPU とメモリとが搭載されており、該 CPU によってメモリのリード/ライトが管理され、暗号処理などをカードそれ自体に持たせ、高セキュリティ機能、および大記憶容量を有している。

【0003】

また、IC カードには、外部装置との情報伝達方式の 1 つとして、たとえば、該外部装置との間に機械的結合手段を有する接触タイプ、電波などの情報伝送媒体によって情報を伝達する非接触タイプ、ならびに接触/非接触兼用タイプ、いわゆるデュアルウェイタイプがある。

40

【0004】

デュアルウェイタイプの IC カードでは、接触タイプの電源入力端子から供給された電力と、非接触タイプの電波から供給される電力とが共通の電源ラインとなり、内部の電源レギュレータに供給される。

【0005】

この場合、電源ラインが共通のために、IC カードの非接触動作時において、接触動作時に用いられる電源端子にも電源電圧が印加され、金属の接触などの何らかの理由によって電源電圧 (VDD) 端子と接地 (GND) 端子とが短絡した際に誤動作などを招いてしまう恐れがある。

【0006】

50

このような電源電圧端子と接地端子との短絡によるＩＣカードの誤動作を防止する技術としては、たとえば、特開２０００－１４８９６１号公報に示されるように、電源ラインの電源電圧ＶＤＤ側などにダイオードを挿入し、電源電圧端子から接地端子に電流が逆流することを防止することが知られている。

【０００７】

【発明が解決しようとする課題】

ところが、上記のようなＩＣカードにおける逆電流防止技術では、次のような問題点があることが本発明者により見い出された。

【０００８】

すなわち、ＩＣカードの電源ラインに逆電流防止用のダイオードを挿入した場合、接触動作時に電源端子に供給される電源電圧が該ダイオードの順方向電圧（ＶＦ）によりドロップしてしまい、電源動作範囲が狭くなってしまい、ＩＣカードの信頼性などを損ねてしまう恐れがある。

【０００９】

また、デュアルウェイタイプのＩＣカードでは、非接触動作時にアンテナから供給されている電力の変化を電源端子からモニタされるという問題がある。電力の変化のモニタは、電源ラインにダイオードが挿入されていても完全に防止できず、この電力の変化を読み取ることにより、ＩＣカードの半導体集積回路装置の内部動作などが解析され、セキュリティホールになってしまう恐れがある。

【００１０】

本発明の目的は、非接触動作時における電源端子間の短絡による誤動作などを防止するとともに、電力変化のモニタを防止してセキュリティを大幅に向上することのできるＩＣカードを提供することにある。

【００１１】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１２】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

１．接触タイプと非接触タイプとを兼用したデュアルウェイタイプのＩＣカードであって、非接触動作を検出して制御信号を出力する動作モード検出部と、該動作モード検出部の制御信号に基づいて、接触電源端子と内部電源とを切り離す分離スイッチ手段とを備えたものである。

【００１３】

また、本願のその他の発明の概要を簡単に示す。

２．前記第１項において、接触電源端子が、電源電圧端子、または基準電位端子の少なくともいずれかよりなるものである。

３．前記第１項または前記第２項において、分離スイッチ手段が、２つのＰチャネルＭＯＳトランジスタを直列接続した構成からなるものである。

４．前記第１項～第３項のいずれかにおいて、分離スイッチ手段を、接触電源端子の近傍に設けたものである。

５．前記第１項～前記第４項のいずれかにおいて、ＰチャネルＭＯＳトランジスタのトランジスタサイズは、論理用のＭＯＳトランジスタよりも大きいものである。

６．前記第１項～第５項のいずれかにおいて、動作モード検出部は、受信した電波を整流して直流電圧を生成し、その直流電圧を検出して非接触動作を判定するものである。

【００１４】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１５】

10

20

30

40

50

図 1 は、本発明の一実施の形態による IC カードの説明図、図 2 は、図 1 の IC カードに内蔵された半導体集積回路装置のブロック図、図 3 は、図 2 の半導体集積回路装置に設けられた非接触 RF 部のブロック図、図 4 は、図 3 の非接触 RF 部に設けられた非接触 / 接触判定・切り換え部の構成説明図、図 5 は、図 4 の非接触 RF 部における各部の信号タイミングチャート、図 6 は、図 1 の IC カードに内蔵された半導体集積回路装置におけるチップレイアウトの説明図、図 7 は、図 4 の非接触 RF 部に設けられたトランジスタの断面図、図 8 は、図 7 のトランジスタの等価回路図、図 9 は、図 7 のトランジスタ論理用の P チャネル MOS トランジスタとのデバイスサイズを比較した説明図である。

【 0 0 1 6 】

本実施の形態において、IC カード 1 は、接触型と非接触型とを兼用した、いわゆるデュアルインタフェース IC カードからなる。IC カード 1 は、図 1 に示すように、磁気カードと同じような形状のプラスチックカード 2 に半導体集積回路装置 3 が埋め込まれている。

【 0 0 1 7 】

また、プラスチックカード 2 の外周部近傍には、アンテナとなるコイル 4 が埋め込まれている。このコイル 4 の両端は、半導体集積回路装置 2 の接続端子 LA, LB (図 2) に接続されている。

【 0 0 1 8 】

コイル 4 は、IC カード 1 の非接触動作時に、カード端末機からの電波を受け、電力供給や情報通信などを行う。

【 0 0 1 9 】

プラスチックカード 2 の表面には、半導体集積回路装置 3 の複数の外部端子 3 a が露出して設けられている。これら外部端子 3 a は、IC カード 1 が接触動作時にカード端末機の外部端子と機械的に接触することにより、電力供給や情報通信などが行われる。

【 0 0 2 0 】

さらに、半導体集積回路装置 3 は、図 2 に示すように、クロック生成回路 5、非接触 / 接触判定・切り換え部 (動作モード検出部) 6、非接触 RF 部 7、非接触 RAM 8、CPU 9、ROM 10、RAM 11、EEPROM 12、ならびに I/O ポート 13 などから構成されている。

【 0 0 2 1 】

半導体集積回路装置 3 は、外部端子 3 a として、クロック端子 CLK、電源電圧端子 (接触電源端子) VCC、リセット端子 RES、グランド端子 (接触電源端子、基準電位端子) GND、および入出力端子 I/O1, I/O2 が設けられている。

【 0 0 2 2 】

クロック端子 CLK は、外部クロック信号が供給される。電源電圧端子 VCC は、電源電圧が供給され、リセット端子 RES は、リセット信号が入力される。グランド端子 GND には基準電位 VSS が接続され、入出力端子 I/O1, I/O2 には、データが入出力される。

【 0 0 2 3 】

クロック生成回路 5 は、クロック端子 CLK から供給されたクロック信号から内部クロック信号を生成する。非接触 / 接触判定・切り換え部 6 は、IC カード 1 の動作時において、コイル 4 に電圧があるか否かを検出することによって接触動作か非接触動作かを判定し、内部クロック信号の切り換えなどを制御するとともに、IC カード 1 が非接触動作時には電源電圧端子 VCC を電氣的に切断する。

【 0 0 2 4 】

非接触 RF 部 7 は、IC カード 1 が非接触動作する際に用いられる高周波インタフェース機能であり、接続端子 LA, LB を介してコイル 4 の両端部が接続されている。

【 0 0 2 5 】

また、非接触 RAM 8、CPU 9、ROM 10、RAM 11、および EEPROM 12 は、内部バス B により相互に接続されている。非接触 RAM 8 は揮発性メモリであり、IC

カード 1 の非接触動作時において、該 IC カード 1 から入出力されるデータを一時的に格納する。

【 0 0 2 6 】

CPU 9 は、ROM 10 に格納されたプログラムに基づいて IC カードにおけるすべての制御を司る。ROM 10 は読み出し専用メモリであり、IC カード 1 の制御プログラムなどが格納されている。

【 0 0 2 7 】

RAM 11 は揮発性メモリからなり、IC カード 1 の接触動作時に該 IC カード 1 から入出力されるデータを一時的に格納する。EEPROM 12 は電氣的に消去 / 書き換えが可能なメモリであり、非接触 RAM 8、あるいは RAM 11 に一時的に格納されたデータなどを格納する。I/O ポート 13 は、カード端末機からのデータが入出力されるポートである。

10

【 0 0 2 8 】

また、非接触 RF 部 7 の構成について、図 3 のブロック図を用いて説明する。

【 0 0 2 9 】

非接触 RF 部 7 は、非接触電源回路 14、接触電源回路 15、出力電圧判定回路 16、基準電圧電源 17、ASK 復調回路 18、ASK 変調回路 19、およびクロック再生回路 20 からなる。

【 0 0 3 0 】

非接触電源回路 14 は、整流回路、レギュレータなどから構成された電源回路であり、IC カード 1 の動作電圧となる内部電源電圧を生成する。コイル 4 は、カード端末機から出力された電波から電力を取り出し、その電力を非接触電源回路 14 に供給する。

20

【 0 0 3 1 】

接触電源回路 15 はレギュレータなどからなり、IC カード 1 が接触動作時に電源電圧端子 VCC から供給される電源電圧から内部電源電圧を生成する。出力電圧判定回路 16 は、内部電源電圧の電圧レベルを検出し、ある電圧レベルになるとリセット信号を出力し、半導体集積回路装置 3 をリセットする。

【 0 0 3 2 】

基準電圧電源 17 は、たとえば、バンドギャップ回路からなり、内部電源電圧から基準電圧を生成し、非接触電源回路 14、接触電源回路 15、出力電圧判定回路 16、および ASK 復調回路 18 などに供給する。

30

【 0 0 3 3 】

ASK 復調回路 18 は、コイル 4 が受信した搬送波の振幅を入力ディジタル信号に対応させて変化させた ASK (Amplitude Shift Keying : 振幅シフトキーイング) 信号のデータを復調して非接触 RAM 8 に出力する。

【 0 0 3 4 】

ASK 変調回路 19 は、非接触 RAM 8 から出力されたデータを ASK 変調し、コイル 4 から送信する。クロック再生回路 20 は、コイル 4 が受信したクロック信号から、13.56 MHz 程度の内部クロック信号を生成し、半導体集積回路装置 3 の動作クロック信号として出力する。

40

【 0 0 3 5 】

また、非接触 / 接触判定・切り換え部 6 の接続構成について、図 4 を用いて説明する。

【 0 0 3 6 】

非接触 / 接触判定・切り換え部 6 は、ダイオード D1、D2、抵抗 R1 ~ R4、コンデンサ C1、Pチャネル MOS のトランジスタ (分離スイッチ手段) T1、T2、インバータ Iv1、Iv2、否定論理積回路 ND、否定論理和回路 NR1、NR2、電圧検出回路 DK、遅延回路 DL1 ~ DL3、および判定ラッチ HR から構成されている。

【 0 0 3 7 】

ダイオード D1 のアノード、および非接触電源回路 14 の一方の入力部には、コイル 4 の一方の端部が接続された接続端子 LA がそれぞれ接続されている。ダイオード D2 のアノ

50

ード、および非接触電源回路 14 の他方の入力部には、コイル 4 の他方の端部が接続された接続端子 L B がそれぞれ接続されている。

【 0 0 3 8 】

ダイオード D 1 , D 2 のカソードは、抵抗 R 2 の一方の接続部、ならびにインバータ I v 1 の入力部に接続されており、これらダイオード D 1 , D 2 は、コイル 4 から取り込まれた電力を整流して出力する。

【 0 0 3 9 】

非接触電源回路 14 の出力部には、抵抗 R 1 の一方の接続部、トランジスタ T 2 の他方の接続部、電圧検出回路 D K の入力部、および接触電源回路 15 の入力部にそれぞれ接続されている。非接触電源回路 14 は、コイル 4 から取り込まれた電力を整流し、安定化して出力する。 10

【 0 0 4 0 】

抵抗 R 1 の他方の接続部には、コンデンサ C 1 の一方の接続部、および遅延回路 D L 1 の入力部に接続されており、該コンデンサ C 1 の他方の接続部には、基準電位 V S S が接続されている。これら抵抗 R 1、ならびにコンデンサ C 1 により時定数回路が形成される。

【 0 0 4 1 】

遅延回路 D L 1 の出力部には、否定論理積回路 N D の他方の入力部が接続されており、該否定論理積回路 N D の一方の接続部には、電圧検出回路 D K の電圧検出信号が入力されるように接続されている。

【 0 0 4 2 】

否定論理積回路 N D の出力部には、遅延回路 D L 2 の入力部、およびフリップフロップからなる判定ラッチ H R のリセット端子が接続されている。この遅延回路 D L 2 の出力部には、遅延回路 D L 3 の入力部、および否定論理和回路 N R 1 の他方の入力部が接続されており、該否定論理和回路 N R 1 の一方の入力部には、遅延回路 D L 3 の出力部が接続されている。 20

【 0 0 4 3 】

否定論理和回路 N R 1 の出力部には、判定ラッチ H R のクロック端子が接続されている。そして、判定ラッチ H R の出力部から出力される信号が、非接触 / 接触判定・切り換え部 6 の判定信号となる。判定ラッチ H R の出力部には、否定論理和回路 N R 2 の他方の入力部が接続されている。 30

【 0 0 4 4 】

抵抗 R 3 の一方の接続部、およびトランジスタ T 1 の一方の接続部には、電源電圧端子 V C C が接続されている。トランジスタ T 1 の他方の接続部には、トランジスタ T 2 の一方の接続部が接続されており、これらトランジスタ T 1 , T 2 のゲートには、抵抗 R 4 の一方の接続部、およびインバータ I v 2 の出力部がそれぞれ接続されている。

【 0 0 4 5 】

これらトランジスタ T 1 , T 2 は、電源電圧端子 V C C と接触電源回路 15 などの内部電源ラインとを分離するスイッチである。トランジスタ T 1 , T 2 は、I C カード 1 が接触動作する場合に O N となり、該 I C カード 1 が非接触動作時には、トランジスタ T 1 , T 2 が O F F となって前述したように電源電圧端子 V C C と内部電源ラインとを電氣的に切り離す。 40

【 0 0 4 6 】

これにより、電源電圧端子 V C C は抵抗 R 3 によって基準電位 V S S レベルに固定される。

【 0 0 4 7 】

また、抵抗 R 3 , R 4 の他方の接続部には、基準電位 V S S が接続されており、インバータ I v 2 の入力部には、否定論理和回路 N R 2 の出力部が接続されている。

【 0 0 4 8 】

抵抗 R 2 の他方の接続部には、基準電位 V S S が接続されており、インバータ I v 1 の出力部には、判定ラッチ H R のデータ端子、および否定論理和回路 N R 2 の一方の入力部が 50

それぞれ接続されている。

【0049】

次に、本実施の形態における非接触/接触判定・切り換え部6の動作について、図5のタイミングチャートを用いて説明する。

【0050】

図5においては、上方から下方にかけて、非接触電源回路14から出力される一次電源(図4のノードa)、ダイオードD1、D2に整流された判定検出用電圧(図4のノードb)、遅延回路DL1に入力される起動検出電圧(図4のノードc)、否定論理積回路NDから出力されるリセット信号(図4のノードd)、否定論理和回路NR1から出力されるラッチパルス(図4のノードe)、判定ラッチHRから出力される判定信号(図4のノードf)、インバータIv1から出力される出力信号(図4のノードg)、トランジスタT1、T2を駆動させる制御信号(図4のノードh)における信号のタイミングをそれぞれ示している。

10

【0051】

また、図5においては、非接触動作時の信号タイミングを実線で示し、接触動作時の信号タイミングを点線により示している。ここでは、ICカード1の非接触動作について説明する。

【0052】

まず、コイル4がカード端末機の電波を受信すると、非接触電源回路14から一次電源が出力され、ダイオードD1、D2から出力される判定検出用電圧も同様に上昇し、Hiレベルとなる。

20

【0053】

このとき、否定論理積回路NDからリセット信号(Hiレベル)が出力され、判定ラッチHRをリセットする。遅延回路DL1は、ある時定数で起動検出電圧(ノードc)がHiレベルとなると、そのHiレベルの信号をある時間だけ遅延させて出力する。否定論理積回路NDは、遅延回路DL1から出力されたHiレベル信号を受けてLoレベル信号となる。

【0054】

また、前述のように判定検出用電圧がHiレベルであるので、インバータIv1から出力される信号(ノードg)がLoレベルとなり、インバータIv2から出力される制御信号がHiレベルとなる。

30

【0055】

そして、否定論理積回路NDから出力されたリセット信号は、遅延回路DL2によってある時間遅延されて、否定論理和回路NR1に他方の入力部に入力され、該遅延回路DL2から出力された信号は遅延回路DL3によりさらに遅延されて、否定論理和回路NR1の一方の入力部に入力される。

【0056】

否定論理和回路NR1は、遅延回路DL2と遅延回路DL3との遅延時間の間、ラッチパルスを出し、このラッチパルスに基づいて判定ラッチHRはインバータIv1の出力信号(ノードg)をラッチし、判定信号(ノードf)として出力する。ここで、非接触/接触判定・切り換え部6においては、ダイオードD1、D2によって整流した直流電圧を検出信号として用いているので、検出時間を短くすることができる。

40

【0057】

このとき、インバータIv1の出力はLoレベル、判定信号もLoレベルであるので、インバータIv2の出力部(ノードh)からは、Hiレベルの信号が出力されており、トランジスタT1、T2がOFFとなって電源電圧端子VCCは基準電位VSSレベルとなる。

【0058】

よって、電源電圧端子VCCとグランド端子GNDとが短絡しても、逆電流が流れることが防止されることになる。

50

【 0 0 5 9 】

さらに、半導体集積回路装置 3 のチップレイアウトについて、図 6 を用いて説明する。

【 0 0 6 0 】

図 6 において、半導体チップ C H の上方には、非接触 R F 部 7 が位置しており、この非接触 R F 部 7 の上方には接続端子 L A , L B がそれぞれ設けられている。さらに、非接触 R F 部 7 に近接する下部には、非接触 R A M 8 と R O M 1 0 の一部である非接触 R O M 1 0 a が設けられている。

【 0 0 6 1 】

図中の網掛けで示した領域には、これら非接触 R A M 8 と非接触 R O M 1 0 a を含むように、R O M 1 0 、R A M 1 1 、E E P R O M 1 2 、C P U 9 やクロック生成回路 5 、非接 10
触 / 接触判定・切り替え部 6 を含む論理回路が構成されている。

【 0 0 6 2 】

半導体チップ C H の周辺には、クロック端子 C L K 、電源電圧端子 (接触電源端子) V C C 、リセット端子 R E S 、グランド端子 (接触電源端子、基準電位端子) G N D 、および入出力端子 I / O 1 , I / O 2 が設けられている。

【 0 0 6 3 】

そして、電源電圧端子 V C C の近傍には、トランジスタ T 1 , T 2 が設けられることによってインピーダンスを下げることができ、電圧低下を抑えることができる。

【 0 0 6 4 】

ここで、トランジスタ T 1 , T 2 の断面図を図 7 に示す。 20

【 0 0 6 5 】

図 7 において、たとえば、P 形のシリコン単結晶基板からなる半導体基板 H K 上に H K 上 N - ウェル W n が形成されており、この N - ウェル W n 上にトランジスタ T 1 , T 2 が形成されている。

【 0 0 6 6 】

トランジスタ T 1 , T 2 には、図 8 に示すように、半導体基板 H K に形成される寄生ダイオード D k 1 ~ D k 4 が形成されるが、これらトランジスタ T 1 , T 2 を直列接続することによって、トランジスタ T 1 の寄生ダイオード D k 1 , D k 2 がそれぞれ順方向、および逆方向に接続されることになる。

【 0 0 6 7 】

さらに、トランジスタ T 2 の寄生ダイオード D k 3 , D k 4 においても同様に、順方向、および逆方向に接続されることになる。それにより、これら寄生ダイオード D k 1 ~ D k 4 を介して電源電圧端子 V C C に電圧が発生してしまうことを防止することができる。 30

【 0 0 6 8 】

また、図 9 は、トランジスタ T 1 (, T 2) と一般的な論理用の P チャネル M O S トランジスタ T p とのデバイスサイズを比較した説明図である。

【 0 0 6 9 】

図示するように、トランジスタ T 1 (, T 2) は O N 抵抗を下げるために、トランジスタ T p に比べ、たとえば、面積比で約 7 0 0 倍程度以上となっている。この場合、n 個の P チャネル M O S トランジスタ t が並列接続されて 1 つのトランジスタ T 1 (, T 2) が構成 40
されている。

【 0 0 7 0 】

それにより、本実施の形態によれば、I C カード 1 の非接触動作時には、トランジスタ T 1 , T 2 が O F F となり、電源電圧端子 V C C が基準電位 V S S レベルとなるので、電源電圧端子 V C C とグランド端子 G N D とが短絡しても、該 I C カード 1 の誤動作などを確実に防止することができる。

【 0 0 7 1 】

また、I C カード 1 の非接触動作時には、電源電圧端子 V C C は基準電位 V S S レベルとなるので、該電源電圧端子 V C C をモニタすることによる内部動作の解析を防止することができ、該 I C カード 1 のセキュリティを大幅に向上することができる。 50

【 0 0 7 2 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 7 3 】

たとえば、前記実施の形態では、電源電圧端子を基準電位 V_{SS} レベルに固定するトランジスタが P チャンネル MOS のトランジスタから構成された場合について記載したが、これらトランジスタは、N チャンネル MOS トランジスタであってもよい。

【 0 0 7 4 】

この場合、図 10 に示すように、非接触 / 接触判定・切り換え部 6 には、トランジスタ T_1 , T_2 (図 4) の代わりとして N チャンネル MOS のトランジスタ (分離スイッチ手段) T_3 が設けられ、該トランジスタ T_3 を駆動させる昇圧回路 21 が新たに設けられる構成となる。 10

【 0 0 7 5 】

N チャンネル MOS のトランジスタ T_3 を用いることにより、寄生ダイオードの影響をなくすることができる。

【 0 0 7 6 】

トランジスタ T_3 の一方の接続部には、電源電圧端子 V_{CC} が接続されており、該トランジスタ T_3 の他方の接続部には、非接触電源回路 14 の出力部に接続されている。トランジスタ T_3 のゲートには、抵抗 R_4 を介して基準電位に接続されている。 20

【 0 0 7 7 】

また、トランジスタ T_3 のゲートには、昇圧回路 21 が生成した昇圧電圧が入力するように接続されており、該昇圧回路 21 の制御端子には、否定論理和回路 NR_2 の出力部が接続されている。

【 0 0 7 8 】

昇圧回路 21 は、否定論理和回路 NR_2 の出力部から出力された信号に基づいて昇圧動作を開始し、生成した昇圧電圧をトランジスタ T_3 のゲートに出力する。

【 0 0 7 9 】

さらに、その他の非接触 / 接触判定・切り換え部 6 における構成、および接続は、図 4 と同様であるので説明は省略する。 30

【 0 0 8 0 】

よって、N チャンネル MOS のトランジスタ T_3 を用いることにより、トランジスタ T_1 , T_2 (図 4) に比べて ON 抵抗を小さくすることが可能となる。

【 0 0 8 1 】

【 発明の効果 】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【 0 0 8 2 】

(1) 分離スイッチ手段を設けたことにより、非接触動作時に接触電源端子が短絡しても、IC カードの誤動作などを防止することができる。 40

【 0 0 8 3 】

(2) また、非接触動作時に接触電源端子と内部電源とを切り離すことにより、非接触動作時における IC カードのセキュリティを大幅に向上することができる。

【 0 0 8 4 】

(3) さらに、上記 (1) 、 (2) により、IC カードの信頼性を向上することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施の形態による IC カードの説明図である。

【 図 2 】 図 1 の IC カードに内蔵された半導体集積回路装置のブロック図である。

【 図 3 】 図 2 の半導体集積回路装置に設けられた非接触 RF 部のブロック図である。 50

【図 4】図 3 の非接触 R F 部に設けられた非接触 / 接触判定・切り換え部の構成説明図である。

【図 5】図 4 の非接触 R F 部における各部の信号タイミングチャートである。

【図 6】図 1 の I C カードに内蔵された半導体集積回路装置におけるチップレイアウトの説明図である。

【図 7】図 4 の非接触 R F 部に設けられたトランジスタの断面図である。

【図 8】図 7 のトランジスタの等価回路図である。

【図 9】図 7 のトランジスタ論理用の P チャネル M O S トランジスタとのデバイスサイズを比較した説明図である。

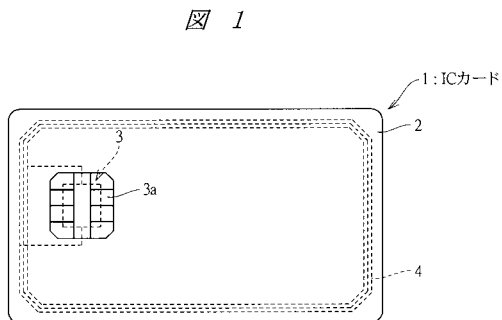
【図 10】本発明の他の実施の形態による I C カードに内蔵された半導体集積回路装置に設けられた非接触 R F 部のブロック図である。 10

【符号の説明】

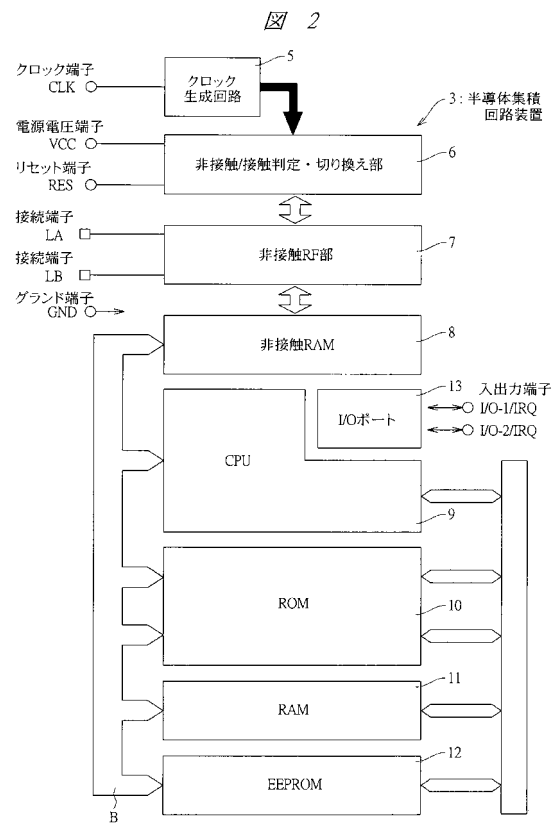
1	I C カード	
2	プラスチックカード	
3	半導体集積回路装置	
3 a	外部端子	
4	コイル	
5	クロック生成回路	
6	非接触 / 接触判定・切り換え部 (動作モード検出部)	
7	非接触 R F 部	20
8	非接触 R A M	
9	C P U	
10	R O M	
10 a	非接触 R O M	
11	R A M	
12	E E P R O M	
13	I / O ポート	
14	非接触電源回路	
15	接触電源回路	
16	出力電圧判定回路	30
17	基準電圧電源	
18	A S K 復調回路	
19	A S K 変調回路	
20	クロック再生回路	
L A , L B	接続端子	
C L K	クロック端子	
V C C	電源電圧端子 (接触電源端子)	
R E S	リセット端子	
G N D	グランド端子 (接触電源端子、基準電位端子)	
I / O 1 , I / O 2	入出力端子	40
D 1 , D 2	ダイオード	
R 1 ~ R 4	抵抗	
C 1	コンデンサ	
T 1 , T 2	トランジスタ (分離スイッチ手段)	
I v 1 , I v 2	インバータ	
N D	否定論理積回路	
N R 1 , N R 2	否定論理和回路	
D K	電圧検出回路	
D L 1 ~ D L 3	遅延回路	
H R	判定ラッチ	50

D k 1 ~ D k 4 寄生ダイオード
B 内部バス

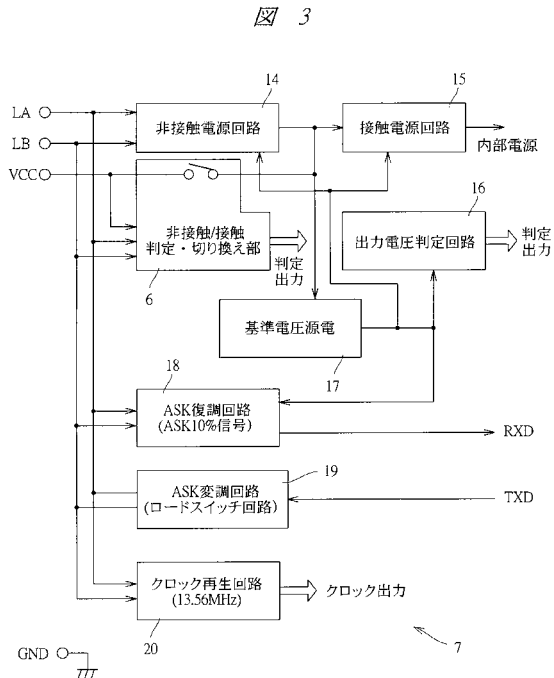
【図 1】



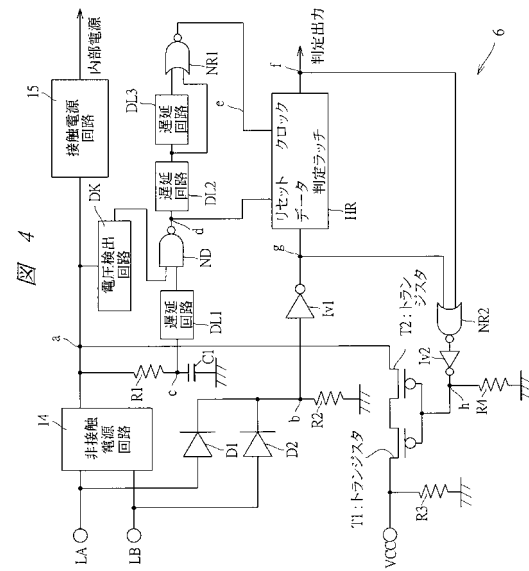
【図 2】



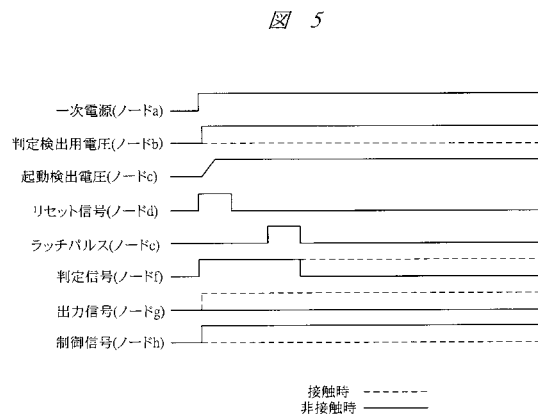
【図3】



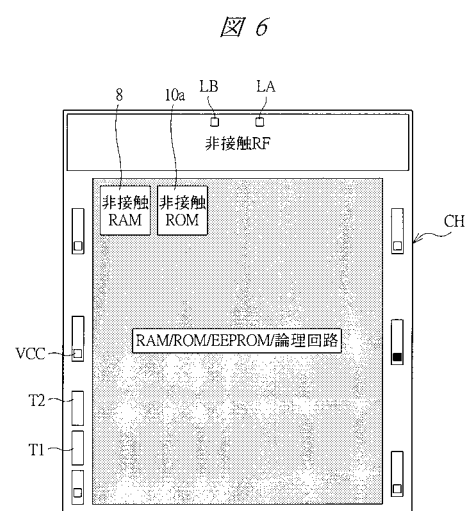
【図4】



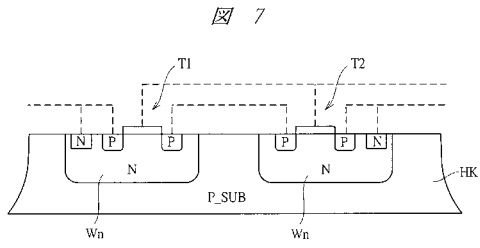
【図5】



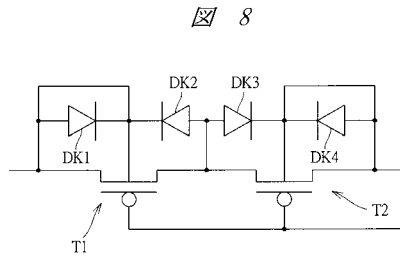
【図6】



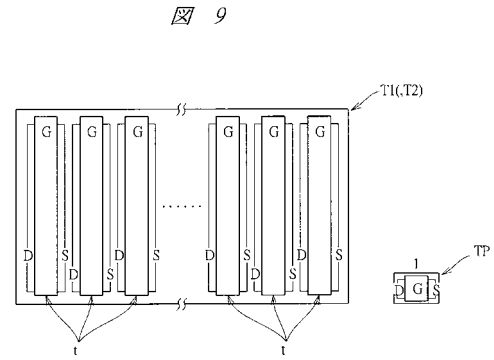
【図 7】



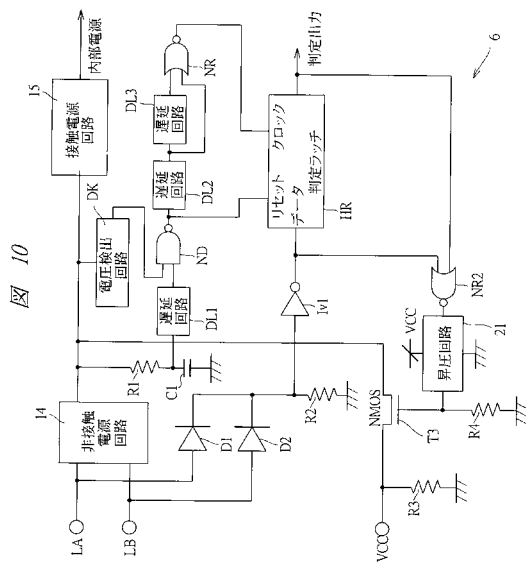
【図 8】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 高田 啓祐
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 渡邊 一希
東京都国分寺市東恋ヶ窪一丁目2番80番地 株式会社日立製作所中央研究所内
- (72)発明者 山本 師久
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 松下 一浩
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- Fターム(参考) 2C005 MA01 NA02 NA09 NB03 TA21 TA22
5B035 AA00 AA11 BB09 CA12 CA25 CA31 CA38