



(12) 发明专利

(10) 授权公告号 CN 102682938 B

(45) 授权公告日 2016.06.15

(21) 申请号 201110443555.X

(56) 对比文件

(22) 申请日 2008.02.21

US 6201290 B1, 2001.03.13,

(30) 优先权数据

审查员 张馨芳

60/892,503 2007.03.01 US

(62) 分案原申请数据

200880010666.8 2008.02.21

(73) 专利权人 威世科技公司

地址 美国内布拉斯加

(72) 发明人 M·贝尔曼 L·阿赫特曼

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 郭少俊 王英

(51) Int. Cl.

H01C 7/00(2006.01)

H01C 1/14(2006.01)

H01C 17/28(2006.01)

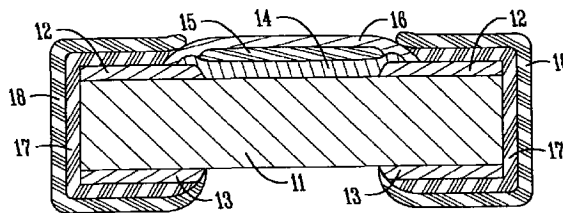
权利要求书3页 说明书4页 附图4页

(54) 发明名称

抗硫化芯片电阻器及其制造方法

(57) 摘要

抗硫化芯片电阻器及其制造方法。一种芯片电阻器包括绝缘衬底 11、利用银基金属陶瓷在衬底表面上形成的顶部端电极 12、底部电极 13、位于顶部端电极 12 之间并与它们部分交迭的电阻元件 14、全部或部分覆盖电阻元件 14 的任意的内保护层 15、全部覆盖内保护层 15 并部分覆盖顶部端电极 12 的外保护层 16、覆盖衬底、顶部电极 12 和底部电极 13 的侧表面并部分与外保护层 16 交迭的镍电镀层 17、覆盖镍层 17 的精整电镀层 18。镍层 17 和外保护层 16 的交迭具有密封性质,因为在镍电镀过程之前对外保护层 16 的边缘进行金属化。



1. 一种抗硫化芯片电阻器,包括:
  - 具有表面的绝缘衬底;
  - 设置于所述衬底的上表面上的易于受硫化影响的第一上方端电极;
  - 设置于所述衬底的所述上表面上的易于受硫化影响的第二上方端电极;
  - 设置于所述绝缘衬底的所述上表面上的与所述第一上方端电极和所述第二上方端电极电连接的电阻元件;
  - 覆盖所述电阻元件以及所述第一上方端电极和所述第二上方端电极的至少一部分的不导电外保护层;
  - 所述不导电外保护层的第一边缘和第二边缘上的金属化,由此允许进行电镀;
  - 第一金属镀层,所述第一金属镀层覆盖所述第一上方端电极和所述外保护层的第一金属化边缘并粘着于所覆盖的表面;
  - 第二金属镀层,所述第二金属镀层覆盖所述第二上方端电极和所述外保护层的第二金属化边缘并粘着于所覆盖的表面;
  - 从而密封所述端电极使其不受外部环境的影响并防止其硫化。
2. 根据权利要求1所述的芯片电阻器,
  - 其中所述电阻元件与所述第一上方端电极和所述第二上方端电极电连接并且设置于所述第一上方端电极和所述第二上方端电极之间。
3. 根据权利要求1所述的芯片电阻器,其中通过溅射来使外保护层的所述第一边缘和所述第二边缘金属化。
4. 根据权利要求1所述的芯片电阻器,其中通过对外保护层的所述第一边缘和所述第二边缘的溅射来确保金属镀层和所述外保护层之间的交迭和粘合。
5. 根据权利要求1所述的芯片电阻器,还包括分别形成在所述第一金属镀层和所述第二金属镀层之上的第一精整电镀层和第二精整电镀层。
6. 根据权利要求1所述的芯片电阻器,其中利用厚膜技术制造所述电阻元件。
7. 根据权利要求1所述的芯片电阻器,其中利用薄膜技术制造所述电阻元件。
8. 根据权利要求1所述的芯片电阻器,其中易于受硫化影响的所述上方端电极包括银。
9. 根据权利要求1所述的芯片电阻器,其中所述外保护层由电介质材料制成。
10. 一种制造抗硫化芯片电阻器的方法,所述方法包括:
  - 提供具有表面的绝缘衬底;
  - 在所述表面上形成第一上方端电极,所述第一上方端电极易于受硫化影响;
  - 在所述表面上形成第二上方端电极,所述第二上方端电极易于受硫化影响;
  - 形成位于所述表面上的与易于受硫化影响的所述第一上方端电极和所述第二上方端电极电连接的电阻元件;
  - 形成不导电外保护层,所述不导电外保护层覆盖所述第一上方端电极与外保护层相邻的至少一部分和所述第二上方端电极与外保护层相邻的至少一部分;
  - 形成不导电外保护层与易于受硫化影响的所述上方端电极相邻的第一边缘和第二边缘上的金属化,由此允许进行电镀;
  - 形成第一金属镀层,所述第一金属镀层覆盖易于受硫化影响的所述第一上方端电极和所述保护层的所述第一金属化边缘并粘着于易于受硫化影响的第一上方端电极的所覆盖部

分和外保护涂层的第一金属化边缘,从而密封易于受硫化影响的所述第一上方端电极使其不受外部环境的影响并防止其硫化;

形成第二金属镀层,所述第二金属镀层覆盖易于受硫化影响的所述第二上方端电极和所述保护涂层的第二金属化边缘并粘着于易于受硫化影响的第二上方端电极的所覆盖部分和外保护涂层的第二金属化边缘,从而密封易于受硫化影响的所述第二上方端电极使其不受外部环境的影响并防止其硫化;以及

形成覆盖所述金属镀层的精整电镀层,以确保所述端电极的可焊性。

11. 根据权利要求10所述的方法,

其中所述电阻元件与易于受硫化影响的所述第一上方端电极和易于受硫化影响的所述第二上方端电极电连接并且设置于易于受硫化影响的所述第一上方端电极和易于受硫化影响的所述第二上方端电极之间。

12. 根据权利要求10所述的方法,其中通过溅射来使外保护涂层的所述第一边缘和所述第二边缘金属化。

13. 根据权利要求10所述的方法,其中通过对外保护涂层的所述第一边缘和所述第二边缘的溅射来确保所述第一金属镀层和所述第二金属镀层与所述外保护涂层之间的交迭。

14. 根据权利要求10所述的方法,还包括形成覆盖所述电阻元件的至少一部分的内保护层,其中所述不导电外保护层覆盖所述内保护层。

15. 根据权利要求10所述的方法,其中利用厚膜技术制造所述电阻元件。

16. 根据权利要求10所述的方法,其中利用薄膜技术制造所述电阻元件。

17. 根据权利要求10所述的方法,其中易于受硫化影响的所述上方端电极包括银。

18. 一种芯片电阻器,包括:

具有上表面、底表面以及相对的第一侧表面和第二侧表面的绝缘衬底;

位于形成在绝缘衬底的上表面上的电阻元件的相对侧上的易硫化的第一上方端电极和第二上方端电极;

位于所述绝缘衬底的底部的相对侧上的第一底部端电极和第二底部端电极;

位于所述电阻元件和每一易硫化的上方端电极的至少一部分之上的不导电外保护层;

形成在所述不导电外保护层的第一侧上的第一金属化边缘以及形成在所述不导电外保护涂层的第二侧上的第二金属化边缘;

覆盖所述绝缘衬底的第一外露面、易硫化的所述第一上方端电极、所述第一底部端电极和外保护涂层的所述第一金属化边缘的第一金属镀层;

覆盖所述绝缘衬底的第二外露面、易硫化的所述第二上方端电极、所述第二底部端电极和外保护涂层的所述第二金属化边缘的第二金属镀层;

所述第一金属镀层和所述第二金属镀层粘着于易硫化的所述端电极和由预施加的金属化层激活的所述不导电外保护涂层的相邻边缘;以及

覆盖所述第一金属镀层和所述第二金属镀层以确保所述端电极的可焊性的第一精整电镀层和第二精整电镀层。

19. 根据权利要求18所述的芯片电阻器,其中将所述金属化层施加于所述绝缘衬底的相对的所述第一侧表面和所述第二侧表面以及所述不导电外保护涂层的所述第一金属化

边缘和所述第二金属化边缘。

20. 根据权利要求18所述的芯片电阻器,其中所述金属化层通过溅射来实现。

21. 根据权利要求18所述的芯片电阻器,其中通过电镀来施加所述金属层。

22. 根据权利要求18所述的芯片电阻器,还包括形成覆盖所述电阻元件的至少一部分的内保护涂层,其中所述不导电外保护涂层覆盖所述内保护涂层。

23. 根据权利要求18所述的芯片电阻器,其中所述第一金属层和所述第二金属层有效地密封易硫化的所述第一上方端电极和所述第二上方端电极使其不受外部环境的影响。

24. 根据权利要求23所述的芯片电阻器,其中对易硫化的上方端电极的密封抵抗与所述端电极有关的硫化现象。

25. 根据权利要求18所述的芯片电阻器,其中所述芯片电阻器为厚膜芯片电阻器。

26. 根据权利要求18所述的芯片电阻器,其中所述芯片电阻器为薄膜芯片电阻器。

27. 根据权利要求18所述的芯片电阻器,其中所述端电极包括银。

28. 一种阻止芯片电阻器中的硫化的方法,所述芯片电阻器具有位于设置于绝缘衬底的上表面上的电阻元件的相对侧上的上方易硫化端电极、位于所述电阻元件之上的不导电外保护涂层、覆盖所述绝缘衬底的第一外露面的第一金属镀层、覆盖所述绝缘衬底的相对的第二外露面的第二金属镀层、覆盖电阻元件的暴露部分和与所述外保护涂层相邻的所述上方易硫化端电极的暴露部分的金属镀层,所述方法包括:

密封所述上方易硫化端电极使其不受外部环境的影响;

其中密封所述上方端电极的步骤包括确保所述金属镀层在所述上方易硫化端电极的暴露部分和所述不导电外保护涂层的相邻边缘的上方的交迭;以及

其中密封所述上方易硫化端电极的步骤还包括在施加所述金属镀层之前对所述不导电外保护涂层的边缘进行的金属化。

29. 根据权利要求28所述的方法,还包括覆盖所述电阻元件的至少一部分的内保护涂层,其中所述不导电外保护涂层覆盖所述内保护涂层。

## 抗硫化芯片电阻器及其制造方法

[0001] 本申请为分案申请,其原申请是2009年9月29日进入中国国家阶段、国际申请日为2008年2月21日的国际专利申请PCT/US2008/054557,该原申请的中国国家申请号是200880010666.8,发明名称为“抗硫化芯片电阻器及其制造方法”。

[0002] 对相关申请的交叉引用

[0003] 本申请根据35U.S.§119要求享有2007年3月1日提交的临时申请No.60/892,503的优先权,在此通过引用将其全文并入。

### 背景技术

[0004] 本发明涉及芯片电阻器,尤其是抗硫化的芯片电阻器。

[0005] 大部分厚膜芯片电阻器和一些薄膜电阻器中的端电极是由银基陶瓷制成的。金属银具有若干有利的属性,包括高电导率以及当在空气中烧制银基陶瓷时对氧化的极好免疫性。令人遗憾的是金属银也有其不足。一种这样的不足就是金属银对硫和硫的化合物相当敏感。而且,银形成不导电的硫化银,导致银基电阻器端子中开路。所述故障机制被称为硫化现象或硫化。

[0006] 图2中给出了现有技术中不抗硫的厚膜芯片电阻器。它由隔离衬底1、银基上端电极2、银基下端电极3、电阻元件4、任选的保护层5、外保护层6、电镀镍层7和电镀精整层(通常为锡)8构成。每个上电极2被以下邻接层覆盖:(a)外保护涂层6(玻璃或聚合物)以及(b)电镀镍层7和精整层8。问题是一侧的非金属涂层6和另一侧的电金属镀层6、7彼此的粘结较差。这在它们之间产生小间隙,导致周围的空气渗入银电极2的表面。如果周围的空气包括硫的化合物,一段时间之后将破坏银电极。这就是为什么商品芯片电阻器常常在汽车和工业应用中出故障的原因。

[0007] 使用了两种已知方法来防止硫化现象。一种方法涉及到用另一种耐硫的贵金属(金、银钯合金等)替换或包覆银。第二种方法是防止银基端子与周围的空气接触(密封端子)。

[0008] 第一种方法的缺点包括:耐硫贵金属非常昂贵,耐硫贵金属相对于金属银来说电导率更低,以及非银端子与设计用于银端子的厚膜电阻器油墨可能不兼容。

[0009] 根据现有技术的第二种方法(例如参见美国专利7,098,768,在此通过引用将其全文并入)由增加两层构成,即增加辅助上电极9(图3)和最上外涂层6'。辅助上电极9完全覆盖每个银基上端电极2并与外保护涂层6部分交迭。最上外涂层6'覆盖电阻器的中间部分并与辅助上电极9交迭。

[0010] 在这种配置中,辅助上电极应当既可电镀(导电的)又耐硫。这种材料的范例包括具有碳填料或贱金属填料的基于聚合物的厚膜油墨或具有贱金属填料的烧结型厚膜油墨。使用辅助上电极的缺点包括:具有碳或贱金属填料的基于聚合物的材料电导率低且可镀性差,当把烧结型油墨用于辅助上电极时可能有电阻偏移,当在难以在端子中彼此交迭的多层之间保持位置关系的小尺寸电阻器(1mm长和更小)中实施时存在问题,以及电阻器厚度增大。

[0011] 需要的是一种抗硫化的改进的芯片电阻器。

## 发明内容

[0012] 因此,本发明的主要目的、特征、方面或优势是在解决芯片型电阻器的硫化现象方面对现有技术做出改进。

[0013] 本发明的另一目的、特征或优点是提供一种芯片电阻器,这种芯片电阻器抗硫化,不需要额外的保护层,额外的保护层会增加芯片电阻器的厚度,使之超过标准(非抗硫化)芯片电阻器的厚度。

[0014] 本发明的又一目的、特征或优点是适用于所有尺寸的芯片电阻器的配置或设计,所有尺寸的芯片电阻器包括最小的芯片电阻器,例如,其中引入确保与相邻层有交迭的额外保护层会存在潜在的问题。

[0015] 本发明的再一目的、特征或优点是提供一种芯片电阻器,其没有与现有技术中现有的额外防护层相关的局限,例如是(a)导电的,(b)非银的,(c)适于在低温下沉积。满足这种要求的材料(例如基于聚合物的碳墨)可镀性有限。

[0016] 于是,本发明的又一目的、特征或优点是提供一种端子具有良好可镀性的抗硫化芯片电阻器。

[0017] 参考本申请的其他部分,本发明的其他目的、特征、方面和优点将变得更加明显。通过以下说明书和权利要求可以明了本发明的这些目的、特征、方面或优点中的一个或多个。

[0018] 根据本发明的一个方面,一种芯片电阻器包括位于安装在绝缘衬底上的电阻元件的相对侧上的上方易硫化端电极以及所述电阻元件上方的不导电外保护涂层。至少有一个覆盖所述绝缘衬底相对外露面和顶部易硫化端电极的一部分的导电金属镀层,所述金属镀层通过预施加的金属化层粘着到所述易硫化端电极和不导电外保护涂层的相邻边缘。

[0019] 根据本发明的另一个方面,提供了一种阻止芯片电阻器中硫化的方法,所述芯片电阻器具有安装绝缘衬底上的电阻元件的相对侧上的上方易硫化端电极、所述电阻元件上方的不导电外保护涂层和至少一个覆盖所述绝缘衬底相对外露面和所述顶部易硫化端电极的一部分的导电金属镀层。该方法提出密封端电极,使其不受外部环境的影响。可以通过使所述金属镀层在端电极的暴露的顶部部分和不导电外保护涂层的相邻边缘的上方交迭来进行密封,或者密封端电极包括在施加所述金属镀层之前对所述不导电外保护涂层的相邻边缘进行金属化。

[0020] 根据本发明的另一个方面,通过如下过程形成芯片电阻器:在具有侧表面的绝缘衬底顶部形成顶部端电极和电阻元件;在所述电阻元件和所述顶部端电极的相邻部分上方形成不导电外保护涂层;掩蔽所述外保护涂层的中部;通过溅射使所述外保护涂层的边缘金属化;通过溅射或施加导电油墨对所述衬底的侧表面进行金属化;去除所述掩模;为所述外保护涂层和所述衬底的侧表面的金属化边缘电镀镍;以及在所述镍镀层上设置精整层。

[0021] 根据本发明的另一个方面,一种芯片电阻器包括:绝缘衬底,其具有顶表面、相对的底表面和相对的外露面;形成于所述衬底顶表面上的顶部端电极;形成于所述衬底底表面上的底部电极;位于所述顶部端电极之间并部分与所述顶部端电极交迭的电阻元件;部分覆盖所述顶部端电极的外保护涂层,其中所述外保护涂层的边缘被激活以有助于通过电

镀来覆盖;覆盖所述衬底侧表面、所述顶部和底部电极并与所述外保护涂层的边缘交迭的镍电镀层,从而密封下方的顶部端电极使其不受周围气氛影响。

### 附图说明

[0022] 图1是根据本发明一个方面的设备的基本放大截面图。

[0023] 图2是现有技术(非抗硫化)电阻器的基本放大截面图。

[0024] 图3类似于图2,但示出了现有技术的抗硫化电阻器。

[0025] 图4是制造根据本发明的一方面的图1的电阻器的方法的截面图和例图。

[0026] 图5是利用低强度溅射(无掩蔽)利用金属化工艺制造电阻器的方法的截面图和例图。

[0027] 图6是利用非常高强度溅射(有或无掩蔽)制造电阻器的方法的截面图和例图。

[0028] 图7是示出了本发明制造工艺一个实施例的流程图。

### 具体实施方式

[0029] 为了更好地理解本发明,现在将详细描述具体设备及其制造方法。显然,这只是本发明能够采用的一种形式。对于本领域的技术人员而言显而易见的变化将被包括在本发明之内。

[0030] 本发明涉及一种芯片电阻器(图1),所述芯片电阻器包括绝缘衬底11、利用银基金属陶瓷在衬底表面上形成的顶部端电极12、底部电极13、位于顶部端电极12之间并与它们部分交迭的电阻元件14、全部或部分覆盖电阻元件14的任意的内保护层15、全部覆盖内保护层15并部分覆盖顶部端电极12的外保护层16、覆盖衬底、顶部电极12和底部电极13的侧表面并部分与外保护层16交迭的镍电镀层17、覆盖镍层17的精整电镀层18。

[0031] 镍层17和外保护层16的交迭具有密封性质,因为在镍电镀过程之前使外保护层16的边缘可电镀。于是,密封了银端电极而未使用专用保护层。通过为镍镀层赋予保护功能而密封了银端电极,在标准(非防硫)芯片电阻器的端子中通常将镍镀层用作银电极和精整金属化层(通常为锡层)之间的扩散和浸析阻挡层。

[0032] 使像保护层16那样的电介质材料可电镀的可能方式包括,但不限于通过例如施加导电材料(金属溅射、金属的化学淀积等)或通过改变其结构(通过加热对聚合物进行碳化处理等)来激活它。

[0033] 图4示出了将金属溅射用于激活外保护层16的边缘的过程。在外保护层16上溅射适当的金属(例如镍铬合金),使得其未被掩模19覆盖的边缘可电镀。在接下来的电镀工艺中,溅射的金属化层促使镍不仅电镀银端子12、13和衬底11的表面11',而且延伸到外保护层16的边缘,密封下方的银电极12。镍层和外保护层16的金属化边缘之间良好粘合确保了银电极12的良好密封。

[0034] 图5示出了溅射过程的第二种实施方式。从芯片电阻器的顶侧开始进行溅射,不用掩蔽外保护层16,而是利用极低强度的溅射。所获得的不良金属化层有助于电镀外保护涂层的边缘,但由于机械磨蚀的原因,在电镀槽中会很快退化。因此,不会形成整个顶表面的牢固金属化。

[0035] 图6示出了溅射过程的第三种实施方式。对外保护层16进行掩蔽或不掩蔽,利用

非常高强度的溅射,从堆叠芯片的侧表面开始进行溅射,溅射强度足以渗入相邻堆叠芯片之间的间隙并确保芯片顶侧尽头部分的金属化。因为芯片被外保护层16覆盖的中间部分比端子区域更厚,所以堆叠芯片之间存在间隙。

[0036] 在现有技术(图2和图3)中,镍层7不能充当银保护元件,因为电镀镍层7与保护层6(图2)和6'(图3)的边缘粘附性差。

[0037] 为了保护易硫化的电极,本发明提出将保护层的功能赋予电镀镍层,在标准(非防硫)芯片电阻器的端子中,电镀镍层通常被用作银电极和精整金属化层(锡层)之间的扩散和浸析阻挡层。为此目的,在外保护层(与银电极相邻的)的边缘上设置适当金属(例如镍铬合金),使这些边缘可电镀。这样促使镍不仅电镀银电极,而且延伸到外保护涂层的边缘,从而密封了下方的银电极。

[0038] 这种方法的优点包括不需要额外的保护层。因此,芯片电阻器的厚度与标准(非防硫)芯片电阻器的厚度相同。此外,该配置适用于各种尺寸 的芯片,包括最小的芯片,因为不需要额外的保护层。此外,端子维持了良好的可镀性。

#### [0039] 制造过程

[0040] 本发明还涉及到制造芯片电阻器的方法。图7示出了本发明制造过程的一个实施例。在步骤20中,进行顶部端电极12和底部端电极13的形成。接下来,在步骤21中,进行电阻元件14的形成。接下来,在步骤22中,可以进行任意的内保护层15的形成。当然,该步骤是任意的而非必需的。接下来,在步骤23中,进行外保护层16的形成。在步骤24中,可以通过掩模19任意地遮蔽外保护涂层的中间部分。在步骤25中,进行外保护层16的边缘激活(例如通过如图4-6所示的金属溅射)。在步骤26中,进行衬底11的侧表面11'的激活(例如,通过金属溅射或通过导电油墨涂覆)。在步骤27中,在使用任意掩模的地方进行任意掩模的去除。在步骤28中,进行电镀(优选利用镍或镍合金)。在步骤29中,完成层的电镀。尽管以一种次序给出,但可以酌情改变步骤的次序。例如,必要时可以改变顶部端电极12、底部端电极13和电阻器14形成的次序。

[0041] 步骤25通过密封易硫化的端子,为芯片电阻器赋予了抵抗含硫周围环境的能力。这样就披露了用于抗硫化芯片电阻器的方法和设备。本发明设想到了很多变化,包括材料种类、步骤顺序(无论是否执行任意步骤)的变化,以及在本发明的精神和范围之内的其他变化、替换和选项。

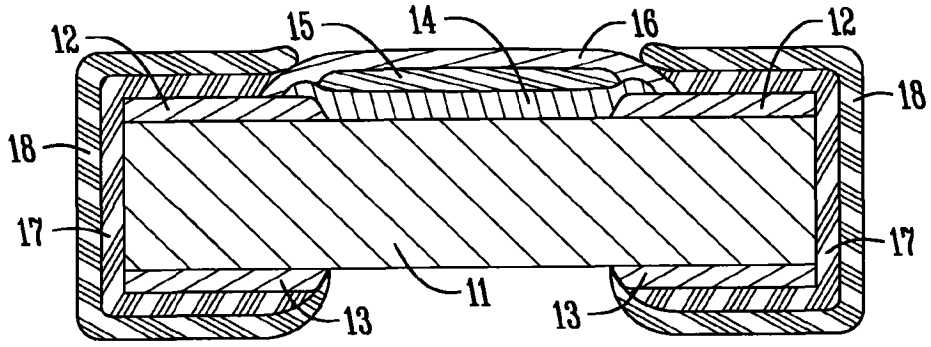


图1

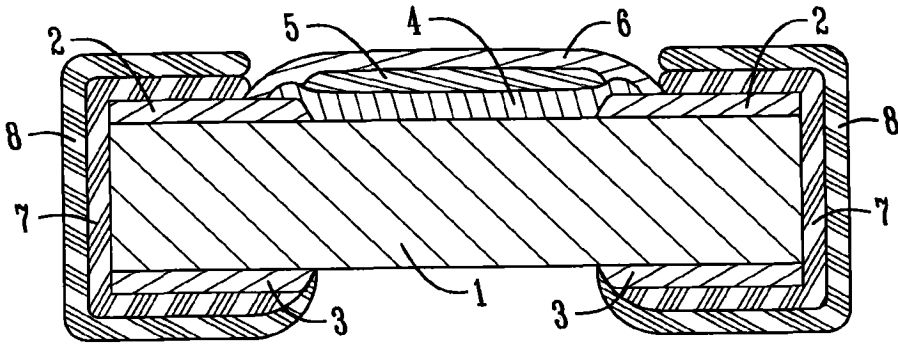


图2现有技术

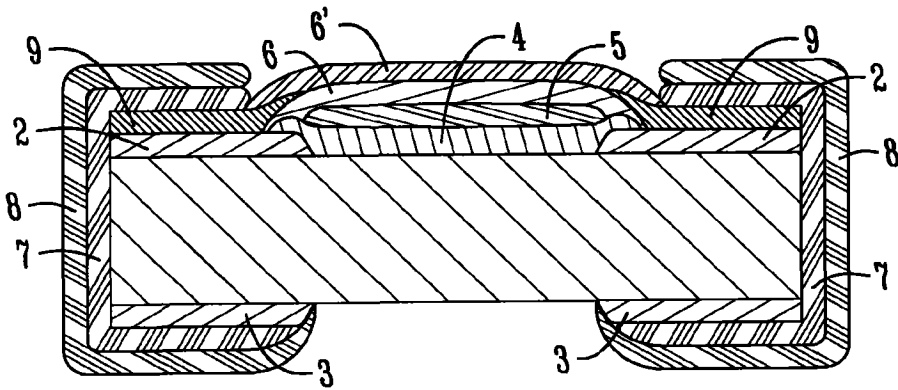


图3现有技术

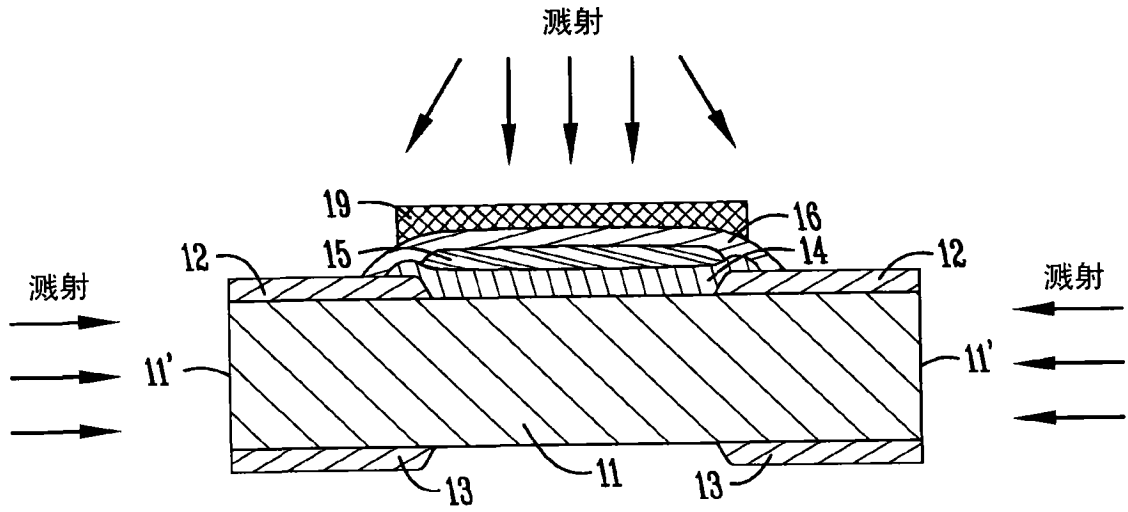


图4

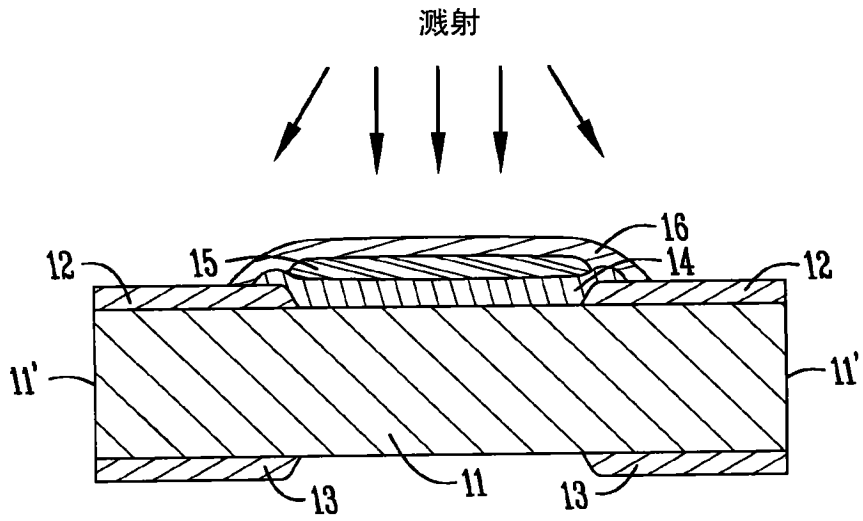


图5

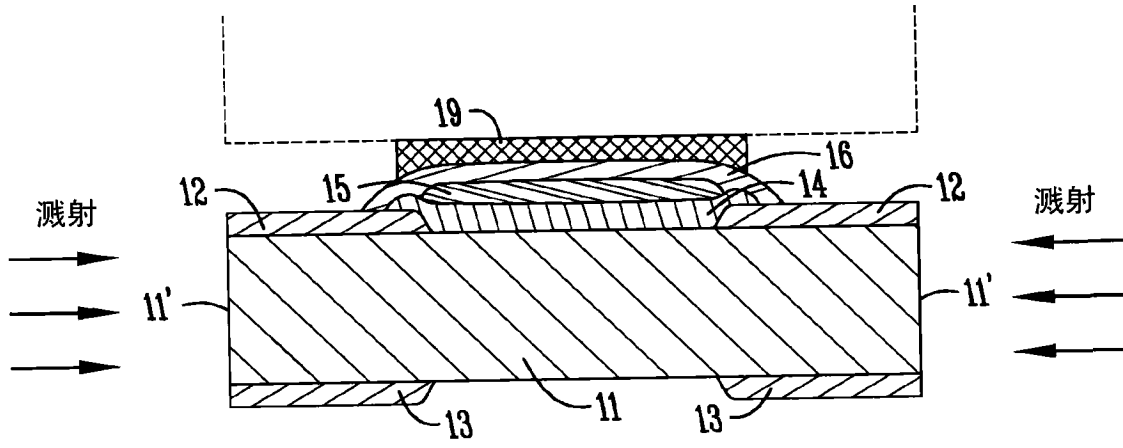


图6

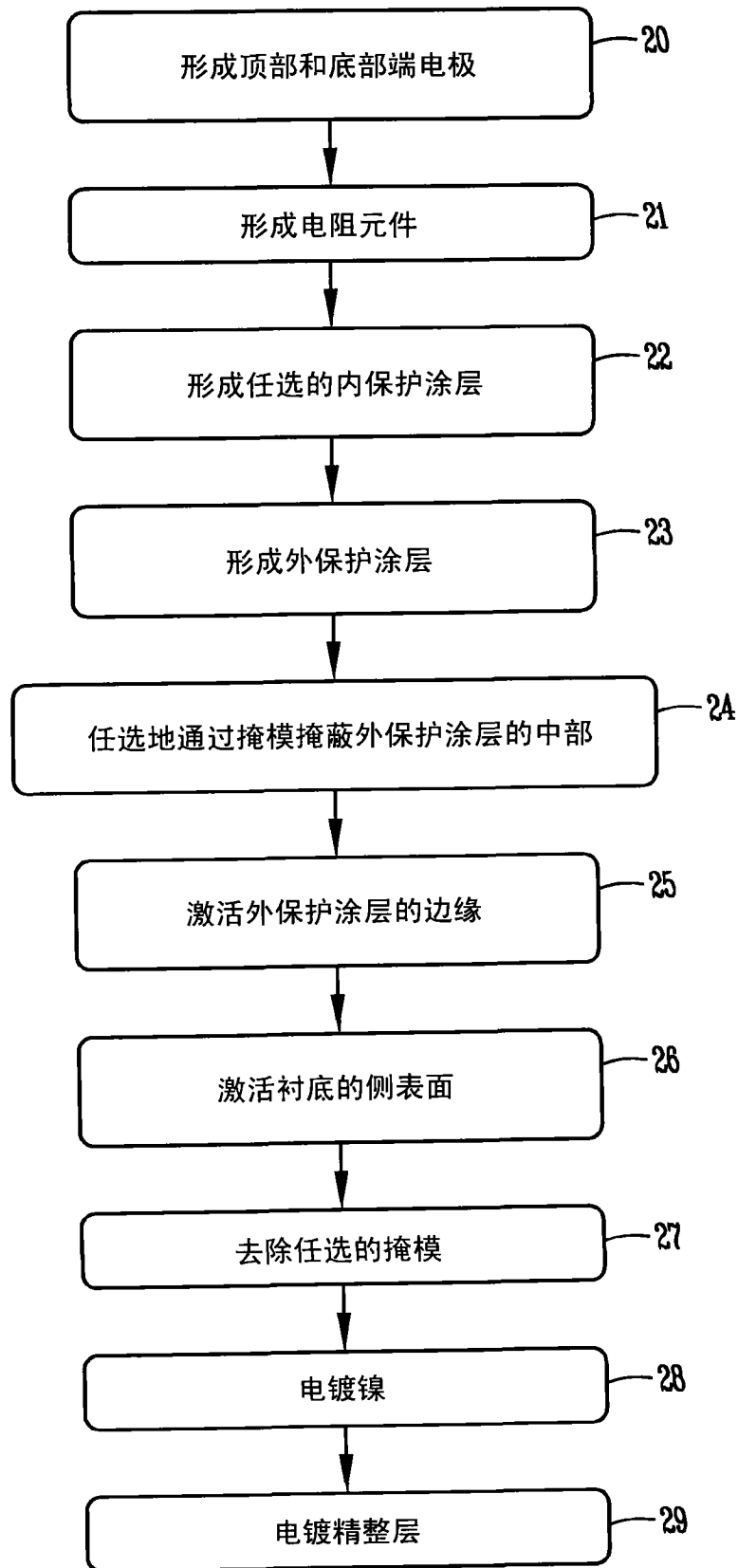


图7