

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92107361

※ 申請日期： 92.11.27

※IPC 分類： H01L 23/48

壹、發明名稱：(中文/英文)

應用至選擇性封蓋及無電鍍之銅凹面製程

COPPER RECESS PROCESS WITH APPLICATION TO SELECTIVE
CAPPING AND ELECTROLESS PLATING

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504 U. S. A.

國 籍：(中文/英文)

美國 U. S. A.

參、發明人：(共 17 人)

姓 名：(中文/英文)

1. 省宗 陳
CHEN, SHYNG-TSONG
2. 堤摩西 J 達爾頓
DALTON, TIMOTHY J.
3. 肯尼斯 M 戴維斯
DAVIS, KENNETH M.
4. 照肯 胡
HU, CHAO-KUN
5. 芬 F 賈敏
JAMIN, FEN F.
6. 史戴芬 K 卡爾多
KALDOR, STEFFEN K.
7. 瑪哈迪瓦耶 克利斯納
KRISHNAN, MAHADEVAIYER
8. 卡希 庫瑪
KUMAR, KAUSHIK
9. 麥克 F 洛法洛
LOFARO, MICHAEL F.
10. 珊卓 G 瑪后崔
MALHOTRA, SANDRA G.
11. 查卓席克哈 納拉原
NARAYAN, CHANDRASEKHAR
12. 大衛 L 拉斯
RATH, DAVID L.
13. 茱蒂斯 M 盧賓諾
RUBINO, JUDITH M.
14. 凱薩琳 L 塞葛
SAENGER, KATHERINE L.
15. 安德魯 H 西蒙
SIMON, ANDREW H.
16. 尚恩 PE 史密斯
SMITH, SEAN P.E.

17. 曾 威朱
TSENG, WEI-TSU

住居所地址：(中文/英文)

1. 美國紐約州佩登森市寇瓦爾米朵區111號
111 CORNWALL MEADOWS, PATTERSON, NY 12563, U.S.A.
2. 美國康乃迪克州瑞吉菲爾德市莎拉畢夏路72號
72 SARAH BISHOP ROAD, RIDGEFIELD, CONNECTICUT 06877,
U.S.A.
3. 美國紐約州新堡市布威路55號1室
55 BREWER RD., APT. #1, NEWBURGH, NY 12550, U.S.A.
4. 美國紐約州薩瑪市巴特勒山莊路26號
26 BUTLER HILL ROAD, SOMERS, NY 10589, U.S.A.
5. 美國紐約州瓦屏葛斯瀑布市史卡伯葛路17C號
17C SCARBOROUGH LANE, WAPPINGERS FALLS, NY 12590,
U.S.A.
6. 美國紐約州紐約市克萊蒙大道195號66室
195 CLAREMONT AVENUE, APT. 66, NEW YORK, NY 10027, U.S.A.
7. 美國紐約州后普維爾連接市拉奇蒙大道18號
18 LARCHMONT DRIVE, HOPEWELL JUNCTION, NY 12533,
U.S.A.
8. 美國紐約州貝康市南拉奇伍德路14F號
14F SOUTH LOCKEY WOODS ROAD, BEACON, NY 12508, U.S.A.
9. 美國紐約州米爾頓市米爾頓通屏克區266號
266 MILTON TURNPIKE, MILTON, NY 12547, U.S.A.
10. 美國紐約州貝康市主街478號3B室
478 MAIN ST., APT. 3B, BEACON, NY 12508, U.S.A.
11. 美國紐約州后普維爾連接市鄉村俱樂部路99號
99 COUNTRY CLUB RD., HOPEWELL JUNCTION, NY 12533,
U.S.A.
12. 美國紐約州史東維爾市瑞特路14號
14 RITTER ROAD, STORMVILLE, NY 12582, U.S.A.
13. 美國紐約州歐辛尼市水景大道11號
11 WATERVIEW DRIVE, OSSINING, NY 10562, U.S.A.
14. 美國紐約州歐辛尼市安德山莊路115號
115 UNDERHILL ROAD, OSSINING, NY 10462, U.S.A.

15. 美國紐約州費雪奇爾市翠綠山莊大道31號C室
31 GREENHILL DRIVE, APT. C, FISHKILL, NY 12524, U.S.A.
16. 美國紐約州歐辛尼市湯森路115號
115 TOWNSEND RD., OSSING, NY 10462, U.S.A.
17. 美國紐約州后普維爾連接市法蘭西斯大道77號
77 FRANCES DRIVE, HOPEWELL JUNCTION, NY 12533, U.S.A.

國 籍：(中文/英文)

- 1.-7.、9.-17. 均美國 U.S.A.
8. 印度 INDIA

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年12月16日；10/319,967
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月16日；10/319,967
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明一般係關於一積體電路結構之外部互連層上的銅線路連接上的絕緣體/導體，特定言之係關於用於形成此類互連層之一改善製程及結構。

【先前技術】

積體電路處理一般可以分為前段製程(front end of line ; FEOL)及後段製程(BEOL)。在FEOL處理期間，製造各種邏輯及功能裝置。FEOL處理一般形成邏輯及功能裝置之許多層。互連層係在BEOL處理期間形成於該等邏輯及功能層上，以完成積體電路結構。因此BEOL處理一般包括形成絕緣體以及導電線路及接點。

近來，具有較低介電常數(而且較軟)的絕緣體(介電質)正在取代較舊、較硬、較高介電常數絕緣體。較低介電常數材料一般具有低於3.0的介電常數而且包括：聚合低K介電質市售產品，例如絲綢(SiLK)，其可從美國紐約州陶氏化學公司(Dow Chemical Company, NY, USA, FLARE)購買；閃光片，其可以從美國新澤西州霍尼維爾公司(Honeywell, NJ, USA)購買；微孔玻璃(例如奈米玻璃(多孔SiO₂))，其可以從美國新澤西州霍尼維爾公司(Honeywell, Inc., NJ, USA)購買；還包括黑金剛石(摻雜碳的SiO₂)，其可以從美國加州應用材料公司(Applied Material, CA, USA)購買；珊瑚(以碳化矽為基礎的介電質)，其可以從美國加州諾發系統公司(Novellus Systems,

Inc., CA, USA)購買；以及乾凝膠，其可以從美國新澤西州聯合通信公司(Allied Signal, NJ, USA)購買。該等較低介電常數絕緣體係稱為「低K」介電質。該等低K介電質具有優點，因為其減小總電容，此增加裝置速度並且使較低電壓可以得到利用(從而使裝置比較小而且比較便宜)。

金屬(例如銅、鎢等)一般係用作BEOL互連層中的線路及電連接。在BEOL互連層中採用低K介電質的一個缺點為，低K介電質對金屬遷移(例如銅遷移)的敏感程度大於高K介電質。對於此問題的傳統解決辦法係使用毯式介電質封蓋(其具有高介電常數)，作為金屬擴散阻障用於金屬面形上的低K介電材料。此毯式介電質封蓋還作為一氧氣阻障，以防止低K介電材料中的氧對金屬進行氧化。

但是此介電質封蓋通常具有較高介電常數，而且將極大地影響金屬面形之間的總體介電材料之有效介電常數。此外，介電質封蓋一般需要具有一最小厚度(例如250Å)才能生效。但是若介電質封蓋之形成超過某一厚度，則該封蓋實質上將扭曲互連層之介電常數超過一想要的位準。因此，需要無需一毯式介電質封蓋的一新型互連層。以下說明的本發明提供一種用於建立此類互連層之方法及結構。

【發明內容】

本發明提供一種積體電路結構，其具有邏輯及功能裝置之至少一層以及在邏輯及功能裝置之該層上的至少一互連層。互連層具有一基板、該基板內的傳導面形以及僅固定在該等傳導面形上的封蓋。

本發明還可以具有一阻障層在傳導面形與封蓋之間。阻障層可以為一導電材料。互連層具有一上表面而且封蓋係沿該上表面而固定。本發明具有沿該上表面而且鄰近於傳導面形的一遮罩材料。基板的介電常數小於3.0，比遮罩之介電常數要低。

本發明還提供一種方法，用於選擇性地封蓋一互連結構之金屬面形。互連結構係固定在邏輯及功能裝置之至少一層上。本發明凹進金屬面形，然後沈積一封蓋層於互連結構上。本發明接著平整化互連結構以便僅在金屬面形上形成封蓋。

【實施方式】

如上所述，一高K介電質封蓋之傳統使用呈現許多缺點。本發明藉由僅在金屬區域(例如線路及層間互連)上形成封蓋材料而克服此類缺點。更明確地說，如以下所示本發明向下研磨互連層至一預定位準、形成凹面於金屬部分之頂部中、沈積封蓋材料於整個互連層上、然後研磨互連層以便封蓋材料僅保留在金屬部分上的凹面內。實行此處理，本發明實質上減小結構內的高K介電質封蓋材料之數量，從而避免當利用介電質封蓋材料之一毯式層時所遇到的問題(如以上所論述)。

圖1至12顯示用於達到本發明結構的處理，該等圖代表本發明之多項具體實施例。圖1始於一局部完成的BEOL互連結構，該結構包括形成於一低K介電質121中的一傳導面形122。傳導面形122可以為任一常見導體(例如銅、鎢等)，並

且可以發揮一線路、接點、柱頭螺栓、通道等之功能，視特定應用及設計而定，而且在此有時係指一「金屬」或「銅」特徵/導體。

一襯墊120係位於金屬面形122周圍，以防止金屬面形122擴散進入低K介電質121。圖1還解說一化學機械研磨(chemical mechanical polishing; CMP)硬遮罩125及反應離子蝕刻(reactive ion etching; RIE)遮罩123、124。用於形成圖1所示結構的方法及材料已廣為人知，故基於簡單明瞭考量，在此不再加以論述，以免使本發明之顯著特徵模糊不清。

一化學機械研磨製程係應用於圖1所示的結構，以移除金屬面形122之最上部分以及所有RIE遮罩123、124。此研磨製程包括(或後接著)一短時間非磨損性料漿研磨，其移除金屬殘留物並且使表面130實質上可以達到均勻。此處理減小結構之高度至圖2所示的位準130。此位準130係在正常CMP研磨端點126(在圖1及2中顯示為虛線)以上。傳統上，將結構向下研磨至位準126，然後採用一毯式高K介電質封蓋(其具有以上論述的缺點)加以覆蓋。

並非像傳統上那樣形成一毯式高K介電質封蓋，本發明凹進金屬結構122(採用以下所論述的許多不同製程)，然後採用封蓋材料(其可以為一絕緣體或導體)填充所凹進的部分。圖3顯示凹進金屬結構的方法之一。在此製程中，對金屬面形122的上部分進行氧化以在硬遮罩125附近建立一氧化部分140。然後採用一濕式或乾式化學(RIE)方法(其腐蝕

氧化物)移除此氧化部分(如圖4所示)。此導致圖4所示的結構，該結構包括金屬面形122上的一凹面150。凹面之深度接近等於硬遮罩125之高度。例如，硬遮罩可以接近為500A厚而凹面可以接近為500A深。凹面可以製造成更深(例如>1000A)，視應用及所想要的總體介電常數而定。

或者，作為建立氧化物140的替代方案，圖2所示的結構還可以受到一額外化學蝕刻或一乾式蝕刻，該蝕刻腐蝕金屬面形122但是實質上並不影響硬遮罩125，以建立凹面150(從而旁通圖3所示的處理)。例如，以上論述的非磨蝕性料漿研磨可以繼續一額外時間週期，以便移除導體122之類似數量，從而建立凹面150並且建立圖4所示的結構。

在任何情況下一旦建立圖4所示的結構，則在本發明之某些具體實施例中，沈積一阻障層160於結構上以及凹面150中。在某些具體實施例中，並不形成阻障層160而處理直接從圖4所示的結構進行至圖7所示的結構(以下將詳細論述)，其中封蓋材料180係直接沈積於凹面150中。阻障層160可以沈積於所有表面(包括垂直表面165)上。或者，擴散阻障層160可以僅沈積於水平表面(避免垂直表面165)上，同樣視特定應用而定。最好採用一保形製程來沈積阻障層160，該製程能避免凹面150內形成空隙(例如無電鍍、直接物理汽相沈積等)。

將加以利用的阻障材料160之化學成分視各特定設計而不同。例如在一具體實施例中，阻障層160包括一電遷移抑制/擴散阻障金屬封蓋(例如磷化鎢鈷(CoWP)、鈮、鎳、鈷、

銻、銻、鉬、鉑、鈦、銻、鉍、鉛、鈣、銻、鎳、鋅、錫、鉍及鈦)，該封蓋能防止導體材料122擴散進入封蓋材料180(如以下所論述)。

阻障層160使封蓋可以製造成更薄(因為該阻障層能防止金屬從金屬面形122擴散進入封蓋180)。藉由減小封蓋180與導體122之間的遷移，阻障層160能提高電遷移壽命(即減小導體122之遷移)，該阻障層還能減小由此遷移所導致的應力。

電遷移壽命及應力導致的空隙，係視導體122與阻障層160之間之介面上的原子傳輸而定。阻障層160減小此原子傳輸，從而提供最大可靠性。導體遷移速率(漂移速度)為移動性 $(D/kT) * F$ 之乘積；其中D為導體之有效擴散率，T為卡氏(Calvin)絕對溫度，k為玻爾茲曼(Boltzman)常數，而F為來自所施加的電場或應力梯度之驅動力。

阻障層160還改善導體122與金屬(介電質)180之間的黏著性，並且作為一腐蝕保護層。阻障層160具有導電性而且將無法用於傳統結構，因為該阻障層將引起整個互連層短路。

在一具體實施例中，阻障層160係直接沈積於凹面內，如圖5所示。在另一具體實施例中，形成阻障層160之前，沈積一電漿汽相沈積(plasma vapor deposition; PVD) Pd晶種層170，如圖6所示。一預清洗製程(例如酸預清洗、成形氣體退火、氫氣電漿處理等)可以進行Pd晶種層170沈積。預清洗及Pd晶種層沈積能增加CoWP層160之均勻性。圖7解說封蓋層180之形成/沈積。如上所述，封蓋層180可以直接形

同，並且係簡單地加以實行，而無需圖2所示的移除RIE遮罩123、124之步驟。

圖10解說阻障層160之形成。但是，此具體實施例解說該阻障層並不需要形成於凹面151之側壁165上。採用先前具體實施例，阻障層160可以形成於所有表面上或者僅形成於水平表面上。此外，此具體實施例並未利用可選Pd晶種層170(但是其可以使用)。在圖11中，封蓋材料180得以沈積(如以上所論述)，而在圖12中，結構得到平整化從而導致實質上類似於圖8所示的一結構。

如上所示，使用一毯式介電質封蓋會不合需要地改變BEOL互連層之介電常數，因為封蓋必須具有某一厚度才能成為一有效阻障。但是此厚度通常並非隨著線路寬度及厚度減小而縮放(貫穿各處理階段)。本發明使用一選擇性封蓋製程(如以上所說明)以僅在金屬面形上(而非金屬面形之間)留下封蓋材料。此製程及結構能極大地減小用於BEOL互連層的較高K介電質封蓋材料之數量。

此外，本發明之某些具體實施例包括金屬面形122與封蓋180之間的一阻障層160。藉由減小導體122之表面擴散，阻障層160能提高電遷移壽命(即減小導體122之遷移)，該阻障層還能減小由此遷移所導致的應力。阻障層160還改善導體122與金屬或介電質封蓋180之間的黏著性，並且作為一腐蝕保護層。阻障層160具有導電性而且將無法用於傳統毯型結構，因為導體之毯式層將引起整個互連層短路。本發明結構還可用於嵌入式蝕刻終止層，因為封蓋材料並不像傳

統毯式介電質封蓋一樣將破壞蝕刻終止層之有效性。

雖然本發明已就較佳具體實施例加以說明，但熟悉技術人士應認識到本發明可在所附的申請專利範圍之精神及範疇內實行修改。

【圖式簡單說明】

參考圖式，從以上本發明之較佳具體實施例的詳細說明中，能更加瞭解本發明，其中：

圖1為依據本發明之一局部完成的積體電路結構之一示意圖；

圖2為依據本發明之一局部完成的積體電路結構之一示意圖；

圖3為依據本發明之一局部完成的積體電路結構之一示意圖；

圖4為依據本發明之一局部完成的積體電路結構之一示意圖；

圖5為依據本發明之一局部完成的積體電路結構之一示意圖；

圖6為依據本發明之一局部完成的積體電路結構之一示意圖；

圖7為依據本發明之一局部完成的積體電路結構之一示意圖；

圖8為依據本發明之一局部完成的積體電路結構之一示意圖；

圖9為依據本發明之一局部完成的積體電路結構之一示

伍、中文發明摘要：

本發明揭示一種具有一層邏輯及功能裝置以及在該層邏輯及功能裝置上的一互連層之積體電路結構。該互連層具有一基板、在該基板內的傳導面形以及僅固定在該等傳導面形上的封蓋。

陸、英文發明摘要：

An integrated circuit structure is disclosed that has a layer of logical and functional devices and an interconnection layer above the layer of logical and functional devices. The interconnection layer has a substrate, conductive features within the substrate and caps positioned only above the conductive features.

柒、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件代表符號簡單說明：

120	襯墊
121	介電質
122	金屬結構
125	硬遮罩
126	端點
151	凹面
160	阻障層
170	晶種層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾壹、圖式：

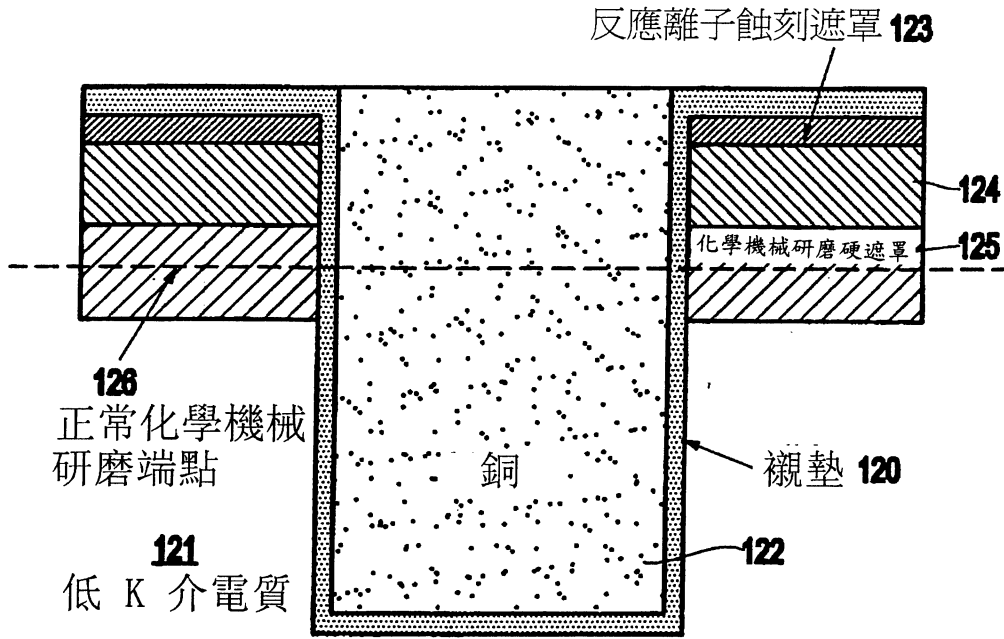


圖 1

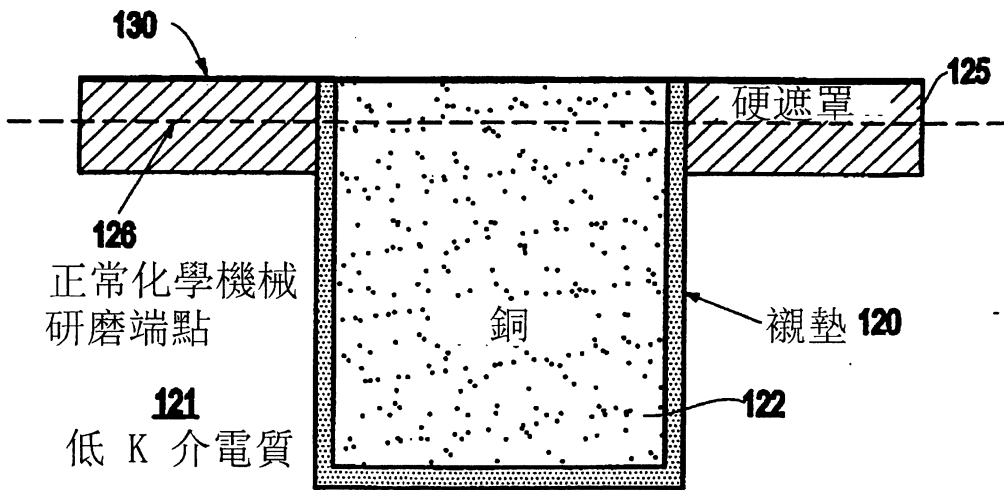


圖 2

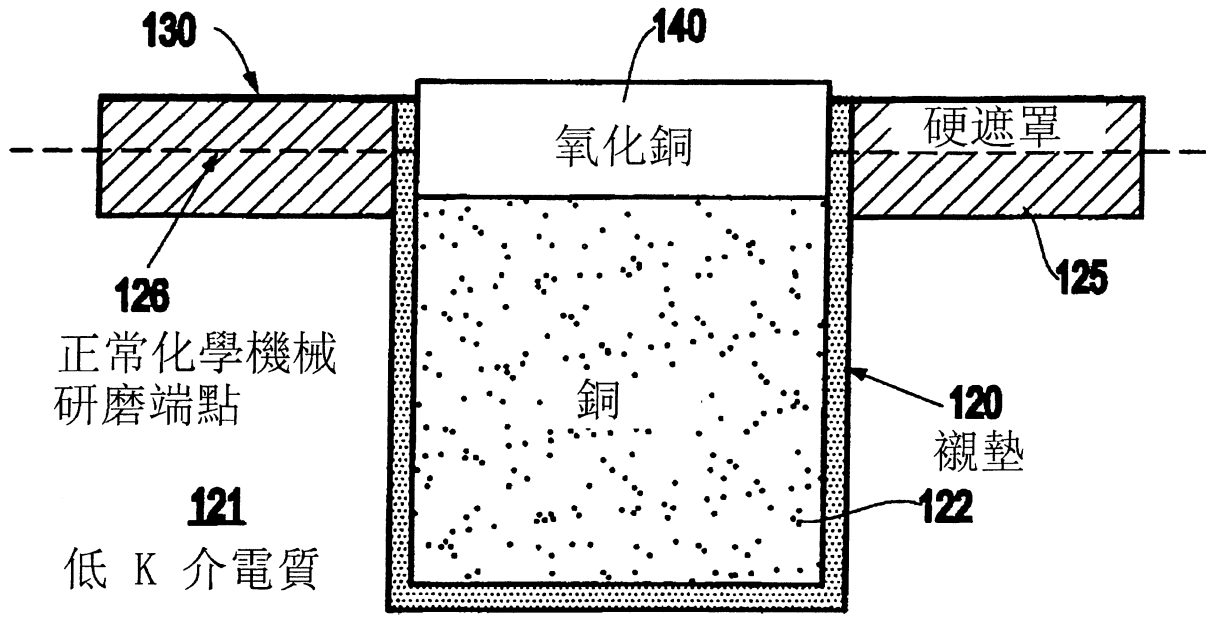


圖 3

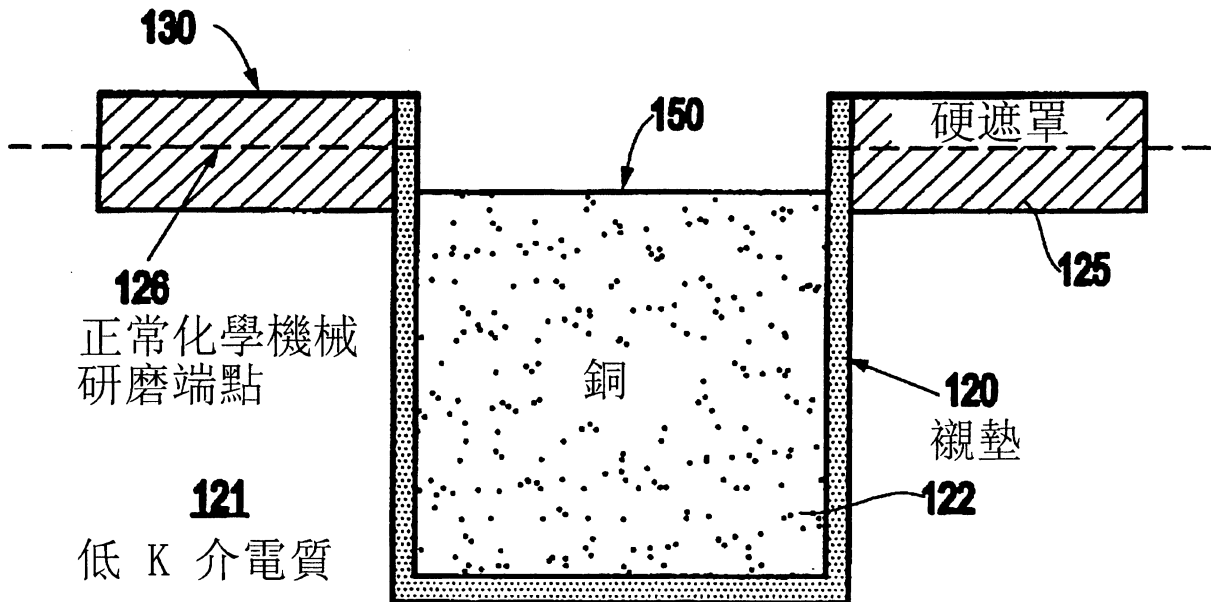


圖 4

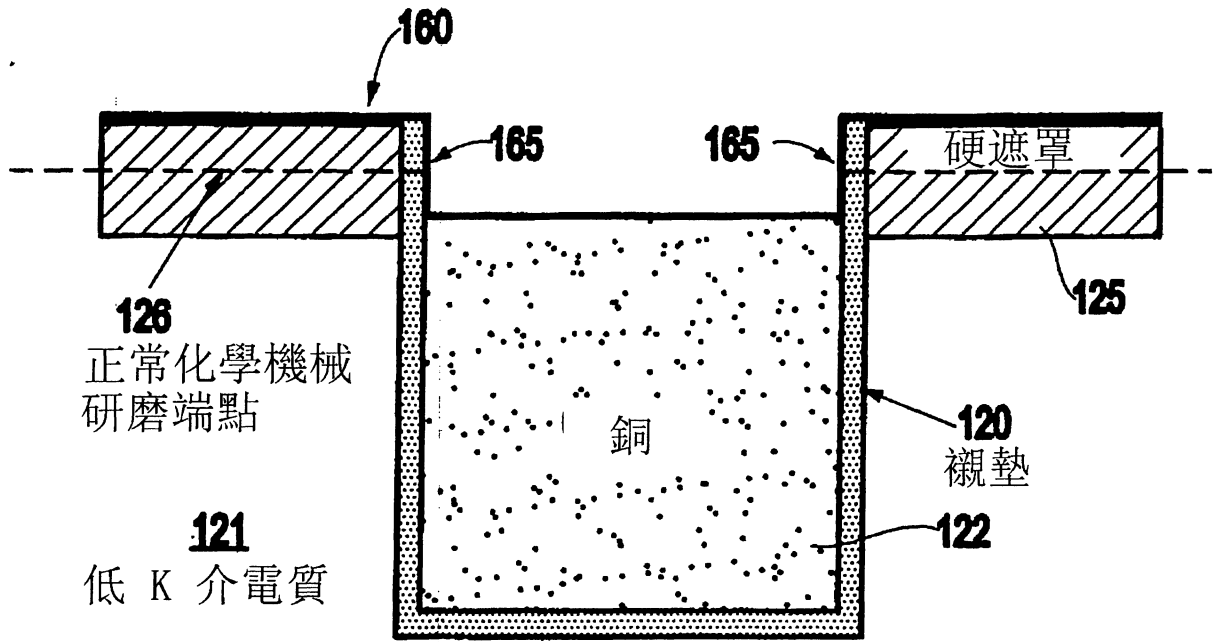


圖 5

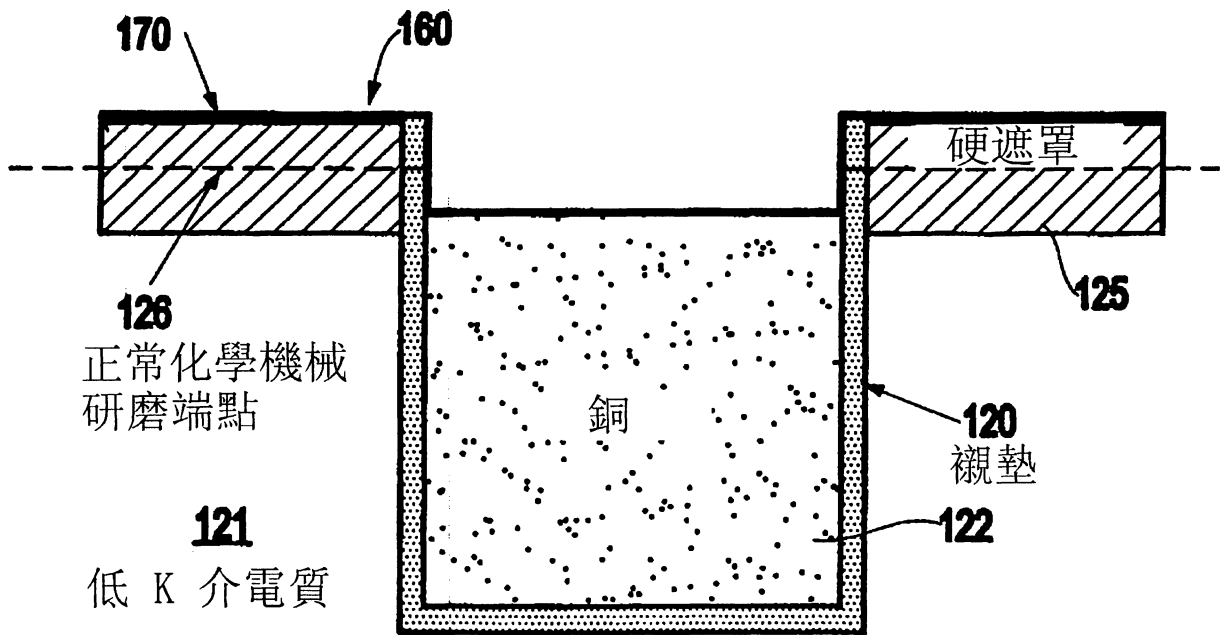


圖 6

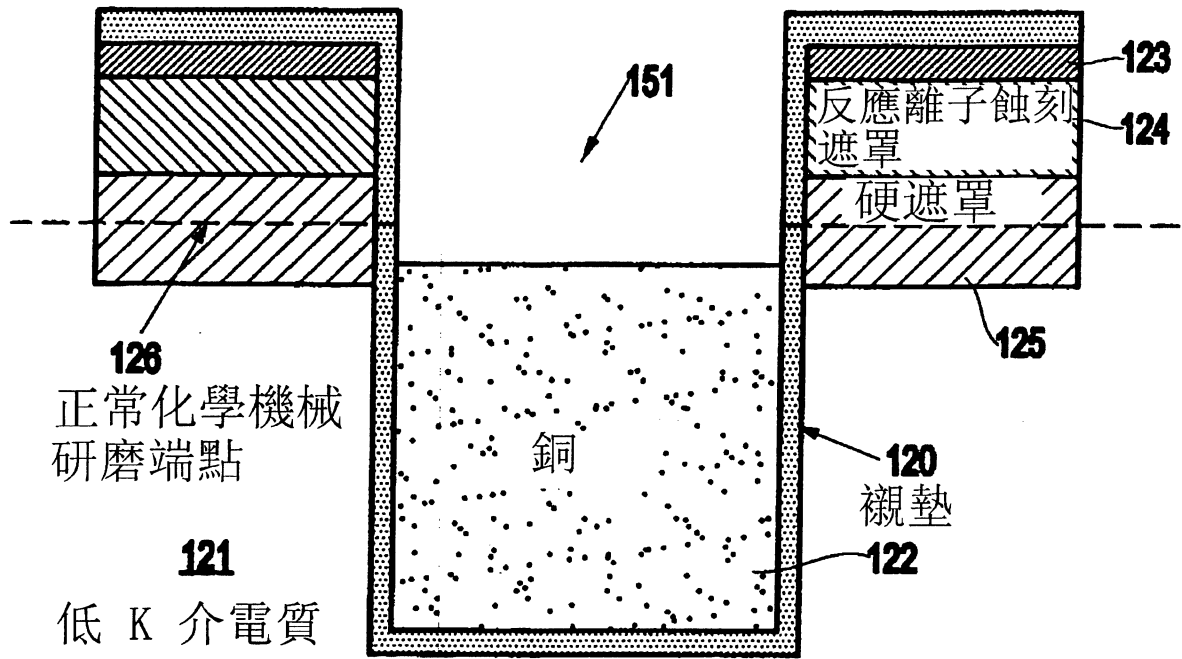


圖 9

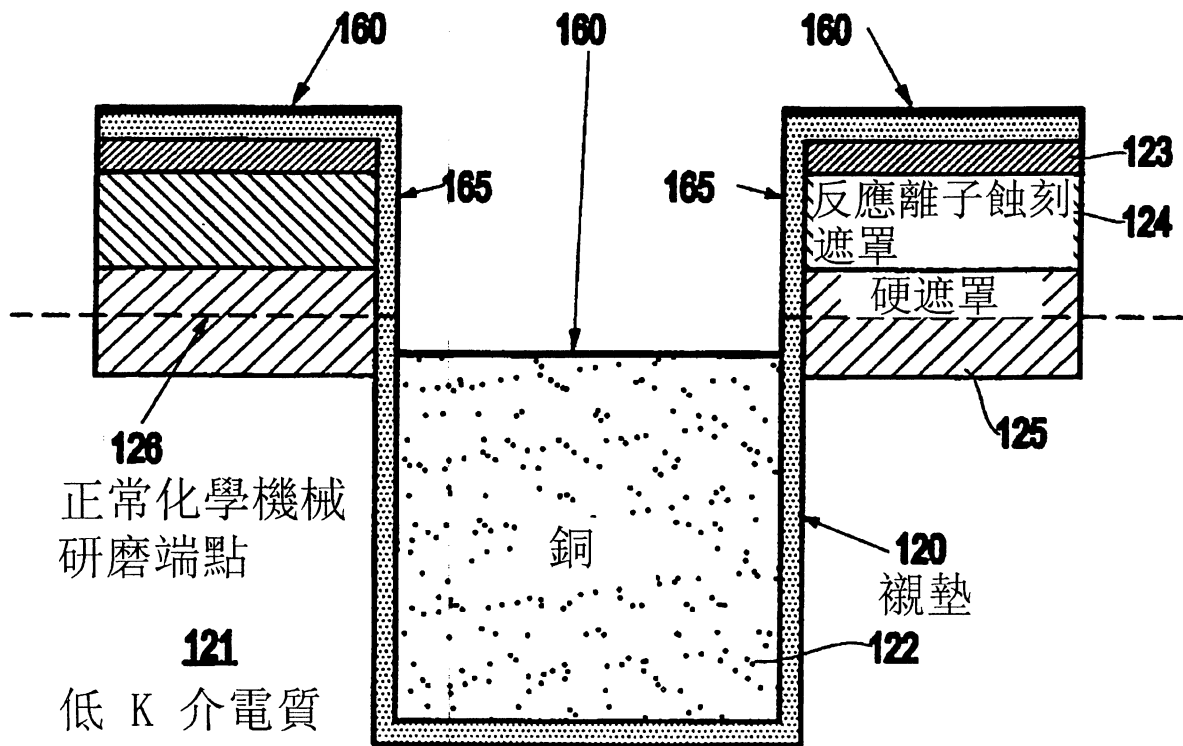


圖 10

成於凹面150中，如圖5所示；或者在封蓋層180得以沈積之前可以視需要包括各阻障層160、170，如圖6所示。最好採用一保形製程來使封蓋層180得以沈積，該製程能避免凹面150內形成空隙。還最好使封蓋層180在阻障層160、170之沈積後得以沈積，而不會使基板曝露於空氣中。

封蓋層可以為一導體或一絕緣體。封蓋層可以包括絕緣材料(包括SiO₂、硼摻雜的SiO₂、硼磷矽酸鹽玻璃(Boron Phosphorous Silicate Glass; BPSG)、碳化矽、氮摻雜的碳化矽、氧化物、Si₃N₄等)；並且一般具有實質上高於低K介電質121或金屬材料(例如TaN、TiN、TiSiN、Ta、W等)的介電常數；而且一般具有與低K介電材料之間良好的黏著性以及一良好的銅及氧阻障。如圖8所示，一化學機械研磨製程向下平整化結構至位準126，從而僅在導體122上的凹面150內留下封蓋180A(以及任何可選層160、170)，並且沿互連層之上表面建立多個封蓋。因此採用本發明製程，封蓋材料180並不包括一毯式層，而是相反，封蓋材料180包括僅固定在整個互連層中的導體122上之截然不同及分離的封蓋。如上所述，此實質上減小包括在BEOL互連層內的封蓋材料之含量。

圖9至12解說本發明之另一具體實施例，該實施例形成凹面151，同時留下RIE遮罩123、124未受移除。因此此具體實施例不同於圖2所示的具體實施例，因為圖1所示的RIE遮罩123、124並未在凹面151得以形成之前得到移除(如圖9所示)。用於形成凹面151的製程與以上所論述的製程相

意圖；

圖10為依據本發明之一局部完成的積體電路結構之一示意圖；

圖11為依據本發明之一局部完成的積體電路結構之一示意圖；以及

圖12為依據本發明之一局部完成的積體電路結構之一示意圖。

【圖式代表符號說明】

120	襯墊
121	介電質
122	金屬結構
123	遮罩
124	遮罩
125	硬遮罩
126	端點
130	表面
140	氧化部分
150	凹面
151	凹面
160	阻障層
165	側壁
170	晶種層
180	封蓋材料
180A	封蓋

拾、申請專利範圍：

1. 一種積體電路結構，其包括：
至少一層邏輯及功能裝置；及
邏輯及功能裝置之該層上的至少一互連層，
其中該互連層包括：
一基板；
該基板內的傳導面形；以及
僅固定在該等傳導面形上的均勻厚度封蓋。
2. 如申請專利範圍第1項之結構，進一步包括在該等傳導面形與該等均勻厚度封蓋之間的一阻障層。
3. 如申請專利範圍第2項之結構，其中該阻障層包括一導電材料。
4. 如申請專利範圍第1項之結構，其中該互連層包括一上表面而且該等均勻厚度封蓋係沿該上表面而固定。
5. 如申請專利範圍第4項之結構，進一步包括沿該上表面而且鄰近於該等傳導面形的遮罩材料。
6. 如申請專利範圍第5項之結構，其中該基板具有一低於該遮罩的介電常數。
7. 如申請專利範圍第1項之結構，其中該基板具有一低於3.0的介電常數。
8. 一種用於邏輯及功能裝置之至少一層上的一積體電路結構之互連層結構，該互連層包括：
一基板；
該基板內的傳導面形；以及

僅固定在該等傳導面形上的均勻厚度封蓋。

9. 如申請專利範圍第8項之結構，進一步包括在該等傳導面形與該等均勻厚度封蓋之間的一阻障層。
10. 如申請專利範圍第9項之結構，其中該阻障層包括一導電材料。
11. 如申請專利範圍第8項之結構，其中該互連層包括一上表面而且該等均勻厚度封蓋係沿該上表面而固定。
12. 如申請專利範圍第11項之結構，進一步包括沿該上表面而且鄰近於該等傳導面形的遮罩材料。
13. 如申請專利範圍第12項之結構，其中該基板具有一低於該遮罩的介電常數。
14. 如申請專利範圍第8項之結構，其中該基板具有一低於3.0的介電常數。
15. 一種用於選擇性地封蓋一互連結構之金屬面形的方法，其中該互連結構係固定在邏輯及功能裝置之至少一層上，該方法包括：

均勻地凹進該等金屬面形以形成具有均勻深度的凹面；

沈積一封蓋層於該互連結構上；以及

平整化該互連結構以便僅在該等金屬面形上形成均勻封蓋。

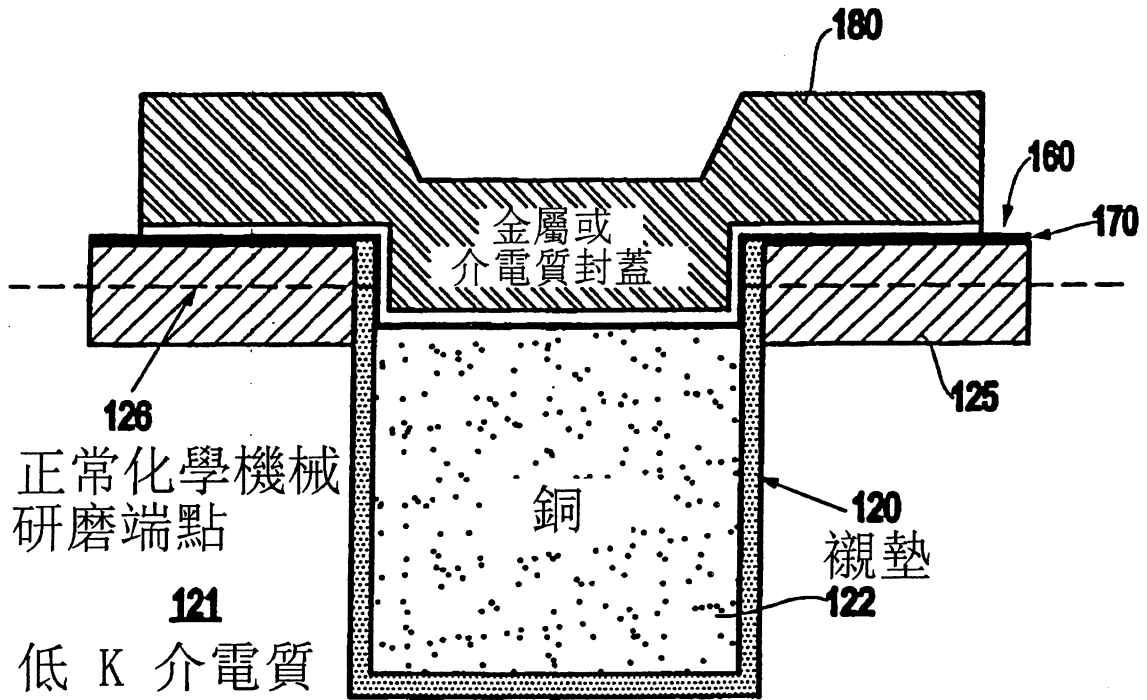


圖 7

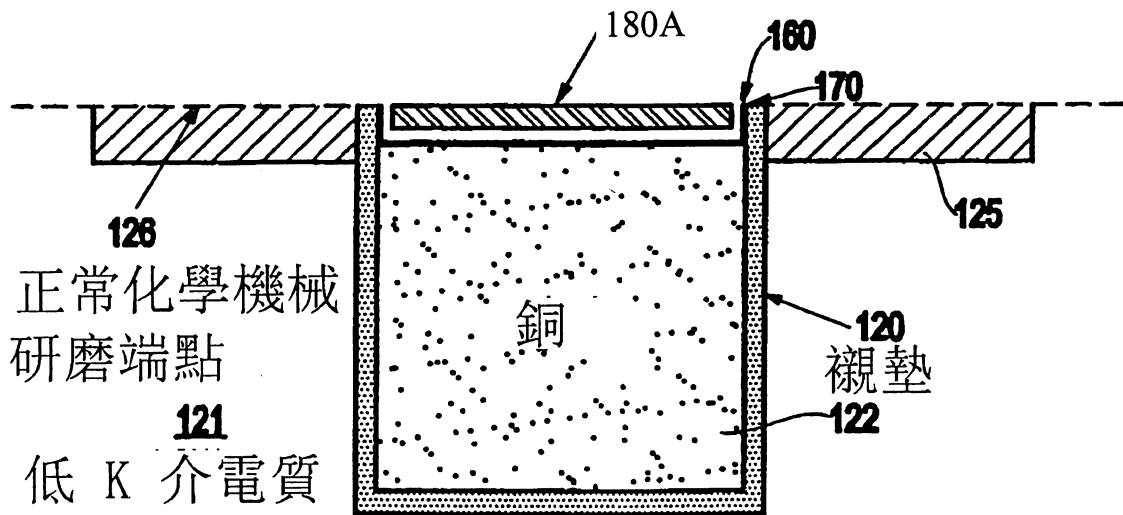


圖 8

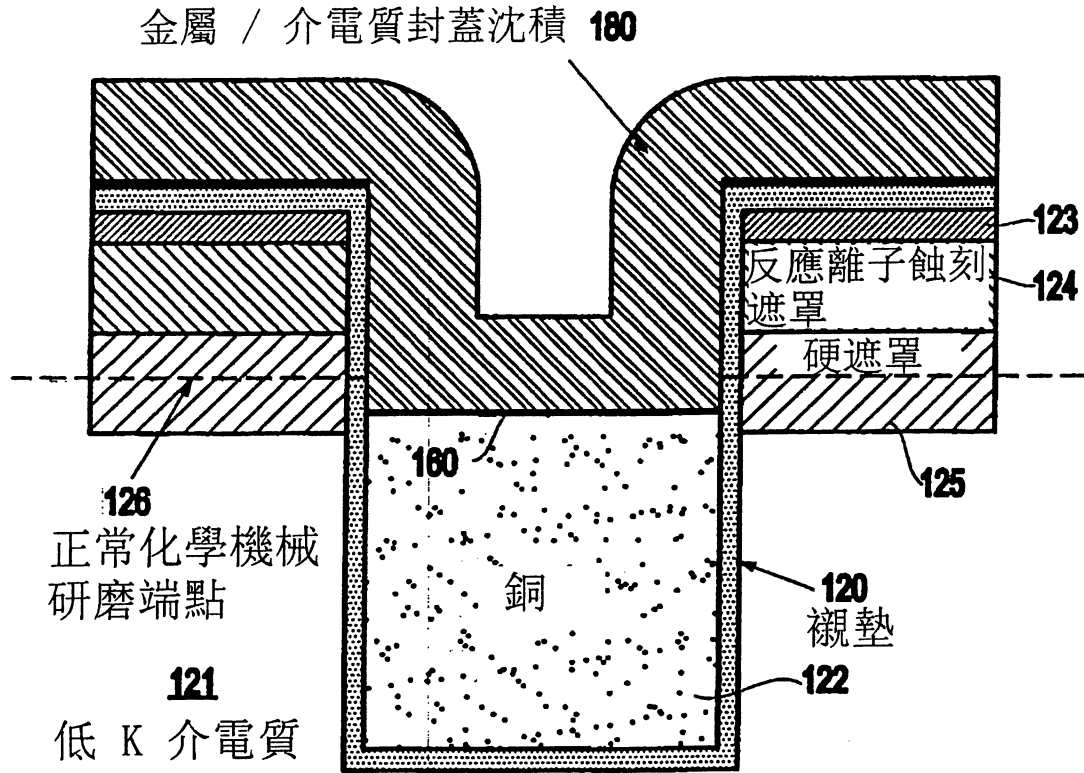


圖 11

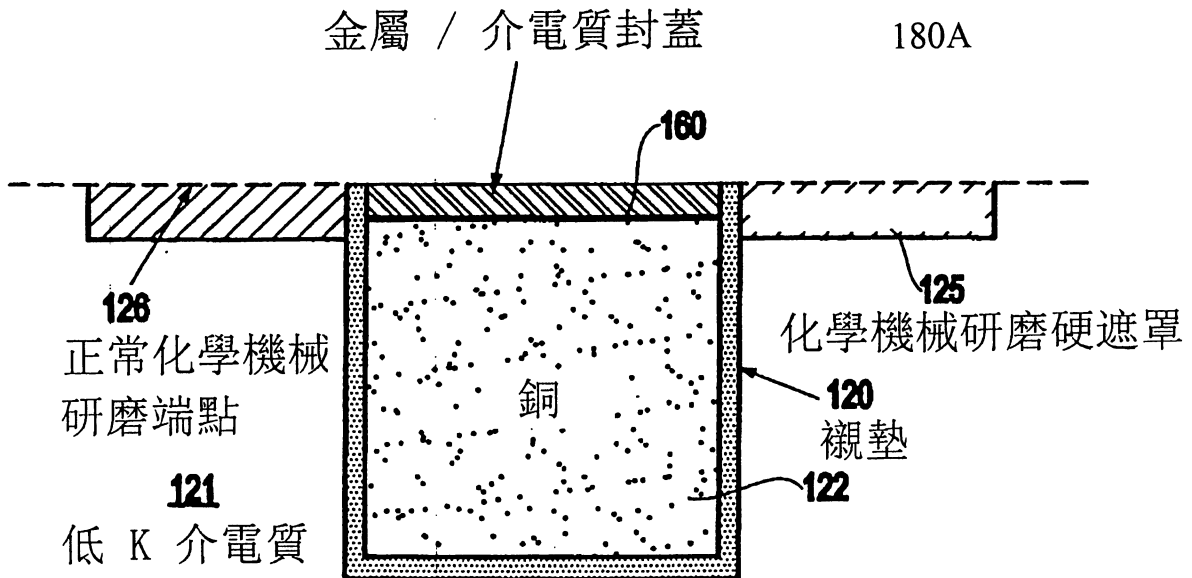


圖 12