



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월03일
(11) 등록번호 10-0809123
(24) 등록일자 2008년02월25일

(51) Int. Cl.
H03M 1/66 (2006.01)
(21) 출원번호 10-2001-7009357
(22) 출원일자 2001년07월25일
심사청구일자 2005년11월07일
번역문제출일자 2001년07월25일
(65) 공개번호 10-2001-0101686
(43) 공개일자 2001년11월14일
(86) 국제출원번호 PCT/EP2000/010959
국제출원일자 2000년11월06일
(87) 국제공개번호 WO 2001/39377
국제공개일자 2001년05월31일
(30) 우선권주장
99203989.1 1999년11월26일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
US05920273A1
W09625793A1
US 05648778 A
US 05508702 A

(73) 특허권자
엔엑스피 비 브이
네덜란드 엔엘-5656 아게 아인드호펜 하이 테크 캠퍼스 60
(72) 발명자
그로에네베그윌리엠에이치
네덜란드엔엘-5656에이에이아인드호펜홀스트란6
(74) 대리인
김창세

전체 청구항 수 : 총 16 항

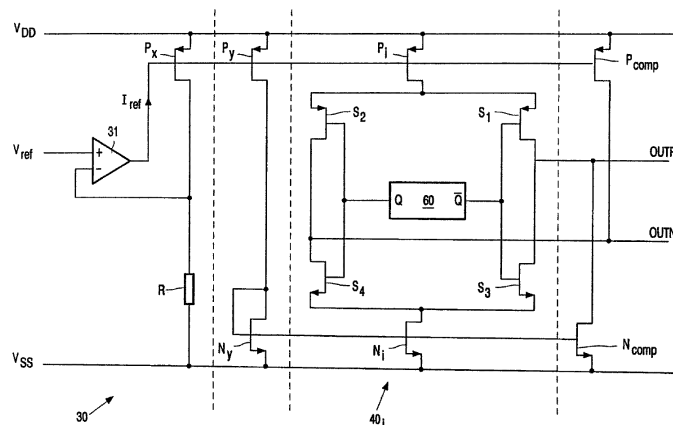
심사관 : 송병준

(54) 오프셋 보상을 갖는 유한 임펄스 응답 디지털-아날로그 변환기

(57) 요약

DC 오프셋을 가진 잡음 성형기(noise shaper)(12)에 연결되어 있는 FIRDAC(20)가 기술된다. FIRDAC의 결과적으로 생성된 오프셋 자체는 연속적으로 온(ON) 상태가 되는 보상 전류원(N_{comp} ; P_{comp})에 의해 보상된다. FIRDAC는 다수의 FIRDAC 셀(40)을 가지며, 각각의 셀은 적어도 하나의 전류원(50; 70)을 포함한다. 비교적 작은 전류원을 갖는 FIRDAC 셀에서는, 더미 트랜지스터(dummy transistor)(80, 90)가 빈 공간 내에 형성된다. 보상 전류원은 소정의 더미 트랜지스터의 병렬 조합으로서 형성된다. 가능한 실시예에서, 각 FIRDAC 셀(40)은, D 플립플롭(60), 이 플립플롭 위의 PMOS 전류 미러(PMOS current mirror)(50) 및 이 플립플롭 아래의 NMOS 전류 미러(70)를 포함하는 스택(stack)을 포함한다. 비교적 작은 PMOS 및 NMOS 전류 미러를 갖는 셀에서는, 더미 전류 미러(80; 90)가 기판(100) 내에 형성된다. 다수의 이들 더미 전류 미러(80; 90)는 병렬로 접속되어 상기 보상 전류원(N_{comp} ; P_{comp})을 구성한다.

대표도



(81) 지정국

국내특허 : 일본, 대한민국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴

특허청구의 범위

청구항 1

적어도 하나의 전류 출력(23; 24) 및 다수의 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)을 포함하는 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC)(20)에 있어서,

각각의 유한 임펄스 응답 디지털-아날로그 변환기 셀(40)은,

시프트 레지스터 셀(a shift register cell)(60)과,

대응하는 시프트 레지스터 셀(60)에 의해 제어되어, 상기 적어도 하나의 전류 출력(23; 24)에 FIRDAC 셀 전류 기여($I_{P_i}; I_{N_i}$)를 연결하는 제 1 유형의 적어도 하나의 전류원(50) 및 제 2 유형의 적어도 하나의 전류원(70)과,

상기 전류 출력(23; 24)에 연결된 보상 전류원($N_{comp}; P_{comp}$)을 포함하며,

상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC)는 반도체 기관(100) 내에서 구현되며,

상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)은 상기 반도체 기관(100)의 각각의 반도체 섹션(140) 내에 형성되며, 각각의 반도체 섹션(140)은 상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)을 수용하도록 설계된 부분(150; 170)을 포함하고, 상기 부분(150; 170)은 모두 실질적으로는 동일한 크기를 가지며,

제 1 그룹의 상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)들의 상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)이 다른 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)의 상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)에 비해 비교적 적어서, 상기 제 1 그룹의 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)들 중의 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)의 상기 반도체 섹션(140)의 상기 부분(150; 170)은 이 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)의 상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)이 차지하지 않는 부분을 포함하며,

각각의 상기 부분에는 더미 트랜지스터(dummy transistor)(80; 90)가 형성되며,

상기 보상 전류원 ($N_{comp}; P_{comp}$)은 사전 결정된 다수의 상기 더미 트랜지스터(90; 80)의 병렬 조합으로서 구현되는

유한 임펄스 응답 디지털-아날로그 변환기.

청구항 2

제 1 항에 있어서,

상기 제 1 유형의 적어도 하나의 전류원(50)은 상기 적어도 하나의 전류 출력(23)에 양의 전류 기여(a positive current contribution)(I_{P_i})를 발생시키며, 상기 보상 전류원(N_{comp})은 사전 결정된 고정량의 음의 전류(negative current)를 발생시키는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 3

제 1 항에 있어서,

상기 제 2 유형의 적어도 하나의 전류원(70)은 상기 적어도 하나의 전류 출력(24)에 음의 전류 기여(I_{N_i})를 발생시키며, 상기 보상 전류원(P_{comp})은 사전 결정된 고정량의 양의 전류를 발생시키는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)은 상기 적어도 하

나의 전류 출력(23; 24)과 제 1 공급 라인(V_{DD} ; V_{SS}) 사이에 연결된 제 1 전도성 유형의 트랜지스터(PMOS; NMOS)를 포함하며, 상기 보상 전류원(N_{comp} ; P_{comp})은 상기 적어도 하나의 전류 출력(23; 24)과 제 2 공급 라인(V_{SS} ; V_{DD}) 사이에 연결된 제 2 전도성 유형의 트랜지스터(NMOS; PMOS)를 포함하는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 5

제 1 항에 있어서,
상기 제 1 유형의 적어도 하나의 전류원(50)은 상기 적어도 하나의 전류 출력(23)에 양의 전류 기여(I_{P1})를 발생시키며, 상기 보상 전류원은 사전 결정된 고정량의 양의 전류를 발생시키는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 6

제 1 항에 있어서,
상기 제 2 유형의 적어도 하나의 전류원(70)은 상기 적어도 하나의 전류 출력(24)에 음의 전류 기여(I_{N1})를 발생시키며, 상기 보상 전류원은 사전 결정된 고정량의 음의 전류를 발생시키는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 7

제 5 항 또는 제 6 항에 있어서,
상기 제 1 유형의 적어도 하나의 전류원(50) 및 상기 제 2 유형의 적어도 하나의 전류원(70)은 상기 적어도 하나의 전류 출력(23; 24)과 공급 라인(V_{DD} ; V_{SS}) 사이 연결된 제 1 전도성 유형의 트랜지스터(PMOS; NMOS)를 포함하며, 상기 보상 전류원은 상기 적어도 하나의 전류 출력(23; 24)과 상기 공급 라인(V_{SS} ; V_{DD}) 사이에 연결된 동일한 전도성 유형의 트랜지스터를 포함하는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항에 있어서,
상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC)(20)는,
상기 대응하는 시프트 레지스터 셀(60)의 적어도 하나의 제어 출력(67, 65)에 연결되는 적어도 하나의 제어 입력(52, 53)을 가지며, 적어도 하나의 전류 출력(54, 55)을 갖는 PMOS 전류원(50)과,
상기 대응하는 시프트 레지스터 셀(60)의 적어도 하나의 제어 출력(67, 65)에 연결되는 적어도 하나의 제어 입력(72, 73)을 가지며, 적어도 하나의 전류 출력(74, 75)을 갖는 NMOS 전류 싱크(70)를 포함하되,
모든 PMOS 전류원(50)의 전류 출력(54)은 공통의 양의 전류 출력(23)에 연결되며, 모든 NMOS 전류 싱크(70)의 전류 출력(75)은 공통의 음의 전류 출력(24)에 연결되고,
상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC)(20)는 상기 공통의 음의 전류 출력(24)에 접속된 양 보상 전류원(P_{comp}) 및 상기 공통의 양의 전류 출력(23)에 접속된 음 보상 전류원(N_{comp})를 더 포함하는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 11

제 10 항에 있어서,

상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC)는 반도체 기관(100) 내에서 구현되며,

적어도 하나의 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40)은 상기 반도체 기관(100)의 열 형상 섹션(140) 내에 형성되며,

상기 시프트 레지스터 셀(60)은 상기 열 형상 섹션(140)의 중앙 부분(160)에 형성되고,

상기 PMOS 전류원(50)은 상기 중앙 부분(160) 위/아래에 위치하는 상기 열 형상 섹션(140)의 PMOS 부분(150)에 형성되고,

상기 NMOS 전류 싱크(70)는 상기 중앙 부분(160) 아래/위에 위치하는 상기 열 형상 섹션(140)의 NMOS 부분(170)에 형성되고,

더미 PMOS 전류원(80)은 상기 PMOS 부분(150)에서 상기 PMOS 전류원(50)이 차지하지 않는 부분에 형성되며,

더미 NMOS 전류 싱크(90)는 상기 NMOS 부분(170)에서 상기 NMOS 전류 싱크(70)가 차지하지 않는 부분에 형성되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 12

제 11 항에 있어서,

상기 양의 보상 전류원(P_{comp})은 병렬로 접속된 더미 PMOS 전류원(80)의 사전결정된 조합에 의해서 구성되며, 상기 음의 보상 전류 싱크(N_{comp})는 병렬로 접속된 더미 NMOS 전류 싱크(90)의 사전결정된 조합에 의해서 구성되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 13

제 11 항 또는 제 12 항에 있어서,

상기 기관(100) 내에 형성되며 모든 PMOS 부분(150)에 걸쳐 있는 제 1 연속적인 양의 출력 라인(111)과,

상기 기관(100) 내에 형성되며 모든 NMOS 부분(170)에 걸쳐 있는 제 1 연속적인 음의 출력 라인(112)과,

상기 기관(100) 내에 형성되며 모든 NMOS 부분(170)에 걸쳐 있는 제 2 연속적인 양의 출력 라인(113)과,

상기 기관(100) 내에 형성되며 모든 PMOS 부분(150)에 걸쳐 있는 제 2 연속적인 음의 출력 라인(114)을 포함하는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 14

제 1 항 내지 제 3 항, 제 5 항, 제 6 항, 또는 제 10 항 내지 제 12 항 중 어느 한 항에 있어서,

각 셀(40_i)은,

소스가 제 1 공급 라인(V_{DD})에 연결된 P 트랜지스터(P_i)와,

소스가 제 2 공급 라인(V_{SS})에 연결된 N 트랜지스터(N_i)를 포함하되,

상기 P 트랜지스터(P_i)의 드레인은 제 1 스위치(S1)를 통해 상기 양의 전류 출력(23)에 연결되며 제 2 스위치(S2)를 통해 상기 음의 전류 출력(24)에 연결되고,

상기 N 트랜지스터(N_i)의 드레인은 제 3 스위치(S3)를 통해 상기 양의 전류 출력(23)에 연결되며 제 4 스위치(S4)를 통해 상기 음의 전류 출력(24)에 연결되고,

상기 네 개의 스위치(S1, S2, S3, S4)는 상기 대응하는 시프트 레지스터 셀(60_i)의 출력 신호를 수신하도록 연결되어, 상기 시프트 레지스터 셀(60_i)의 제 1 상태(비트값 "1")에서는 상기 제 1 및 제 4 스위치(S1, S4)가 도통하게 되고 상기 제 2 및 제 3 스위치(S2, S3)가 도통하지 않게 되며, 상기 시프트 레지스터 셀(60_i)의 제 2 상태(비트값 "0")에서는 상기 제 1 및 제 4 스위치(S1, S4)가 도통하지 않지만 상기 제 2 및 제 3 스위치(S2,

S3)가 도통하게 되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 15

제 14 항에 있어서,

상기 제 1 스위치(S1)는 소스가 상기 트랜지스터(P_1)의 드레인에 접속되고 드레인이 상기 양의 전류 출력(23)에 접속되며 게이트가 상기 시프트 레지스터 셀(60)의 반전 출력(\bar{Q})에 접속되는 P 트랜지스터로서 구현되고,

상기 제 2 스위치(S2)는 소스가 상기 트랜지스터(P_1)의 드레인에 접속되고 드레인이 상기 음의 전류 출력(24)에 접속되며 게이트가 상기 시프트 레지스터 셀(60)의 비반전 출력(Q)에 접속되는 P 트랜지스터로서 구현되고,

상기 제 3 스위치(S3)는 소스가 상기 트랜지스터(N_1)의 드레인에 접속되고 드레인이 상기 양의 전류 출력(23)에 접속되며 게이트가 상기 시프트 레지스터 셀(60)의 상기 반전 출력(\bar{Q})에 접속되는 N 트랜지스터로서 구현되고,

상기 제 4 스위치(S4)는 소스가 상기 트랜지스터(N_1)의 드레인에 접속되고 드레인이 상기 음의 전류 출력(24)에 접속되며 게이트가 상기 시프트 레지스터 셀(60)의 상기 비반전 출력(Q)에 접속되는 N 트랜지스터로서 구현되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 16

제 14 항에 있어서,

상기 비반전 입력에서 기준 전압(V_{ref})을 수신하는 증폭기(31)와,

소스가 상기 제 1 공급 라인(V_{DD})에 접속되고 드레인이 상기 증폭기(31)의 반전 입력에 접속되며 게이트가 상기 증폭기(31)의 출력에 접속되는 P 트랜지스터(R)와,

한쪽 단자가 상기 P 트랜지스터(R_X)의 드레인에 접속되며 다른쪽 단자는 상기 제 2 공급 라인(V_{SS})에 접속되는 저항(R)과,

소스가 상기 제 1 공급 라인(V_{DD})에 접속되고 게이트가 상기 P 트랜지스터(R_X)의 게이트에 접속되는 P 트랜지스터(P_Y)와,

소스가 상기 제 2 공급 라인(V_{SS})에 접속되고 게이트 및 드레인이 상기 P 트랜지스터(R_Y)의 드레인에 연결되는 N 트랜지스터(N_Y)를 포함하는

바이어스 회로(30)를 더 포함하되,

상기 P 트랜지스터(R_Y)의 게이트는 상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40_i)의 상기 P 트랜지스터(P_1)의 게이트에 접속되고, 상기 N 트랜지스터(N_Y)의 게이트는 상기 유한 임펄스 응답 디지털-아날로그 변환기(FIRDAC) 셀(40_i)의 상기 N 트랜지스터(N_1)의 게이트에 접속되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 17

제 16 항에 있어서,

상기 P 트랜지스터(R_X)는 다수의 더미 P 트랜지스터(80)의 병렬 조합에 의해서 구성되고, 상기 P 트랜지스터(P_Y)는 다수의 더미 P 트랜지스터(80)의 병렬 조합에 의해서 구성되며, 상기 N 트랜지스터(N_Y)는 다수의 더미 N 트랜지스터(90)의 병렬 조합에 의해서 구성되는 유한 임펄스 응답 디지털-아날로그 변환기.

청구항 18

제 1 항 내지 제 3 항, 제 5 항, 제 6 항, 또는 제 10 항 내지 제 12 항 중 어느 한 항에 있어서,

DC 디서(dither) 또는 AC 디서가 제공되는 잡음 성형기(noise shaper)(12)의 출력에 접속된 신호 입력(21)을 갖는 유한 임펄스 응답 디지털-아날로그 변환기.

명세서

기술분야

<1> 본 발명은, 전반적으로, 유한 임펄스 응답 디지털-아날로그 변환기(finite impulse response digital-to-analog converter)(이하, FIRDAC라고 지칭함)에 관한 것이다.

배경기술

<2> 디지털-아날로그 변환기의 유한 임펄스 응답(finite impulse response)의 원리는 그 자체가 잘 알려져 있으며, 예를 들어, US-A-5,323,157에 기술되어 있다. 일반적으로, FIRDAC는, 1비트의 비트스트림 입력 신호, 즉, 1비트의 진폭 분해능(amplitude resolution)을 갖는 직렬 데이터 스트림을 수신하는 통상적으로 수백 단 이상인 다수의 단을 구비하는 시프트 레지스터(a shift register)를 포함한다. 시프트 레지스터의 각 단은 전용 전류원을 온(on) 또는 오프(off)로 스위칭한다. 따라서, 시프트 레지스터의 모든 단에서 생성된 전류는 합해져서, FIRDAC의 출력 전류가 생성된다. 통상적으로, 이 출력 전류는 전류-전압 변환기에 인가되어 FIRDAC의 아날로그 출력 전압을 발생시키게 된다. FIRDAC의 각 단은 FIRDAC의 전체 출력 전류에 기여하는 출력 전류를 생성한다.

그러나, FIRDAC의 모든 단이 동일한 정도로 기여하는 것은 아니다. 바람직한 필터 특성을 얻기 위해서, FIRDAC의 각 단은 전류원의 출력 전류의 크기에 의해 구성되는 관련 가중치 계수(an associated weighting coefficient)를 갖는다.

<3> 전형적인 응용 상황에 있어서, FIRDAC는 스피커나 이어폰에 아날로그 오디오 신호를 제공하기 위하여 이동 전화의 신호 처리 경로에서 사용된다. FIRDAC는, 잡음 성형기(noise shapers)로부터 그 입력 비트스트림 신호를 수신하며, 이 잡음 성형기는 양자화 잡음(quantisation noise)을 음성 대역(voice band)으로부터 더 높은 주파수로 이동시킴으로써 FIRDAC의 신호 대 잡음비를 증가시킨다. 의사 영향력(spurious influences) 때문에, 잡음 성형기는 "유희 톤(idle tones)"이라고 지칭되는 낮은 가청 톤의 원인이 되는 소정의 패딩을 반복하는 경향이 있다. 상기 유희 톤이 가청되는 것을 방지하기 위해서, "DC 디서(DC dither)"라고 지칭되는 고정된 양으로 잡음 성형기를 디지털적으로 오프셋(offset)하여, 유희 톤을 가청 레벨보다 높은 고주파로 밀어 올리는 것은 그 자체가 공지된 사항이다.

<4> 이러한 측면에서의 문제는 잡음 성형기의 고정 오프셋이 FIRDAC에서의 오프셋을 야기하며, 이로써 FIRDAC 출력 신호를 수신하여 이어폰 또는 스피커용의 구동 신호를 발생시키는 구동기(driver) 내에도 오프셋이 야기된다는 것이다. 실제적인 경우에 있어서, 오프셋은 80mV 정도 된다. 이어폰이 8-16 옴의 저항을 갖는다면, 이는 대략 10mA 정도의 크고 불필요한 전류 소비를 야기한다.

<5> 발명의 개요

<6> 본 발명은 이러한 문제를 해결하는 데 목적이 있다.

<7> 보다 구체적으로, 본 발명은 FIRDAC이 점유하는 임의의 칩 면적을 증가시킬 필요 없이 상기 문제를 해결하는 데 목적이 있다.

<8> 본 발명의 중요한 측면에 따르면, FIRDAC의 전류 출력 단자는 일정한 전류원 또는 싱크에 연결되어, 상기 오프셋을 보상하거나 바람직하게는 제거하기 위해서, 일정한 보상 전류를 FIRDAC의 전류 출력에 더하거나 또는 전류 출력으로부터 감한다.

<9> 본 발명의 다른 측면에 따르면, 바람직한 실시예에서, FIRDAC의 각 단은 D-플립플롭, PMOS 전류 미러(PMOS current mirror), 및 NMOS 전류 미러를 결합하여 포함한다. FIRDAC의 각 단은 실질적으로는 동일한 반도체 공간을 차지한다. 플립플롭은 모두 동일한 폭을 갖지만, PMOS 전류 미러의 트랜지스터 폭과 NMOS 전류 미러의 트랜지스터 폭은 상이하며 이들 폭은 상기 미러의 전류 출력의 크기를 결정하여 각 단의 가중치 계수를 구현한다. 결과적으로, 비교적 낮은 가중치 계수를 갖는 FIRDAC 단에서, PMOS 전류 미러의 크기와 NMOS 전류 미러의 크기는 비교적 작으며, 이에 따라, 비교적 큰 양의 공간이 "비어 있게" 된다. 상기 빈 공간에는, 더미 전류원이 배치된다.

<10> 비트스트림 제너레이터("잡음 성형기")에서의 DC 오프셋의 결과로서, FIRDAC는 그 자체에 오프셋 출력 레벨을

갖는다. 특히, FIRDAC의 양의 전류 출력(a positive current output)은 너무 많은 양의 전류를 생성하고, 음의 전류 출력은 너무 많은 음의 전류를 생성한다. 본 발명의 중요한 측면에 따르면, 이것은 전류 출력에 연결되는 일정한 전류원에 의해 보상된다.

- <11> 너무 많은 양의 전류를 생성하는 양의 전류 출력의 경우에 있어서, 본 발명은 사전 결정된 수의 예비 더미 NMOS 전류 싱크를 제공하며, 이 예비 더미 NMOS 전류 싱크는 계속해서 온(ON) 상태이고 양의 전류원으로부터의 과다 전류(오프셋)를 접지로 보낸다.
- <12> 너무 많은 음의 전류를 생성하는 음의 전류 출력의 경우에 있어서, 본 발명은 사전 결정된 수의 예비 더미 PMOS 전류원을 제공하며, 이 예비 더미 PMOS 전류원은 계속해서 온(ON) 상태이고 음의 전류원에 의해 접지로 유도되는 과다 전류(오프셋)를 보충한다.
- <13> FIRDAC의 입력 신호로서 비트스트림을 발생시키는 비트스트림 제너레이터에서의 오프셋의 양은 일정하며 또한 공지되어 있다. 이것은, FIRDAC의 제조 전에, 얼마나 많은 보상 전류가 더미 NMOS 전류원에 의해 도통하게 될 것인가를 계산하는 것이 가능하다는 것을 의미한다. 그러므로, 어떤 더미(dummies)를 사용하고, 어떤 더미를 사용하지 않을 것인지를 사전 결정할 수 있다.
- <14> 사용 가능한 수의 NMOS 더미의 수가 적절한 보상에는 너무 적은 경우, 보상을 PMOS 더미를 사용하는 것이 가능하다.
- <15> 본 발명의 이러한 측면, 특징 및 장점과 그 밖의 측면, 특징 및 장점은 도면을 참조하여 본 발명에 따른 제어 회로의 바람직한 실시예에 대한 다음 설명에 의해 더욱 명백해진다. 도면에서, 동일한 참조 부호는 동일하거나 유사한 부분을 나타낸다.

발명의 상세한 설명

- <20> 도 1은 이동 전화 내의 음성 신호 S를 처리하는 적절한 회로의 블록도를 도시한다. 이 회로는 디지털 필터(11) 및 잡음 성형기(또는 비트스트림 발생기)(12)를 포함하며, 이 둘 모두는 통상적으로 설계되므로, 본 명세서에서 더욱 상세하게 설명하지는 않는다. 디지털 필터(11)는 음성 대역 이외의 주파수, 즉 300 Hz보다는 낮고 3400 Hz보다 높은 주파수를 억제하도록 구성된다. 디지털 필터(11)는 잡음 성형기(12)의 입력단에 접속되어 있는 출력단을 갖는다. 이 잡음 성형기(12)는 결과적으로 생성된 1 MHz의 비트스트림(1비트) 신호를 출력단에서 제공하도록 구성되며, 그 출력단은 FIRDAC(20)의 신호 입력단(21)에 접속되어 있다. 바이어스 블록(30)은 밴드갭 전압(bandgap voltage) V_{ref} 와 같은 기준 전압을 수신하며, 많은 바이어스 전류를 제공하기 위해 FIRDAC에서 결합된다.
- <21> FIRDAC(20)은 클럭 입력 신호 CLK를 수신하는 클럭 입력단(22)을 갖는다. 유사하게, 디지털 필터(11)와 잡음 성형기(12)는 FIRDAC의 클럭 신호와 동일할 수도 있고 동일하지 않을 수도 있는 클럭 신호 CLK를 수신하는 클럭 입력 단자를 갖는다. FIRDAC(20)의 클럭 신호 CLK의 주파수는, 특히, 바람직한 신호 대 잡음비 및 시스템에서 사용 가능한 주파수에 의존한다. 가령, GSM 시스템에서, 클럭 신호의 주파수는 1 MHz이며, 이 주파수는 13.0 MHz의 GSM 마스터 클럭 주파수로부터 쉽게 유도될 수 있다.
- <22> FIRDAC가 단 한 개의 출력 라인을 갖는 것이 가능하다. 그러나, 본 발명의 FIRDAC(20)은, 비트스트림 신호가 포함하는 것이 주로 "1"(음성 대역 신호의 양의 절반(positive half of the voiceband signal)에 대응함)인지 또는 주로 "0"(음성 대역 신호의 음의 절반(negative half of the voiceband signal)에 대응함)인지에 따라서, 각각 양의 전류와 음의 전류를 생성하는 두 개의 전류 출력 단자(23, 24)를 갖는 차동 드라이브를 제공한다. 상기 전류 신호는 전류-전압 변환기(25, 26)에 각각 공급되며, 이 변환기(25, 26)는 출력 전압 신호 $V_{out,P}$ 및 $V_{out,N}$ 을 생성하여 이어폰 드라이버(도시하지 않음)와 같은 출력단에 공급한다.
- <23> 도 2는 FIRDAC(20)의 내부 블록도를 도시한다. FIRDAC(20)은 다수의 N개의 FIRDAC 셀(40)을 포함한다. 이 후부터, FIRDAC 회로(20)의 동일 요소는 동일 참조 부호로서 표시되며, 아래 첨자 i는 FIRDAC 회로 내에서 그러한 요소의 위치를 언급한다. 각각의 FIRDAC 셀(40_i)은 PMOS 전류원(50_i), 시프트 레지스터 셀(60_i), 및 NMOS 전류 싱크(70_i)를 포함한다.
- <24> 각각의 PMOS 전류원(50_i)은 기준 전류 $I_{ref,P}$ 를 수신하는 기준 전류 입력(51_i), 바이너리 제어 신호를 수신하는 제 1 및 제 2 바이너리 제어 입력(52_i, 53_i), 양의 출력 전류 I_{Pi} 를 제공하는 제 1 및 제 2 전류 출력 단자(54_i,

55_i)를 갖는다.

<25> 이와 유사하게, 각 NMOS 전류 싱크(70_i)는 입력(71_i), 제 1 및 제 2 제어 입력(72_i, 73_i), 제 1 및 제 2 전류 출력(74_i, 75_i)을 포함한다.

<26> 각각의 시프트 레지스터 셀(60_i)은 D형 플립플롭으로 구성되며, Q-출력(67_i) 및 \bar{Q} -출력(65_i)을 포함한다. Q-출력(67_i)은 대응하는 PMOS 전류원(50_i)의 제 1 바이너리 제어 입력(52_i) 및 대응하는 NMOS 전류 싱크(70_i)의 제 1 바이너리 제어 입력(72_i)에 연결된다. \bar{Q} -출력(65_i)은 대응하는 PMOS 전류원(50_i)의 제 2 바이너리 제어 입력(53_i) 및 대응하는 NMOS 전류 싱크(70_i)의 제 2 바이너리 제어 입력(73_i)에 연결된다.

<27> 각각의 D형 플립플롭(60_i)은 신호 입력(61_i) 및 신호 출력(63_i)을 갖는다. 신호 입력(61_i)은 이전 플립플롭(60_{i-1})의 신호 출력(63_{i-1})에 접속된다. 제 1 플립플롭(60_i)의 신호 입력(61_i)은 FIRDAC(20)의 입력 단자(21)에 접속된다. 또한, 각각의 D형 플립플롭(60_i)은 FIRDAC(20)의 클록 입력 단자(22)에 접속된 클록 입력(62_i)을 갖는다. FIRDAC(20)의 클록 입력(22)에 인가된 클록 신호의 주파수(통상적으로 1 MHz)에 의해 결정되는 비율로, 비트스트림 신호는 시프트 레지스터로 이동한다. 각각의 순간에, 플립플롭 상태는 비트스트림 내의 비트 값에 대응한다. 비트가 값 "1"을 갖는다면, 대응하는 플립플롭(60)의 Q-출력(67)은 하이(HIGH)가 되며, 이 플립플롭의 \bar{Q} -출력(65)은 로우(LOW)가 된다. 이런 상황에서, 대응하는 PMOS 전류원(50)은 양의 전류 출력 라인(27)에 연결되며, 대응하는 NMOS 전류 싱크(70)는 음의 전류 출력 라인(28)에 연결된다. 이와 달리, 비트가 값 "0"을 갖는다면, 대응하는 플립플롭(60)의 Q-출력(67)은 로우(LOW)가 되며, 이 플립플롭의 \bar{Q} -출력(65)은 하이(HIGH)가 된다. 이런 상황에서, PMOS 전류원(50)은 음의 전류 출력 라인(28)에 연결되며, NMOS 전류 싱크(70)는 양의 전류 출력 라인(27)에 접속된다. 양의 전류 출력 라인(27)은 양의 전류 출력 단자(23)에 접속되며, 음의 전류 출력 라인(28)은 음의 전류 출력 단자(24)에 접속된다.

<28> FIRDAC(20)의 양의 출력(23)에서, 양의 출력 신호 $I_{OUT,P}$ 는 양의 전류 출력 라인(27)에 연결된 PMOS 전류원(50_i)의 모든 출력 전류 I_{Pi} 및 양의 전류 출력 라인(27)에 연결된 NMOS 전류 싱크(70_i)의 모든 출력 전류 I_{Ni} 의 총합이다. 이와 유사하게, 음의 출력(24)에서, 음의 출력 전류 $I_{OUT,N}$ 는 음의 전류 출력 라인(28)에 연결된 NMOS 전류 싱크(70_i)의 모든 출력 전류 I_{Ni} 및 음의 전류 출력 라인(28)에 연결된 PMOS 전류원(50_i)의 모든 출력 전류 I_{Pi} 의 총합이다. 그러므로, 양 및 음의 출력 전류 $I_{OUT,P}$ 및 $I_{OUT,N}$ 은 시프트 레지스터에 현재 존재하는 비트스트림 신호의 일부에 의존하되, 각 비트는 양 또는 음의 전류 기여에 대응하는 반면, 총 출력 전류 $I_{OUT,P} + I_{OUT,N}$ 은 일정하게 유지된다.

<29> 그러나, 상이한 전류원 또는 전류 싱크의 전류 기여는 각각 상이하기 때문에, FIRDAC의 바람직한 반응 특성을 얻도록 선택되는 상이한 FIRDAC 단의 가중치 계수를 구현하게 하며, 이는 당업자에게는 자명하다. 전형적으로, 가중치 계수는 중앙 단을 중심으로 하여 대칭적이며, FIRDAC(20)의 입력측 또는 출력측 근처에 위치하는 셀은 출력 전류가 비교적 적게 기여하고, FIRDAC(20)의 중앙 근처에 위치하는 셀은 출력 전류가 비교적 높게 기여한다. 각 셀(40_i)에 대해, PMOS 전류원(50_i) 및 NMOS 전류 싱크(70_i)에 의해 각각 발생한 출력 전류 I_{Pi} 및 I_{Ni} 의 크기는 각각 PMOS 전류원(50_i) 및 NMOS 전류 싱크(70_i)의 폭에 의해 결정된다. 전류원 또는 전류 싱크가 클수록, 더 큰 전류가 발생한다.

<30> 집적 회로에서, 셀(40)은 서로 옆에 배열된다. 각 셀(40_i)에서, PMOS 전류원(50_i)은 대응하는 플립플롭(60_i) 위에 위치하며, NMOS 전류 싱크(70_i)는 이 플립플롭(60_i) 아래에 위치한다. 그러므로, 각 셀(40)은 도 3에 도시한 바와 같이 반도체 기판(100)의 열-형상 섹션(a column-shaped section)(140)을 차지한다.

<31> 열-형상 반도체 섹션(140)의 중앙 부분(160)에는 플립플롭(60)이 형성되며, 이후, 이 중앙 부분(160)은 "플립플롭 부분"이라 지칭된다. 중앙 부분(160) 위에 위치한 열-형상 반도체 섹션(140)의 상위 부분(150)에는 PMOS 전류원(50)이 형성되며, 이후, 이 상위 부분(150)은 "PMOS 부분"이라 지칭된다. 중앙 부분(160) 아래에 위치한 열-형상 반도체 섹션(140)의 하위 부분(170)에는 NMOS 전류 싱크(70)가 형성되며, 이후, 이 하위 부분(170)은 "NMOS 부분"이라 지칭된다.

- <32> 제 1 신호 컨덕터(101)는 입력 단자 D_{in} 를 이전 셀의 출력 단자에 접속시킨다. 제 2 신호 컨덕터(102)는 출력 단자 D_o 를 다음 셀의 입력 단자에 접속시킨다. 제 3 신호 컨덕터(103)는 Q-출력 신호를 플립플롭 부분(160)으로부터 PMOS 부분(150)으로 접속시킨다. 제 4 신호 컨덕터(104)는 \bar{Q} -출력 신호를 플립플롭 부분(160)으로부터 PMOS 부분(150)으로 접속시킨다. 이와 마찬가지로, 제 5 신호 컨덕터(105)는 Q-출력 신호를 플립플롭 부분(160)으로부터 PMOS 부분(150)으로 접속시키고, 제 6 신호 컨덕터(106)는 \bar{Q} -출력 신호를 플립플롭 부분(160)으로부터 PMOS 부분(150)으로 접속시킨다.
- <33> 연속적인 클럭 신호 CLK는 모든 플립플롭 부분(160)에 걸쳐 있다. 제 1 연속적인 양의 출력 라인(111)은 모든 PMOS 부분(150)에 걸쳐 있으며, 제 1 연속적인 음의 출력 라인(112)은 모든 NMOS 부분(170)에 걸쳐 있다. 제 2 연속적인 양의 출력 라인(113)은 모든 NMOS 부분(170)에 걸쳐 있으며, 제 2 연속적인 음의 출력 라인(114)은 모든 PMOS 부분(150)에 걸쳐 있다. 또한, 제 1 공급 라인 V_{DD} 은 모든 PMOS 부분(150)에 걸쳐 있으며, 제 2 공급 라인 V_{SS} 는 모든 NMOS 부분(170)에 걸쳐 있다. FIRDAC(20)의 출력측에서는, 제 1 및 제 2 양의 출력 라인(111, 113)이 함께 연결되어 있으며, 제 1 및 제 2 음의 출력 라인(112, 114)도 마찬가지이다.
- <34> FIRDAC 셀(40) 내의 플립플롭(60)은 서로 동일하다(즉, 그 물리적 크기가 서로 동일하다). 열-형상 반도체 섹션(140)의 물리적 폭이 플립플롭 부분(160)의 물리적 폭에 의해 결정되기 때문에, 열-형상 반도체 섹션(140)의 폭도 서로 동일하다. 결과적으로, PMOS 부분(150)의 폭은 서로 동일하며, NMOS 부분(170)의 폭도 서로 동일하다.
- <35> 전술한 바와 같이, FIRDAC(20)의 중앙 근처에 위치하는 FIRDAC 셀(40)은 FIRDAC의 중앙으로부터 더 멀리 떨어져 위치하는 FIRDAC 셀에 비해 비교적 큰 전류를 생성한다. 셀(40)의 PMOS 전류원(50) 및 NMOS 전류 싱크(70)에 의해 각각 발생하는 출력 전류의 크기는 PMOS 전류원(50) 및 NMOS 전류 싱크(70)의 폭에 의해 각각 결정되기 때문에, FIRDAC의 중앙으로부터 더 멀리 떨어져 위치하는 FIRDAC 셀의 PMOS 전류원(50) 및 NMOS 전류 싱크(70)의 폭은 FIRDAC의 중앙 근처에 위치하는 FIRDAC 셀의 PMOS 전류원 및 NMOS 전류 싱크의 폭보다 작다.
- <36> 실제적으로, 중앙 FIRDAC 셀의 PMOS 전류원(50) 및 NMOS 전류 싱크(70)의 폭은 대응하는 플립플롭(60)의 폭과 거의 동일하다. 이와 같이 중앙에 위치하는 셀의 PMOS 부분(150)은 그 안에 형성된 PMOS 전류원(50)이 거의 전적으로 차지하며, NMOS 부분(170)도 마찬가지이다. 그러나, 중앙 셀로부터 더 멀리 떨어져 위치하는 셀(40)에서는, PMOS 전류원(50) 및 NMOS 전류 싱크(70)의 크기가 더 작으며, 이에 따라, 각각 PMOS 부분(150) 및 NMOS 부분(170) 내의 사용가능한 모든 공간을 물리적으로 차지하지는 않는다. 본 발명의 중요한 측면에 따르면, 추가적인 또는 "더미(dummy)" 트랜지스터(80)는 PMOS 부분(150)에서 PMOS 전류원(50)이 차지하지 않는 부분에 형성되며, 추가적인 또는 더미 트랜지스터(90)는 NMOS 부분(170)에서 NMOS 전류 싱크(70)가 차지하지 않는 부분에 형성된다.
- <37> PMOS 또는 NMOS 트랜지스터(50, 70)가 차지하지 않는 FIRDAC 셀(40) 내의 사용가능한 공간을 채우는 더미 트랜지스터(80 또는 90)의 한 가지 장점은 모든 시프트 레지스터 셀(60)에 대한 환경이 실질적으로 동일하다는 것이다.
- <38> 또한, 본 발명의 중요한 측면에 따르면, 상기 더미 트랜지스터(80, 90)는 후술하는 바와 같이 바이어스 회로(30)에서 유리하게 사용될 수 있다.
- <39> 도 4는 바이어스 블록(30) 및 FIRDAC(20)의 회로를 나타낸다. 바이어스 회로(30)는, 비반전 입력(non-inverting input)에서 기준 전압 V_{ref} 를 수신하며 P-트랜지스터 P_X 의 게이트에 출력이 접속되어 있는 증폭기(31)를 포함한다. P-트랜지스터 P_X 의 소스는 공급 라인 V_{DD} 에 접속되며 P-트랜지스터 P_X 의 드레인은 저항 R의 한쪽 단자에 접속되며, 저항 R의 다른쪽 단자는 제 2 공급 전압 V_{SS} 에 접속된다. 통상적으로, 제 2 전압 공급 라인 V_{SS} 의 전압 레벨은 제 1 전압 공급 라인 V_{DD} 의 레벨보다 더 낮으며, 일반적으로 접지 레벨에 있다. P-트랜지스터 P_X 의 드레인과 저항 R 사이의 노드는 증폭기(31)의 반전 입력에 접속된다.
- <40> P-트랜지스터 P_X 는 별도의 트랜지스터일 수 있다. 그러나 P-트랜지스터 P_X 는 바람직하게는 다수의 FIRDAC 셀(40) 내의 다수의 P-더미 트랜지스터(80)의 병렬 조합에 의해서 구성된다.
- <41> 바이어스 회로(30)는, 소스가 제 1 공급 라인 V_{DD} 에 접속되며 게이트가 P-트랜지스터 P_X 의 게이트에 접속되어 있

는 제 2 P-트랜지스터 P_Y , 및 소스가 제 2 공급 라인 V_{SS} 에 접속되며 게이트 및 드레인이 P-트랜지스터 P_Y 의 드레인에 접속되어 있는 N-트랜지스터 N_Y 를 더 포함한다.

- <42> 트랜지스터 P_Y 및 N_Y 는 별도의 트랜지스터로서 구현될 수 있지만, 바람직하게는 사전 결정된 수의 더미 트랜지스터(80, 90)의 병렬 조합에 의해 각각 구현된다.
- <43> 공급 허용 범위 및 파라미터 허용 범위에 대해서 전류 정확성이 개선되는 대안으로서, 트랜지스터 P_Y 는, 게이트가 다른 기준 (또는 바이어스) 전압에 접속되어 있는 캐스코드(cascode) 트랜지스터 P_{CY} (도시하지 않음)에 의해 트랜지스터 N_Y 에 접속될 수도 있다.
- <44> 도 4에는 오직 한 개의 FIRDAC 셀(40_i)이 도시되어 있지만, 모든 FIRDAC 셀이 유사한 구조(build-up)를 갖는다는 것은 당업자에게 명백하다. 각각의 FIRDAC 셀 (40_i)은, 소스가 제 1 공급 라인 V_{DD} 에 연결되며 게이트가 상기 P-트랜지스터 P_Y 의 게이트에 연결된 P-트랜지스터 P_i , 및 소스가 제 2 공급 라인 V_{SS} 에 접속되며 게이트가 N-트랜지스터 N_Y 의 게이트에 접속되어 있는 N-트랜지스터 N_i 를 더 포함한다. FIRDAC 셀 (40_i)의 P-트랜지스터 P_i 의 드레인은 제 1 스위치 $S1$ 을 통해 양의 출력 라인 $OUTP$ 에 연결되며, 제 2 스위치 $S2$ 를 통해 음의 출력 라인 $OUTN$ 에 연결된다. 마찬가지로, FIRDAC 셀 (40_i)의 N-트랜지스터 N_i 의 드레인은 제 3 스위치 $S3$ 을 통해 양의 출력 라인 $OUTP$ 에 연결되며, 제 4 스위치 $S4$ 를 통해 음의 출력 라인 $OUTN$ 에 연결된다.
- <45> 스위치 $S1$ 및 $S3$ 은 플립플롭(60)의 반전 출력 \bar{Q} (65)에 의해 제어되며, 제 2 및 제 4 스위치 $S2$ 및 $S4$ 는 플립플롭(60)의 출력 Q (67)에 의해 제어된다. 보다 구체적으로, 제 1 스위치 $S1$ 은, 소스가 트랜지스터 P_i 의 드레인에 접속되고 드레인이 양의 출력 라인 $OUTP$ 에 접속되며 게이트가 플립플롭(60)의 반전 출력 \bar{Q} (65)에 접속되어 있는 P 트랜지스터로서 구현된다. 제 2 스위치 $S2$ 는, 소스가 트랜지스터 P_i 의 드레인에 접속되고 드레인이 음의 출력 라인 $OUTN$ 에 접속되며 게이트가 플립플롭(60)의 출력 Q (67)에 접속되어 있는 P 트랜지스터로서 구현된다. 제 3 스위치 $S3$ 은, 소스가 트랜지스터 N_i 의 드레인에 접속되고 드레인이 양의 출력 라인 $OUTP$ 에 접속되며 게이트가 플립플롭(60)의 반전 출력 \bar{Q} (65)에 접속되어 있는 N 트랜지스터로서 구현된다. 제 4 스위치 $S4$ 는 소스가 트랜지스터 N_i 의 드레인에 접속되고 드레인이 음의 출력 라인 $OUTN$ 에 접속되며 게이트가 플립플롭(60)의 출력 Q (67)에 접속되어 있는 N 트랜지스터로서 구현된다.
- <46> 클록 피드쓰루(feedthrough) 및 공급 허용 범위에 대해서 전류 정확성이 개선되는 대안으로서, P 스위치 $S1$ 및 $S2$ 는 각각의 P형 캐스코드 트랜지스터(도시하지 않음)에 의해 출력 라인 $OUTP$ 및 $OUTN$ 에 각각 연결될 수 있고, N 스위치 $S3$ 및 $S4$ 는 각각의 N형 캐스코드 트랜지스터(도시하지 않음)에 의해 출력 라인 $OUTP$ 및 $OUTN$ 에 각각 접속될 수도 있으며, 이러한 캐스코드 트랜지스터의 게이트에는 안정적인 바이어스 전압이 공급된다.
- <47> 모든 FIRDAC 셀(40_i)은 유사한 방식으로 양 및 음의 출력 라인 $OUTP$ 및 $OUTN$ 에 각각 접속된다.
- <48> 플립플롭(60)이 비트값 "1"을 포함하면, 출력 Q 는 HIGH가 되고 \bar{Q} 는 LOW가 된다. 이런 상황에서, 스위치 $S1$ 및 $S4$ 는 도통하게 되지만, 스위치 $S2$ 및 $S3$ 은 도통되지 않는다. 그러므로, 양의 출력 라인 $OUTP$ 는 스위치 $S1$ 을 통해 트랜지스터 P_i 의 드레인에 접속되며, 이 트랜지스터 P_i 는 전류원으로서 동작하고 출력 전류를 양의 출력 라인 $OUTP$ 에 전달한다. 마찬가지로, 이러한 상황에서, 음의 출력 라인 $OUTPN$ 은 스위치 $S4$ 를 통해 트랜지스터 N_i 에 접속되며, 이 트랜지스터 N_i 는 음의 출력 라인 $OUTN$ 에 대해 전류 싱크로서 동작한다.
- <49> 플립플롭(60)이 비트값 "0"을 포함하면, 출력 Q 는 LOW가 되고 \bar{Q} 는 HIGH가 된다. 이런 상황에서, 스위치 $S2$ 및 $S3$ 은 도통하게 되지만, 스위치 $S1$ 및 $S4$ 는 도통되지 않는다. 그러므로, 전류원 P_i 는 음의 출력 라인 $OUTN$ 에 접속되며, 전류 싱크 N_i 는 양의 출력 라인 $OUTP$ 에 접속된다.
- <50> FIRDAC가 오직 한 개의 출력 라인을 갖되, 전류원 P_i 및 전류 싱크 N_i 가 그러한 한 개의 출력 라인에 접속되는 것도 가능하다. 그러나, 본 발명의 FIRDAC(20)는 두 개의 출력 라인 $OUTP$ 및 $OUTN$ 상에 두 개의 출력 신호를 제공한다. 보다 구체적으로, 차동 드라이브를 제공하기 위해서 양의 전류 출력 라인 $OUTP$ 상에 양의 출력 신호

를 제공하고, 음의 출력 라인 OUTN 상에 음의 출력 신호를 제공한다.

- <51> 전술한 바와 같이, 잡음 성형기(12)는 "DC 디서"를 갖고 있다(즉, 잡음 성형기의 입력에서의 입력 신호가 "제로"인 경우, 출력 비트스트림은 50%의 "1" 및 "0"을 갖는 것이 아니라 음성 대역 영역 밖의 임의의 가능한 유히 톤(idle tones)이 20 KHz를 넘는 영역이 되도록 약간 오프셋되어 있다). 결과적으로, FIRDAC(20)의 플립 플롭은 많은 "1"을 수신하기 때문에(즉, 출력 Q가 약간 길게 HIGH로 전환되어 있기 때문에), 출력 라인 OUTP 및 OUTN은 너무 많은 전류를 수신하게 된다. 도 4는, 본 발명 출원에 따라 이것이 양의 출력 라인 OUTP를 N 트랜지스터 N_{comp} 를 통해 제 2 전압 공급 라인 V_{SS} 에 연결하고 음의 출력 라인 OUTN을 P 트랜지스터 P_{comp} 를 통해 제 1 전압 공급 라인 V_{DD} 에 접속시킴으로써, 보상되는 것을 나타낸다. 이들 보상 트랜지스터 N_{comp} 및 P_{comp} 는, 게이트가 N_Y 및 P_Y 에 각각 접속되고 소스가 V_{SS} 및 V_{DD} 에 각각 접속되며, 드레인이 출력 라인 OUTP 및 OUTN에 각각 접속되기 때문에, 연속적으로 도통 상태가 된다.
- <52> 도 4에서, 보상 트랜지스터 N_{comp} 및 P_{comp} 는 단일 트랜지스터로 도시된다. 실제로, 별도의 보상 트랜지스터 N_{comp} 및 P_{comp} 를 제공하는 것이 가능하다. 그러나, 본 발명의 중요한 측면에 따르면, 더미 트랜지스터(80, 90)는 도 4에 도시한 바와 같은 보상 전류를 제공하는 데 사용된다. 보다 구체적으로, 보상 트랜지스터 P_{comp} 는 병렬로 연결된 다수의 더미 P 트랜지스터(80)로서 구현되는 것이 바람직하며, 보상 트랜지스터 N_{comp} 는 병렬로 연결된 다수의 더미 N 트랜지스터(90)로서 구현되는 것이 바람직하다. 그러므로, FIRDAC 셀의 빈 공간 내의 더미 트랜지스터는 유리하게 사용된다.
- <53> 잡음 성형기(12) 내의 DC 오프셋의 양은 잡음 성형기(12)의 알려진 설계 파라미터이며, 일정하다. 그러므로, 출력 라인 OUTP 및 OUTN에 대한 보상 전류의 필요한 양을 미리 계산할 수 있다. 전술한 바와 같이, FIRDAC 셀(40_i)의 PMOS 부분(150_i)은 모두 실질적으로 동일한 크기이지만, FIRDAC 셀(40_i)의 이들 PMOS 부분(150_i) 내의 PMOS 전류원(50_i)은 서로 상이한 크기를 가지며, FIRDAC(20)의 중앙 근처에 위치하는 PMOS 전류원(50_i)은 FIRDAC(20)의 종단 근처에 위치하는 PMOS 전류원(50_i)보다 크다. 그러므로, 더미 트랜지스터(80_i)는 서로 상이한 크기를 가지며, FIRDAC(20)의 종단 근처에 위치하는 더미 트랜지스터(80_i)가 FIRDAC(20)의 중앙 근처에 위치하는 더미 트랜지스터(80_i)보다 크다. 이러한 더미 트랜지스터(80_i)에 의해 제공되는 전류의 양이 트랜지스터의 크기(size)에 의존하기 때문에, FIRDAC(20)의 종단 근처에 위치하는 더미 트랜지스터(80_i)는 FIRDAC(20)의 중앙 근처에 위치하는 더미 트랜지스터(80_i)보다 더 큰 전류를 제공할 것이다. NMOS 더미 트랜지스터(90_i)도 이와 마찬가지로이다.
- <54> 더미 트랜지스터(80_i, 90_i)의 크기를 미리 알려져 있기 때문에, 각각의 더미 트랜지스터가 얼마나 많은 전류를 제공할 것인가도 미리 알려져 있다. 결과적으로, 그들의 결합된 출력 전류가 실질적으로는 요구되는 보상 전류에 대응하도록 개별적 더미 트랜지스터(80_i, 90_i)를 선택하는 것이 가능하다. 달리 말하면, 모든 더미 트랜지스터(80_i, 90_i)가 보상 트랜지스터로 사용되는 것이 아니라, 몇몇의 특정한 사전 선택된 개별적 더미 트랜지스터(80_i, 90_i)가 병렬 접속되어 보상 트랜지스터로서 기능하지만, 다른 더미 트랜지스터는 사용되지 않는다.
- <55> 따라서, 전술한 바와 같이, FIRDAC 셀의 더미 P 트랜지스터 및 더미 N 트랜지스터는, 유히 트랜지스터(idle transistor)가 되는 것이 아니라 유용하게 이용된다는 장점을 갖는다. 또한, 이러한 더미 트랜지스터는 바이어스 회로(30)에서 트랜지스터 R_Y , P_Y 및 N_Y 를 구현하는 데 사용될 수 있다.
- <56> 또 다른 장점은 FIRDAC 내의 오프셋을 제거하는 문제가 반도체 면적을 추가하지 않고서도 해결된다는 것이다.
- <57> 본 발명의 범주가 전술한 실시예로 한정되는 것이 아니며, 첨부된 청구범위에서 규정된 바와 같은 본 발명의 범주를 벗어나지 않고서 여러 수정 및 변경이 가능하다는 것은 본 기술의 당업자에게 자명하다.
- <58> 전술한 바에 있어서, 본 발명은 DC 오프셋에 대하여 설명된다. 그러나, 알려진 디지털 AC 패턴에 따른 "AC 디서"를 사용하는 것도 가능하다. 이러한 AC 오프셋은 보상될 수 있으나, 보상 트랜지스터는 연속적으로 온(on) 상태로 전환될 수는 없고 AC 디서와 같은 패턴으로 온 및 오프로 전환된다.
- <59> 또한, 전술한 바에 있어서, 본 발명은 플립플롭 위에 위치한 PMOS 전류원 및 이 플립플롭 아래에 위치한 NMOS 전류원에 대하여 설명한다. 그러나, 또한, PMOS 전류원은 플립플롭 아래에 위치할 수도 있다. 이 경우,

NMOS 전류원은 플립플롭 위에 위치할 수 있다. 임의의 경우에 있어서, NMOS 전류원, PMOS 전류원 및 플립플롭의 서로에 대한 상대적 위치는 본 발명의 주된 본질적 특징은 아니다.

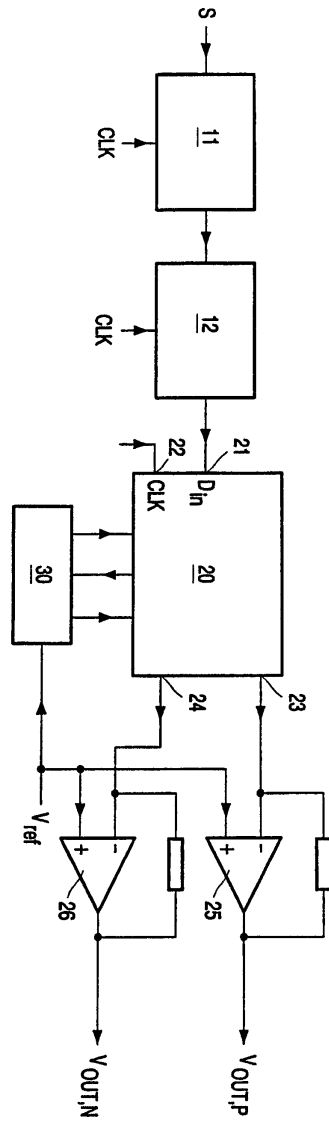
- <60> 또한, 특허 도 2를 참조하여, 본 발명은, 플립플롭(60)이 Q 및 \bar{Q} 신호 모두를 PMOS 전류원 및 NMOS 전류원 모두에 공급하는 예에 대해 설명한다. 그러나, 또한, PMOS 전류원 및 NMOS 전류원이 상기 신호 Q 또는 \bar{Q} 중의 오직 어느 하나만을 수신하며, 수신된 신호 Q 또는 \bar{Q} 으로부터의 반전 신호 \bar{Q} 또는 Q를 구동하는 인버터를 포함한다.
- <61> 또한, 전술한 바에 있어서, 본 발명은, 양의 출력 전류용 및 음의 출력 전류용인 2개의 출력 라인을 갖는 FIRDAC에 대해 기술하고 있으며, 각각의 FIRDAC 셀은 셀의 제 1 상태(비트값 "1")에서는 양 전류를 양의 전류 출력 라인에 공급하고 음 전류를 음의 전류 출력 라인에 공급하며, 셀의 제 2 상태(비트값 "0")에서는 상기 양 전류를 음의 전류 출력 라인에 공급하고 상기 음 전류를 양의 전류 출력 라인에 공급하는 유형의 FIRDAC를 기술한다. 그러나, 본 발명은 FIRDAC 셀이 셀의 제 2 상태(비트값 "0")에서 어떤 전류도 임의의 전류 출력 라인에 전달하지 않는 경우에도 적용될 수 있다.
- <62> 또한, 본 발명은, 양 및 음의 출력 전류를 두 개의 상이한 라인 상에 제공함으로써 차동 드라이브를 제공하는 FIRDAC의 경우에 대해 설명하고 있으나, 단 한 개의 전류 출력 라인을 갖는 FIRDAC에도 적용될 수 있으며, 각각의 FIRDAC 단은 플립플롭에 의해 ON 또는 OFF로 전환되는 단 한 가지 유형(예를 들어, P형)의 전류원만을 포함한다. 이러한 경우, 제 2 유형(N형)의 전류원은 전류 출력 라인에 연결될 수 있다. 그러나, 비트스트림 신호를 반전시켜서 전류 보상을 위해 제 1 유형(P형)의 전류원을 이용하는 것도 가능하다.
- <63> 또한, 본 발명은, 잡음 성형기(12) 내의 오프셋에 의해서 시프트 레지스터 셀(60)이 너무 길게 "1" 상태에 있게 되는 경우에 대해 설명한다. 그러나, 잡음 성형기(12) 내의 오프셋에 의해서 시프트 레지스터 셀(60)이 너무 길게 "0" 상태에 있게 되는 경우도 가능하다. 이러한 경우, 양의 출력 라인 OUTP는 너무 적은 양의 전류를 수신하게 되므로, 양의 출력 라인에 연결되어 있는 양의 보상 전류원에 의해 보상되어야 하며, 음의 출력 라인 OUTN은 너무 적은 음의 전류를 수신하게 되므로, 음의 출력 라인에 연결되어 있는 음의 보상 전류원에 의해 보상되어야 한다.

도면의 간단한 설명

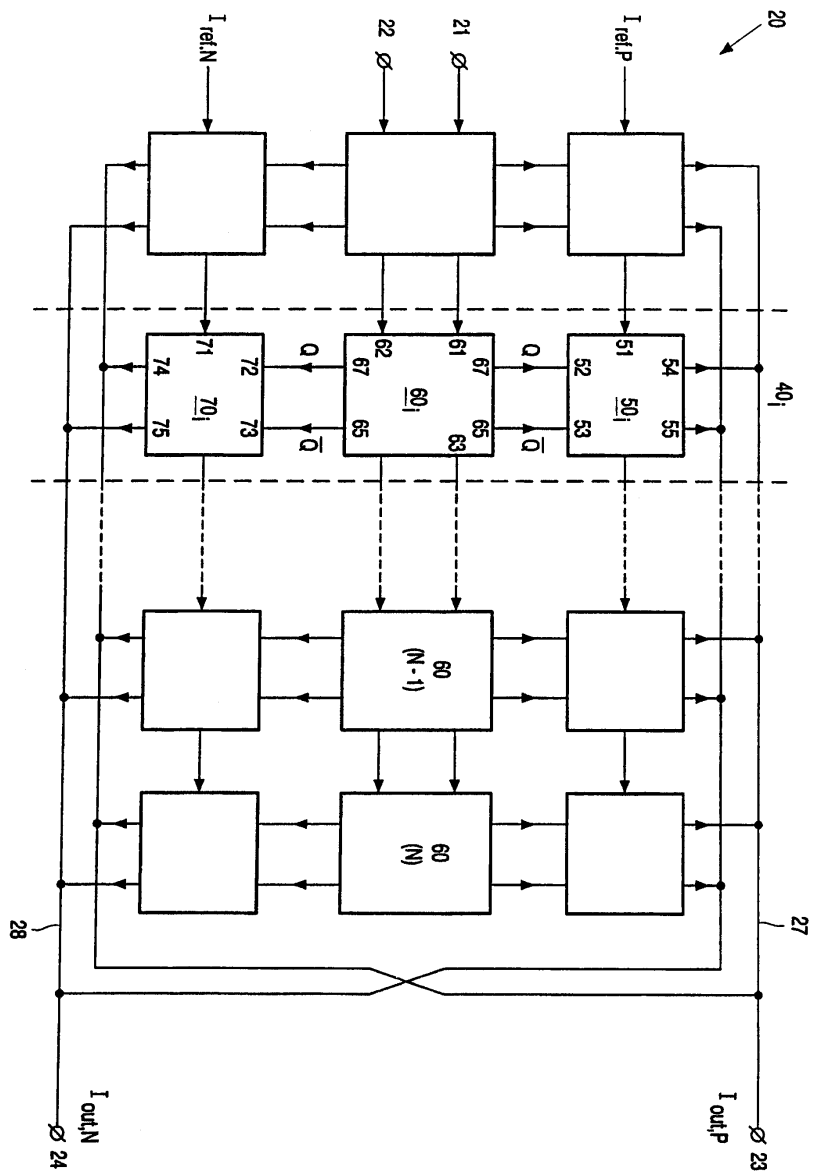
- <16> 도 1은 음성 신호를 처리하는 회로의 예의 블록도,
- <17> 도 2는 FIRDAC의 블록도,
- <18> 도 3은 FIRDAC 셀이 형성된 한 조각의 반도체 물질의 한 부분의 부분도,
- <19> 도 4는 본 발명의 실시예의 블록도.

도면

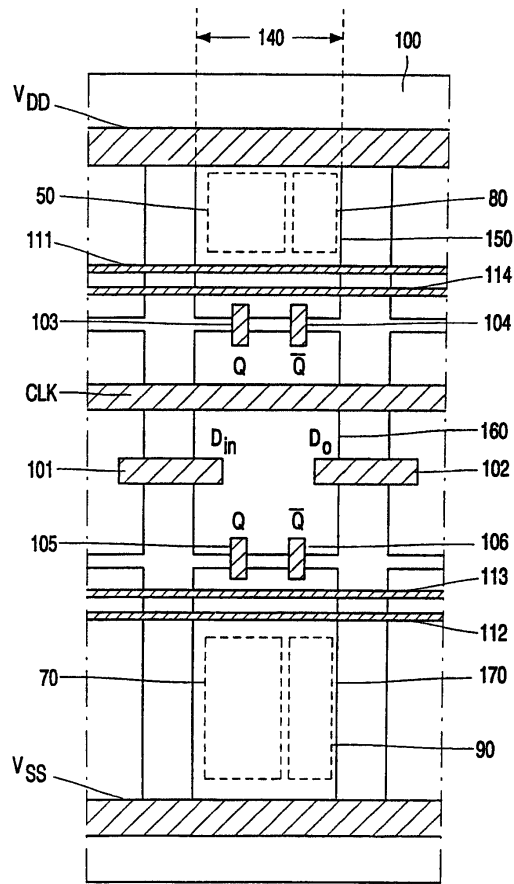
도면1



도면2



도면3



도면4

