

12

**DEMANDE DE BREVET D'INVENTION**

**A1**

22 Date de dépôt : 30.06.98.

30 Priorité : 30.06.97 KR 09729634.

43 Date de mise à la disposition du public de la demande : 31.12.98 Bulletin 98/53.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : *HYUNDAI ELECTRONICS INDUSTRIES CO LTD — KR.*

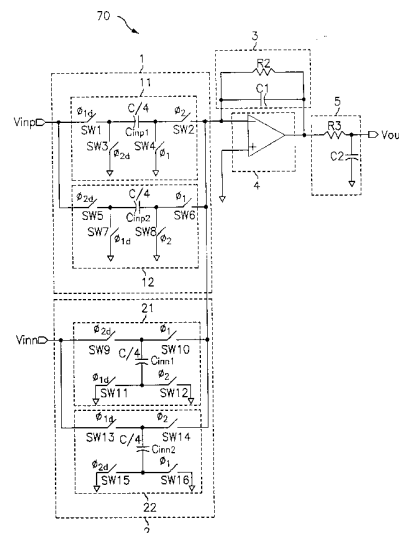
72 Inventeur(s) : SHIN YUN TAE.

73 Titulaire(s) :

74 Mandataire(s) : CABINET MALEMONT.

54 **FILTRE PASSE-BAS ANALOGIQUE A DOUBLE ECHANTILLONNAGE.**

57 L'invention concerne un filtre passe-bas analogique à double échantillonnage (70) comprenant des premiers moyens (1) pour charger et/ ou décharger un moyen de stockage de charge (Cinp1, Cinp2) en réponse à un signal de commande à la réception d'un premier signal d'entrée analogique (Vinp) à partir d'une première borne d'entrée; des seconds moyens (2) pour charger et/ ou décharger un moyen de stockage de charge (Cinn1, Cinn2) en réponse à un signal de commande à la réception d'un second signal d'entrée analogique (Vinn) à partir d'une seconde borne d'entrée; un amplificateur opérationnel à entrée différentielle et sortie asymétrique (4) pour amplifier la différence entre des sorties des moyens 1, 2); un moyen (3) pour commander un gain et générer un pôle d'une fonction de transfert de l'amplificateur; et un filtre passe-bas (5) pour filtrer un signal amplifié fourni par l'amplificateur, puis transférer un signal filtré à une borne de sortie finale.



Filtre passe-bas analogique à double échantillonnage

La présente invention concerne un filtre passe-bas analogique à double échantillonnage destiné à éliminer des signaux à haute fréquence tout en convertissant des entrées différentielles en une sortie asymétrique à l'aide de commutateurs analogiques, des combinaisons de condensateurs et d'un amplificateur opérationnel à entrée différentielle et sortie asymétrique.

D'une manière générale, bien qu'un traitement de signaux soit réalisé selon un mode d'entrées différentielles et de sorties différentielles, le signal de sortie final doit se présenter sous la forme d'un signal de sortie asymétrique pour permettre d'obtenir une gamme dynamique importante dans le cas de signaux analogiques audio, par exemple.

D'autre part, un amplificateur opérationnel à entrée différentielle et sortie différentielle (également appelé un amplificateur opérationnel totalement différentiel) est en général utilisé pour améliorer la gamme dynamique et le rapport d'élimination d'alimentation en courant (PSRR) d'un convertisseur numérique-analogique (DAC) sigma-delta ( $\Sigma \Delta$ ), tel qu'un DAC audio et vocal, auquel une méthode de suréchantillonnage est appliquée. Dans ce cas, toutefois, un circuit convertisseur à sortie asymétrique est également nécessaire pour fournir le signal final unique. En outre, ce circuit à entrée différentielle et sortie asymétrique a en général une fonction supplémentaire de filtrage passe-bas.

La figure 1 représente un exemple de filtre passe-bas analogique à entrée différentielle et sortie asymétrique conventionnel utilisé dans le DAC audio de la Société Burr-Brown. Comme on peut le voir sur le dessin, 6 résistances passives R1 à R6 et 4 condensateurs C1 à C4 sont organisés pour jouer le rôle d'un filtre passe-bas secondaire.

Cependant, le filtre passe-bas analogique à entrée différentielle et sortie asymétrique conventionnel nécessite une surface de puce importante lorsqu'il est mis en œuvre sur une puce de semi-conducteur. De plus, si le pôle du filtre passe dans une gamme de fréquences basses, la constante de

temps du circuit résistance-capacité du filtre doit être rendue supérieure à celle utilisée dans le cas d'une gamme de fréquences élevées. Par conséquent, la surface de puce requise est beaucoup plus importante. Comme cela a été décrit précédemment, la surface de puce importante du filtre conventionnel est due au nombre des résistances passives et des condensateurs.

La présente invention a donc été conçue dans le but de remédier au problème susmentionné et propose, à cet effet, un filtre passe-bas analogique à double échantillonnage qui utilise une surface de puce moins importante tout en convertissant des signaux d'entrée analogiques différentiels en une sortie asymétrique avec une grande précision.

Pour atteindre ce but et conformément à l'un des aspects de la présente invention, il est proposé un filtre passe-bas analogique à double échantillonnage destiné à convertir des entrées différentielles de premier et second signaux analogiques en un signal de sortie asymétrique, le filtre passe-bas analogique à double échantillonnage comportant des première et seconde bornes d'entrée et une borne de sortie finale et étant caractérisé en ce qu'il comprend:

des premiers moyens de charge/décharge comprenant au moins un moyen de stockage de charge et destinés à charger et/ou décharger le moyen de stockage de charge en réponse à au moins un signal de commande lors de la réception d'un premier signal d'entrée analogique à partir de la première borne d'entrée;

des seconds moyens de charge/décharge comprenant au moins un moyen de stockage de charge et destinés à charger et/ou décharger le moyen de stockage de charge en réponse à au moins un signal de commande lors de la réception d'un second signal d'entrée analogique à partir de la seconde borne d'entrée;

un amplificateur opérationnel à entrée différentielle et sortie asymétrique destiné à amplifier la différence entre des sorties des premiers et seconds moyens de charge/décharge;

un moyen de commande de gain et de génération de pôle destiné à commander un gain de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique et à générer un pôle d'une fonction de transfert de ce dernier, moyen de commande de gain et de génération de pôle qui est relié à une borne d'entrée de l'amplificateur opérationnel et à la borne de sortie finale; et

un moyen de filtrage passe-bas destiné à filtrer un signal amplifié fourni par l'amplificateur opérationnel à entrée différentielle et sortie asymétrique, puis à transférer un signal filtré à la borne de sortie finale.

De préférence, les premiers et seconds moyens de charge/décharge sont respectivement sensibles à des signaux d'horloge déphasés pour charger et/ou décharger les moyens de stockage de charge.

De préférence également, les premiers moyens de charge/décharge comprennent plusieurs unités de charge/décharge destinées à charger le premier signal d'entrée analogique dans les moyens de stockage de charge et/ou à le décharger de ceux-ci en réponse aux signaux d'horloge déphasés, à des moments différents.

Conformément à une caractéristique particulière de l'invention, les unités de charge/décharge comprennent un premier moyen commutateur destiné à commuter le premier signal d'entrée analogique; un condensateur dont une première borne est reliée au premier moyen commutateur; un second moyen commutateur relié à une seconde borne du condensateur et à l'une des bornes d'entrée de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique; un troisième moyen commutateur relié à la première borne du condensateur et à la masse; et un quatrième moyen commutateur relié à la seconde borne du condensateur et à la masse, le quatrième moyen commutateur étant sensible à un premier signal d'horloge, tandis que le premier moyen commutateur est sensible à un signal retardé du premier signal d'horloge, le second moyen commutateur étant sensible à un second signal d'horloge, tandis que le troisième moyen commutateur est

sensible à un signal retardé du second signal d'horloge, les premier et second signaux d'horloge étant déphasés d'environ 180 degrés afin que les moyens de stockage de charge soient chargés et/ou déchargés à des moments différents.

5 De préférence, les seconds moyens de charge/décharge comprennent plusieurs unités de charge/décharge destinées à charger le second signal d'entrée analogique dans les moyens de stockage de charge et/ou à le décharger de ceux-ci en réponse aux signaux d'horloge de phase différente, à des  
10 moments différents dans le temps.

Conformément à une autre caractéristique de l'invention, les unités de charge/décharge comprennent un premier moyen commutateur destiné à commuter le second signal d'entrée analogique; un second moyen commutateur relié au premier  
15 moyen commutateur et à l'une des bornes d'entrée de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique; un condensateur monté entre les premier et second moyens commutateurs; et des troisième et quatrième moyens commutateurs reliés à l'une des bornes du condensateur  
20 et à la masse, troisième et quatrième moyens commutateurs qui sont montés en parallèle; le second moyen commutateur étant sensible à un premier signal d'horloge, tandis que le troisième moyen commutateur est sensible à un signal retardé du premier signal d'horloge, le quatrième moyen commutateur  
25 étant sensible à un second signal d'horloge, tandis que le premier moyen commutateur est sensible à un signal retardé du second signal d'horloge, les premier et second signaux d'horloge étant déphasés d'environ 180 degrés afin que les moyens de stockage de charge soient chargés et/ou déchargés  
30 à des moments différents.

De préférence, le moyen de commande de gain et de génération de pôle comprend une résistance et un condensateur reliés en commun à l'une des bornes d'entrée et à la borne de sortie de l'amplificateur opérationnel à entrée  
35 différentielle et sortie asymétrique.

De préférence également, le moyen de filtrage passe-bas comprend une résistance reliée à la borne de sortie de

l'amplificateur opérationnel à entrée différentielle et sortie asymétrique et à la borne de sortie finale; et un condensateur relié à la borne de sortie finale.

Ce qui précède, ainsi que d'autres buts, caractéristiques et avantages de la présente invention, ressortira plus clairement de la description détaillée suivante d'un mode de réalisation préféré donnée à titre d'exemple nullement limitatif en référence aux dessins annexés dans lesquels:

10 la figure 1 est un schéma de circuit d'un premier filtre passe-bas analogique conventionnel;

la figure 2 est un schéma de circuit d'un second filtre passe-bas analogique à une seule entrée et sortie asymétrique conventionnel, destiné à expliquer un principe de la présente invention;

la figure 3 représente une courbe caractéristique Vin-Vout du filtre passe-bas de la figure 2;

la figure 4 est un schéma de circuit d'un troisième filtre passe-bas analogique conventionnel, destiné à expliquer le principe de la présente invention;

la figure 5 est un schéma de circuit d'un quatrième filtre passe-bas analogique conventionnel, destiné à expliquer le principe de la présente invention;

la figure 6 est un schéma de circuit d'un cinquième filtre passe-bas analogique conventionnel, destiné à expliquer le principe de la présente invention;

la figure 7 est un schéma de circuit d'un filtre passe-bas analogique selon la présente invention; et

la figure 8 est un chronogramme du filtre passe-bas analogique de la figure 7.

Une description détaillée du mode de réalisation préféré de la présente invention va d'abord être donnée en référence à la figure 2.

Sur cette figure, on peut voir un schéma de circuit d'un filtre passe-bas secondaire analogique à une seule entrée et à sortie asymétrique 20 conventionnel. La fonction de

transfert ( $V_{out}/V_{in}$ ) du filtre passe-bas 20 de la figure 2 est donnée par l'équation suivante:

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= - \frac{K}{(S+P_1)(S+P_2)} \\ &= - \left( \frac{1}{R_1 C_1} \right) \left( \frac{1}{R_3 C_2} \right) \dots (1) \\ &= - \left( \frac{1}{S + \frac{1}{R_2 C_1}} \right) \left( \frac{1}{S + \frac{1}{R_3 C_2}} \right) \dots (1) \end{aligned}$$

10 dans laquelle le pôle P1 est  $\frac{1}{2\pi R_2 C_1}$ , et le pôle

2 est  $\frac{1}{2\pi R_3 C_2}$ .

15 Si la tension d'entrée  $V_{in}$  du filtre passe-bas 20 est un signal d'échantillonnage/blocage fourni par un filtre à capacités commutées, par exemple, la tension de sortie  $V_{out}$  est le signal dont la composante de haute fréquence est éliminée, comme indiqué sur la figure 3.

20 Un autre filtre passe-bas conventionnel 40 est représenté sur la figure 4. Dans ce cas, la tension de sortie  $V_{out}$  du filtre passe-bas 40 est donnée par l'équation suivante:

$$25 \quad V_{out} = - \left[ \left( \frac{1}{R_1 C_1} \right) V_{inp1} + \left( \frac{1}{R_1 C_1} \right) V_{inp2} + \left( \frac{1}{R_1 C_1} \right) V_{inn1} + \left( \frac{1}{R_1 C_1} \right) V_{inn2} \right] \left( \frac{1}{S + \frac{1}{R_2 C_1}} \right) \left( \frac{1}{S + \frac{1}{R_3 C_2}} \right) \dots (2)$$

Ici, si  $V_{inp1} = V_{inp2} \Delta V_{inp}$ ,  $V_{inn1} = V_{inn2} \Delta V_{inn}$  et les entrées sont différentielles, c'est-à-dire que  $V_{inp} = -V_{inn}$ , alors

$$V_{inp} = -V_{inn} \Delta V_{in} \dots (3)$$

et, l'équation (2) ci-dessus devient:

$$\begin{aligned} V_{out} &= - \left[ \begin{pmatrix} \frac{2}{R_1 C_1} \\ S + \frac{1}{R_2 C_1} \end{pmatrix} V_{inp} - \begin{pmatrix} \frac{2}{R_1 C_1} \\ S + \frac{1}{R_2 C_1} \end{pmatrix} V_{inn} \right] \left[ \begin{pmatrix} \frac{1}{R_3 C_2} \\ S + \frac{1}{R_3 C_2} \end{pmatrix} \right] \\ &= - \begin{pmatrix} \frac{4}{R_1 C_1} \\ S + \frac{1}{R_2 C_1} \end{pmatrix} \begin{pmatrix} \frac{1}{R_3 C_2} \\ S + \frac{1}{R_3 C_2} \end{pmatrix} V_{in} \end{aligned}$$

- 5 Par conséquent, la fonction de transfert  $V_{out}/V_{in}$  peut s'écrire de la manière suivante:

$$\frac{V_{out}}{V_{in}} = - \begin{pmatrix} \frac{4}{R_1 C_1} \\ S + \frac{1}{R_2 C_1} \end{pmatrix} \begin{pmatrix} \frac{1}{R_3 C_2} \\ S + \frac{1}{R_3 C_2} \end{pmatrix} \dots (4)$$

et le filtre passe-bas 40 fonctionne à la manière d'un filtre passe-bas secondaire.

- 10 Comme cela est indiqué dans les équations (1) et (4), étant donné que le gain dans l'équation (4) est quatre fois supérieur à celui de l'équation (1), il est possible d'obtenir le même signal de sortie en faisant en sorte que la valeur de la résistance passive  $R_1$  de la figure 4 représente 4 fois la valeur initiale. En d'autres termes, si la
- 15 résistance passive  $R_1$  est remplacée par une résistance dont la valeur ohmique est  $4R_1$ , la capacité  $C$  du condensateur est de  $1/(4fsR_1)$ ,  $fs$  étant la fréquence d'échantillonnage, et la valeur ohmique est  $1/(fsC)$ . Cela signifie que si la

résistance passive R1 est remplacée par 4R1 par la méthode des capacités commutées, le filtre passe-bas 40 devient un filtre passe-bas 50 représenté sur la figure 5, et la fonction de transfert du filtre passe-bas 50 est donnée par l'équation suivante:

$$\frac{V_{out}}{V_{in}} = - \left( \frac{\frac{f_r C}{C_1}}{S + \frac{1}{R_2 C_1}} \right) \left( \frac{\frac{1}{R_3 C_2}}{S + \frac{1}{R_3 C_2}} \right) \dots (5)$$

qui est semblable à l'équation (1).

En outre, le filtre passe-bas 40 fonctionne de la même manière que le filtre passe-bas 20. Sur la figure 5,  $\phi_1$  et  $\phi_2$  sont des signaux d'horloge de commutation complémentaires appliqués aux gâchettes des commutateurs analogiques.

De même, si la méthode des capacités commutées mentionnée ci-dessus est appliquée dans le cas d'entrées différentielles, le filtre passe-bas 40 devient un filtre passe-bas 60 représenté sur la figure 6. La capacité C' des condensateurs utilisés dans le filtre passe-bas 60 représente un quart de la capacité C du condensateur utilisé dans le filtre passe-bas 40 (c'est-à-dire que  $C' = C/4$ ). Comme on peut le voir à partir des figures 5 et 6, la surface de puce nécessaire pour le filtre passe-bas 60 peut être pratiquement identique à celle requise pour le filtre passe-bas 50. De plus, le fonctionnement du filtre passe-bas 60 est le même que celui du filtre passe-bas 20.

La description détaillée du mode de réalisation préféré de la présente invention va être poursuivie en référence au principe décrit ci-dessus de la présente invention et à la figure 7.

La figure 7 est un schéma de circuit d'un filtre passe-bas analogique selon la présente invention destiné à convertir des entrées différentielles en une sortie asynchrone. Comme cela est visible sur la figure 7, un filtre

5 passe-bas 70 comprend des premier et second moyens de charge/décharge de signaux analogiques 1 et 2 destinés à recevoir des signaux analogiques différentiels  $V_{inp}$  et  $V_{inn}$  et à charger et/ou décharger des condensateurs, un amplificateur opérationnel à entrées différentielles et à sortie asynchrone 4 destiné à amplifier la différence entre ses bornes d'entrée. La borne d'entrée négative (-) de l'amplificateur opérationnel 4 est reliée à la borne de sortie commune des moyens de charge/décharge de signaux analogiques 1 et 2, tandis que sa borne d'entrée positive (+) est reliée à la masse. En outre, un moyen de commande de gain et de génération de pôle 3 est monté entre la borne d'entrée négative et la borne de sortie de l'amplificateur opérationnel 4 pour commander le gain de ce dernier, et pour générer le pôle de la fonction de transfert de l'amplificateur opérationnel 4, et un moyen de filtrage passe-bas 5 est monté entre la borne de sortie de l'amplificateur opérationnel 4 et la borne de sortie asymétrique finale  $V_{out}$  pour filtrer le signal de sortie de l'amplificateur opérationnel 4.

20 Les premiers moyens de charge/décharge de signal analogique chargent des premiers et second condensateurs  $C_{inpl}$  et  $C_{inp2}$  pendant qu'ils reçoivent le signal d'entrée analogique  $V_{inp}$  et déchargent les condensateurs  $C_{inpl}$  et  $C_{inp2}$  sur la borne d'entrée négative de l'amplificateur opérationnel 4. De même, les seconds moyens de charge/décharge de signal analogique chargent des troisième et quatrième condensateurs  $C_{inn1}$  et  $C_{inn2}$  pendant qu'ils reçoivent le signal d'entrée analogique  $V_{inn}$  et déchargent les condensateurs  $C_{inn1}$  et  $C_{inn2}$  sur la borne d'entrée négative de l'amplificateur opérationnel 4.

30 Les premiers moyens de charge/décharge de signal analogique 1 comprennent des première et seconde unités de charge/décharge 11 et 12 respectivement destinées à charger le signal d'entrée analogique  $V_{inp}$  dans les condensateurs  $C_{inpl}$  et  $C_{inp2}$  et/ou à le décharger de ceux-ci en réponse à l'action de commutateurs SW1 à SW8, chacune des unités de

charge/décharge 11 et 12 comprenant 4 commutateurs analogiques et un condensateur.

La première unité de charge/décharge 11 comprend un premier commutateur SW1 relié à une borne d'entrée pour commuter le signal d'entrée  $V_{inp}$ , le premier condensateur Cinp1 relié au premier commutateur SW1, un second commutateur SW2 relié au premier condensateur Cinp1 et à la borne d'entrée négative de l'amplificateur opérationnel 4, un troisième commutateur SW3 relié au premier condensateur Cinp1 et à la masse, et un quatrième commutateur SW4 relié au premier condensateur Cinp1 et à la masse.

La seconde unité de charge/décharge 12 comprend un cinquième commutateur SW5 relié à la borne d'entrée pour commuter le signal d'entrée  $V_{inp}$ , le second condensateur Cinp2 relié au cinquième commutateur SW5, un sixième commutateur SW6 relié au second condensateur Cinp2 et à la borne d'entrée négative de l'amplificateur opérationnel 4, un septième commutateur SW7 relié au second condensateur Cinp2 et à la masse, et un huitième commutateur SW8 relié au second condensateur Cinp2 et à la masse.

D'autre part, les seconds moyens de charge/décharge de signal analogique 2 comprennent des troisième et quatrième unités de charge/décharge 21 et 22 respectivement destinées à charger le signal d'entrée analogique  $V_{inn}$  dans les condensateurs Cinn1 et Cinn2 et à le décharger de ceux-ci en réponse à l'action de commutateurs SW9 à SW16, chacune des troisième et quatrième unités de charge/décharge 21 et 22 comprenant 4 commutateurs analogiques et un condensateur.

La troisième unité de charge/décharge 21 comprend un neuvième commutateur SW9 relié à une autre borne d'entrée pour commuter le signal d'entrée  $V_{inn}$ , un dixième commutateur SW10 relié au neuvième commutateur SW9 et à la borne d'entrée négative de l'amplificateur opérationnel 4, le troisième condensateur Cinn1 relié à un nœud situé entre les neuvième et dixième commutateurs SW9 et SW10, un onzième commutateur SW11 relié au troisième condensateur Cinn1 et à la masse, et

un douzième commutateur SW12 également relié au troisième condensateur Cinn1 et à la masse.

5 La quatrième unité de charge/décharge 22 comprend un troisième commutateur SW13 relié à l'autre borne d'entrée pour commuter le signal d'entrée Vinn, un quatrième commutateur SW14 relié au treizième commutateur SW13 et à la borne d'entrée négative de l'amplificateur opérationnel 4, le quatrième condensateur Cinn2 relié à un nœud situé entre les treizième et quatorzième commutateurs SW13 et SW14, un 10 quinzième commutateur SW15 relié au quatrième condensateur Cinn2 et à la masse, et un seizième commutateur SW16 également relié au quatrième condensateur Cinn2 et à la masse.

15 Les commutateurs SW1 à SW16 sont groupés en quatre groupes qui reçoivent quatre signaux d'horloge déphasés, les fréquences communes des signaux d'horloge étant fs. Les commutateurs SW1 à SW16 chargent et/ou déchargent les condensateurs Cinp1, Cinp2, Cinn1 et Cinn2 en réponse à ces signaux d'horloge, comme cela sera décrit ci-après.

20 Les opérations de commutation des commutateurs SW1 à SW16 vont maintenant être décrites en détail en référence à la figure 8. La figure 8 est un chronogramme des signaux d'horloge appliqués aux commutateurs SW1 à SW16. Lorsque le signal est "haut", le commutateur auquel le signal est 25 appliqué est passant, tandis que lorsque le signal est "bas", le commutateur est non passant.

30 Comme cela est visible sur la figure 7, les commutateurs SW4, SW6, SW10 et SW16 reçoivent un premier signal d'horloge  $\phi_1$ , les commutateurs SW1, SW7, SW11 et SW13 reçoivent un premier signal d'horloge retardé  $\phi_{1d}$ , les commutateurs SW2, SW8, SW12 et SW14 reçoivent un second signal d'horloge  $\phi_2$  et les commutateurs SW3, SW5, SW9 et SW15 reçoivent un second signal d'horloge retardé  $\phi_{2d}$ . En outre, comme cela est visible sur la figure 8, le premier signal d'horloge  $\phi_1$  et le second 35 signal d'horloge  $\phi_2$  sont déphasés d'environ 180 degrés.

Autrement dit, lorsqu'un signal est "haut", l'autre est "bas", et vice versa.

Lorsque le premier signal d'horloge  $\phi_1$  et le premier signal d'horloge retardé  $\phi_{1d}$  deviennent successivement "hauts", les commutateurs SW1 et SW4 de la première unité de charge/décharge 11 sont rendus passants de sorte que la tension d'entrée  $V_{inp}$  est transférée pour charger le premier condensateur  $C_{in1}$ , et les commutateurs SW6 et SW7 de la seconde unité de charge/décharge 12 sont rendus passants de sorte que la tension  $V_{inp}$  chargée précédemment du second condensateur  $C_{in2}$  est déchargée et transférée à la borne d'entrée négative de l'amplificateur opérationnel 4.

Puis, après que le premier signal d'horloge  $\phi_1$  et le premier signal d'horloge retardé  $\phi_{1d}$  sont devenus successivement "bas" et lorsque le second signal d'horloge  $\phi_2$  et le second signal d'horloge retardé  $\phi_{2d}$  deviennent successivement "hauts", les commutateurs SW2 et SW3 de la première unité de charge/décharge 11 sont rendus passants de sorte que la tension  $V_{inp}$  chargée précédemment du premier condensateur  $C_{in1}$  est déchargée et transférée à la borne d'entrée négative de l'amplificateur opérationnel 4. De plus, les commutateurs SW5 et SW8 de la seconde unité de charge/décharge 12 sont rendus passants de sorte que la tension d'entrée  $V_{inp}$  est transférée pour charger le second condensateur  $C_{in2}$ .

Comme cela a été décrit précédemment, étant donné que les moyens de charge/décharge 1 ou 2 chargent et déchargent le condensateur au cours d'un seul cycle d'horloge, le filtre passe-bas 70 de la présente invention réalise une double opération d'échantillonnage.

De même, lorsque le premier signal d'horloge  $\phi_1$  et le premier signal d'horloge retardé  $\phi_{1d}$  deviennent successivement "hauts", les commutateurs SW10 et SW11 de la troisième unité de charge/décharge 21 sont rendus passants de sorte que la tension  $V_{inn}$  chargée précédemment du troisième condensateur  $C_{in1}$  est déchargée et transférée à la borne d'entrée

5 négative de l'amplificateur opérationnel 4, et les commutateurs SW13 et SW16 de la quatrième unité de charge/décharge 22 sont rendus passants de sorte que la tension d'entrée  $V_{in}$  est transférée pour charger le quatrième condensateur  $C_{in2}$ .

10 Puis, après que le premier signal d'horloge  $\phi_1$  et le premier signal d'horloge retardé  $\phi_{1d}$  sont devenus successivement "bas" et lorsque le second signal d'horloge  $\phi_2$  et le second signal d'horloge retardé  $\phi_{2d}$  deviennent successivement "hauts", les commutateurs SW9 et SW12 de la troisième unité de charge/décharge 21 sont rendus passants de sorte que la tension d'entrée  $V_{in}$  est transférée pour charger le troisième condensateur  $C_{in1}$ , et les commutateurs SW14 et SW15 de la quatrième unité de charge/décharge 22 sont rendus passants de sorte que la tension  $V_{in}$  chargée précédemment du condensateur  $C_{in2}$  est déchargée et transférée à la borne d'entrée négative de l'amplificateur opérationnel 4. Ceci assure également la double opération d'échantillonnage.

20 Pendant que le second signal d'horloge  $\phi_2$  et le second signal d'horloge retardé  $\phi_{2d}$  sont "hauts", la quantité de charges transférées des unités de charge/décharge 11 et 22 à la borne d'entrée négative de l'amplificateur opérationnel 4 est donnée par l'équation suivante:

25

$$C(V_{inp} - V_{inn})/4 = 2V_{inp} \cdot C/4 \text{ ou } -2V_{inn} \cdot C/4 \dots (6)$$

dans laquelle  $V_{inp} = -V_{inn} \Delta V_{in} \dots (3)$ .

30

D'autre part, pendant que le premier signal d'horloge  $\phi_1$  et le premier signal d'horloge retardé  $\phi_{1d}$  sont "hauts", la quantité de charges transférées des unités de charge/décharge 12 et 21 à la borne d'entrée négative de l'amplificateur opérationnel 4 est donnée par l'équation suivante:

35

$$C(V_{inp} - V_{inn})/4 = 2V_{inp} \cdot C/4 \text{ ou } -2V_{inn} \cdot C/4 \dots (7)$$

dans laquelle  $V_{inp} = -V_{inn} \Delta V_{in} \dots (3)$ .

Par conséquent, la quantité totale de charges transférées à la borne d'entrée négative de l'amplificateur opérationnel 4 est la suivante:

$$\text{Equation (6) + Equation (7) = } 4V_{inp} \cdot C/4 = V_{inp} \cdot C \dots (8)$$

Comme cela a été décrit précédemment, étant donné que la capacité de chacun des condensateurs  $C_{inp1}$ ,  $C_{inp2}$ ,  $C_{inn1}$  et  $C_{inn2}$  est de  $C/4$ , le gain devient égal à  $1/4$  de la valeur initiale avec davantage de précision.

Le moyen de commande de gain et de génération de pôle 3 comprend une résistance passive  $R_2$  montée entre la borne d'entrée négative et la borne de sortie de l'amplificateur opérationnel 4, et un condensateur  $C_1$  monté en parallèle à la résistance  $R_2$ . Le moyen de commande de gain et de génération de pôle 3 joue le rôle d'un premier filtre passe-bas ayant une fréquence de coupure  $f_{3dB}$  de:

$$f_{3dB} = \frac{1}{2\pi R_2 C_1} \dots (9)$$

En outre, le gain de tension  $K$  du moyen de commande de gain et de génération de pôle 3 est le suivant:

$$K = \frac{R_2}{\frac{1}{4f_c(C/4)}} = R_2 f_c C \dots (10)$$

30

L'amplificateur opérationnel à entrée différentielle et sortie asymétrique 4 comprend des bornes d'entrée négative et

positive, la borne d'entrée positive étant reliée à la masse de sorte que la différence des deux signaux d'entrée est amplifiée et délivrée en sortie à partir de la borne de sortie.

5 Le moyen de filtrage passe-bas 5 comprend une résistance passive R3 montée entre la borne de sortie de l'amplificateur opérationnel 4 et la borne de sortie finale Vout du filtre passe-bas 70, et un condensateur C2 monté entre la borne de sortie finale Vout et la masse. Le moyen de filtrage passe-  
10 bas 5 joue le rôle d'un second filtre passe-bas ayant une fréquence de coupure f3dB de:

$$f_{3dB} = \frac{1}{2\pi R_3 C_2} \dots (11)$$

15

En outre, le gain de tension K du moyen de filtrage passe-bas 5 est exprimé par l'équation suivante:

$$K = 1 \dots (12)$$

20

Le signal filtré par le moyen de filtrage passe-bas 5 est fourni en sortie sous la forme d'un signal de sortie analogique à partir de la borne de sortie finale Vout.

25 Comme cela a été décrit précédemment, le filtre passe-bas 70 de la présente invention joue le rôle d'un filtre passe-bas analogique à double échantillonnage secondaire. Cependant, le filtre passe-bas 70 peut également être conçu pour jouer le rôle d'un filtre passe-bas d'étage supérieur.

30 En outre, le filtre passe-bas 70 de la présente invention peut s'appliquer à un convertisseur numérique-analogique audio ou à un circuit intégré de communication vocale dans lequel un traitement de haute précision du signal analogique est nécessaire et dans lequel la distorsion harmonique totale (THD) doit être inférieure à  
35 0,01%. La surface de puce nécessaire à la mise en œuvre du filtre passe-bas analogique à double échantillonnage de l'invention est moins importante et l'appariement des

condensateurs est plus facile que dans le filtre passe-bas conventionnel.

5 Bien que la description précédente ait porté sur un mode de réalisation préféré de l'invention, celle-ci n'est bien entendu pas limitée à l'exemple particulier décrit et illustré ici et l'homme de l'art comprendra aisément qu'il est possible d'y apporter de nombreuses variantes et modifications sans pour autant sortir du cadre de l'invention.

REVENDEICATIONS

1. Filtre passe-bas analogique à double échantillonnage destiné à convertir des entrées différentielles de premier et second signaux analogiques en un signal de sortie asymétrique, le filtre passe-bas analogique à double échantillonnage comportant des première et seconde bornes d'entrée et une borne de sortie finale et étant caractérisé en ce qu'il comprend:

des premiers moyens de charge/décharge (1) comprenant au moins un moyen de stockage de charge (Cinp1, Cinp2) et destinés à charger et/ou décharger le moyen de stockage de charge (Cinp1, Cinp2) en réponse à au moins un signal de commande lors de la réception d'un premier signal d'entrée analogique (Vinp) à partir de la première borne d'entrée;

des seconds moyens de charge/décharge (2) comprenant au moins un moyen de stockage de charge (Cinn1, Cinn2) et destinés à charger et/ou décharger le moyen de stockage de charge (Cinn1, Cinn2) en réponse à au moins un signal de commande lors de la réception d'un second signal d'entrée analogique (Vinn) à partir de la seconde borne d'entrée;

un amplificateur opérationnel à entrée différentielle et sortie asymétrique (4) destiné à amplifier la différence entre des sorties des premiers et seconds moyens de charge/décharge (1, 2);

un moyen de commande de gain et de génération de pôle (3) destiné à commander un gain de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique (4) et à générer un pôle d'une fonction de transfert de ce dernier, moyen de commande de gain et de génération de pôle (3) qui est relié à une borne d'entrée de l'amplificateur opérationnel (4) et à la borne de sortie finale; et

un moyen de filtrage passe-bas (5) destiné à filtrer un signal amplifié fourni par l'amplificateur opérationnel (4), puis à transférer un signal filtré à la borne de sortie finale.

2. Filtre selon la revendication 1, caractérisé en ce que les premiers et seconds moyens de charge/décharge (1, 2)

sont respectivement sensibles à des signaux d'horloge ( $\phi_1$ ,  $\phi_{1d}$ ,  $\phi_2$ ,  $\phi_{2d}$ ) déphasés pour charger et/ou décharger les moyens de stockage de charge (Cinpl, Cinp2, Cinn1, Cinn2).

5 3. Filtre selon la revendication 2, caractérisé en ce que les premiers moyens de charge/décharge (1) comprennent plusieurs unités de charge/décharge (11, 12) destinées à charger le premier signal d'entrée analogique (Vinp) dans les moyens de stockage (Cinpl, Cinp2) et/ou le décharger de ceux-ci en réponse aux signaux d'horloge déphasés, à des moments  
10 différents.

4. Filtre selon la revendication 3, caractérisé en ce que les unités de charge/décharge (11, 12) comprennent:

un premier moyen commutateur (SW1, SW5) destiné à commuter le premier signal d'entrée analogique (Vinp);

15 un condensateur (Cinpl, Cinp2) dont une première borne est reliée au premier moyen commutateur (SW1, SW5);

un second moyen commutateur (SW2, SW6) relié à une seconde borne du condensateur (Cinpl, Cinp2) et à l'une des bornes d'entrée de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique (4);  
20

un troisième moyen commutateur (SW3, SW7) relié à la première borne du condensateur (Cinpl, Cinp2) et à la masse; et

25 un quatrième moyen commutateur (SW4, SW8) relié à la seconde borne du condensateur (Cinpl, Cinp2) et à la masse,

le quatrième moyen commutateur (SW4, SW8) étant sensible à un premier signal d'horloge ( $\phi_1$ ,  $\phi_2$ ), tandis que le premier moyen commutateur (SW1, SW5) est sensible à un signal retardé ( $\phi_{1d}$ ,  $\phi_{2d}$ ) du premier signal d'horloge ( $\phi_1$ ,  $\phi_2$ ),  
30 le second moyen commutateur (SW2, SW6) étant sensible à un second signal d'horloge ( $\phi_2$ ,  $\phi_1$ ), tandis que le troisième moyen commutateur (SW3, SW7) est sensible à un signal retardé ( $\phi_{2d}$ ,  $\phi_{1d}$ ) du second signal d'horloge ( $\phi_2$ ,  $\phi_1$ ), les premier et second signaux d'horloge ( $\phi_1$ ,  $\phi_2$ ) étant déphasés d'environ 180  
35 degrés afin que les moyens de stockage de charge (Cinpl,

Cinp2) soient chargés et/ou déchargés à des moments différents.

5 5. Filtre selon la revendication 2, caractérisé en ce que les seconds moyens de charge/décharge (2) comprennent plusieurs unités de charge/décharge (21, 22) destinées à charger le second signal d'entrée analogique (Vinn) dans les moyens de stockage de charge (Cinn1, Cinn2) et/ou à le décharger de ceux-ci en réponse aux signaux d'horloge de phase différentes, à des moments différents dans le temps.

10 6. Filtre selon la revendication 5, caractérisé en ce que les unités de charge/décharge (21, 22) comprennent:

un premier moyen commutateur (SW9, SW13) destiné à commuter le second signal d'entrée analogique (Vinn);

15 un second moyen commutateur (SW10, SW14) relié au premier moyen commutateur (SW9, SW13) et à l'une des bornes d'entrée de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique (4);

20 un condensateur (Cinn1, Cinn2) monté entre les premier et second moyens commutateurs (SW9, SW13, SW10, SW14); et

des troisième et quatrième moyens commutateurs (SW11, SW15, SW12, SW16) reliés à une première borne du condensateur (Cinn1, Cinn2) et à la masse, les troisième et quatrième moyens commutateurs étant montés en parallèle,

25 le second moyen commutateur (SW10, SW14) étant sensible à un premier signal d'horloge ( $\phi_1, \phi_2$ ), tandis que le troisième moyen commutateur (SW11, SW15) est sensible à un signal retardé ( $\phi_{1d}, \phi_{2d}$ ) du premier signal d'horloge ( $\phi_1, \phi_2$ ), le quatrième moyen commutateur (SW12, SW16) étant sensible à  
30 un second signal d'horloge ( $\phi_2, \phi_1$ ), tandis que le premier moyen commutateur (SW9, SW13) étant sensible à un signal retardé ( $\phi_{2d}, \phi_{1d}$ ) du second signal d'horloge ( $\phi_2, \phi_1$ ), les premier et second signaux d'horloge ( $\phi_1, \phi_2$ ) étant déphasés  
35 d'environ 180 degrés afin que les moyens de stockage de charge (Cinn1, Cinn2) soient chargés et/ou déchargés à des moments différents.

7. Filtre selon la revendication 5, caractérisé en ce que le moyen de commande de gain et de génération de pôle (3) comprend une résistance (R2) et un condensateur (C1) reliés en commun à l'une des bornes d'entrée et à la borne de sortie de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique (4).

8. Filtre selon la revendication 5, caractérisé en ce que le moyen de filtrage passe-bas (5) comprend une résistance (R3) reliée à la borne de sortie de l'amplificateur opérationnel à entrée différentielle et sortie asymétrique (4) et à la borne de sortie finale; et un condensateur (C2) relié à la borne de sortie finale.

FIG. 1  
( ART ANTERIEUR )

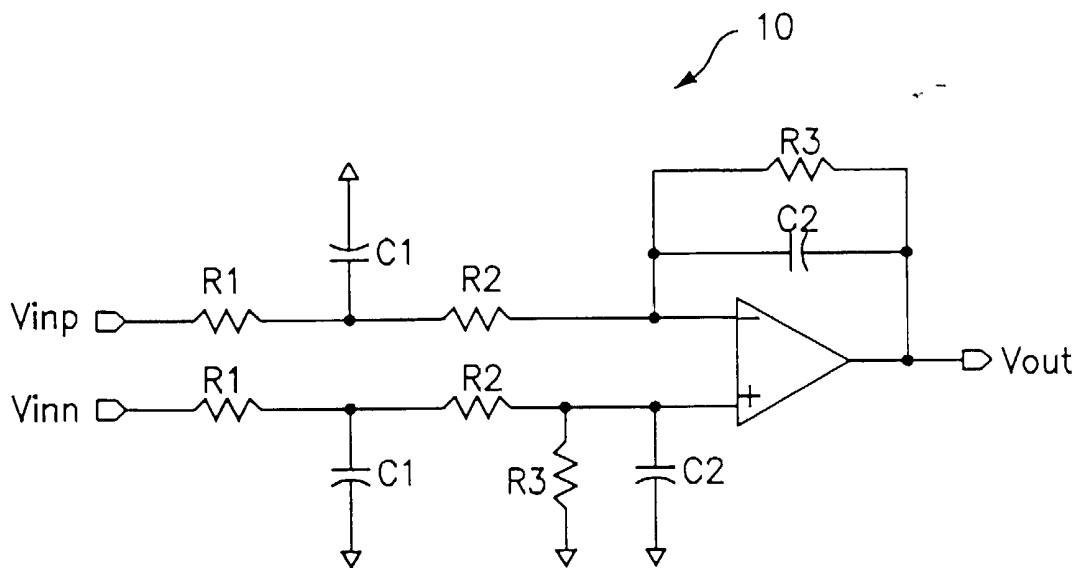


FIG. 2  
( ART ANTERIEUR )

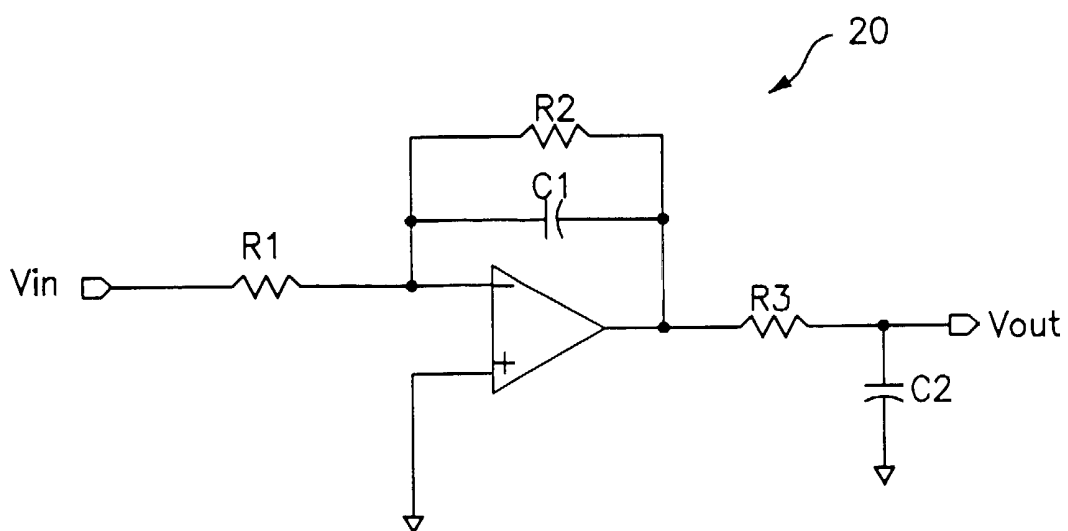


FIG. 3

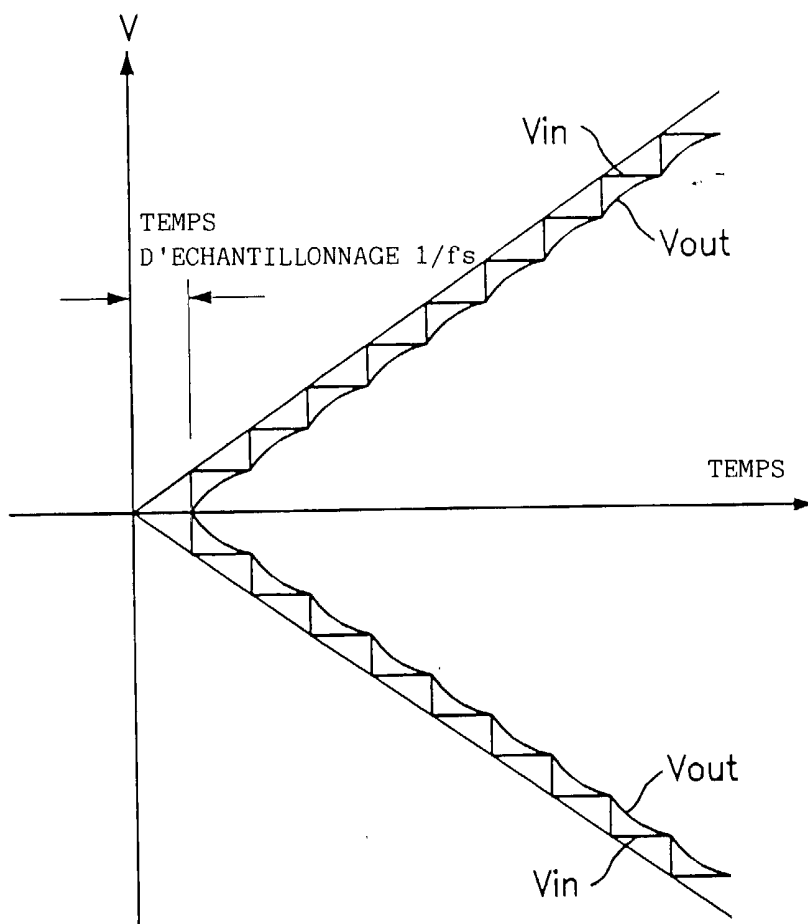


FIG. 4

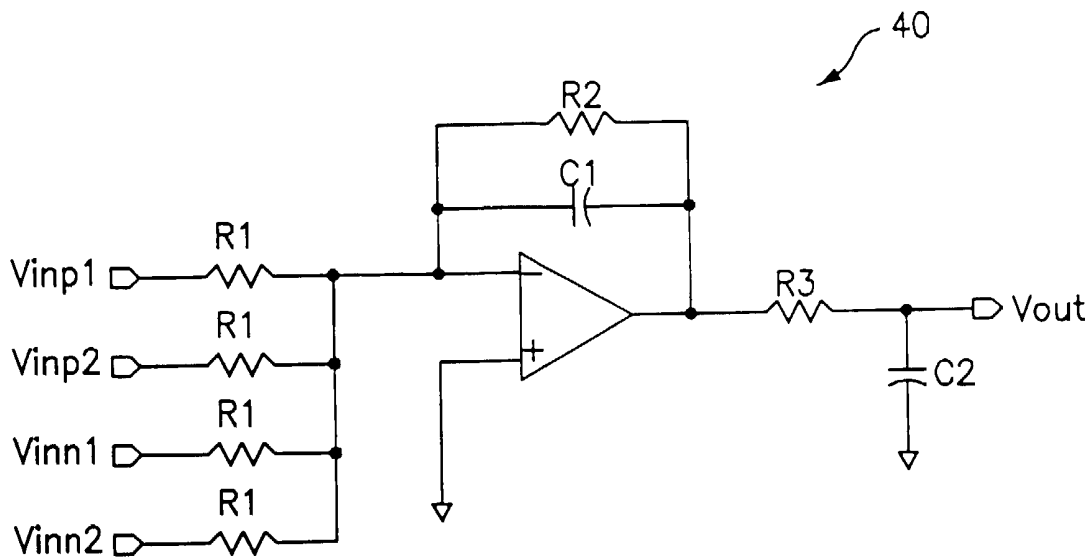


FIG. 5

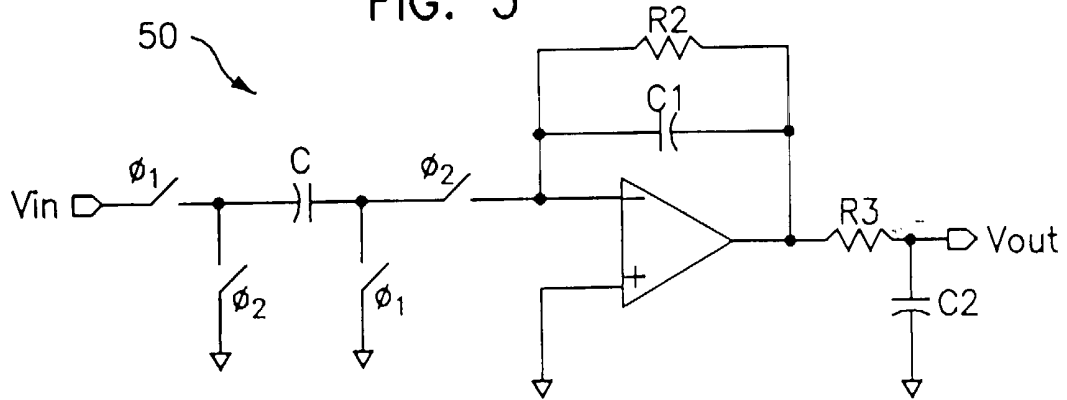


FIG. 6

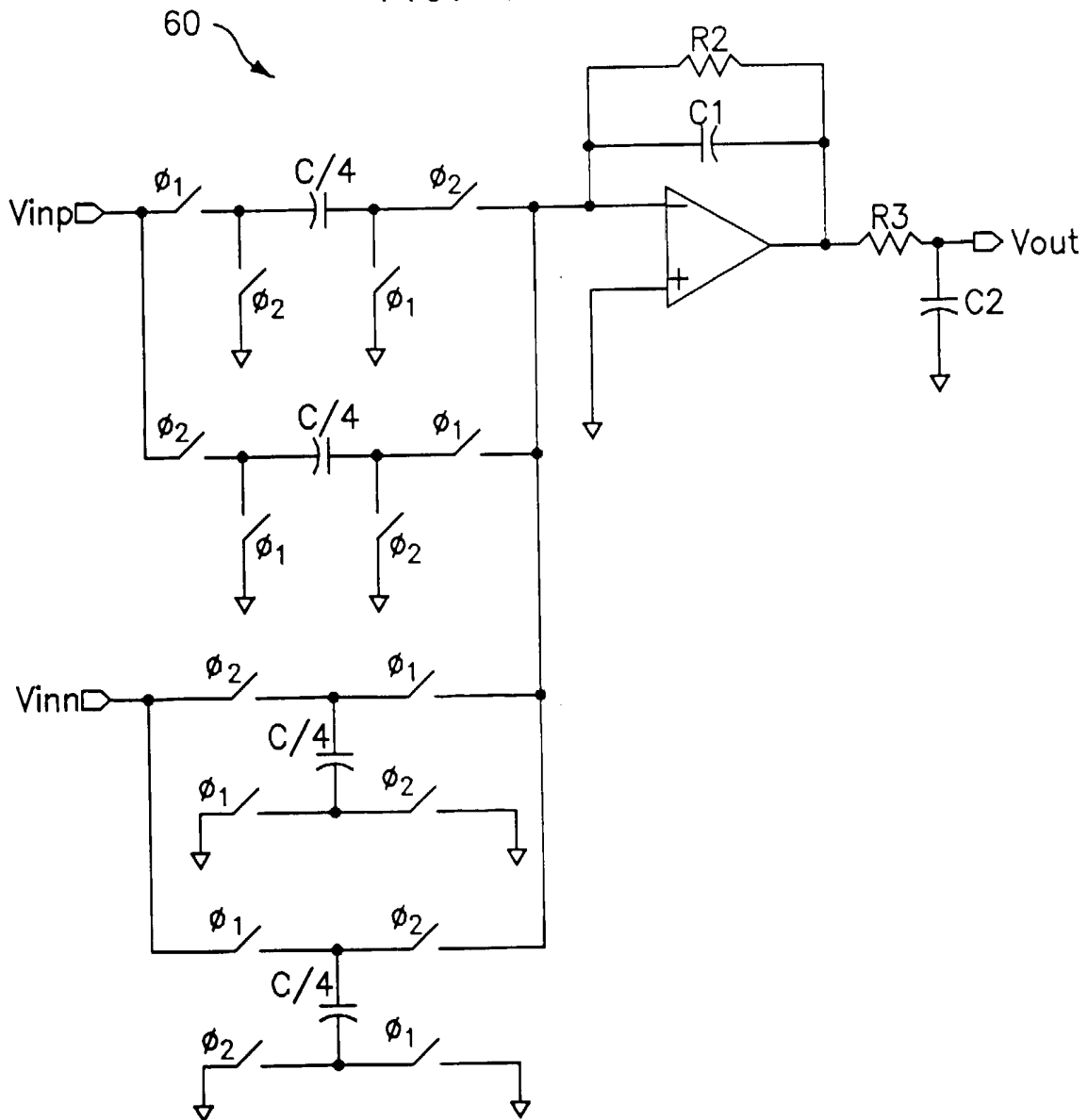


FIG. 7

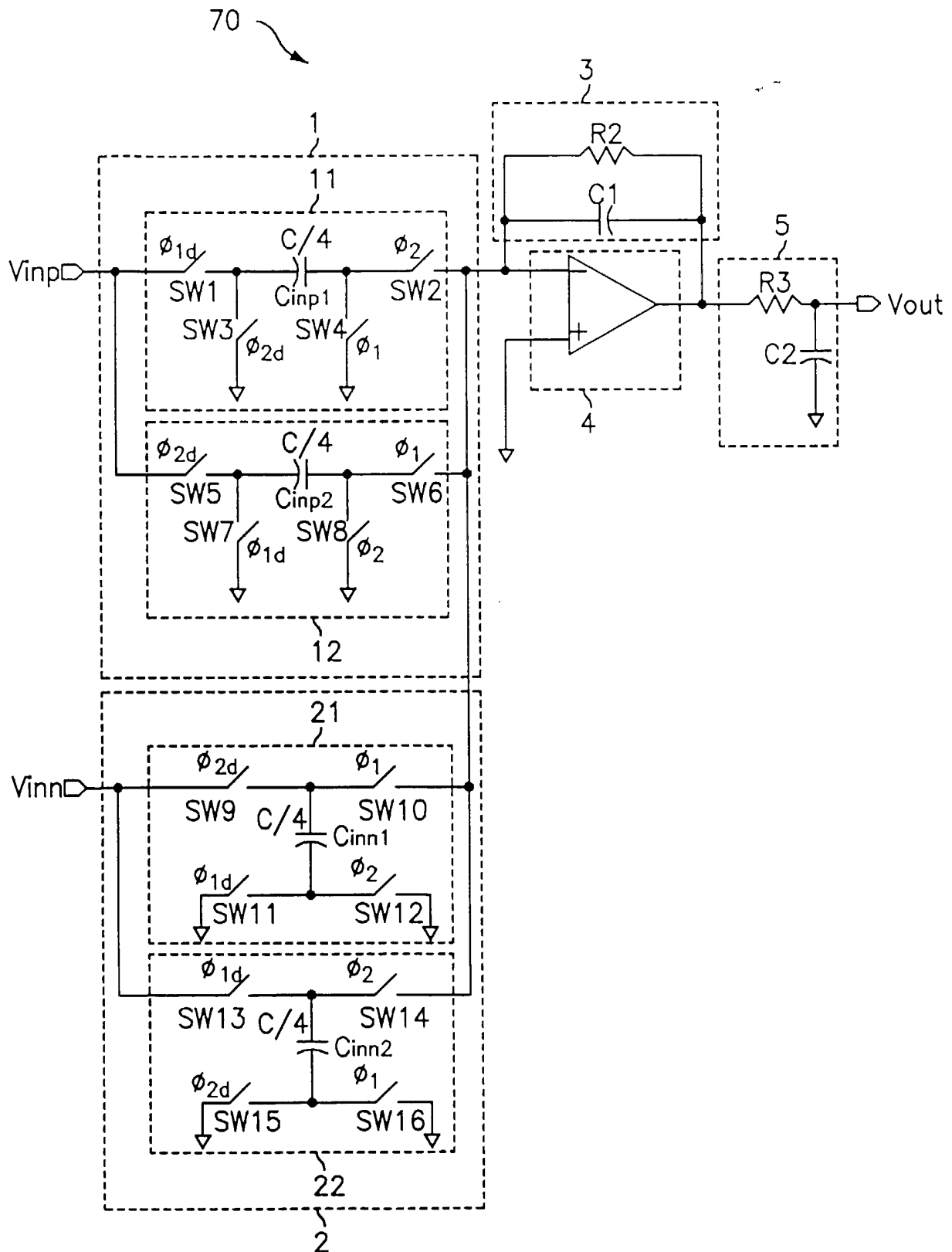


FIG. 8

