I810597

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I810597 B**

**(45)公告日： 中華民國 112 (2023) 年 08 月 01 日**

(21)申請案號：110124130 (22)申請日： 中華民國 100 (2011) 年 09 月 06 日

(51)Int. Cl.： ***G09G3/36 (2006.01)*** ***G09G3/20 (2006.01)***

(30)優先權：2010/09/09 日本 2010-201621

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：木村肇 KIMURA, HAJIME (JP) ；梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200905436A TW 201025236A

US 2009/0261339A1

審查人員：呂俊賢

申請專利範圍項數：5 項 圖式數：61 共 234 頁

(54)名稱

顯示裝置

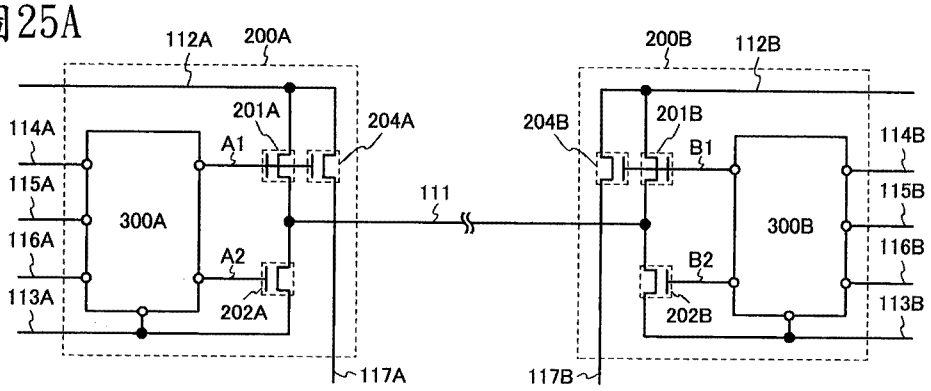
(57)摘要

提供一種半導體裝置，其中降低在選擇期間中輸出到閘極信號線的信號的延遲或失真。半導體裝置包括閘極信號線、向閘極信號線輸出選擇信號和非選擇信號的第一和第二閘極驅動電路以及電連接到閘極信號線並且被提供這兩種信號的畫素。在選擇閘極信號線的期間中，第一和第二閘極驅動電路均向閘極信號線輸出選擇信號。在沒有選擇閘極信號線的期間中，第一和第二閘極驅動電路其中之一向閘極信號線輸出非選擇信號，而另一個閘極驅動電路既不向閘極信號線輸出選擇信號也不向閘極信號線輸出非選擇信號。

A semiconductor device where delay or distortion of a signal output to a gate signal line in a selection period is reduced is provided. The semiconductor device includes a gate signal line, a first and second gate driver circuits which output a selection signal and a non-selection signal to the gate signal line, and pixels electrically connected to the gate signal line and supplied with the two signals. In a period during which the gate signal line is selected, both the first and second gate driver circuits output the selection signal to the gate signal line. In a period during which the gate signal line is not selected, one of the first and second gate driver circuits outputs the non-selection signal to the gate signal line, and the other gate driver circuit outputs neither the selection signal nor the non-selection signal to the gate signal line.

指定代表圖：

圖25A




符號簡單說明：

111:佈線

112A:佈線

112B:佈線

113A:佈線

113B:佈線

114A:佈線

114B:佈線

115A:佈線

115B:佈線

116A:佈線

116B:佈線

117A:佈線

117B:佈線

200A:電路

200B:電路

201A:電晶體

201B:電晶體

202A:電晶體

202B:電晶體

204A:電晶體

204B:電晶體

202B:電晶體

300A:電路

300B:電路

A1、A2:節點

B1、B2:節點

I810597

# 發明摘要

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【中文】

提供一種半導體裝置，其中降低在選擇期間中輸出到閘極信號線的信號的延遲或失真。半導體裝置包括閘極信號線、向閘極信號線輸出選擇信號和非選擇信號的第一和第二閘極驅動電路以及電連接到閘極信號線並且被提供這兩種信號的畫素。在選擇閘極信號線的期間中，第一和第二閘極驅動電路均向閘極信號線輸出選擇信號。在沒有選擇閘極信號線的期間中，第一和第二閘極驅動電路其中之一向閘極信號線輸出非選擇信號，而另一個閘極驅動電路既不向閘極信號線輸出選擇信號也不向閘極信號線輸出非選擇信號。

【英文】

A semiconductor device where delay or distortion of a signal output to a gate signal line in a selection period is reduced is provided. The semiconductor device includes a gate signal line, a first and second gate driver circuits which output a selection signal and a non-selection signal to the gate signal line, and pixels electrically connected to the gate signal line and supplied with the two signals. In a period during which the gate signal line is selected, both the first and second gate driver circuits output the selection signal to the gate signal line. In a period during which the gate signal line is not selected, one of the first and second gate driver circuits outputs the non-selection signal to the gate signal line, and the other gate driver circuit outputs neither the selection signal nor the non-selection signal to the gate signal line.

【代表圖】

【本案指定代表圖】：第( 25A )圖。

【本代表圖之符號簡單說明】：

111：佈線
112A：佈線
112B：佈線
113A：佈線
113B：佈線
114A：佈線
114B：佈線
115A：佈線
115B：佈線
116A：佈線
116B：佈線
117A：佈線
117B：佈線
200A：電路
200B：電路
201A：電晶體
201B：電晶體
202A：電晶體
202B：電晶體
204A：電晶體
204B：電晶體
202B：電晶體
300A：電路
300B：電路
A1、A2：節點
B1、B2：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【技術領域】

本發明的技術領域涉及包括閘極驅動電路的半導體裝置。

【先前技術】

有源矩陣顯示裝置包括：畫素部分，包含提供有用作開關的元件(例如電晶體)的多個畫素；以及驅動電路，包含源極驅動電路和閘極驅動電路。當用作開關的元件導通時，源極驅動電路將視頻信號輸出到提供有該元件的畫素。閘極驅動電路控制用作開關的元件的開/關。

閘極驅動電路設置在靠近畫素部分。在閘極驅動電路設置成靠近畫素部分的一側的情況下，畫素部分的區域可能偏向顯示裝置的一側。因此，已經提出一種顯示裝置，它具有將閘極驅動電路在畫素部分中分成右和左的結構。

圖 58 示出參考文獻 1 中公開的顯示裝置的結構。在圖 58 所示的顯示裝置中，第一閘極驅動電路 5108 和第二閘極驅動電路 5110 對稱地設置在顯示區域的右和左周邊區域中。

第一閘極驅動電路 5108 設置在顯示區域的左周邊區域中。第一閘極驅動電路 5108 包括多個移位暫存器($SRC_1$和 $SRC_3$ 至 $SRC_{n+1}$)，其輸出端子連接到奇數編號閘極線($GL_1$和 $GL_3$至 $GL_{n+1}$)。第二閘極驅動電路 5110 設置在顯示區域的右周邊區域中。第二閘極驅動電路 5110 包括多個移位暫存器($SRC_2$、$SRC_4$、...和 $SRC_n$)，其輸出端子連接到偶數編號閘極線($GL_2$、$GL_4$...和 $GL_n$)。

第一閘極驅動電路 5108 控制源極驅動電路 5112 與設置在畫素部分 5102 的奇數編號列中的畫素之間的電連接。第二閘極驅動電路 5110 控制源極驅動電路 5112 與設置在畫素部分 5102 的偶數編號列中的畫素之間的電連接。

[專利文獻]

參考文獻 1：日本公開專利申請案 No. 2003-076346

【發明內容】

如同參照圖 58 所述的顯示裝置中那樣，在具有將閘極驅動電路在畫素部分中分成右和左的結構的顯示裝置中，信號在選擇閘極線的期間(這種期間又稱作選擇期間)中從第一閘極驅動電路和第二閘極驅動電路其中之一輸出到閘極線(又稱作閘極信號線)。另外，在沒有選擇閘極線的期間(這種期間又稱作非選擇期間)中，沒有信號從第一閘極驅動電路和第二閘極驅動電路輸出到閘極線。

本發明的一個實施例的一個目的是提供一種半導體裝置，其中降低在選擇期間中輸出到閘極信號線的信號的延遲或失真。

本發明的一個實施例的一個目的是提供一種半導體裝置，其中抑制第一閘極驅動電路和第二閘極驅動電路中包含的電晶體的退化。

本發明的一個實施例的一個目的是提供一種半導體裝置，其中閘極信號線的電位的上升時間或下降時間較短。

本發明的一個實施例是一種半導體裝置，它包括閘極信號線、向閘極信號線輸出選擇信號和非選擇信號的第一閘極驅動電路和第二閘極驅動電路，以及電連接到閘極信號線並且被提供選擇信號和非選擇信號的多個畫素。在選擇閘極信號線的期間中，第一閘極驅動電路和第二閘極驅動電路均向閘極信號線輸出選擇信號。在沒有選擇閘極信號線的期間中，第一閘極驅動電路和第二閘極驅動電路其中之一向閘極信號線輸出非選擇信號，而第一閘極驅動電路和第二閘極驅動電路中的另一個既不向閘極信號線輸出選擇信號也不向閘極信號線輸出非選擇信號。

第一閘極驅動電路和第二閘極驅動電路可提供有包括設置在其間的多個畫素的畫素部分。

半導體裝置可包括用於將視頻信號寫到與對其輸出選擇信號的閘極信號線對應的畫素的源極驅動電路。

在本發明的一個實施例中，有可能提供一種半導體裝置，其中降低在選擇期間中輸出到閘極信號線的信號的延

遲或失真。

在本發明的一個實施例，有可能提供一種半導體裝置，其中抑制第一閘極驅動電路和第二閘極驅動電路中包含的電晶體的退化。

在本發明的一個實施例中，有可能提供一種半導體裝置，其中閘極信號線的電位的上升時間或下降時間較短。

【圖式簡單說明】

附圖包括：

圖 1A 示出半導體裝置的結構範例，以及圖 1B 是示出半導體裝置的操作範例的時序圖；

圖 2A 至圖 2C 各示出半導體裝置的操作範例；

圖 3A 至圖 3C 各示出半導體裝置的操作範例；

圖 4A 示出閘極驅動電路的結構範例，以及圖 4B 示出閘極驅動電路的操作範例；

圖 5A 至圖 5I 是與閘極驅動電路的操作範例對應的示意圖；

圖 6A 至圖 6L 是各示出閘極驅動電路的操作範例的時序圖；

圖 7A 至圖 7L 是各示出閘極驅動電路的操作範例的時序圖；

圖 8A 至圖 8F 是各示出閘極驅動電路的操作範例的時序圖；

圖 9A 示出閘極驅動電路的結構範例，以及圖 9B 示

出閘極驅動電路的操作範例。

圖 10A 和圖 10B 各示出閘極驅動電路的結構範例，以及圖 10C 示出閘極驅動電路的操作範例；

圖 11A 至圖 11C 各示出閘極驅動電路的結構範例；

圖 12A 至圖 12H 各示出閘極驅動電路的操作範例；

圖 13A 至圖 13E 各示出閘極驅動電路的操作範例；

圖 14A 示出閘極驅動電路的結構範例，以及圖 14B 示出閘極驅動電路的操作範例。

圖 15A 至圖 15E 各示出閘極驅動電路的操作範例；

圖 16A 和圖 16B 各示出半導體裝置的電路圖的範例；

圖 17 是示出半導體裝置的操作範例的時序圖；

圖 18A 和圖 18B 各示出半導體裝置的操作範例；

圖 19A 和圖 19B 各示出半導體裝置的操作範例；

圖 20A 和圖 20B 各示出半導體裝置的操作範例；

圖 21A 和圖 21B 各示出半導體裝置的操作範例；

圖 22 是示出半導體裝置的操作範例的時序圖；

圖 23 是示出半導體裝置的操作範例的時序圖；

圖 24A 和圖 24B 各示出半導體裝置的電路圖的範例；

圖 25A 和圖 25B 各示出半導體裝置的電路圖的範例；

圖 26 示出半導體裝置的電路圖的範例；

圖 27 是示出半導體裝置的操作範例的時序圖；

圖 28A 和圖 28B 各示出半導體裝置的操作範例；

圖 29A 和圖 29B 各示出半導體裝置的操作範例；

圖 30 是示出半導體裝置的操作範例的時序圖；

圖 31A 和圖 31B 各示出半導體裝置的電路圖的範例；

圖 32A 和圖 32B 各示出半導體裝置的操作範例；

圖 33A 和圖 33B 各示出半導體裝置的操作範例；

圖 34A 和圖 34B 各示出半導體裝置的操作範例；

圖 35A 和圖 35B 各示出半導體裝置的操作範例；

圖 36A 和圖 36B 各示出半導體裝置的電路圖的範例；

圖 37A 和圖 37B 各示出半導體裝置的電路圖的範例；

圖 38A 和圖 38B 各示出半導體裝置的電路圖的範例；

圖 39A 至圖 39F 各示出半導體裝置的電路圖的範例；

圖 40A 至圖 40D 各示出半導體裝置的電路圖的範例；

圖 41A 和圖 41B 各示出半導體裝置的電路圖的範例；

圖 42A 和圖 42B 各示出半導體裝置的操作範例；

圖 43A 和圖 43B 各示出半導體裝置的操作範例；

圖 44A 和圖 44B 各示出半導體裝置的操作範例；

圖 45A 和圖 45B 各示出半導體裝置的操作範例；

圖 46A 至圖 46D 各示出顯示裝置的結構範例，以及圖 46E 示出畫素的結構範例；

圖 47 示出移位暫存器的電路圖的範例；

圖 48 示出移位暫存器的電路圖的範例；

圖 49 是示出移位暫存器的操作範例的時序圖；

圖 50A、圖 50C 和圖 50D 各示出源極驅動電路的結構範例，以及圖 50B 是示出源極驅動電路的操作範例的時序圖；

圖 51A 至圖 51G 各示出保護電路的電路圖的範例；

圖 52A 和圖 52B 各示出包括保護電路的半導體裝置的結構範例；

圖 53A 和圖 53B 各示出顯示裝置的結構範例，以及圖 53C 示出電晶體的結構範例；

圖 54A 至圖 54C 各示出顯示裝置的結構範例；

圖 55 是半導體裝置的佈局圖；

圖 56A 至圖 56H 各示出電子裝置的範例；

圖 57A 至圖 57D 各示出電子裝置的範例，以及圖 57E 至圖 57H 各示出半導體裝置的應用；

圖 58 示出顯示裝置的結構範例；

圖 59 是作爲比較範例的半導體裝置的電路圖；

圖 60A 和圖 60B 各示出電路模擬的計算結果；以及

圖 61 示出電路模擬的計算結果。

【實施方式】

下面參照附圖來描述本發明的實施例的範例。注意，本發明並不局限於以下描述。本領域的技術人員易於理解，本發明的模式和細節能夠按照各種方式來修改，而沒有背離本發明的精神和範圍。因此，本發明不應當被理解爲局限於以下實施例的描述。注意，在參照附圖的描述中，表示相同部分的參考標號在一些情況下共同用於不同附圖中。此外，在一些情況下，相同的陰影圖案應用於相似部分，並且相似部分在不同附圖中不一定由參考標號來表示。

注意，實施例的內容能夠適當地相互組合。另外，實施例的內容能夠適當地相互替換。

此外，在本說明書中，使用術語“第 k 個”(k 是自然數)以便避免元件之間的混淆，但並不是限制元件的數量。

術語“電壓”一般表示兩個點的電位之間的差(又稱作電位差)。但是，在電子電路中，在電路圖等中，在一些情況下使用一個點的電位與用作參考的電位(又稱作參考電位)之間的差。此外，在一些情況下，伏特(V)用作電壓和電位的單位。因此，在本說明書中，一個點的電位與參考電位之間的差在一些情況下用作該點的電壓，除非另加說明。

注意，在本說明書中，電晶體具有至少三個端子(源極、汲極和閘極)，並且具有其中一個端子的電位控制另

外兩個端子之間的傳導的結構。此外，電晶體的源極和汲極可彼此互換，取決於電晶體的結構、操作條件等。

源極是源電極的一部分或整體或者源佈線的一部分或整體。用作源電極和源佈線的導電層在一些情況下稱作源極，而沒有區分源電極和源佈線。源極是汲電極的一部分或整體或者汲佈線的一部分或整體。用作汲電極和汲佈線的導電層在一些情況下稱作汲極，而沒有區分汲電極和汲佈線。閘極是閘電極的一部分或整體或者閘佈線的一部分或整體。用作閘電極和閘佈線的導電層在一些情況下稱作閘極，而沒有區分閘電極和閘佈線。

注意，在本說明書中，“A 和 B 相連接”的描述除了表示 A 和 B 直接連接的情況之外，還表示 A 和 B 電連接的情況。具體來說，“A 和 B 相連接”的描述表示 A 和 B 具有就電路操作而言的相同節點是可接受的情況，例如下列情況：A 和 B 通過用作開關的元件、如電晶體來連接，並且 A 和 B 在該元件導通時具有基本相同的電位；A 和 B 通過電阻器連接，並且在電阻器的相對端所產生的電位差不影響包括 A 和 B 的電路的操作；等等。

注意，在本說明書中使用的術語“基本上”考慮了各種誤差，例如因雜訊引起的誤差、因過程變化引起的誤差、因製造元件的步驟的變化引起的誤差或者測量誤差。

注意，在本說明書中，L 電平信號(又稱作 L 信號)的電位由 V1 表示，而 H 電平信號(又稱作 H 信號)的電位由 V2 表示(V2>V1)。另外，在使用描述“L 電平信號的電

位”、“L 電平電位”或“電壓 V1”的情況下，電位基本上爲 V1。在使用描述“H 電平信號的電位”、“H 電平電位”或“電壓 V2”的情況下，電位基本上爲 V2。

(實施例 1)

在這個實施例中，參照圖 1A 和圖 1B、圖 2A 至圖 2C 以及圖 3A 至圖 3C 來描述包括閘極驅動電路(又稱作閘極驅動)的半導體裝置。

圖 1A 示出包括閘極驅動電路的半導體裝置的結構範例。圖 1B 是示出該半導體裝置的操作範例的時序圖。注意，除了閘極驅動電路之外，該半導體裝置還可包括源極驅動電路(又稱作源極驅動)、控制電路等。

在圖 1A，半導體裝置包括畫素部分 50、第一閘極驅動電路 51、第二閘極驅動電路 52 以及連接到第一閘極驅動電路 51 和第二閘極驅動電路 52 的閘極線 54(又稱作閘極信號線)。在圖 1A，示出半導體裝置中包含的閘極線 $G_1$ 至 $G_m$(m 爲自然數)之中的閘極線 $G_i$ 至 $G_{i+2}$(i 是 1 至(m-2)中的任一個)。

在選擇閘極線 54 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸入到閘極線 54。當 H 信號按照這種方式從閘極驅動電路 51 和閘極驅動電路 52 輸入時，閘極線 54 的電位的上升時間或下降時間能夠縮短，並且輸出到閘極線 54 的信號的延遲或失真能夠降低。

相比之下，在沒有選擇閘極線 54 的情況下，L 信號

從閘極驅動電路 51 和閘極驅動電路 52 其中之一輸出到閘極線 54，而沒有信號從閘極驅動電路 51 和閘極驅動電路 52 中的另一個輸出到閘極線 54。因此，該另一個閘極驅動電路中包含的電晶體的一些或全部能夠關斷。

接下來，下面描述圖 1A 所示的半導體裝置的操作範例。圖 2A 至圖 2C 示出第 k 幀中的半導體裝置的操作範例。圖 3A 至圖 3C 示出第(k+1)幀中的半導體裝置的操作範例。

注意，圖 2A 至圖 2C 以及圖 3A 至圖 3C 中，各箭頭指示閘極驅動電路(第一閘極驅動電路 51 或第二閘極驅動電路 52)將信號輸出到閘極線 54，而各 X 指示閘極驅動電路沒有向閘極線 54 輸出信號。

在這裏，各箭頭的方向根據從閘極驅動電路輸出到閘極線 54 的信號的種類來適當使用。在閘極驅動電路向閘極線 54 輸出信號(例如非選擇信號)的情況下，各箭頭的方向是從閘極線 54 到閘極驅動電路的方向。在閘極驅動電路向閘極線 54 輸出與上述信號(例如非選擇信號)不同的信號(例如選擇信號)的情況下，各箭頭的方向是從閘極驅動電路到閘極線 54 的方向。

在如圖 2A 所示的第 k 幀(與圖 1B 中的期間 $k_i$ 對應)中選擇閘極線 $G_i$ 但沒有選擇閘極線 $G_{i+1}$ 和 $G_{i+2}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_i$。另外，L 信號從閘極驅動電路 51 輸出到閘極線 $G_{i+1}$ 和 $G_{i+2}$，但是沒有信號從閘極驅動電路 52 輸出到

閘極線 $G_{i+1}$ 和 $G_{i+2}$。因此，閘極驅動電路 52 中包含的電晶體的一些或全部能夠關斷。

然後，在如圖 3A 所示的第(k+1)幀(與圖 1B 中的期間 $k+1_i$ 對應)中選擇閘極線 $G_i$ 但沒有選擇閘極線 $G_{i+1}$ 和 $G_{i+2}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_i$。另外，沒有信號從閘極驅動電路 51 輸出到閘極線 $G_{i+1}$ 和 $G_{i+2}$，但 L 信號從閘極驅動電路 52 輸出到閘極線 $G_{i+1}$ 和 $G_{i+2}$。因此，閘極驅動電路 51 中包含的電晶體的一些或全部能夠關斷。

類似地，在如圖 2B 所示的第 k 幀中選擇閘極線 $G_{i+1}$ 但沒有選擇閘極線 $G_i$ 和 $G_{i+2}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_{i+1}$。另外，L 信號從閘極驅動電路 51 輸出到閘極線 $G_i$ 和 $G_{i+2}$，但是沒有信號從閘極驅動電路 52 輸出到閘極線 $G_i$ 和 $G_{i+2}$。因此，閘極驅動電路 52 中包含的電晶體的一些或全部能夠關斷。

然後，在如圖 3B 所示的第(k+1)幀中選擇閘極線 $G_{i+1}$ 但沒有選擇閘極線 $G_i$ 和 $G_{i+2}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_{i+1}$。另外，沒有信號從閘極驅動電路 51 輸出到閘極線 $G_i$ 和 $G_{i+2}$，但是 L 信號從閘極驅動電路 52 輸出到閘極線 $G_i$ 和 $G_{i+2}$。因此，閘極驅動電路 51 中包含的電晶體的一些或全部能夠關斷。

類似地，在如圖 2C 所示的第 k 幀中選擇閘極線 $G_{i+2}$

但沒有選擇閘極線 $G_i$ 和 $G_{i+1}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_{i+2}$。另外，L 信號從閘極驅動電路 51 輸出到閘極線 $G_i$ 和 $G_{i+1}$，但是沒有信號從閘極驅動電路 52 輸出到閘極線 $G_i$ 和 $G_{i+1}$。因此，閘極驅動電路 52 中包含的電晶體的一些或全部能夠關斷。

然後，在如圖 3C 所示的第(k+1)幀中選擇閘極線 $G_{i+2}$ 但沒有選擇閘極線 $G_i$ 和 $G_{i+1}$ 的情況下，H 信號從閘極驅動電路 51 和閘極驅動電路 52 輸出到閘極線 $G_{i+2}$。另外，沒有信號從閘極驅動電路 51 輸出到閘極線 $G_i$ 和 $G_{i+1}$，但是 L 信號從閘極驅動電路 52 輸出到閘極線 $G_i$ 和 $G_{i+1}$。因此，閘極驅動電路 51 中包含的電晶體的一些或全部能夠關斷。

由於沒有信號按照這種方式從閘極驅動電路 51 和閘極驅動電路 52 其中之一輸出到沒有選擇的閘極線 54，所以閘極驅動電路中的該其中之一中包含的電晶體的一些或全部能夠關斷。相應地，能夠抑制電晶體的退化。

(實施例 2)

在這個實施例中，描述閘極驅動電路的結構和操作。

<閘極驅動電路的結構>

參照圖 4A 來描述閘極驅動電路的結構。

圖 4A 示出閘極驅動電路的結構範例。閘極驅動電路

包括電路 10A 和電路 10B。注意，雖然圖 4A 示出閘極驅動電路包括兩個電路 10A 和 10B 的情況，但是閘極驅動電路可包括其中包含電路 10A 和 10B 的三個或更多電路。

電路 10A 和電路 10B 連接到佈線 11。

信號從電路 10A 或電路 10B 輸入到佈線 11，並且佈線 11 用作信號線。注意，信號可從與電路 10A 和電路 10B 不同的電路輸入到佈線 11。

注意，在圖 4A 所示的閘極驅動電路用於包括畫素部分的顯示裝置的情況下，佈線 11 延伸到畫素部分，並且連接到畫素部分所包含的畫素中的電晶體(例如開關電晶體或選擇電晶體)的閘極。在那種情況下，佈線 11 用作閘極線(又稱作閘極信號線)、掃描線或電源線。

備選地，固定電壓從電路 10A 或電路 10B 施加到佈線 11，並且佈線 11 用作電源線。注意，電壓可從與電路 10A 和電路 10B 不同的電路施加到佈線 11。

接下來描述電路 10A 和電路 10B 的功能。

電路 10A 具有控制向佈線 11 輸出信號(例如選擇信號或非選擇信號)的定時的功能。備選地，電路 10A 具有控制沒有向佈線 11 輸出信號的定時的功能。備選地，電路 10A 具有在某個期間向佈線 11 輸出信號(例如非選擇信號)以及在不同期間向佈線 11 輸出不同信號(例如選擇信號)的功能。備選地，電路 10A 具有在某個期間向佈線 11 輸出信號(例如選擇信號或非選擇信號)以及在不同期間沒有

向佈線 11 輸出信號的功能。

如上所述，電路 10A 用作驅動電路或控制電路。注意，電路 10A 可向佈線 11 輸出不同信號。在那種情況下，電路 10A 能夠向佈線 11 輸出三種或更多種信號。

電路 10B 具有控制向佈線 11 輸出信號(例如選擇信號或非選擇信號)的定時的功能。備選地，電路 10B 具有控制沒有向佈線 11 輸出信號的定時的功能。備選地，電路 10B 具有在某個期間向佈線 11 輸出信號(例如非選擇信號)以及在不同期間向佈線 11 輸出不同信號(例如選擇信號)的功能。備選地，電路 10B 具有在某個期間向佈線 11 輸出信號(例如選擇信號或非選擇信號)以及在不同期間沒有向佈線 11 輸出信號的功能。

如上所述，電路 10B 用作驅動電路或控制電路。注意，電路 10B 可向佈線 11 輸出不同信號。在那種情況下，電路 10B 能夠向佈線 11 輸出三種或更多種信號。

<閘極驅動電路的操作>

參照圖 4B 以及圖 5A 至圖 5I 來描述圖 4A 的閘極驅動電路的操作。

圖 4B 示出該閘極驅動電路的操作範例。圖 4B 示出在該閘極驅動電路的各操作中的電路 10A 的輸出信號 OUTA 和電路 10B 的輸出信號 OUTB。圖 5A 至圖 5I 是與圖 4A 的閘極驅動電路的操作範例對應的示意圖。

注意，圖 4A 的閘極驅動電路能夠通過一些情況的適

當組合來執行圖 4B 所示的九個操作，這些情況如下：電路 10A 和電路 10B 均向佈線 11 輸出信號(例如非選擇信號)；電路 10A 和電路 10B 均向佈線 11 輸出與這些信號不同的信號(例如選擇信號)；以及電路 10A 和電路 10B 均沒有向佈線 11 輸出信號(例如既沒有非選擇信號也沒有選擇信號)。

在這個實施例中，描述九個操作。注意，圖 4A 的閘極驅動電路不一定執行全部九個操作，而是能夠有選擇地執行九個操作的一些。另外，圖 4A 的驅動電路可執行與九個操作不同的操作。

注意，在圖 4B，圓圈指示電路(電路 10A 或電路 10B)向佈線 11 輸出信號(例如非選擇信號)。雙圓圈指示電路向佈線 11 輸出與該信號不同的信號(例如選擇信號)。X 指示電路沒有向佈線 11 輸出信號(例如既沒有非選擇信號也沒有選擇信號)。

注意，在圖 5A 至圖 5I 的示意圖中，各箭頭指示電路(電路 10A 或電路 10B)向佈線 11 輸出信號，而各 X 指示電路沒有向佈線 11 輸出信號。在這裏，各箭頭的方向根據從電路輸出到佈線 11 的信號的種類來適當使用。在電路向佈線 11 輸出信號(例如非選擇信號)的情況下，各箭頭的方向是從佈線 11 到電路的方向。在電路向佈線 11 輸出與上述信號(例如非選擇信號)不同的信號(例如選擇信號)的情況下，各箭頭的方向是從電路到佈線 11 的方向。

注意，在圖 5A 至圖 5I 的示意圖中，各箭頭的方向不

是指示電流的方向和電流的產生，而是指示電路(電路10A或電路10B)向佈線11輸出信號。電流的方法由佈線11的電位來確定。在從電路所輸出的信號的電位基本等於佈線11的電位時，在一些情況下沒有產生電流或者電流量極小。

下面描述圖4A的閘極驅動電路的操作範例。

在圖5A的操作1中，電路10A向佈線11輸出信號(例如非選擇信號)，並且電路10B向佈線11輸出信號(例如非選擇信號)。在圖5B的操作2中，電路10A向佈線11輸出信號(例如非選擇信號)，而電路10B沒有向佈線11輸出信號。在圖5C的操作3中，電路10A沒有向佈線11輸出信號，而電路10B向佈線11輸出信號(例如非選擇信號)。在圖5D的操作4中，電路10A沒有向佈線11輸出信號，並且電路10B沒有向佈線11輸出信號。

在圖5E的操作5中，電路10A向佈線11輸出不同信號(例如選擇信號)，並且電路10B向佈線11輸出不同信號(例如選擇信號)。在圖5F的操作6中，電路10A向佈線11輸出不同信號(例如選擇信號)，而電路10B沒有向佈線11輸出信號。在圖5G的操作7中，電路10A沒有向佈線11輸出信號，而電路10B向佈線11輸出不同信號(例如選擇信號)。在圖5H的操作8中，電路10A向佈線11輸出信號(例如非選擇信號)，並且電路10B向佈線11輸出不同信號(例如選擇信號)。在圖5I的操作9中，電路10A向佈線11輸出不同信號(例如非選擇信號)，而

電路 10B 向佈線 11 輸出信號(例如非選擇信號)。

如上所述，圖 4A 的閘極驅動電路能夠執行各種操作。然後描述各操作的優點。

在操作 1 和操作 5 中，當電路 10A 和電路 10B 向佈線 11 輸出同一信號時，在佈線 11 的電位中不容易產生雜訊，使得能夠穩定佈線 11 的電位。例如，能夠防止不應當最初寫入的信號(例如輸入到不同列的畫素的視頻信號)被寫到與佈線 11 連接的畫素。備選地，能夠防止連接到佈線 11 的畫素中保持的視頻信號的電位發生變化。相應地，顯示裝置的顯示品質能夠得到提高。

在操作 1 和操作 5 中，當電路 10A 和電路 10B 向佈線 11 輸出同一信號時，能夠使佈線 11 的電位的變化較陡(例如，能夠縮短佈線 11 的電位的上升時間或下降時間)。因此，佈線 11 的電位的失真能夠降低。例如，能夠防止不應當最初寫入的信號(例如輸入到前一列的畫素的視頻信號)被寫到與佈線 11 連接的畫素。相應地，串音能夠降低。因此，顯示裝置的顯示品質能夠得到提高。

在操作 8 和操作 9 中，當電路 10A 和電路 10B 向佈線 11 輸出不同信號(例如選擇信號和非選擇信號)時，佈線 11 的電位能夠是處於從電路 10A 所輸出的信號的電位與從電路 10B 所輸出的信號的電位之間的電位。因此，能夠以高準確性來控制佈線 11 的電位。

在操作 2、3、6 和 7 中，當電路 10A 和電路 10B 其中之一向佈線 11 輸出信號時，電路 10A 和電路 10B 中的

另一個沒有輸出信號。因此，沒有輸出信號的電路中包含的電晶體能夠關斷。相應地，能夠抑制電晶體的退化。

在操作 4 中，電路 10A 和電路 10B 沒有向佈線 11 輸出信號；因此，電路 10A 和電路 10B 中包含的電晶體能夠關斷。相應地，能夠抑制電晶體的退化。

由於如上所述能夠在操作 2、3、4、6 和 7 中抑制電晶體的退化，所以諸如非單晶半導體(例如非晶半導體或微晶半導體)、有機半導體或氧化物半導體之類的易退化材料能夠用作電晶體的半導體層。因此，當製造半導體裝置時，能夠減少步驟的數量，能夠提高產量，或者能夠降低成本。另外，由於便利化製造半導體裝置的方法，所以顯示裝置的尺寸能夠減小。

由於在操作 2、3、4、6 和 7 中能夠抑制電晶體的退化，所以不需要考慮到電晶體的退化而增加電晶體的通道寬度。因此，電晶體的通道寬度能夠減小，使得佈局面積能夠減小。具體來說，在這個實施例中的閘極驅動電路用於顯示裝置的情況下，閘極驅動電路的佈局面積能夠減小；因此，畫素的解析度能夠提高。

另外，由於能夠如上所述在操作 2、3、4、6 和 7 中減小電晶體的通道寬度，所以閘極驅動電路的負載能夠減小。因此，用於向這個實施例中的閘極驅動電路提供信號等的電路(例如外部電路)的電流供應能力能夠降低。因此，用於提供信號等的電路的尺寸能夠減小，或者用於提供信號等的電路的 IC 晶片的數量能夠減少。此外，由於

閘極驅動電路的負載能夠減小，所以閘極驅動電路的功率消耗能夠降低。

接下來，下面描述當圖 4A 的閘極驅動電路的操作是圖 5A 至圖 5I 所示的操作 1 至 9 的一些的組合時的時序圖。

在這裏，示出圖 4A 的閘極驅動電路的操作的時序圖包括多個期間。在各期間或者從某個期間到不同期間的過渡期間中，圖 4A 的閘極驅動電路能夠執行圖 5A 至圖 5I 所示的操作 1 至 9 的任一個。圖 4A 的閘極驅動電路可執行與圖 5A 至圖 5I 所示操作 1 至 9 不同的操作。

圖 6A 至圖 6L 是各示出該閘極驅動電路的操作範例的時序圖。在圖 6A 至圖 6L 的時序圖中，依次提供期間 a、期間 b 和期間 c，並且提供期間 d。注意，雖然期間 a 至 d 在圖 6A 至圖 6L 中依次提供，但是期間 a 至 d 的順序並不局限於此。另外，時序圖可包括與期間 a 至 d 不同的期間。

在圖 6A 至圖 6L 的時序圖中，各實線指示電路(電路 10A 或電路 10B)向佈線 11 輸出信號，而虛線指示電路沒有向佈線 11 輸出信號。

參照圖 6A 所示的時序圖來描述圖 4A 的閘極驅動電路在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從期間 b 到期間 c 的過渡期間、期間 c 以及期間 d 中的操作。

在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和

期間 d 中，圖 4A 的閘極驅動電路執行圖 5B 的操作 2。換言之，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d，電路 10A 向佈線 11 輸出信號(例如非選擇信號)，而電路 10B 沒有向佈線 11 輸出信號。

在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 4A 的閘極驅動電路執行圖 5F 的操作 6。換言之，在從期間 a 到期間 b 的過渡期間和期間 b，電路 10A 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10B 沒有向佈線 11 輸出信號。

這樣，在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d，電路 10B 沒有向佈線 11 輸出信號。因此，能夠抑制電路 10B 中包含的電晶體的退化。此外，通過簡單電路設計、例如提供開關以便不輸出信號或者使電路 10B 中的電晶體關斷，電路 10B 的功率消耗能夠降低。

注意，在圖 6A 所示的時序圖中，電路 10A 在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中的至少一個期間不需要向佈線 11 輸出信號。

如圖 6B 所示，電路 10B 可在從期間 a 到期間 b 的過渡期間中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6C 所示，電路 10B 可在期間 a 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的

過渡期間中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6D 所示，電路 10B 可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6E 所示，電路 10B 可在期間 a 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6F 所示，電路 10B 可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6G 所示，電路 10B 可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)，並且可在期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6H 所示，電路 10B 可在從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6I 所示，電路 10B 可在從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)，並且可在期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6J 所示，電路 10B 可在從期間 a 到期間 b 的過

渡期間中向佈線 11 輸出不同信號(例如選擇信號)，並且可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6K 所示，電路 10B 可在期間 a 以及從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 6L 所示，電路 10B 可在期間 a、從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

注意，在以上描述中，選擇信號和非選擇信號是從電路 10A 和電路 10B 所輸出的信號的範例，並且可以是任何信號，只要它們相互不同。

接下來，描述當圖 4A 的閘極驅動電路的操作是圖 5A 至圖 5I 所示的操作 1 至 9 的一些的組合時、與圖 6A 至圖 6L 的時序圖不同的時序圖。

圖 7A 至圖 7L 是各示出該閘極驅動電路的操作範例的時序圖。

參照圖 7A 所示的時序圖來描述圖 4A 的閘極驅動電路在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從

期間 b 到期間 c 的過渡期間、期間 c 以及期間 d 中的操作。

在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中，圖 4A 的閘極驅動電路執行圖 5C 的操作 3。換言之，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d，電路 10A 沒有向佈線 11 輸出信號，而電路 10B 向佈線 11 輸出信號(例如非選擇信號)。

在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 4A 的閘極驅動電路執行圖 5G 的操作 7。換言之，在從期間 a 到期間 b 的過渡期間和期間 b，電路 10A 沒有向佈線 11 輸出信號，而電路 10B 向佈線 11 輸出不同信號(例如選擇信號)。

這樣，在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d，電路 10A 沒有向佈線 11 輸出信號。因此，能夠抑制電路 10A 中包含的電晶體的退化。此外，通過簡單電路設計、例如提供開關以便不輸出信號或者使電路 10A 中的電晶體關斷，電路 10A 的功率消耗能夠降低。

注意，在圖 7A 所示的時序圖中，電路 10B 在期間 a、從期間 a 到期間 b 的過渡期間、期間 b、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中的至少一個期間不需要向佈線 11 輸出信號。

如圖 7B 所示，電路 10A 可在從期間 a 到期間 b 的過渡期間中向佈線 11 輸出不同信號(例如選擇信號)。因

此，能夠使佈線 11 的電位的變化較陡。

如圖 7C 所示，電路 10A 可在期間 a 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7D 所示，電路 10A 可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7E 所示，電路 10A 可在期間 a 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7F 所示，電路 10A 可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7G 所示，電路 10A 可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)，並且可在期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7H 所示，電路 10A 可在從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7I 所示，電路 10A 可在從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)，

並且可在期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7J 所示，電路 10A 可在從期間 a 到期間 b 的過渡期間中向佈線 11 輸出不同信號(例如選擇信號)，並且可在從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7K 所示，電路 10A 可在期間 a 以及從期間 b 到期間 c 的過渡期間中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

如圖 7L 所示，電路 10A 可在期間 a、從期間 b 到期間 c 的過渡期間和期間 c 中向佈線 11 輸出信號(例如非選擇信號)，並且可在從期間 a 到期間 b 的過渡期間和期間 b 中向佈線 11 輸出不同信號(例如選擇信號)。因此，能夠使佈線 11 的電位的變化較陡。

注意，在以上描述中，選擇信號和非選擇信號是從電路 10A 和電路 10B 所輸出的信號的範例，並且可以是任何信號，只要它們相互不同。

接下來，下面描述當圖 4A 的閘極驅動電路的操作是圖 5A 至圖 5I 所示的操作 1 至 9 的一些的組合時的與圖 6A 至圖 6L 以及圖 7A 至圖 7L 的時序圖不同的時序圖。

圖 8A 至圖 8E 是各示出該閘極驅動電路的操作範例

的時序圖。

圖 8A 至圖 8C 的時序圖包括期間 T1 和期間 T2。另外，在圖 8A 和圖 8C，交替期間 T1 和期間 T2；但是，如圖 8B 所示，可交替多個期間 T1 和多個期間 T2。此外，可提供與期間 T1 和期間 T2 不同的期間。

參照圖 8A 的時序圖來描述圖 4A 的閘極驅動電路在期間 T1 和期間 T2 中的操作。

在期間 T1，使用圖 6A 所示的時序圖。因此，在期間 T1，能夠抑制電路 10B 中包含的電晶體的退化。此外，在期間 T2，使用圖 7A 所示的時序圖。因此，在期間 T2，能夠抑制電路 10A 中包含的電晶體的退化。

這樣，在圖 8A，交替其中能夠抑制電路 10B 所包含的電晶體的退化的期間 T1 以及其中能夠抑制電路 10A 所包含的電晶體的退化的期間 T2。

在這裏，在電路 10A 和電路 10B 具有相似結構的情況下，當使期間 T1 的長度和期間 T2 的長度基本相等時，電路 10A 中包含的電晶體的退化程度以及電路 10B 中包含的電晶體的退化程度能夠基本相等。因此，即使當電路 10A 的操作和電路 10B 的操作通過交替提供期間 T1 和期間 T2 來切換時，也能夠使佈線 11 的電位的變化基本相等。

因此，在圖 4A 的閘極驅動電路用於包括保持視頻信號的畫素的顯示裝置並且視頻信號通過佈線 11 的電位來改變的情況(例如饋通或電容耦合)下，即使在切換電路

10A 的操作和電路 10B 的操作時，也能夠使連接到佈線 11 的畫素中保持的視頻信號的變化基本相等。因此，能夠使畫素的亮度、透射率等等在電路 10A 與電路 10B 之間基本相等。相應地，顯示品質能夠得到提高。

在期間 T1，可使用圖 6A 至圖 6L 所示時序圖的任一個，以及在期間 T2，可使用圖 7A 至圖 7L 所示時序圖的任一個。例如，如圖 8C 所示，在期間 T1，可使用圖 6K 的時序圖，以及在期間 T2，可使用圖 7K 的時序圖。

接下來，參照圖 8D 來描述示出在圖 6A 至圖 6L、圖 7A 至圖 7L 以及圖 8A 和圖 8C 所示的期間 d 中的圖 4A 的閘極驅動電路的操作範例的時序圖。

圖 8D 是示出在期間 d 中的閘極驅動電路的操作範例的時序圖。

在圖 6A 至圖 6L、圖 7A 至圖 7L 以及圖 8A 和圖 8C 所示的時序圖中，期間 d 分爲多個期間。例如，如圖 8D 所示，期間 d 分爲兩個期間 d1 和 d2。注意，期間 d 的劃分數量並不局限於此，期間 d 而是可分爲三個或更多期間。另外，在圖 8D，交替期間 d1 和期間 d2；但是，可交替多個期間 d1 和多個期間 d2。

參照圖 8D 的時序圖來描述圖 4A 的閘極驅動電路在期間 d1 和期間 d2 中的操作。

在期間 d1，閘極驅動電路執行圖 5B 的操作 2。換言之，在期間 d1，電路 10A 向佈線 11 輸出信號，而電路 10B 沒有向佈線 11 輸出信號。在期間 d2，閘極驅動電路

執行圖 5C 的操作 3。換言之，在期間 d2，電路 10A 沒有向佈線 11 輸出信號，而電路 10B 向佈線 11 輸出信號。

由於信號能夠按照這種方式輸入到電路 10A 和電路 10B 所包含的電晶體的閘極，所以能夠抑制電晶體的退化。因此，即使當切換電路 10A 的操作和電路 10B 的操作時，也能夠使佈線 11 的電位的變化基本相等。

因此，在圖 4A 的閘極驅動電路用於包括保持視頻信號的畫素的顯示裝置並且視頻信號通過佈線 11 的電位(例如饋通或電容耦合)來改變的情況下，即使當切換電路 10A 的操作和電路 10B 的操作時，也能夠使連接到佈線 11 的畫素中保持的視頻信號的變化基本相等。因此，能夠使畫素的亮度、透射率等等在電路 10A 與電路 10B 之間基本相等。相應地，顯示品質能夠得到提高。

接下來描述示出圖 4A 的閘極驅動電路的不同操作範例的時序圖。

在圖 6A 至圖 6L、圖 7A 至圖 7L 以及圖 8A、圖 8C 和圖 8D 中，電路 10A 中的輸出信號 OUTA 的電位以及電路 10B 中的輸出信號 OUTB 的電位在各期間中是固定的。備選地，在某個期間，輸出信號的電位可具有多個值。例如，如圖 8E 所示，在期間 d，電路 10A 中的輸出信號 OUTA 的電位以及電路 10B 中的輸出信號 OUTB 的電位可以各具有交替的兩個值。

在期間 d 中的輸出信號 OUTA 的電位和輸出信號 OUTB 的電位可按照類似方式來改變。

如上所述，圖 4A 的閘極驅動電路能夠執行各種操作。

<閘極驅動電路的不同結構>

接下來參照圖 9A 來描述與圖 4A 的結構不同的閘極驅動電路的結構。

圖 9A 示出閘極驅動電路的結構範例。該閘極驅動電路包括電路 10A、電路 10B、電路 10C 和電路 10D。電路 10C 和電路 10D 可具有與電路 10A 或電路 10B 的功能相似的功能。

注意，圖 9A 的閘極驅動電路能夠通過下列情況的適當組合來執行各種操作，這些情況如下：電路 10A 至 10D 向佈線 11 輸出信號(例如非選擇信號)；電路 10A 至 10D 向佈線 11 輸出與這些信號不同的信號(例如選擇信號)；以及電路 10A 至 10D 沒有向佈線 11 輸出信號(例如既沒有非選擇信號也沒有選擇信號)。

雖然圖 9A 示出閘極驅動電路包括連接到佈線 11 的四個電路(電路 10A 至 10D)的情況，但是這個實施例中的閘極驅動電路的結構並不局限於這種結構。這個實施例中的閘極驅動電路可包括 N(N 爲自然數)個電路。注意，N 個電路可具有與電路 10A 或電路 10B 的功能相似的功能。

<閘極驅動電路的操作>

參照圖 9B 來描述圖 9A 的閘極驅動電路的操作。圖

9B 示出閘極驅動電路的操作範例。

在操作 1 中，電路 10A 向佈線 11 輸出信號(例如非選擇信號)，而電路 10B 至 10D 沒有向佈線 11 輸出信號。在操作 2 中，電路 10B 向佈線 11 輸出信號(例如非選擇信號)，而電路 10A、10C 和 10D 沒有向佈線 11 輸出信號。在操作 3 中，電路 10C 向佈線 11 輸出信號(例如非選擇信號)，而電路 10A、10B 和 10D 沒有向佈線 11 輸出信號。在操作 4 中，電路 10D 向佈線 11 輸出信號(例如非選擇信號)，而電路 10A 至 10C 沒有向佈線 11 輸出信號。

在操作 5 中，電路 10A 和 10C 向佈線 11 輸出信號(例如非選擇信號)，而電路 10B 和 10D 沒有向佈線 11 輸出信號。在操作 6 中，電路 10B 和 10D 向佈線 11 輸出信號(例如非選擇信號)，而電路 10A 和 10C 沒有向佈線 11 輸出信號。在操作 7 中，電路 10A 至 10D 向佈線 11 輸出信號(例如非選擇信號)。在操作 8 中，電路 10A 至 10D 沒有向佈線 11 輸出信號。

在操作 9 中，電路 10A 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10B 至 10D 沒有向佈線 11 輸出信號。在操作 10 中，電路 10B 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10A、10C 和 10D 沒有向佈線 11 輸出信號。在操作 11 中，電路 10C 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10A、10B 和 10D 沒有向佈線 11 輸出信號。在操作 12 中，電路 10D 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10A 至 10C 沒有向佈線 11 輸出

信號。

在操作 13 中，電路 10A 和 10C 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10B 和 10D 沒有向佈線 11 輸出信號。在操作 14 中，電路 10B 和 10D 向佈線 11 輸出不同信號(例如選擇信號)，而電路 10A 和 10C 沒有向佈線 11 輸出信號。在操作 15 中，電路 10A 至 10D 向佈線 11 輸出不同信號(例如選擇信號)。

如上所述，圖 9A 的閘極驅動電路能夠執行各種操作。

隨著這個實施例中的閘極驅動電路所包含的電路(例如電路 10A 和電路 10B)的數量變得更大，即，指示電路數量的 N 變得更大，則來自電路的信號的輸出頻率能夠降低。因此，能夠抑制電路中包含的電晶體的退化。注意，當 N 變得過大時，電路的尺寸增加；因此，N 小於 6，最好小於 4，更理想地爲 2。

在這個實施例中的閘極驅動電路用於顯示裝置的情況下，N 最好爲偶數，目的在於左側的顯示裝置的框架和右側的顯示裝置的框架基本相等。另外，N 最好是偶數，目的在於一側的電路數量和另一側的電路數量相等，其中畫素部分設置在這兩側之間。

(實施例 3)

在這個實施例中，描述閘極驅動電路的結構和操作。

<閘極驅動電路的結構>

下面描述閘極驅動電路的結構。

圖 10A 和圖 10B 以及圖 11A 和圖 11B 各示出閘極驅動電路的結構範例。閘極驅動電路包括電路 100A 和電路 100B。

電路 100A 包括開關 101A 和開關 102A。開關 101A 連接在佈線 112A 與佈線 111 之間。開關 102A 連接在佈線 113A 與佈線 111 之間。

電路 100B 包括開關 101B 和開關 102B。開關 101B 連接在佈線 112B 與佈線 111 之間。開關 102B 連接在佈線 113B 與佈線 111 之間。

在這裏，如圖 10B 和圖 11B 所示，佈線 112A 與佈線 111 之間的路徑稱作路徑 121A；佈線 113A 與佈線 111 之間的路徑稱作路徑 122A；佈線 112B 與佈線 111 之間的路徑稱作路徑 121B；佈線 113B 與佈線 111 之間的路徑稱作路徑 122B。

注意，術語“A 與 B 之間的路徑”可包括開關連接在 A 與 B 之間的情況。與開關不同的元件(例如電晶體、二極體、電阻器或電容器)或電路(例如緩衝器電路、反相器電路或移位暫存器)可連接在 A 與 B 之間。備選地，元件(例如電阻器或電晶體)可與 A 和 B 之間的開關串聯或並聯連接。

注意，電路 100A、電路 100B 和佈線 111 分別對應於實施例 2 中的電路 10A、電路 10B 和佈線 11，並且具有

分別與電路 10A、電路 10B 和佈線 11 的功能相似的功能。

接下來描述佈線 112A、佈線 113A、佈線 112B 和佈線 113B。

在時鐘信號 CK1 輸入到佈線 112A 和佈線 112B 的情況下，佈線 112A 和佈線 112B 用作信號線或時鐘信號線(又稱作時鐘線或時鐘提供線)。在固定電壓施加到佈線 112A 和佈線 112B 的情況下，佈線 112A 和佈線 112B 用作電源線。

注意，在相同信號或相同電壓輸入到佈線 112A 和佈線 112B 的情況下，佈線 112A 和佈線 112B 可相互連接。在那種情況下，如圖 11A 所示，一個佈線 112 可用作佈線 112A 和佈線 112B。備選地，不同信號或不同電壓可輸入到佈線 112A 和佈線 112B。

在電壓 V1(例如電源電壓、參考電壓、地電壓或者負電源電位)施加到佈線 113A 和 113B 的情況下，佈線 113A 和佈線 113B 用作電源線或地。備選地，在信號輸入到佈線 113A 和佈線 113B 的情況下，佈線 113A 和佈線 113B 用作信號線。

注意，在相同信號或相同電壓輸入到佈線 113A 和佈線 113B 的情況下，佈線 113A 和佈線 113B 可相互連接。在那種情況下，如圖 11A 所示，一個佈線 113 可用作佈線 113A 和佈線 113B。備選地，不同信號或不同電壓可輸入到佈線 113A 和佈線 113B。

接下來描述開關 101A、開關 102A、開關 101B 和開關 102B。

開關 101A 具有控制使佈線 112A 和佈線 111 開始傳導的定時的功能。備選地，開關 101A 具有控制將佈線 112A 的電位提供給佈線 111 的定時的功能。備選地，開關 101A 具有控制向佈線 111 提供將要輸入到佈線 112A 的信號、電壓等(例如時鐘信號 CK1、時鐘信號 CK2 或電壓 V2)的定時的功能。備選地，開關 101A 具有控制沒有向佈線 111 提供信號、電壓等的定時的功能。備選地，開關 101A 具有控制向佈線 111 提供 H 信號(例如時鐘信號 CK1)的定時的功能。備選地，開關 101A 具有控制向佈線 111 提供 L 信號(例如時鐘信號 CK1)的定時的功能。備選地，開關 101A 具有控制升高佈線 111 的電位的定時的功能。備選地，開關 101A 具有控制降低佈線 111 的電位的定時的功能。備選地，開關 101A 具有控制保持佈線 111 的電位的定時的功能。

注意，在時鐘信號 CK2 對應於時鐘信號 CK1 的反相信號的情況下，時鐘信號 CK1 和時鐘信號 CK2 最好是通過信號的反相所得到的信號或者是基本 180°異相的信號。

時鐘信號 CK1 或時鐘信號 CK2 可以是平衡信號或者不平衡信號。平衡信號是在一個週期中信號處於 H 電平的期間和信號處於 L 電平的期間具有基本相同長度的信號。不平衡信號是在一個週期中信號處於 H 電平的期間和信號處於 L 電平的期間具有不同長度的信號。

注意，在時鐘信號 CK1 和時鐘信號 CK2 是不平衡信號並且時鐘信號 CK2 不是時鐘信號 CK1 的反相信號的情況下，時鐘信號 CK1 處於 H 電平的期間和時鐘信號 CK2 處於 H 電平的期間可具有基本相同長度。

開關 102A 具有控制使佈線 113A 和佈線 111 開始傳導的定時的功能。備選地，開關 102A 具有控制將佈線 113A 的電位提供給佈線 111 的定時的功能。備選地，開關 102A 具有控制向佈線 111 提供將要輸入到佈線 113A 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，開關 102A 具有控制沒有向佈線 111 提供信號、電壓等的定時的功能。備選地，開關 102A 具有控制向佈線 111 提供電壓 V1 的定時的功能。備選地，開關 102A 具有控制降低佈線 111 的電位的定時的功能。備選地，開關 102A 具有控制保持佈線 111 的電位的定時的功能。

開關 101B 具有控制使佈線 112B 和佈線 111 開始傳導的定時的功能。備選地，開關 101B 具有控制將佈線 112B 的電位提供給佈線 111 的定時的功能。備選地，開關 101B 具有控制向佈線 111 提供將要輸入到佈線 112B 的信號、電壓等(例如時鐘信號 CK1、時鐘信號 CK2 或電壓 V2)的定時的功能。備選地，開關 101B 具有控制沒有向佈線 111 提供信號、電壓等的定時的功能。備選地，開關 101B 具有控制向佈線 111 提供 H 信號(例如時鐘信號 CK1)的定時的功能。備選地，開關 101B 具有控制向佈線

111 提供 L 信號(例如時鐘信號 CK1)的定時的功能。備選地，開關 101B 具有控制升高佈線 111 的電位的定時的功能。備選地，開關 101B 具有控制降低佈線 111 的電位的定時的功能。備選地，開關 101B 具有控制保持佈線 111 的電位的定時的功能。

開關 102B 具有控制使佈線 113B 和佈線 111 開始傳導的定時的功能。備選地，開關 102B 具有控制將佈線 113B 的電位提供給佈線 111 的定時的功能。備選地，開關 102B 具有控制向佈線 111 提供將要輸入到佈線 113B 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，開關 102B 具有控制沒有向佈線 111 提供信號、電壓等的定時的功能。備選地，開關 102B 具有控制向佈線 111 提供電壓 V1 的定時的功能。備選地，開關 102B 具有控制降低佈線 111 的電位的定時的功能。備選地，開關 102B 具有控制保持佈線 111 的電位的定時的功能。

<閘極驅動電路的操作>

接下來，下面描述圖 10A 的閘極驅動電路的操作範例。

圖 10C 示出圖 10A 的閘極驅動電路的操作範例。圖 10C 示出在閘極驅動電路的各操作中的開關 101A、開關 102A、開關 101B 和開關 102B 的狀態(通和斷)。通過這些開關的通和斷的組合，圖 10A 的閘極驅動電路能夠執行各

種操作。

參照圖 10C、圖 12A 至圖 12H 以及圖 13A 至圖 13E 來描述圖 10A 的閘極驅動電路的各操作。在這裏，描述圖 10A 的閘極驅動電路用於執行實施例 2 中的圖 5A 至 5G 所示的操作 1 至 7 的操作。

首先描述圖 10A 的閘極驅動電路用於執行圖 5A 的操作 1 的操作。

如圖 12A 的操作 1a 所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102A 接通，使得佈線 113A 和佈線 111 開始傳導。因此，將佈線 113A 的電位(例如電壓 V1)提供給佈線 111。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102B 接通，使得佈線 113B 和佈線 111 開始傳導。因此，將佈線 113B 的電位(例如電壓 V1)提供給佈線 111。

因此，電位從電路 100A 和電路 100B 提供給佈線 111，使得能夠執行圖 5A 的操作 1。

在圖 12A 的操作 1a 中，開關 101A 和開關 101B 可關斷，如同圖 12B 的操作 1b 中那樣。備選地，在圖 12A 的操作 1a 中，開關 102A 和開關 102B 可關斷，如同圖 12C 的操作 1c 中那樣。備選地，在圖 12A 的操作 1a 中，開關 101A、開關 102A、開關 101B 和開關 102B 的任一個可關斷。備選地，在圖 12A 的操作 1a 中，開關 101A 和開關

102B 可關斷。備選地，在圖 12A 的操作 1a 中，開關 101B 和開關 102A 可關斷。

隨後描述圖 10A 的閘極驅動電路用於執行圖 5B 的操作 2 的操作。

如圖 12D 的操作 2a 所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102A 接通，使得佈線 113A 和佈線 111 開始傳導。因此，將佈線 113A 的電位(例如電壓 V1)提供給佈線 111。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 關斷，使得佈線 113B 和佈線 111 停止傳導。

因此，電位從電路 100A 提供給佈線 111，而沒有從電路 100B 向佈線 111 提供電位，使得能夠執行圖 5B 的操作 2。

注意，在圖 12D 的操作 2a 中，開關 102A 可關斷，如同圖 12E 的操作 2b 中那樣。備選地，在圖 12D 的操作 2a 中，開關 101A 可關斷，如同圖 12F 的操作 2c 中那樣。

接下來描述圖 10A 的閘極驅動電路用於執行圖 5C 的操作 3 的操作。

如圖 12G 的操作 3a 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的電

位(例如時鐘信號 CK1)提供給佈線 111。開關 102B 接通，使得佈線 113B 和佈線 111 開始傳導。因此，將佈線 113B 的電位(例如電壓 V1)提供給佈線 111。

因此，沒有從電路 100A 向佈線 111 提供電位，但是電位從電路 100B 提供給佈線 111，使得能夠執行圖 5C 的操作 3。

注意，在圖 12G 的操作 3a 中，開關 102B 可關斷，如同圖 12H 的操作 3b 中那樣。備選地，在圖 12G 的操作 3a 中，開關 101B 可關斷，如同圖 13A 的操作 3c 中那樣。

接下來描述圖 10A 的閘極驅動電路用於執行圖 5D 的操作 4 的操作。

如圖 13B 的操作 4a 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 關斷，使得佈線 113B 和佈線 111 停止傳導。

因此，沒有從電路 100A 和電路 100B 向佈線 111 提供電位，使得能夠執行圖 5D 的操作 4。

接下來描述圖 10A 的閘極驅動電路用於執行圖 5E 的操作 5 的操作。

如圖 13C 的操作 5a 所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的不同電位(例如時鐘信號 CK2)提供給佈線 111。開關 102A

關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的不同電位(例如時鐘信號 CK2)提供給佈線 111。開關 102B 關斷，使得佈線 113B 和佈線 111 停止傳導。

因此，不同電位從電路 100A 和電路 100B 提供給佈線 111，使得能夠執行圖 5E 的操作 5。

接下來描述圖 10A 的閘極驅動電路用於執行圖 5F 的操作 6 的操作。

如圖 13D 的操作 6a 所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的不同電位(例如時鐘信號 CK2)提供給佈線 111。開關 102A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 關斷，使得佈線 113B 和佈線 111 停止傳導。

因此，不同電位從電路 100A 提供給佈線 111，而沒有從電路 100B 向佈線 111 提供電位，使得能夠執行圖 5F 的操作 6。

接下來描述圖 10A 的閘極驅動電路用於執行圖 5G 的操作 7 的操作。

如圖 13E 的操作 7a 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的不同電位(例如時鐘信號 CK2)提供給佈線 111。開關 102B 關

斷，使得佈線 113B 和佈線 111 停止傳導。

因此，沒有從電路 100A 向佈線 111 提供電位，但是不同電位從電路 100B 提供給佈線 111，使得能夠執行圖 5G 的操作 7。

通過如上所述控制開關 101A、開關 102A、開關 101B 和開關 102B 的通和斷，能夠執行實施例 2 中參照圖 5A 至圖 5G 所述的閘極驅動電路的操作。

注意，在圖 12A 的操作 1a、圖 12D 的操作 2a 和圖 12G 的操作 3a 中，最好是，佈線 112A 的電位和佈線 112B 的電位基本相等。另外，最好是，佈線 113A 的電位和佈線 113B 的電位基本相等。例如，例如，在電壓 V1 施加到佈線 113A 和佈線 113B 的情況下，時鐘信號 CK1 最好處於 L 電平。

在圖 13C 的操作 5a、圖 13D 的操作 6a 和圖 13E 的操作 7a 中，在佈線 113A 和佈線 113B 的電位的每個爲 V1 的情況下，最好是，佈線 112A 和佈線 112B 的電位的每個基本爲 V2。例如，輸入到佈線 112A 和佈線 112B 的時鐘信號 CK2 最好處於 H 電平。

描述實施例 2 中的圖 10A 的閘極驅動電路用於得到圖 6A 至圖 6L 以及圖 7A 至圖 7L 所示的時序圖的操作。

注意，實施例 2 中參照圖 5A 至圖 5I 來描述圖 4A 的閘極驅動電路在給定期間中的操作；但是，爲了執行該操作，圖 10A 的閘極驅動電路能夠在該給定期間中執行圖 10C 所示的操作的任一個。例如，爲了執行圖 5A 所示的

操作 1，圖 10A 的閘極驅動電路能夠執行圖 10C 所示的操作 1a、1b 和 1c(與圖 12A 至圖 12C 對應)的任一個。

首先描述圖 10A 的閘極驅動電路用於得到圖 6A 所示時序圖的操作。

如實施例 2 所述，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中，圖 10A 的閘極驅動電路執行圖 5B 的操作 2。因此，爲了執行操作 2，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中，圖 10A 的閘極驅動電路能夠執行圖 10C 所示的操作 2a、2b 和 2c(與圖 12D 至圖 12F 對應)的任一個。

在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 10A 的閘極驅動電路執行圖 5F 的操作 6。因此，爲了執行操作 6，在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 10A 的閘極驅動電路能夠執行圖 10C 所示的操作 6a(與圖 13D 對應)。

這樣，圖 10A 的閘極驅動電路能夠執行與圖 6A 所示時序圖對應的操作。

注意，在圖 6A 所示的時序圖中，在期間 a 以及從期間 b 到期間 c 的過渡期間中電路 100B 向佈線 111 輸出信號(例如非選擇信號)的情況下，圖 10A 的閘極驅動電路能夠執行例如圖 10C 所示的操作 1a、1b 和 1c(與圖 12A 至圖 12C 對應)的任一個。

注意，在圖 6A 所示的時序圖中，在從期間 a 到期間 b 的過渡期間和期間 b 中電路 100B 向佈線 111 輸出不同

信號(例如選擇信號)的情況下，圖 10A 的閘極驅動電路能夠執行例如圖 10C 所示的操作 5a(與圖 12C 對應)。

這樣，圖 10A 的閘極驅動電路能夠執行與圖 6K 所示時序圖對應的操作。

類似地，當圖 10A 的閘極驅動電路執行圖 10C 所示操作的任一個時，能夠得到圖 6B 至圖 6J 以及圖 6L 所示的時序圖。

隨後描述圖 10A 的閘極驅動電路用於得到圖 7A 所示時序圖的操作。

如實施例 2 所述，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中，圖 10A 的閘極驅動電路執行圖 5C 的操作 3。因此，爲了執行操作 3，在期間 a、從期間 b 到期間 c 的過渡期間、期間 c 和期間 d 中，圖 10A 的閘極驅動電路能夠執行圖 10C 所示的操作 3a、3b 和 3c(與圖 12G、圖 12H 和圖 13A 對應)的任一個。

在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 10A 的閘極驅動電路執行圖 5G 的操作 7。因此，爲了執行操作 7，在從期間 a 到期間 b 的過渡期間和期間 b 中，圖 10A 的閘極驅動電路能夠執行圖 10C 所示的操作 7a(與圖 13E 對應)。

這樣，圖 10A 的閘極驅動電路能夠執行與圖 7A 所示時序圖對應的操作。

注意，在圖 7A 所示的時序圖中，在期間 a 以及從期間 b 到期間 c 的過渡期間中電路 100A 向佈線 111 輸出信

號(例如非選擇信號)的情況下，圖 10A 的閘極驅動電路能夠執行例如圖 10C 所示的操作 1a、1b 和 1c(與圖 12A 至圖 12C 對應)的任一個。

注意，在圖 7A 所示的時序圖中，在從期間 a 到期間 b 的過渡期間和期間 b 中電路 100A 向佈線 111 輸出不同信號(例如選擇信號)的情況下，圖 10A 的閘極驅動電路能夠執行例如圖 10C 所示的操作 5a(與圖 13C 對應)。

這樣，圖 10A 的閘極驅動電路能夠執行與圖 7K 所示時序圖對應的操作。

類似地，當圖 10A 的閘極驅動電路執行圖 10C 所示操作的任一個時，能夠得到圖 7B 至圖 7J 以及圖 7L 所示的時序圖。

當圖 10A 的閘極驅動電路執行如上所述的圖 10C 所示操作的組合時，能夠得到圖 6A 至圖 6L 以及圖 7A 至圖 7L 所示的時序圖。

<閘極驅動電路的結構>

接下來，下面描述與圖 10A 的結構不同的閘極驅動電路的結構。在這裏，描述閘極驅動電路包括功能與電路 100A 或電路 100B 的功能相似的 N(N 爲自然數)個電路的情況。

圖 11C 示出閘極驅動電路的結構範例。閘極驅動電路包括電路 100A、電路 100B、電路 100C 和電路 100D。電路 100C 和電路 100D 具有與電路 100A 或電路 100B 的功

能相似的功能。

電路 100C 包括開關 101C 和開關 102C。開關 101C 連接在佈線 112C 與佈線 111 之間。開關 102C 連接在佈線 113C 與佈線 111 之間。開關 101C 具有與開關 101A 或開關 101B 的功能相似的功能。開關 102C 具有與開關 102A 或開關 102B 的功能相似的功能。佈線 112C 具有與佈線 112A 或佈線 112B 的功能相似的功能，並且被提供與提供給佈線 112A 或佈線 112B 的信號或電壓相似的信號或電壓。佈線 113C 具有與佈線 113A 或佈線 113B 的功能相似的功能，並且被提供與提供給佈線 113A 或佈線 113B 的信號或電壓相似的信號或電壓。

電路 100D 包括開關 101D 和開關 102D。開關 101D 連接在佈線 112D 與佈線 111 之間。開關 102D 連接在佈線 113D 與佈線 111 之間。開關 101D 具有與開關 101A 或開關 101B 的功能相似的功能。開關 102D 具有與開關 102A 或開關 102B 的功能相似的功能。佈線 112D 具有與佈線 112A 或佈線 112B 的功能相似的功能，並且被提供與提供給佈線 112A 或佈線 112B 的信號或電壓相似的信號或電壓。佈線 113D 具有與佈線 113A 或佈線 113B 的功能相似的功能，並且被提供與提供給佈線 113A 或佈線 113B 的信號或電壓相似的信號或電壓。

圖 14A 示出閘極驅動電路的不同結構範例。閘極驅動電路包括電路 100A 和電路 100B。

除了開關 101A 和開關 102A 之外，電路 100A 還包括

開關 103A。開關 103A 連接在佈線 113A 與佈線 111 之間。開關 103A 能夠執行與開關 102A 的操作相似的操作。

除了開關 101B 和開關 102B 之外，電路 100B 還包括開關 103B。開關 103B 連接在佈線 113B 與佈線 111 之間。開關 103B 能夠執行與開關 102B 的操作相似的操作。

<閘極驅動電路的操作>

參照圖 14B 以及圖 15A 至圖 15E 來描述圖 14A 的閘極驅動電路的操作。在這裏，描述圖 14A 的閘極驅動電路用於執行實施例 2 中的圖 5A 至 5G 所示的操作 1 至 7 的操作。

首先描述圖 14A 的閘極驅動電路用於執行圖 5A 的操作 1 的操作。

如圖 14B 的操作 1d 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 和開關 103A 接通，使得佈線 113A 和佈線 111 開始傳導。因此，將佈線 113A 的電位(例如電壓 V1)提供給佈線 111。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 和開關 103B 接通，使得佈線 113B 和佈線 111 開始傳導。因此，將佈線 113B 的電位(例如電壓 V1)提供給佈線 111。

注意，在圖 14B 的操作 1d 中，開關 103A 和開關

103B 可關斷，如同圖 14B 的操作 1e 中那樣。備選地，在圖 14B 的操作 1d 中，開關 102A 和開關 102B 可關斷，如同圖 12C 的操作 1f 中那樣。備選地，在圖 14B 的操作 1d、1e 和 1f 中，開關 101A 或開關 101B 可關斷。

隨後描述圖 14A 的閘極驅動電路用於執行圖 5B 的操作 2 的操作。

如圖 14B 的操作 2d 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 和開關 103A 接通，使得佈線 113A 和佈線 111 開始傳導。因此，將佈線 113A 的電位(例如電壓 V1)提供給佈線 111。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 和開關 103B 關斷，使得佈線 113B 和佈線 111 停止傳導。

注意，在圖 14B 的操作 2d 中，開關 103A 可關斷，如同圖 14B 的操作 2e(與圖 15A 對應)中那樣。備選地，在圖 14B 的操作 2d 中，開關 102A 可關斷，如同圖 14B 的操作 2f(與圖 15B 對應)中那樣。備選地，在圖 14B 的操作 2d、2e 和 2f 中，開關 101A 可關斷。

接下來描述圖 14A 的閘極驅動電路用於執行圖 5C 的操作 3 的操作。

如圖 14B 的操作 3d 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 和開關 103A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 和開關 103B 接通，使得佈線 113B 和佈線 111 開始傳導。

因此，將佈線 113B 的電位(例如電壓 V1)提供給佈線 111。

注意，在圖 14B 的操作 3d 中，開關 103B 可關斷，如同圖 14B 的操作 3e(與圖 15C 對應)中那樣。備選地，在圖 14B 的操作 3d 中，開關 102B 可關斷，如同圖 14B 的操作 3f(與圖 15D 對應)中那樣。備選地，在圖 14B 的操作 3d、3e 和 3f 中，開關 101B 可關斷。

接下來描述圖 14A 的閘極驅動電路用於執行圖 5D 的操作 4 的操作。

如圖 14B 的操作 4d 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 和開關 103A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 和開關 103B 關斷，使得佈線 113B 和佈線 111 停止傳導。

接下來描述圖 14A 的閘極驅動電路用於執行圖 5E 的操作 5 的操作。

如圖 14B 的操作 5b(與圖 15E 對應)所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102A 和開關 103A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102B 和開關 103B 關斷，使得佈線 113B 和佈線 111 停止傳導。

接下來描述圖 14A 的閘極驅動電路用於執行圖 5F 的操作 6 的操作。

如圖 14B 的操作 6b 所示，開關 101A 接通，使得佈線 112A 和佈線 111 開始傳導。因此，將佈線 112A 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102A 和開關 103A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 關斷，使得佈線 112B 和佈線 111 停止傳導。開關 102B 和開關 103B 關斷，使得佈線 113B 和佈線 111 停止傳導。

接下來描述圖 14A 的閘極驅動電路用於執行圖 5B 的操作 7 的操作。

如圖 14B 的操作 7b 所示，開關 101A 關斷，使得佈線 112A 和佈線 111 停止傳導。開關 102A 和開關 103A 關斷，使得佈線 113A 和佈線 111 停止傳導。開關 101B 接通，使得佈線 112B 和佈線 111 開始傳導。因此，將佈線 112B 的電位(例如時鐘信號 CK1)提供給佈線 111。開關 102B 和開關 103B 關斷，使得佈線 113B 和佈線 111 停止傳導。

通過如上所述控制開關 101A、開關 102A、開關 103A、開關 101B、開關 102B 和開關 103B 的通和斷，能夠執行實施例 2 中參照圖 5A 至圖 5G 所述的閘極驅動電路的操作。

(實施例 4)

在這個實施例中，描述包括以上實施例的任一個中所述的閘極驅動電路的半導體裝置。

<半導體裝置的結構>

參照圖 16A 來描述這個實施例中的半導體裝置的結構範例。圖 16A 示出半導體裝置的電路圖的範例。圖 16A 所示的半導體裝置包括在閘極驅動電路中包含的電路 200A 和電路 200B。

電路 200A 包括電晶體 201A、電晶體 202A 和電路 300A。電路 200B 包括電晶體 201B、電晶體 202B 和電路 300B。

注意，在圖 16A，電晶體 201A、電晶體 202A、電晶體 201B 和電晶體 202B 描述爲 n 通道電晶體。n 通道電晶體在閘極與源極之間的電位差 Vgs 超過閾值電壓 Vth 時導通。

這些電晶體可以是 p 通道電晶體。p 通道電晶體在閘極與源極之間的電位差 Vgs 低於閾值電壓 Vth 時導通。

電晶體 201A 的第一端子連接到佈線 112A。電晶體 201A 的第二端子連接到佈線 111。電晶體 202A 的第一端子連接到佈線 113A。電晶體 202A 的第二端子連接到佈線 111。電路 300A 連接到佈線 113A、佈線 114A、佈線 115A、佈線 116A、電晶體 201A 的閘極和電晶體 202A 的閘極。注意，電路 300A 不一定連接到所有佈線 113A、佈線 114A、佈線 115A 和佈線 116A，而是電路 300A 在一些

情況下沒有連接到佈線 113A、佈線 114A、佈線 115A 和佈線 116A 的任一個。

注意，其中電晶體 201A 的閘極和電路 300A 相互連接的部分稱作節點 A1，而其中電晶體 202A 的閘極和電路 300A 相互連接的部分稱作節點 A2。另外，節點 A1 的電位又稱作電位 Va1，而節點 A2 的電位又稱作電位 Va2。

電晶體 201B 的第一端子連接到佈線 112B。電晶體 201B 的第二端子連接到佈線 111。電晶體 202B 的第一端子連接到佈線 113B。電晶體 202B 的第二端子連接到佈線 111。電路 300B 連接到佈線 113B、佈線 114B、佈線 115B、佈線 116B、電晶體 201B 的閘極和電晶體 202B 的閘極。注意，電路 300B 不一定連接到所有佈線 113B、佈線 114B、佈線 115B 和佈線 116B，而是電路 300B 在一些情況下沒有連接到佈線 113B、佈線 114B、佈線 115B 和佈線 116B 的任一個。

注意，其中電晶體 201B 的閘極和電路 300B 相互連接的部分稱作節點 B1，而其中電晶體 202B 的閘極和電路 300B 相互連接的部分稱作節點 B2。另外，節點 B1 的電位又稱作電位 Vb1，而節點 B2 的電位又稱作電位 Vb2。

接下來描述佈線 111、佈線 114A、佈線 115A、佈線 116A、佈線 114B、佈線 115B 和佈線 116B。

信號 OUTA 從電路 200A 輸出到佈線 111，並且信號 OUTB 從電路 200B 輸出到佈線 111。

佈線 111 延伸到畫素部分，並且用作閘極信號線(又

稱作閘極線)、掃描線或信號線。因此，信號 OUTA 和信號 OUTB 各對應於閘極信號、掃描信號或選擇信號。

在半導體裝置包括多個電路 200A 的情況下，佈線 111 可連接到處於不同級(例如下一級)的電路 200A 中的佈線 114A。在那種情況下，信號 OUTA 對應於傳輸信號或開始信號。另外，在半導體裝置包括多個電路 200A 的情況下，佈線 111 可連接到處於不同級(例如前一級)的電路 200A 中的佈線 116A。在那種情況下，信號 OUTA 對應於重置信號。

在半導體裝置包括多個電路 200B 的情況下，佈線 111 可連接到處於不同級(例如下一級)的電路 200B 中的佈線 114B。在那種情況下，信號 OUTB 對應於傳輸信號或開始信號。另外，在半導體裝置包括多個電路 200B 的情況下，佈線 111 可連接到處於不同級(例如前一級)的電路 200B 中的佈線 116B。在那種情況下，信號 OUTB 對應於重置信號。

開始信號 SP 輸入到佈線 114A 和佈線 114B。因此，佈線 114A 和佈線 114B 用作信號線。

此外，在半導體裝置包括多個電路 200A 的情況下，佈線 114A 可連接到處於不同級(例如前一級)的電路 200A 中的佈線 111。在那種情況下，佈線 114A 用作閘極信號線(又稱作閘極線)、掃描線或信號線。因此，開始信號 SP 對應於閘極信號、掃描信號或選擇信號。

此外，在半導體裝置包括多個電路 200B 的情況下，

佈線 114B 可連接到處於不同級(例如前一級)的電路 200B 中的佈線 111。在那種情況下，佈線 114B 用作閘極信號線(又稱作閘極線)、信號線或掃描線。因此，開始信號 SP 對應於閘極信號、選擇信號或掃描信號。

注意，在相同信號輸入到佈線 114A 和佈線 114B 的情況下，佈線 114A 和佈線 114B 可相互連接。在那種情況下，一個佈線可用作佈線 114A 和佈線 114B。備選地，不同信號可輸入到佈線 114A 和佈線 114B。

信號 SELA 輸入到佈線 115A，而信號 SELB 輸入到佈線 115B。

信號 SELA 和信號 SELB 最好是通過信號的反相所得到的信號或者是基本 180°異相的信號。在信號 SELA 和信號 SELB 的每個是每一個給定期間(例如每一個幀期間)在 H 電平與 L 電平之間重複移位元的信號的情況下，信號 SELA 和信號 SELB 的每個對應於控制信號、時鐘信號或時鐘控制信號。因此，佈線 115A 和佈線 115B 用作信號線、控制線或時鐘信號線(又稱作時鐘線或時鐘提供線)。信號 SELA 和信號 SELB 的每個可以是每幾個期間、每次輸入電源電壓時或者以隨機方式在 H 電平與 L 電平之間重複移位元的信號。在同一期間中，信號 SELA 和信號 SELB 可處於 H 電平或 L 電平。

重置信號 RE 輸入到佈線 116A 和佈線 116B。因此，佈線 116A 和佈線 116B 用作信號線。

此外，在半導體裝置包括多個電路 200A 的情況下，

佈線 116A 可連接到處於不同級(例如下一級)的電路 200B 中的佈線 111。在那種情況下，佈線 116A 用作閘極信號線(又稱作閘極線)、信號線或掃描線。因此，重置信號 RE 對應於閘極信號、選擇信號或掃描信號。

此外，在半導體裝置包括多個電路 200B 的情況下，佈線 116B 可連接到處於不同級(例如下一級)的電路 200B 中的佈線 111。在那種情況下，佈線 116B 用作閘極信號線(又稱作閘極線)、信號線或掃描線。因此，重置信號 RE 對應於閘極信號、選擇信號或掃描信號。

注意，在相同信號輸入到佈線 116A 和佈線 116B 的情況下，佈線 116A 和佈線 116B 可相互連接。在那種情況下，一個佈線可用作佈線 116A 和佈線 116B。備選地，不同信號可輸入到佈線 116A 和佈線 116B。

接下來描述電晶體 201A、電晶體 202A、電路 300A、電晶體 201B、電晶體 202B 和電路 300B。

電晶體 201A 具有與實施例 3 中所述的開關 101A 的功能相似的功能。備選地，電晶體 201A 可具有執行自舉操作（bootstrap operation）的功能。備選地，電晶體 201A 可具有通過自舉操作來升高節點 A1 的電位的功能。

這樣，電晶體 201A 用作開關、緩衝器等等。注意，電晶體 201A 可按照節點 A1 的電位來控制。

電晶體 202A 具有與實施例 3 中所述的開關 102A 的功能相似的功能。注意，電晶體 202A 可按照節點 A2 的電位來控制。

電路 300A 具有控制節點 A1 的電位或者節點 A2 的電位的功能。備選地，電路 300A 具有控制向節點 A1 或節點 A2 提供信號、電壓等的定時的功能。備選地，電路 300A 具有控制沒有向節點 A1 或節點 A2 提供信號、電壓等的定時的功能。備選地，電路 300A 具有控制向節點 A1 或節點 A2 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 300A 具有控制向節點 A1 或節點 A2 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 300A 具有控制升高節點 A1 的電位或者節點 A2 的電位的定時的功能。備選地，電路 300A 具有控制降低節點 A1 的電位或者節點 A2 的電位的定時的功能。備選地，電路 300A 具有控制保持節點 A1 的電位或者節點 A2 的電位的定時的功能。備選地，電路 300A 具有控制將節點 A1 或節點 A2 設置爲處於浮動狀態的定時的功能。

注意，電路 300A 可按照開始信號 SP、信號 SELA 或重置信號 RE 來控制。備選地，電路 300A 可按照與上述信號(開始信號 SP、信號 SELA 或重置信號 RE)不同的信號(例如信號 OUTA、時鐘信號 CK1 或時鐘信號 CK2)來控制。

電晶體 201B 具有與實施例 3 中所述的開關 101B 的功能相似的功能。備選地，電晶體 201B 可具有執行自舉操作的功能。備選地，電晶體 201B 可具有通過自舉操作來升高節點 B1 的電位的功能。

這樣，電晶體 201B 用作開關、緩衝器等等。注意，

電晶體 201B 可按照節點 B1 的電位來控制。

電晶體 202B 具有與實施例 3 中所述的開關 102B 的功能相似的功能。注意，電晶體 202B 可按照節點 B2 的電位來控制。

電路 300B 具有控制節點 B1 的電位或者節點 B2 的電位的功能。備選地，電路 300B 具有控制向節點 B1 或節點 B2 提供信號、電壓等的定時的功能。備選地，電路 300B 具有控制沒有向節點 B1 或節點 B2 提供信號、電壓等的定時的功能。備選地，電路 300B 具有控制向節點 B1 或節點 B2 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 300B 具有控制向節點 B1 或節點 B2 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 300B 具有控制升高節點 B1 的電位或者節點 B2 的電位的定時的功能。備選地，電路 300B 具有控制降低節點 B1 的電位或者節點 B2 的電位的定時的功能。備選地，電路 300B 具有控制保持節點 B1 的電位或者節點 B2 的電位的定時的功能。備選地，電路 300B 具有控制將節點 B1 或節點 B2 設置爲處於浮動狀態的定時的功能。

注意，電路 300B 可按照開始信號 SP、信號 SELB 或重置信號 RE 來控制。備選地，電路 300B 可按照與上述信號(開始信號 SP、信號 SELB 或重置信號 RE)不同的信號(例如信號 OUTB、時鐘信號 CK1 或時鐘信號 CK2)來控制。

<半導體裝置的操作>

參照圖 17 所示的時序圖來描述圖 16A 的半導體裝置的操作範例。圖 18A 和圖 18B、圖 19A 和圖 19B、圖 20A 和圖 20B 以及圖 21A 和圖 21B 各示出圖 16A 的半導體裝置的操作範例，以及圖 22 和圖 23 是各示出圖 16A 的半導體裝置的操作範例的時序圖。注意，省略與以上實施例中所述部分共同的部分的描述。

首先，如圖 18A 所示，在期間 a1，開始信號 SP 設置在 H 電平。在開始信號 SP 設置在 H 電平時的定時，電路 300A 開始向節點 A1 提供 H 信號或電壓 V2。因此，節點 A1 的電位升高。這時，由於節點 A1 的電位升高，所以電路 300A 向節點 A2 提供 L 信號或電壓 V1。因此，節點 A2 的電位降低，並且設置在 L 電平。然後，電晶體 202A 關斷，使得佈線 113A 和佈線 111 停止傳導。

節點 A1 的電位則連續升高。在節點 A1 的電位升高到 $V1+Vth_{201A}$($Vth_{201A}$ 是電晶體 201A 的閾值電壓)之後，電晶體 201A 導通，使得佈線 112A 和佈線 111 開始傳導。然後，處於 L 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111。相應地，信號 OUTA 設置在 L 電平。

此後，節點 A1 的電位進一步升高。然後，電路 300A 停止向節點 A1 提供信號或電壓，使得電路 300A 和節點 A1 停止傳導。因此，節點 A1 設置爲處於浮動狀態，使得節點 A1 的電位保持在 $V1+Vth_{201A}+Vx$(Vx 爲正數)。

注意，在期間 a1，代替停止向節點 A1 提供信號或電

壓，電路 300A 而是可連續向節點 A1 提供電壓 $V1+Vth_{201A}+Vx$。

相比之下，在期間 a1，在開始信號 SP 設置在 H 電平時的定時，電路 300B 開始向節點 B1 提供 H 信號或電壓 V2。因此，節點 B1 的電位升高。這時，由於信號 SELB 處於 L 電平或者節點 B1 的電位升高，所以電路 300B 向節點 B2 提供 L 信號或電壓 V1。因此，節點 B2 的電位降低，並且設置在 L 電平。然後，電晶體 202B 關斷，使得佈線 113B 和佈線 111 停止傳導。

節點 B1 的電位則連續升高。在節點 B1 的電位升高到 $V1+Vth_{201B}$($Vth_{201B}$ 是電晶體 201B 的閾值電壓)之後，電晶體 201B 導通，使得佈線 112B 和佈線 111 開始傳導。然後，處於 L 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線 111。相應地，信號 OUTB 設置在 L 電平。

此後，節點 B1 的電位進一步升高。然後，電路 300B 停止向節點 B1 提供信號或電壓，使得電路 300B 和節點 B1 停止傳導。因此，節點 B1 設置爲處於浮動狀態，使得節點 B1 的電位保持在 $V1+Vth_{201B}+Vx$。

注意，在期間 a1，代替停止向節點 B1 提供信號或電壓，電路 300B 而是可連續向節點 B1 提供電壓 $V1+Vth_{201B}+Vx$。

隨後，如圖 18B 所示，在期間 b1，開始信號 SP 設置在 L 電平。因此，保持電路 300A 沒有向節點 A1 提供信號或電壓的狀態。因此，節點 A1 保持在浮動狀態，使得

節點 A1 的電位保持在 $V1+Vth_{201A}+Vx$。也就是說，由於電晶體 201A 保持爲導通，所以佈線 112A 和佈線 111 保持在傳導狀態。

由於節點 A1 的電位保持爲在期間 a1 中升高的電平，所以保持電路 300A 向節點 A2 提供 L 信號或電壓 V1 的狀態。因此，電晶體 202A 保持關斷，使得佈線 113A 和佈線 111 保持在非傳導狀態。

這時，時鐘信號 CK1 的電平從 L 電平升高到 H 電平。然後，處於 H 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111，使得佈線 111 的電位升高。然後，節點 A1 的電位由於電晶體 201A 的閘極與電晶體 201A 的第二端子之間的寄生電容而升高到 $V2+Vth_{202A}+Vx$($Vth_{202A}$ 是電晶體 202A 的閾值電壓)，因爲節點 A1 保持在浮動狀態。這是所謂的自舉操作。因此，佈線 111 的電位升高到 V2，使得信號 OUTA 設置在 H 電平。

相比之下，在期間 b1，開始信號 SP 設置在 L 電平，使得保持電路 300B 沒有向節點 B1 提供信號或電壓的狀態。因此，節點 B1 保持在浮動狀態，使得節點 B1 的電位保持在 $V1+Vth_{201B}+Vx$。也就是說，由於電晶體 201B 保持爲導通，所以佈線 112B 和佈線 111 保持在傳導狀態。

由於信號 SELB 處於 L 電平或者節點 B1 的電位保持爲在期間 a1 中升高的電平，所以保持電路 300B 向節點 B2 提供 L 信號或電壓 V1 的狀態。因此，電晶體 202B 保

持關斷，使得佈線 113B 和佈線 111 保持在非傳導狀態。

這時，時鐘信號 CK1 的電平從 L 電平升高到 H 電平。然後，處於 H 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線 111，使得佈線 111 的電位升高。然後，節點 B1 的電位由於電晶體 201B 的閘極與電晶體 201B 的第二端子之間的寄生電容而升高到 $V2+Vth_{202B}+Vx$($Vth_{202B}$ 是電晶體 202B 的閾值電壓)，因爲節點 B1 保持在浮動狀態。這是所謂的自舉操作。因此，佈線 111 的電位升高到 V2，使得信號 OUTB 設置在 H 電平。

隨後，如圖 19A 所示，在期間 c1，重置信號 RE 設置在 H 電平。在重置信號 RE 設置在 H 電平時的定時，電路 300A 向節點 A1 提供 L 信號或電壓 V1。因此，節點 A1 的電位降低爲電壓 V1。然後，電晶體 201A 關斷，使得佈線 112A 和佈線 111 停止傳導。由於節點 A1 的電位降低，所以電路 300A 向節點 A2 提供 H 信號或電壓 V2。因此，節點 A1 的電位升高。然後，電晶體 202A 導通，使得佈線 113A 和佈線 111 開始傳導。因此，電壓 V1 通過電晶體 202A 提供給佈線 111。因此，佈線 111 的電位降低，使得信號 OUTA 設置在 L 電平。

注意，在期間 c1，時鐘信號 CK1 設置在 L 電平時的定時可能比電晶體 201A 關斷時的定時要早。因此，在電晶體 201A 關斷之前，最好是處於 L 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111。當電晶體 201A 的通道寬度增加時，信號 OUTA 的下降時間能夠縮短。

在期間 c1，對於佈線 111，存在如下三種情況：電壓 V1 通過電晶體 202A 提供給佈線 111 的情況；處於 L 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111 的情況；以及電壓 V1 通過電晶體 202A 提供給佈線 111，並且處於 L 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111 的情況。

相比之下，在期間 c1，在重置信號 RE 設置在 H 電平時的定時，電路 300B 向節點 B1 提供 L 信號或電壓 V1。因此，節點 B1 的電位降低爲電壓 V1。然後，電晶體 201B 關斷，使得佈線 112B 和佈線 111 停止傳導。由於信號 SELB 保持在 L 電平，所以保持電路 300B 向節點 B2 提供 L 信號或電壓 V1 的狀態。因此，節點 B2 的電位保持在 L 電平。然後，電晶體 202B 保持關斷，使得佈線 113B 和佈線 111 保持在非傳導狀態。

注意，在期間 c1，時鐘信號 CK1 設置在 L 電平時的定時可能比電晶體 201B 關斷時的定時要早。因此，在電晶體 201B 關斷之前，最好是處於 L 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線 111。當電晶體 201B 的通道寬度增加時，信號 OUTB 的下降時間能夠縮短。

隨後，如圖 19B 所示，在期間 d1，保持電路 300A 向節點 A1 提供 L 信號或電壓 V1 的狀態。因此，節點 A1 的電位保持在 L 電平。然後，電晶體 201A 保持關斷，使得佈線 112A 和佈線 111 保持在非傳導狀態。

另外，保持電路 300A 向節點 A2 提供 H 信號或電壓

V2 的狀態。因此，節點 A2 的電位保持在 H 電平。然後，電晶體 202A 保持導通，使得佈線 113A 和佈線 111 保持在傳導狀態。因此，保持電壓 V1 通過電晶體 202A 提供給佈線 111 的狀態。

相比之下，在期間 d1，保持電路 300B 向節點 B1 提供 L 信號或電壓 V1 的狀態。因此，節點 B1 的電位保持在 L 電平。然後，電晶體 201B 保持關斷，使得佈線 112B 和佈線 111 保持在非傳導狀態。

另外，保持電路 300B 向節點 B2 提供 L 信號或電壓 V1 的狀態。因此，節點 B2 的電位保持在 L 電平。然後，電晶體 202B 保持關斷，使得佈線 113B 和佈線 111 保持在非傳導狀態。

隨後，半導體裝置在期間 a2 中的操作與半導體裝置在期間 a1 中的操作相似，如圖 20A 所示。注意，半導體裝置在期間 a2 中的操作與半導體裝置在期間 a1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

隨後，半導體裝置在期間 b2 中的操作與半導體裝置在期間 b1 中的操作相似，如圖 20B 所示。注意，半導體裝置在期間 b2 中的操作與半導體裝置在期間 b1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

接下來參照圖 21A 來描述半導體裝置在期間 c2 中的操作。半導體裝置在期間 c2 中的操作與半導體裝置在期

間 c1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

由於信號 SELA 設置在 L 電平，所以電路 300A 向節點 A2 提供 L 信號或電壓 V1。因此，電晶體 202A 關斷，使得佈線 113A 和佈線 111 停止傳導。

相比之下，由於 SELB 設置在 H 電平，所以電路 300B 向節點 B2 提供 H 信號或電壓 V2。因此，電晶體 202B 導通，使得佈線 113B 和佈線 111 開始傳導。然後，電壓 V1 通過電晶體 202B 提供給佈線 111。

注意，在期間 c2，時鐘信號 CK1 設置在 L 電平時的定時可能比電晶體 201A 關斷時的定時要早。因此，在電晶體 201A 關斷之前，最好是處於 L 電平的時鐘信號 CK1 通過電晶體 201A 提供給佈線 111。當電晶體 201A 的通道寬度增加時，信號 OUTA 的下降時間能夠縮短。

注意，在期間 c2，時鐘信號 CK1 設置在 L 電平時的定時可能比電晶體 201B 關斷時的定時要早。因此，在電晶體 201B 關斷之前，最好是處於 L 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線 111。當電晶體 201B 的通道寬度增加時，信號 OUTB 的下降時間能夠縮短。

在期間 c2，對於佈線 111，存在如下三種情況：電壓 V1 通過電晶體 202B 提供給佈線 111 的情況；處於 L 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線 111 的情況；以及電壓 V1 通過電晶體 202B 提供給佈線 111，並且處於 L 電平的時鐘信號 CK1 通過電晶體 201B 提供給佈線

111 的情況。

接下來參照圖 21B 來描述半導體裝置在期間 d2 中的操作。半導體裝置在期間 d2 中的操作與半導體裝置在期間 c1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

由於信號 SELA 設置在 L 電平，所以電路 300A 向節點 A2 提供 L 信號或電壓 V1。因此，電晶體 202A 關斷，使得佈線 113A 和佈線 111 停止傳導。

相比之下，由於 SELB 設置在 H 電平，所以電路 300B 向節點 B2 提供 H 信號或電壓 V2。因此，電晶體 202B 導通，使得佈線 113B 和佈線 111 開始傳導。然後，電壓 V1 通過電晶體 202B 提供給佈線 111。

電晶體 202A 和電晶體 202B 如上所述交替導通，使得能夠抑制電晶體特性的退化。因此，諸如非單晶半導體(例如非晶半導體或微晶半導體)、有機半導體或氧化物半導體之類的易退化材料能夠用作電晶體的半導體層。相應地，當製造半導體裝置時，能夠減少步驟的數量，能夠提高產量，或者能夠降低成本。另外，在這個實施例中的半導體裝置用於顯示裝置的情況下，便利化製造半導體裝置的方法，使得顯示裝置的尺寸能夠減小。

由於能夠抑制電晶體的退化，所以不需要考慮到電晶體的退化而增加電晶體的通道寬度。因此，電晶體的通道寬度能夠減小，使得佈局面積能夠減小。具體來說，在這個實施例中的半導體裝置用於顯示裝置的情況下，閘極驅

動電路的佈局面積能夠減小；因此，畫素的解析度能夠提高。此外，由於電晶體的通道寬度能夠減小，所以閘極驅動電路的負載能夠減小。因此，包括閘極驅動電路的驅動電路的功率消耗能夠降低。

在期間 b1 和期間 b2，處於 H 電平的時鐘信號 CK1 通過電晶體 201A 和電晶體 201B 提供給佈線 111；因此，提供給佈線 111 的上升時間或下降時間能夠縮短。因此，能夠防止不同列中的畫素的視頻信號被寫到所選列的畫素。相應地，串音能夠降低。因此，顯示裝置的顯示品質能夠得到提高。

由於提供給佈線 111 的信號的上升時間或下降時間能夠縮短，所以在掃描信號對應於開始信號等的情況下，閘極驅動電路的驅動頻率能夠提高。因此，在這個實施例中的半導體裝置用於顯示裝置的情況下，顯示裝置的尺寸能夠增加或者畫素的解析度能夠提高。

注意，在期間 T1 中的信號 OUTA 和信號 OUTB 的波形對應於圖 6K 的時序圖。作爲期間 T1 中的信號 OUTA 和信號 OUTB 的波形，能夠使用圖 6A 至圖 6L 的波形。

注意，在期間 T2 中的信號 OUTA 和信號 OUTB 的波形對應於圖 7K 的時序圖。作爲期間 T2 中的信號 OUTA 和信號 OUTB 的波形，能夠使用圖 7A 至圖 7L 的波形。

注意，時鐘信號 CK1 能夠是不平衡信號。圖 22 是示出在一個週期中時鐘信號 CK1 處於 H 電平的期間的長度比時鐘信號 CK1 處於 L 電平的期間的長度更短的時候的

半導體裝置的操作範例的時序圖。在圖 22 的時序圖中，信號 OUTA 的下降時間和信號 OUTB 的下降時間能夠縮短，因爲處於 L 電平的時鐘信號 CK1 能夠在期間 c1 或期間 c2 中提供給佈線 111。具體來說，在佈線 111 形成爲延長到畫素部分的情況下，能夠防止不應當最初寫入的視頻信號被寫到畫素。備選地，在一個週期中時鐘信號 CK1 處於 H 電平的期間的長度可比時鐘信號 CK1 處於 L 電平的期間的長度更長。

注意，在半導體裝置中，能夠使用多相時鐘信號。例如，在半導體裝置中能夠使用 n 相(n 爲自然數)時鐘信號。n 相時鐘信號是其週期被移位 1/n 週期的 n 個時鐘信號。圖 23 是示出在半導體裝置中使用三相時鐘信號時的半導體裝置的操作範例的時序圖。

注意，n 變得越長，則時鐘頻率變得越低。因此，功率消耗能夠降低。但是，當 n 是過大時，信號的數量增加；因此，佈局面積增加或者外部電路的尺寸增加。相應地，n 小於 8，最好小於 6，更理想地爲 4 或 3。

注意，在期間 c1、期間 d1、期間 c2 或期間 d2，電晶體 202A 和電晶體 202B 能夠同時導通。因此，當電壓 V1 通過電晶體 202A 和電晶體 202B 提供給佈線 111 時，佈線 111 中的雜訊能夠降低。相應地，能夠得到幾乎不受雜訊影響的半導體裝置。

注意，在期間 a1、期間 b1、期間 a2 或期間 b2，電晶體 201A 和電晶體 201B 其中之一能夠導通。例如，在期

間 a1 和期間 b1，電晶體 201A 能夠導通，而電晶體 201B 能夠關斷。備選地，在期間 a2 和期間 b2，電晶體 201A 能夠關斷，而電晶體 201B 能夠導通。因此降低使電晶體 201A 導通的頻率以及使電晶體 2011B 導通的頻率。相應地，能夠抑制電晶體的退化。

爲了執行這種驅動方法，例如，最好是，輸入到佈線 114B 的信號在期間 T1 中保持在 L 電平，並且輸入到佈線 114A 的信號在期間 T2 中保持在 L 電平。作爲另一個範例，最好是，具有在期間 T1 中按照信號 SELA 使節點 A1 的電位保持在 L 電平的功能的電路設置在電路 200A 中，而具有在期間 T2 中按照信號 SELB 使節點 B1 的電位保持在 L 電平的功能的電路設置在電路 200B 中。

<電晶體的尺寸>

接下來描述電晶體的尺寸、如電晶體的通道寬度或者電晶體的通道長度。注意，電晶體的通道寬度又能夠稱作電晶體的 W/L(W 是通道寬度，以及 L 是通道長度)比。

最好是，電晶體 201A 的通道寬度基本等於電晶體 201B 的通道寬度。備選地，最好是，電晶體 202A 的通道寬度基本等於電晶體 202B 的通道寬度。

通過以這種方式使電晶體具有基本相同的通道寬度，電晶體能夠具有基本相同的電流提供能力或者基本相同的退化程度。相應地，即使當切換被選擇的電晶體時，輸出信號 OUT 的波形也能夠基本相同。

由於類似原因，最好是，電晶體 201A 的通道長度基本等於電晶體 201B 的通道長度。備選地，最好是，電晶體 202A 的通道長度基本等於電晶體 202B 的通道長度。

注意，在連接到被驅動的電晶體 201A 或電晶體 201B 的閘極信號線的負載是較大的情況下，最好是，電晶體 201A 的通道寬度比電路 200A 中包含的其他電晶體要大，或者電晶體 201B 的通道寬度比電路 200B 中包含的其他電晶體要大。

注意，在驅動電晶體 201A 或電晶體 201B 所經由的閘極信號線的負載是較大的情況下，最好是，使電晶體 201A 或電晶體 201B 的通道寬度較大。具體來說，電晶體 201A 的通道寬度和電晶體 201B 的通道寬度的每個最好爲 1000 至 30000 μm，更理想地爲 2000 至 20000 μm，進一步最好爲 3000 至 8000 μm 或 10000 至 18000 μm。

<半導體裝置的結構>

接下來參照圖 16B、圖 24A 和圖 24B 以及圖 25A 和圖 25B 來描述這個實施例中與圖 16A 的半導體裝置的結構範例不同的半導體裝置的電路圖的範例。

圖 16B、圖 24A 和圖 24B 以及圖 25A 和圖 25B 各示出半導體裝置的電路圖的範例。

圖 16B 所示的半導體裝置具有一種結構，其中電容器 203A 連接在圖 16A 所示的半導體裝置所包含的電晶體 201A 的閘極與電晶體 201A 的第二端子之間。備選地，圖

16B 所示的半導體裝置具有一種結構，其中電容器 203B 連接在圖 16A 所示的半導體裝置所包含的電晶體 201B 的閘極與電晶體 201B 的第二端子之間。

通過這種結構，節點 A1 的電位或節點 B1 的電位在自舉操作中可能升高。因此，能夠使電晶體 201A 的閘極與源極之間的電位差 Vga 大於電晶體 201B 的閘極與源極之間的電位差 Vgs。相應地，能夠使電晶體 201A 或電晶體 201B 的通道寬度較小。備選地，信號 OUT 或信號 OUTB 的下降時間或上升時間能夠縮短。

例如，MOS 電容器能夠用作電容器 203A 和電容器 203B 的每個。注意，電容器 203A 和電容器 203B 的每個的一個電極的材料最好是與電晶體 201A 和電晶體 201B 的閘極的每個的材料相似的材料。備選地，電容器 203A 和電容器 203B 的每個的另一個電極的材料最好是與電晶體 201A 和電晶體 201B 的源極或汲極的每個的材料相似的材料。通過這種材料，佈局面積能夠減小，或者電容值能夠增加。

注意，最好是，電容器 203A 的電容值和電容器 203B 的電容值基本相等。備選地，最好是，其中電容器 203A 的一個電極與另一個電極重疊的面積和其中電容器 203B 的一個電極與另一個電極重疊的面積基本相等。通過這種結構，在信號從電路 200A 輸入到佈線 111 的情況與信號從電路 200B 輸入到佈線 111 的情況之間，輸入到佈線 111 的信號的波長能夠基本相等。

另外，在圖 16A 和圖 16B 所示的半導體裝置中，如圖 24A 所示，電晶體 201A 可用二極體 211A 取代。二極體 211A 的一個電極(例如正電極)連接到節點 A1，而二極體 211A 的另一個電極(如負電極)連接到佈線 111。備選地，電晶體 202A 可用二極體 212A 取代。二極體 212A 的一個電極(例如正電極)連接到佈線 111，而二極體 212A 的另一個電極(如負電極)連接到節點 A2。

此外，電晶體 201B 可用二極體 211B 取代。二極體 211B 的一個電極(例如正電極)連接到節點 B1，而二極體 211B 的另一個電極(如負電極)連接到佈線 111。備選地，電晶體 202B 可用二極體 212B 取代。二極體 212B 的一個電極(例如正電極)連接到佈線 111，而二極體 212B 的另一個電極(如負電極)連接到節點 B2。

在圖 16A 和圖 16B 所示的半導體裝置中，如圖 24B 所示，電晶體 201A 的第一端子可連接到節點 A1。另外，電晶體 202A 的第一端子可連接到節點 A2，而電晶體 202A 的閘極可連接到佈線 111。

電晶體 201B 的第一端子可連接到結節 B1。另外，電晶體 202B 的第一端子可連接到節點 B2，而電晶體 202B 的閘極可連接到佈線 111。

接下來參照圖 25A 和圖 25B 來描述除了信號 OUTA 之外還產生傳輸信號或者除了信號 OUTB 之外還產生傳輸信號的半導體裝置的範例。

在半導體裝置包括多個電路(包括電路 200A 和電路

200B)的情況下，當傳輸信號沒有輸入到佈線 111 而是作爲開始信號輸入到下一級的電路時，與信號 OUTA 或信號 OUTB 相比，傳輸信號的延遲或失真能夠進一步降低。因此，半導體裝置能夠由其延遲或失真被降低的信號來驅動，使得半導體裝置的輸出信號的延遲能夠降低。備選地，能夠使將電力儲存在節點 A1 或節點 B1 中的定時更早，使得能夠使操作範圍更廣。另外，傳輸信號可輸出到佈線 111。

因此，在圖 16A 和圖 16B 以及圖 24A 和圖 24B 所示的半導體裝置中，如圖 25A 所示，電路 200A 可包括電晶體 204A。電晶體 204A 的第一端子連接到佈線 112A；電晶體 204A 的第二端子連接到佈線 117A；電晶體 204A 的閘極連接到節點 A1。另外，電路 200B 可包括電晶體 204B。電晶體 204B 的第一端子連接到佈線 112B；電晶體 204B 的第二端子連接到佈線 117B；電晶體 204B 的閘極連接到節點 B1。

備選地，在圖 16A 和圖 16B 以及圖 24A 和圖 24B 所示的半導體裝置中，如圖 25B 所示，電路 200A 可包括電晶體 205A。電晶體 205A 的第一端子連接到佈線 113A；電晶體 205A 的第二端子連接到佈線 117A；電晶體 205A 的閘極連接到節點 A2。另外，電路 200B 可包括電晶體 205B。電晶體 205B 的第一端子連接到佈線 113B；電晶體 205B 的第二端子連接到佈線 117B；電晶體 205B 的閘極連接到節點 B2。

注意，電晶體 204A 最好具有與電晶體 201A 的功能相似的功能並且與電晶體 201A 相同的極性。電晶體 205A 最好具有與電晶體 202A 的功能相似的功能並且與電晶體 202A 相同的極性。電晶體 204B 最好具有與電晶體 201B 的功能相似的功能並且與電晶體 201B 相同的極性。電晶體 205B 最好具有與電晶體 202B 的功能相似的功能並且與電晶體 202B 相同的極性。注意，電晶體 204A、電晶體 204B、電晶體 205A 和電晶體 205B 可以是 n 通道電晶體或者 p 通道電晶體。

注意，在半導體裝置中包括的多個電路相互連接的情況下，佈線 117A 可在不同級(例如下一級)連接到半導體裝置的佈線 114A。另外，佈線 117B 可在不同級(例如下一級)連接到半導體裝置的佈線 114B。通過這種結構，佈線 117A 和佈線 117B 用作信號線。

注意，在半導體裝置中包括的多個電路相互連接的情況下，佈線 117A 可在不同級(例如前一級)連接到半導體裝置的佈線 116A。另外，佈線 117B 可在不同級(例如前一級)連接到半導體裝置的佈線 116B。此外，佈線 117A 可延伸到畫素部分。此外，佈線 117B 可延伸到畫素部分。通過這種結構，佈線 117A 和佈線 117B 用作閘極信號線或掃描線。

<半導體裝置的結構>

接下來參照圖 26 來描述這個實施例中與圖 16A 和圖

16B、圖 24A 和圖 24B 以及圖 25A 和圖 25B 的半導體裝置的結構範例不同的半導體裝置的電路圖的範例。

圖 26 所示的半導體裝置具有一種結構，其中電晶體 207A 和電晶體 207B 設置在圖 16A 所示的半導體裝置中。

電晶體 207A 的第一端子連接到佈線 113A。電晶體 207A 的第二端子連接到佈線 111。電晶體 207A 的閘極連接到電路 300A。電晶體 207B 的第一端子連接到佈線 113B。電晶體 207B 的第二端子連接到佈線 111。電晶體 207B 的閘極連接到電路 300B。

注意，其中電晶體 207A 的閘極和電路 300A 相互連接的部分稱作節點 A3，而其中電晶體 207B 的閘極和電路 300B 相互連接的部分稱作節點 B3。

注意，電晶體 207A 最好具有與電晶體 202A 的功能相似的功能。電晶體 207B 最好具有與電晶體 202B 的功能相似的功能。

<半導體裝置的操作>

參照圖 27 所示的時序圖來描述圖 26 的半導體裝置的操作範例。圖 28A 和圖 28B 以及圖 29A 和圖 29B 各示出圖 26 的半導體裝置的操作範例。

電晶體 202A 和電晶體 207A 每個閘極選擇期間或者每半個時鐘信號 CK1 週期在期間 T1 中交替導通。例如，在期間 d1 中時鐘信號 CK1 處於 H 電平的期間中，如圖

28A 所示，電晶體 202A 導通，而電晶體 207A 關斷。相比之下，在期間 d1 中時鐘信號 CK1 處於 L 電平的期間中，如圖 28B 所示，電晶體 202A 關斷，而電晶體 207A 導通。

電晶體 202B 和電晶體 207B 每個閘極選擇期間或者每半個時鐘信號 CK1 週期在期間 T2 中交替導通。例如，在期間 d2 中時鐘信號 CK1 處於 H 電平的期間中，如圖 29A 所示，電晶體 202B 導通，而電晶體 207B 關斷。相比之下，在期間 d2 中時鐘信號 CK1 處於 L 電平的期間中，如圖 29B 所示，電晶體 202B 關斷，而電晶體 207B 導通。

這樣，電晶體 202A 和電晶體 207A 在期間 T1 中交替導通，而電晶體 202B 和電晶體 207B 在期間 T2 中交替導通。相應地，電晶體導通的期間能夠縮短；因此，能夠抑制電晶體的退化。

對其輸入時鐘信號 CK2(例如時鐘信號 CK1 的反相信號)的佈線可連接到節點 A2 和節點 A3 其中之一。另外，對其輸入時鐘信號 CK2 的佈線可連接到節點 B2 和節點 B3 其中之一。

備選地，電晶體 202A、電晶體 207A、電晶體 202B 和電晶體 207B 可在同一期間(例如期間 b1 或期間 b2)中導通。備選地，電晶體 202A、電晶體 207A、電晶體 202B 和電晶體 207B 中的兩個或更多可在同一期間(例如期間 a1 或期間 a2)中導通。

使電晶體 202A 和電晶體 207A 導通的順序可設置成給定順序。另外，使電晶體 202B 和電晶體 207B 導通的順序可設置成給定順序。

接下來參照圖 30 來描述示出圖 26 的半導體裝置與圖 27 所示的操作範例不同的操作範例的時序圖。

電晶體 202A、電晶體 207A、電晶體 202B 和電晶體 207B 可在幀期間中依次導通。圖 30 中，在期間 T1，電晶體 202A 導通的期間稱作期間 T1a，而電晶體 207A 導通的期間稱作期間 T1b。另外，在期間 T2，電晶體 202B 導通的期間稱作期間 T2a，而電晶體 207B 導通的期間稱作期間 T2b。

注意，雖然圖 30 的時序圖示出期間 T1a、期間 T2a、期間 T1b 和期間 T2b 按照該順序來提供的情況，但是這些期間的順序可設置成給定順序。例如，期間 T1a、期間 T1b、期間 T2a 和期間 T2b 可按照該順序來提供；可提供多個這些期間的每個；或者這樣期間可按照隨機方式來提供。

在期間 T1a 的期間 d1 中，節點 A2 的電位設置在 H 電平，而節點 A3 的電位(節點 A3 的電位又稱作電位 Va3)、節點 B2 的電位和節點 B3 的電位(B3 的電位又稱作電位 Vb3)設置在 L 電平。因此，如圖 28A 所示，電晶體 202A 導通，而電晶體 207A、電晶體 202B 和電晶體 207B 關斷。

在期間 T1b 的期間 d1，節點 A3 的電位設置在 H 電

平，而節點 A2 的電位、節點 B2 的電位和節點 B3 的電位設置在 L 電平。因此，如圖 28B 所示，電晶體 207A 導通，而電晶體 202A、電晶體 202B 和電晶體 207B 關斷。

在期間 T2a 的期間 d2，節點 B2 的電位設置在 H 電平，而節點 A2 的電位、節點 A3 的電位和節點 B3 的電位設置在 L 電平。因此，如圖 29A 所示，電晶體 202B 導通，而電晶體 202A、電晶體 207A 和電晶體 207B 關斷。

在期間 T2b 的期間 d2，節點 B3 的電位設置在 H 電平，而節點 A2 的電位、節點 A3 的電位和節點 B2 的電位設置在 L 電平。因此，如圖 29B 所示，電晶體 207B 導通，而電晶體 202A、電晶體 207A 和電晶體 202B 關斷。

當圖 26 所示的半導體裝置執行上述操作時，電晶體導通的期間能夠縮短。備選地，用於控制電晶體的導通和關斷的信號的頻率能夠降低，使得功率消耗能夠降低。

可提供多個電晶體。多個電晶體的每個的第一端子連接到佈線 113A，而多個電晶體的每個的第二端子連接到佈線 111。多個電晶體具有與電晶體 202A 或電晶體 207A 的功能相似的功能。例如，多個電晶體可在閘極選擇期間或者幀期間中依次導通。

另外，可提供多個電晶體。多個電晶體的每個的第一端子連接到佈線 113B，而多個電晶體的每個的第二端子連接到佈線 111。多個電晶體具有與電晶體 202B 或電晶體 207B 的功能相似的功能。例如，多個電晶體可在閘極選擇期間或者幀期間中依次導通。

通過提供這類多個電晶體，電晶體導通的期間能夠縮短；因此，能夠抑制電晶體的退化。

(實施例 5)

在這個實施例中，描述包括以上實施例的任一個中所述的閘極驅動電路的半導體裝置。

<半導體裝置的結構>

參照圖 31A 和圖 31B 來描述這個實施例中的半導體裝置的結構。圖 31A 和圖 31B 各示出半導體裝置的電路圖的範例。

在圖 31A，電路 300A 包括電晶體 301A、電晶體 302A 和電路 400A。電路 300B 包括電晶體 301B、電晶體 302B 和電路 400B。

參照圖 31A 來描述電晶體 301A、電晶體 302A、電路 400A、電晶體 301B、電晶體 302B 和電路 400B 的結構範例。在這裏，電晶體 301A、電晶體 302A、電晶體 301B 和電晶體 302B 描述爲 n 通道電晶體。注意，這些電晶體可以是 p 通道電晶體。

電晶體 301A 的第一端子連接到佈線 114A。電晶體 301A 的第二端子連接到節點 A1。電晶體 301A 的閘極連接到佈線 114A。電晶體 302A 的第一端子連接到佈線 113A。電晶體 302A 的第二端子連接到節點 A1。電晶體 302A 的閘極連接到佈線 116A。電路 400A 連接到佈線

115A、節點 A1、佈線 113A 和節點 A2。

電晶體 301B 的第一端子連接到佈線 114B。電晶體 301B 的第二端子連接到節點 B1。電晶體 301B 的閘極連接到佈線 114B。電晶體 302B 的第一端子連接到佈線 113B。電晶體 302B 的第二端子連接到節點 B1。電晶體 302B 的閘極連接到佈線 116B。電路 400B 連接到佈線 115B、節點 B1、佈線 113B 和節點 B2。

接下來描述電晶體 301A、電晶體 302A、電路 400A、電晶體 301B、電晶體 302B 和電路 400B 的功能的範例。

電晶體 301A 具有控制使佈線 114A 和節點 A1 開始傳導的定時的功能。備選地，電晶體 301A 具有控制將佈線 114A 的電位提供給節點 A1 的定時的功能。備選地，電晶體 301A 具有控制向節點 A1 提供將要輸入到佈線 114A 的信號、電壓等(例如開始信號 SP、時鐘信號 CK1、時鐘信號 CK2、信號 SELA、信號 SELB 或電壓 V2)的定時的功能。備選地，電晶體 301A 具有控制沒有向節點 A1 提供信號、電壓等的定時的功能。備選地，電晶體 301A 具有控制向節點 A1 提供 H 信號或電壓 V2 的定時的功能。備選地，電晶體 301A 具有控制升高節點 A1 的電位的定時的功能。備選地，電晶體 301A 具有控制將節點 A1 設置爲處於浮動狀態的定時的功能。

如上所述，電晶體 301A 用作開關、整流器元件、二極體、二極體連接電晶體等等。注意，電晶體 301A 可按

照開始信號 SP 來控制。

電晶體 302A 具有控制使佈線 113A 和節點 A1 開始傳導的定時的功能。備選地，電晶體 302A 具有控制將佈線 113A 的電位提供給節點 A1 的定時的功能。備選地，電晶體 302A 具有控制向節點 A1 提供將要輸入到佈線 113A 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 302A 具有控制向節點 A1 提供電壓 V1 的定時的功能。備選地，電晶體 302A 具有控制降低節點 A1 的電位的定時的功能。備選地，電晶體 302A 具有控制保持節點 A1 的電位的定時的功能。

如上所述，電晶體 302A 用作開關。注意，電晶體 302A 可按照重置信號 RE 來控制。

電路 400A 具有控制節點 A2 的電位的功能。備選地，電路 400A 具有控制向節點 A2 提供信號、電壓等的定時的功能。備選地，電路 400A 具有控制沒有向節點 A2 提供信號、電壓等的定時的功能。備選地，電路 400A 具有控制向節點 A2 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 400A 具有控制向節點 A2 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 400A 具有控制升高節點 A2 的電位的定時的功能。備選地，電路 400A 具有控制降低節點 A2 的電位的定時的功能。備選地，電路 400A 具有控制保持節點 A2 的電位的定時的功能。

如上所述，電路 400A 用作控制電路。注意，電路 400A 可按照信號 SELA 或者節點 A1 的電位來控制。

電晶體 301B 具有控制使佈線 114B 和節點 B1 開始傳導的定時的功能。備選地，電晶體 301B 具有控制將佈線 114B 的電位提供給節點 B1 的定時的功能。備選地，電晶體 301B 具有控制向節點 B1 提供將要輸入到佈線 114B 的信號、電壓等(例如開始信號 SP、時鐘信號 CK1、時鐘信號 CK2、信號 SELA、信號 SELB 或電壓 V2)的定時的功能。備選地，電晶體 301B 具有控制沒有向節點 B1 提供信號、電壓等的定時的功能。備選地，電晶體 301B 具有控制向節點 B1 提供 H 信號或電壓 V2 的定時的功能。備選地，電晶體 301B 具有控制升高節點 B1 的電位的定時的功能。備選地，電晶體 301B 具有控制將節點 B1 設置爲處於浮動狀態的定時的功能。

如上所述，電晶體 301B 用作開關、整流器元件、二極體、二極體連接電晶體等等。注意，電晶體 301B 可按照開始信號 SP 來控制。

電晶體 302B 具有控制使佈線 113B 和節點 B1 開始傳導的定時的功能。備選地，電晶體 302B 具有控制將佈線 113B 的電位提供給節點 B1 的定時的功能。備選地，電晶體 302B 具有控制向節點 B1 提供將要輸入到佈線 113B 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 302B 具有控制向節點 B1 提供電壓 V1 的定時的功能。備選地，電晶體 302B 具有控制降低節點 B1 的電位的定時的功能。備選地，電晶體 302B 具有控制保持節點 B1 的電位的定時的功能。

如上所述，電晶體 302B 用作開關。注意，電晶體 302B 可按照重置信號 RE 來控制。

電路 400B 具有控制節點 B2 的電位的功能。備選地，電路 400B 具有控制向節點 B2 提供信號、電壓等的定時的功能。備選地，電路 400B 具有控制沒有向節點 B2 提供信號、電壓等的定時的功能。備選地，電路 400B 具有控制向節點 B2 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 400B 具有控制向節點 B2 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 400B 具有控制升高節點 B2 的電位的定時的功能。備選地，電路 400B 具有控制降低節點 B2 的電位的定時的功能。備選地，電路 400B 具有控制保持節點 B2 的電位的定時的功能。

如上所述，電路 400B 用作控制電路。注意，電路 400B 可按照信號 SELB 或者節點 B1 的電位來控制。

接下來參照圖 31B 來描述電路 400A 和電路 400B 的結構範例。

電路 400A 包括電晶體 401A 和電晶體 402A。電路 400B 包括電晶體 401B 和電晶體 402B。

參照圖 31B 來描述電晶體 401A、電晶體 402A、電晶體 401B 和電晶體 402B 的結構範例。在這裏，電晶體 401A、電晶體 402A、電晶體 401B 和電晶體 402B 描述爲 n 通道電晶體。注意，這些電晶體可以是 p 通道電晶體。

電晶體 401A 的第一端子連接到佈線 115A。電晶體 401A 的第二端子連接到節點 A2。電晶體 401A 的閘極連

接到佈線 115A。電晶體 402A 的第一端子連接到佈線 113A。電晶體 402A 的第二端子連接到節點 A2。電晶體 402A 的閘極連接到節點 A1。

電晶體 401B 的第一端子連接到佈線 115B。電晶體 401B 的第二端子連接到節點 B2。電晶體 401B 的閘極連接到佈線 115B。電晶體 402B 的第一端子連接到佈線 113B。電晶體 402B 的第二端子連接到節點 B2。電晶體 402B 的閘極連接到節點 B1。

接下來描述電晶體 401A、電晶體 402A、電晶體 401B 和電晶體 402B 的功能的範例。

電晶體 401A 具有控制使佈線 115A 和節點 A2 開始傳導的定時的功能。備選地，電晶體 401A 具有控制將佈線 115A 的電位提供給節點 A2 的定時的功能。備選地，電晶體 401A 具有控制向節點 A2 提供將要輸入到佈線 115A 的信號、電壓等(例如信號 SELA 或電壓 V2)的定時的功能。備選地，電晶體 401A 具有控制沒有向節點 A2 提供信號或電壓的定時的功能。備選地，電晶體 401A 具有控制向節點 A2 提供 H 信號、電壓 V2 等的定時的功能。備選地，電晶體 401A 具有控制升高節點 A2 的電位的定時的功能。

如上所述，電晶體 401A 用作開關、整流器元件、二極體、二極體連接電晶體等等。注意，電晶體 401A 可按照信號 SELA 來控制。

電晶體 402A 具有控制使佈線 113A 和節點 A2 開始傳

導的定時的功能。備選地，電晶體 402A 具有控制將佈線 113A 的電位提供給節點 A2 的定時的功能。備選地，電晶體 402A 具有控制向節點 A2 提供將要輸入到佈線 113A 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 402A 具有控制向節點 A2 提供電壓 V1 的定時的功能。備選地，電晶體 402A 具有控制降低節點 A2 的電位的定時的功能。備選地，電晶體 402A 具有控制保持節點 A2 的電位的定時的功能。

如上所述，電晶體 402A 用作開關。注意，電晶體 402A 可按照節點 A1 的電位或者佈線 111 的電位來控制。

電晶體 401B 具有控制使佈線 115B 和節點 B2 開始傳導的定時的功能。備選地，電晶體 401B 具有控制將佈線 115B 的電位提供給節點 B2 的定時的功能。備選地，電晶體 401B 具有控制向節點 B2 提供將要輸入到佈線 115B 的信號、電壓等(例如信號 SELB 或電壓 V2)的定時的功能。備選地，電晶體 401B 具有控制沒有向節點 B2 提供信號或電壓的定時的功能。備選地，電晶體 401B 具有控制向節點 B2 提供 H 信號、電壓 V2 等的定時的功能。備選地，電晶體 401B 具有控制升高節點 B2 的電位的定時的功能。

如上所述，電晶體 401B 用作開關、整流器元件、二極體、二極體連接電晶體等等。注意，電晶體 401B 可按照信號 SELB 來控制。

電晶體 402B 具有控制使佈線 113B 和節點 B2 開始傳

導的定時的功能。備選地，電晶體 402B 具有控制將佈線 113B 的電位提供給節點 B2 的定時的功能。備選地，電晶體 402B 具有控制向節點 B2 提供將要輸入到佈線 113B 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 402B 具有控制向節點 B2 提供電壓 V1 的定時的功能。備選地，電晶體 402B 具有控制降低節點 B2 的電位的定時的功能。備選地，電晶體 402B 具有控制保持節點 B2 的電位的定時的功能。

如上所述，電晶體 402B 用作開關。注意，電晶體 402B 可按照節點 B1 的電位或者佈線 111 的電位來控制。

<半導體裝置的操作>

接下來參照圖 32A 和圖 32B、圖 33A 和圖 33B、圖 34A 和圖 34B 以及圖 35A 和圖 35B 來描述圖 31B 的半導體裝置的操作範例。圖 32A、圖 32B、圖 33A、圖 33B、圖 34A、圖 34B、圖 35A 和圖 35B 分別對應於實施例 4 所述的期間 a1、期間 b1、期間 c1、期間 d1、期間 a2、期間 b2、期間 c2 和期間 d2 中的半導體裝置的示意圖。

注意，參照圖 17 的時序圖來描述與圖 16A 的半導體裝置的部分同樣的圖 31B 的半導體裝置的部分的操作。

首先，如圖 32A 所示，在期間 a1，開始信號 SP 設置在 H 電平。因此，電晶體 301A 導通，使得佈線 114A 和節點 A1 開始傳導。然後，處於 H 電平的開始信號 SP 通過電晶體 301A 提供給節點 A1，使得節點 A1 的電位升

高。

在節點 A1 的電位變成 V2 - $Vth_{301A}$(它通過從電晶體 301A 的閘極的電位(例如電壓 V2)減去電晶體 301A 的閾值電壓($Vth_{301A}$)來得到)之後，電晶體 301A 關斷。因此，佈線 114A 和節點 A1 停止傳導，使得節點 A1 的電位升高。當節點 A1 的電位升高時，電晶體 402A 導通；因此，佈線 113A 和節點 A2 開始傳導。然後，電壓 V1 通過電晶體 402A 提供給節點 A2。

另外，在期間 a1，信號 SELA 設置在 H 電平。因此，電晶體 401A 導通，使得佈線 115A 和節點 A2 開始傳導。相應地，處於 H 電平的信號 SELA 通過電晶體 401A 提供給節點 A2。在這裏，在使電晶體 402A 的電流提供能力高於電晶體 401A 的電流提供能力(例如，使電晶體 402A 的通道寬度大於電晶體 401A 的通道寬度)時，節點 A2 的電位設置在 L 電平。

注意，在期間 a1，重置信號 RE 設置在 L 電平。因此，電晶體 302A 關斷，使得佈線 113A 和節點 A1 停止傳導。

相比之下，在期間 a1，開始信號 SP 設置在 H 電平。因此，電晶體 301B 導通，使得佈線 114B 和節點 B1 開始傳導。然後，處於 H 電平的開始信號 SP 通過電晶體 301B 提供給節點 B1，使得節點 B1 的電位升高。

在節點 B1 的電位變成 V2 - $Vth_{301B}$(它通過從電晶體 301B 的閘極的電位(例如電壓 V2)減去電晶體 301B 的閾值

電壓($Vth_{301B}$)來得到)之後，電晶體 301B 關斷。因此，佈線 114B 和節點 B1 停止傳導，使得節點 B1 的電位升高。當節點 B1 的電位升高時，電晶體 402B 導通；因此，佈線 113B 和節點 B2 開始傳導。然後，電壓 V1 通過電晶體 402B 提供給節點 B2。

另外，在期間 a1，信號 SELB 設置在 L 電平。因此，電晶體 401B 關斷，使得佈線 115B 和節點 B2 停止傳導。相應地，節點 B2 的電位設置在 L 電平。

注意，在期間 a1，重置信號 RE 設置在 L 電平。因此，電晶體 302B 關斷，使得佈線 113B 和節點 B1 停止傳導。

隨後，如圖 32B 所示，在期間 b1，開始信號 SP 設置在 L 電平。因此，電晶體 301A 保持關斷，使得佈線 114A 和節點 A1 保持在非傳導狀態。

另外，在期間 b1，重置信號 RE 保持在 L 電平。因此，電晶體 302A 保持關斷，使得佈線 113A 和節點 A1 保持在非傳導狀態。節點 A1 的電位通過自舉操作來升高。因此，電晶體 402A 保持導通，使得佈線 113A 和節點 A2 保持在傳導狀態。

另外，在期間 b1，信號 SELA 保持在 H 電平。因此，電晶體 401A 保持導通，使得佈線 115A 和節點 A2 保持在傳導狀態。相應地，節點 A2 的電位保持在 L 電平。

相比之下，在期間 b1，當開始信號 SP 設置在 L 電平時，電晶體 301B 保持關斷；因此，佈線 114B 和節點 B1

保持在非傳導狀態。

另外，在期間 b1，重置信號 RE 保持在 L 電平。因此，電晶體 302B 保持關斷，使得佈線 113B 和節點 B1 保持在非傳導狀態。節點 B1 的電位通過自舉操作來升高。因此，電晶體 402B 保持導通，使得佈線 113B 和節點 B2 保持在傳導狀態。

此外，在期間 b1，信號 SELB 設置在 L 電平。因此，電晶體 401B 保持關斷，使得佈線 115B 和節點 B2 保持在非傳導狀態。相應地，節點 B2 的電位保持在 L 電平。

隨後，如圖 33A 所示，在期間 c1，開始信號 SP 保持在 L 電平。因此，電晶體 301A 保持關斷，使得佈線 114A 和節點 A1 保持在非傳導狀態。

另外，在期間 c1，重置信號 RE 設置在 H 電平。因此，電晶體 302A 導通，使得佈線 113A 和節點 A1 開始傳導。然後，電壓 V1 通過電晶體 302A 提供給節點 A1，使得節點 A1 的電位降低並且設置在 L 電平。當節點 A1 的電位設置在 L 電平時，電晶體 402A 關斷；因此，佈線 113A 和節點 A2 停止傳導。

此外，在期間 c1，信號 SELA 保持在 H 電平。因此，電晶體 401A 保持導通，使得佈線 115A 和節點 A2 保持在傳導狀態。然後，處於 H 電平的信號 SELA 通過電晶體 401A 提供給節點 A2，使得節點 A2 的電位升高並且設置在 H 電平。

相比之下，在期間 c1，開始信號 SP 設置在 L 電平。

因此，電晶體 301B 保持關斷，使得佈線 114B 和節點 B1 保持在非傳導狀態。

另外，在期間 c1，重置信號 RE 設置在 H 電平。因此，電晶體 302B 導通，使得佈線 113B 和節點 B1 開始傳導。然後，電壓 V1 通過電晶體 302B 提供給節點 B1，使得節點 B1 的電位降低並且設置在 L 電平。當節點 B1 的電位設置在 L 電平時，電晶體 402B 關斷；因此，佈線 113B 和節點 B2 停止傳導。

此外，在期間 c1，信號 SELB 保持在 L 電平。因此，電晶體 401B 保持關斷，使得佈線 115B 和節點 B2 保持在非傳導狀態。相應地，節點 B2 設置爲處於浮動狀態，使得節點 B2 的電位保持在 L 電平。

隨後，如圖 33B 所示，在期間 d1，開始信號 SP 保持在 L 電平。因此，電晶體 301A 保持關斷，使得佈線 114A 和節點 A1 保持在非傳導狀態。

另外，在期間 d1，重置信號 RE 設置在 L 電平。因此，電晶體 302A 關斷，使得佈線 113A 和節點 A1 保持在非傳導狀態。然後，節點 A1 設置爲處於浮動狀態，使得節點 A1 的電位保持在 L 電平。因此，電晶體 402A 保持關斷，使得佈線 113A 和節點 A2 保持在非傳導狀態。

此外，在期間 d1，信號 SELA 保持在 H 電平。因此，電晶體 401A 保持導通，使得佈線 115A 和節點 A2 保持在傳導狀態。然後，處於 H 電平的信號 SELA 通過電晶體 401A 提供給節點 A2，使得節點 A2 的電位升高並且設

置在 H 電平。

相比之下，在期間 d1，開始信號 SP 設置在 L 電平。因此，電晶體 301B 保持關斷，使得佈線 114B 和節點 B1 保持在非傳導狀態。

另外，在期間 d1，重置信號 RE 設置在 L 電平。因此，電晶體 302B 關斷，使得佈線 113B 和節點 B1 保持在非傳導狀態。然後，節點 B1 設置爲處於浮動狀態，使得節點 B1 的電位保持在 L 電平。因此，電晶體 402B 保持關斷，使得佈線 113B 和節點 B2 保持在非傳導狀態。

此外，在期間 d1，信號 SELB 保持在 L 電平。因此，電晶體 401B 保持關斷，使得佈線 115B 和節點 B2 保持在非傳導狀態。相應地，節點 A2 設置爲處於浮動狀態，使得節點 B2 的電位保持在 L 電平。

接下來參照圖 34A 來描述半導體裝置在期間 a2 中的操作。半導體裝置在期間 a2 中的操作與圖 32A 所示的半導體裝置在期間 a1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

因此，電晶體 401A 關斷，使得佈線 115A 和節點 A2 停止傳導。

相比之下，電晶體 401B 導通，使得佈線 115B 和節點 B2 開始傳導。因此，處於 H 電平的信號 SELB 通過電晶體 401B 提供給節點 B2。在這裏，在使電晶體 402B 的電流提供能力高於電晶體 401B 的電流提供能力(例如，使電晶體 402B 的通道寬度大於電晶體 401B 的通道寬度)

時，節點 B2 的電位設置在 L 電平。

接下來參照圖 34B 來描述半導體裝置在期間 b2 中的操作。半導體裝置在期間 b2 中的操作與圖 32B 所示的半導體裝置在期間 b1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

因此，電晶體 401A 保持關斷，使得佈線 115A 和節點 A2 保持在非傳導狀態。

相比之下，電晶體 401B 保持導通，使得佈線 115B 和節點 B2 保持在傳導狀態。

接下來參照圖 35A 來描述半導體裝置在期間 c2 中的操作。半導體裝置在期間 c2 中的操作與圖 33A 所示的半導體裝置在期間 c1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

因此，電晶體 401A 保持關斷，使得佈線 115A 和節點 A2 停止傳導。然後，節點 A2 設置爲處於浮動狀態，使得節點 A2 的電位保持在 L 電平。

相比之下，電晶體 401B 保持導通，使得佈線 115B 和節點 B2 保持在傳導狀態。因此，處於 H 電平的信號 SELB 通過電晶體 401B 提供給節點 B2，使得節點 B2 的電位升高。

接下來參照圖 35B 來描述半導體裝置在期間 d2 中的操作。半導體裝置在期間 d2 中的操作與圖 33B 所示的半導體裝置在期間 d1 中的操作的不同之處在於，信號 SELA 設置在 L 電平，而信號 SELB 設置在 H 電平。

因此，電晶體 401A 保持關斷，使得佈線 115A 和節點 A2 停止傳導。然後，節點 A2 設置爲處於浮動狀態，使得節點 A2 的電位保持在 L 電平。

相比之下，電晶體 401B 保持導通，使得佈線 115B 和節點 B2 保持在傳導狀態。因此，處於 H 電平的信號 SELB 通過電晶體 401B 提供給節點 B2，使得節點 B2 的電位保持在 H 電平。

<電晶體的尺寸>

接下來描述電晶體的尺寸、如電晶體的通道寬度或者電晶體的通道長度。

最好是，電晶體 301A 的通道寬度基本等於電晶體 301B 的通道寬度。備選地，最好是，電晶體 302A 的通道寬度基本等於電晶體 302B 的通道寬度。備選地，最好是，電晶體 401A 的通道寬度基本等於電晶體 401B 的通道寬度。備選地，最好是，電晶體 402A 的通道寬度基本等於電晶體 402B 的通道寬度。

通過以這種方式使電晶體具有基本相同的通道寬度，電晶體能夠具有基本相同的電流提供能力或者基本相同的退化程度。相應地，即使當切換被選擇的電晶體時，輸出信號 OUT 的波形也能夠基本相同。

由於類似原因，最好是，電晶體 301A 的通道長度基本等於電晶體 301B 的通道長度。備選地，最好是，電晶體 302A 的通道長度基本等於電晶體 302B 的通道長度。

備選地，最好是，電晶體 401A 的通道長度基本等於電晶體 401B 的通道長度。備選地，最好是，電晶體 402A 的通道長度基本等於電晶體 402B 的通道長度。

具體來說，電晶體 301A 的通道寬度和電晶體 301B 的通道寬度的每個最好爲 500 至 3000 μm，更理想地爲 800 至 2500 μm，進一步最好爲 1000 至 2000 μm。

電晶體 302A 的通道寬度和電晶體 302B 的通道寬度的每個最好爲 100 至 3000 μm，更理想地爲 300 至 2000 μm，進一步最好爲 300 至 1000 μm。

電晶體 401A 的通道寬度和電晶體 401B 的通道寬度的每個最好爲 100 至 2000 μm，更理想地爲 200 至 1500 μm，進一步最好爲 300 至 700 μm。

電晶體 402A 的通道寬度和電晶體 402B 的通道寬度的每個最好爲 300 至 3000 μm，更理想地爲 500 至 2000 μm，進一步最好爲 700 至 1500 μm。

<半導體裝置的結構>

接下來參照圖 36A 和圖 36B、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F、圖 40A 至圖 40D 以及圖 41A 和圖 41B 來描述這個實施例中與圖 31B 的半導體裝置的結構範例不同的半導體裝置的電路圖的範例。

圖 36A 和圖 36B、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F、圖 40A 至圖 40D 以及圖 41A 和圖 41B 各示出半導體裝置的電路圖的範例。

圖 36A 所示的半導體裝置具有一種結構，其中圖 31B 所示半導體裝置中包含的電晶體 202A 的第一端子、圖 31B 所示半導體裝置中包含的電晶體 302A 的第一端子以及圖 31B 所示半導體裝置中包含的電晶體 402A 的第一端子連接到不同佈線。備選地，圖 36A 所示的半導體裝置具有一種結構，其中圖 31B 所示半導體裝置中包含的電晶體 202B 的第一端子、圖 31B 所示半導體裝置中包含的電晶體 302B 的第一端子以及圖 31B 所示半導體裝置中包含的電晶體 402B 的第一端子連接到不同佈線。

在圖 36A，佈線 113A 分爲多個佈線 113A_1 至 113A_3。佈線 113B 分爲多個佈線 113B_1 至 113B_3。電晶體 202A 的第一端子連接到佈線 113A_1。電晶體 302A 的第一端子連接到佈線 113A_2。電晶體 402A 的第一端子連接到佈線 113A_3。電晶體 202B 的第一端子連接到佈線 113B_1。電晶體 302B 的第一端子連接到佈線 113B_2。電晶體 402B 的第一端子連接到佈線 113B_3。

注意，佈線 113A_1 至 113A_3 具有與佈線 113A 的功能相似的功能。佈線 113B_1 至 113B_3 具有與佈線 113B 的功能相似的功能。例如，諸如電壓 V1 之類的電壓能夠提供給佈線 113A_1 至 113A_3 以及佈線 113B_1 至 113B_3。備選地，不同電壓或者不同信號可提供給佈線 113A_1 至 113A_3。備選地，不同電壓或者不同信號可提供給佈線 113B_1 至 113B_3。

另外，在圖 31B 和圖 36A 所示的結構中，如圖 37A

所示，電晶體 302A 可用二極體 312A 取代。二極體 312A 的一個電極(例如正電極)連接到節點 A1，而二極體 312A 的另一個電極(如負電極)連接到佈線 116A。備選地，電晶體 402A 可用二極體 412A 取代。二極體 412A 的一個電極(例如正電極)連接到節點 A2，而二極體 412A 的另一個電極(如負電極)連接到節點 A1。

此外，電晶體 302B 可用二極體 312B 取代。二極體 312B 的一個電極(例如正電極)連接到節點 B1，而二極體 312B 的另一個電極(如負電極)連接到佈線 116B。備選地，電晶體 402B 可用二極體 412B 取代。二極體 412B 的一個電極(例如正電極)連接到節點 B2，而二極體 412B 的另一個電極(如負電極)連接到節點 B1。

此外，在圖 31B 和圖 36A 所示的結構中，如圖 37B 所示，電晶體 302A 的第一端子可連接到佈線 116A，而電晶體 302A 的閘極可連接到節點 A1。備選地，電晶體 402A 的第一端子可連接到節點 A1，而電晶體 402A 的閘極可連接到節點 A2。

此外，電晶體 302B 的第一端子可連接到佈線 116B，而電晶體 302B 的閘極可連接到節點 B1。備選地，電晶體 402B 的第一端子可連接到節點 B1，而電晶體 402B 的閘極可連接到節點 B2。

在圖 31B、圖 36A、圖 37A 和圖 37B 所示的結構中，如圖 38A 所示，電晶體 402A 的閘極可連接到佈線 111。另外，電晶體 402B 的閘極可連接到佈線 111。

此外，在圖 31B、圖 36A、圖 37A 和圖 37B 以及圖 38A 所示的結構中，如圖 38B 所示，電晶體 301A 的第一端子可連接到佈線 118A，而電晶體 301A 的閘極可連接到佈線 114A。此外，電晶體 301B 的第一端子可連接到佈線 118B，而電晶體 301B 的閘極可連接到佈線 114B。

備選地，電晶體 301A 的第一端子可連接到佈線 114A，而電晶體 301A 的閘極可連接到佈線 118A。此外，電晶體 301B 的第一端子可連接到佈線 114B，而電晶體 301B 的閘極可連接到佈線 118B。

注意，在電壓 V2 施加到佈線 118A 和佈線 118B 的情況下，佈線 118A 和佈線 118B 用作電源線。備選地，時鐘信號 CK2 可輸入到佈線 118A 和佈線 118B。備選地，不同信號或不同電壓可輸入到佈線 118A 和佈線 118B。

注意，在相同電壓輸入到佈線 118A 和佈線 118B 的情況下，佈線 118A 和佈線 118B 可相互連接。在那種情況下，一個佈線可用作佈線 118A 和佈線 118B。

在圖 31B、圖 36A、圖 37A 和圖 37B 以及圖 38A 和圖 38B 所示的結構中，如圖 39A 所示，電晶體 401A 可用電阻器 403A 取代。電阻器 403A 連接在佈線 115A 與節點 A2 之間。另外，如圖 39B 所示，電晶體 401B 可用電阻器 403B 取代。電阻器 403B 連接在佈線 115B 與節點 B2 之間。

通過圖 39A 和圖 39B 所示的結構，在期間 c1 和期間 d1，處於 L 電平的信號 SELB 能夠提供給節點 B2。備選

地，在期間 c2 和期間 d2，處於 L 電平的信號 SELA 能夠提供給節點 A2。因此，節點 A2 的電位和節點 B2 的電位能夠是固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

此外，在圖 31B、圖 36A、圖 37A 和圖 37B 以及圖 38A 和圖 38B 所示的結構中，如圖 39C 所示，可提供電晶體 404A。電晶體 404A 的第一端子連接到佈線 115A；電晶體 404A 的第二端子連接到節點 A2；電晶體 404A 的閘極連接到節點 A2。此外，如圖 39D 所示，可提供電晶體 404B。電晶體 404B 的第一端子連接到佈線 115B；電晶體 404B 的第二端子連接到節點 B2；電晶體 404B 的閘極連接到節點 B2。

通過圖 39C 和圖 39D 所示的結構，如同圖 39A 和圖 39B 中那樣，節點 A2 的電位和節點 B2 的電位能夠是固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

此外，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B 以及圖 39A 至圖 39D 所示的結構中，如圖 39E 所示，電路 400A 可包括電晶體 404A 和電晶體 406A。電晶體 405A 的第一端子連接到佈線 115A；電晶體 405A 的第二端子連接到節點 A2；電晶體 405A 的閘極連接到其中電晶體 401A 的第二端子和電晶體 402A 的第二端子相互連接的部分。電晶體 406A 的第一端子連接到佈線 113A；電晶體 406A 的第二端子連接到節點 A2；電晶體 406A 的閘極連接到節點 A1。

此外，如圖 39F 所示，電路 400B 可包括電晶體 405B 和電晶體 406B。電晶體 405B 的第一端子連接到佈線 115B；電晶體 405B 的第二端子連接到節點 B2；電晶體 405B 的閘極連接到其中電晶體 401B 的第二端子和電晶體 402B 的第二端子相互連接的部分。電晶體 406B 的第一端子連接到佈線 113B；電晶體 406B 的第二端子連接到節點 B2；電晶體 406B 的閘極連接到節點 B1。

通過圖 39E 和圖 39F 所示的結構，節點 A2 的電位或節點 B2 的電位能夠設置成 V2，使得信號的幅度能夠增加。

備選地，電晶體 401A 的第一端子和電晶體 405A 的第一端子可連接到不同佈線。例如，在圖 40A，佈線 115A 分爲多個佈線 115A_1 和 115A_2；電晶體 401A 的第一端子連接到佈線 115A_1；電晶體 405A 的第一端子連接到佈線 115A_2。在那種情況下，信號 SELA 可輸入到佈線 115A_1 和 115A_2 其中之一，而電壓 V2 可提供給佈線 115A_1 和 115A_2 中的另一個。

備選地，電晶體 401B 的第一端子和電晶體 405B 的第一端子可連接到不同佈線。例如，在圖 40B，佈線 115B 分爲多個佈線 115B_1 和 115B_2；電晶體 401B 的第一端子連接到佈線 115B_1；電晶體 405B 的第一端子連接到佈線 115B_2。在那種情況下，信號 SELB 可輸入到佈線 115B_1 和 115B_2 其中之一，而電壓 V2 可提供給佈線 115B_1 和 115B_2 中的另一個。

通過圖 40A 和圖 40B 所示的結構，在期間 c1 和期間 d1，處於 L 電平的信號 SELB 能夠提供給節點 B2。備選地，在期間 c2 和期間 d2，處於 L 電平的信號 SELA 能夠提供給節點 A2。因此，節點 A2 的電位和節點 B2 的電位能夠是固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

此外，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B 以及圖 39A 至圖 39D 所示的結構中，如圖 40C 所示，電路 400A 可包括電晶體 407A、電晶體 408A 和電晶體 409A。電晶體 407A 的第一端子連接到佈線 118A；電晶體 407A 的第二端子連接到節點 A2；電晶體 407A 的閘極連接到佈線 118A。電晶體 408A 的第一端子連接到佈線 113A；電晶體 408A 的第二端子連接到節點 A2；電晶體 408A 的閘極連接到節點 A1。電晶體 409A 的第一端子連接到佈線 113A；電晶體 409A 的第二端子連接到節點 A2；電晶體 409A 的閘極連接到佈線 115A。

如圖 40D 所示，電路 400B 可包括電晶體 407B、電晶體 408B 和電晶體 409B。電晶體 407B 的第一端子連接到佈線 118B；電晶體 407B 的第二端子連接到節點 B2；電晶體 407B 的閘極連接到佈線 118B。電晶體 408B 的第一端子連接到佈線 113B；電晶體 408B 的第二端子連接到節點 B2；電晶體 408B 的閘極連接到節點 B1。電晶體 409B 的第一端子連接到佈線 113B；電晶體 409B 的第二端子連接到節點 B2；電晶體 409B 的閘極連接到佈線 115B。

通過圖 40C 和圖 40D 所示的結構，在期間 c1 和期間 d1，處於 L 電平的信號 SELB 能夠提供給節點 B2。備選地，在期間 c2 和期間 d2，處於 L 電平的信號 SELA 能夠提供給節點 A2。因此，節點 A2 的電位和節點 B2 的電位能夠是固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

此外，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F 以及圖 40A 至圖 40D 所示的結構中，如圖 41A 所示，可提供電晶體 206A 和電路 500A。電路 500A 包括電晶體 501A 和電晶體 502A。

電晶體 206A 的第一端子連接到佈線 113A。電晶體 206A 的第二端子連接到節點 A1。電晶體 501A 的第一端子連接到佈線 118A。電晶體 501A 的第二端子連接到電晶體 206A 的閘極。電晶體 501A 的閘極連接到佈線 118A。電晶體 502A 的第一端子連接到佈線 113A。電晶體 502A 的第二端子連接到電晶體 206A 的閘極。電晶體 502A 的閘極連接到節點 A1。

如圖 41A 所示，可提供電晶體 206B 和電路 500B。電路 500B 包括電晶體 501B 和電晶體 502B。

電晶體 206B 的第一端子連接到佈線 113B。電晶體 206B 的第二端子連接到節點 B1。電晶體 501B 的第一端子連接到佈線 118B。電晶體 501B 的第二端子連接到電晶體 206B 的閘極。電晶體 501B 的閘極連接到佈線 118B。電晶體 502B 的第一端子連接到佈線 113B。電晶體 502B

的第二端子連接到電晶體 206B 的閘極。電晶體 502B 的閘極連接到節點 B1。

注意，在圖 41A，其中電晶體 206A 的閘極、電晶體 501A 的第二端子和電晶體 502A 的第二端子相互連接的部分稱作節點 A3。另外，其中電晶體 206B 的閘極、電晶體 501B 的第二端子和電晶體 502B 的第二端子相互連接的部分稱作節點 B3。

另外，電晶體 502A 的閘極可連接到佈線 111。此外，電晶體 502B 的閘極可連接到佈線 111。

作爲另一個範例，如圖 41B 所示，可消除電路 500A，並且電晶體 206A 的閘極可連接到節點 A2。另外，可消除電路 500B，並且電晶體 206B 的閘極可連接到節點 B2。通過圖 41B 所示的結構，可使電路的尺寸更小，使得佈局面積能夠減小或者功率消耗能夠降低。

接下來參照圖 41A 和圖 41B 來描述電晶體 206A、電路 500A、電晶體 501A、電晶體 502A、電晶體 206B、電路 500B、電晶體 501B 和電晶體 502B 的功能的範例。

電晶體 206A 具有控制使佈線 113A 和節點 A1 開始傳導的定時的功能。備選地，電晶體 206A 具有控制將佈線 113A 的電位提供給節點 A1 的定時的功能。備選地，電晶體 206A 具有控制向節點 A1 提供將要輸入到佈線 113A 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 206A 具有控制向節點 A1 提供電壓 V1 的定時的功能。備選地，電晶體 206A 具有控制降低節

點 A1 的電位的定時的功能。備選地，電晶體 206A 具有控制保持節點 A1 的電位的定時的功能。

這樣，電晶體 206A 用作開關。注意，電晶體 206A 可按照節點 A3 的電位來控制。

電路 500A 具有控制節點 A3 的電位的功能。備選地，電路 500A 具有控制向節點 A3 提供信號、電壓等的定時的功能。備選地，電路 500A 具有控制沒有向節點 A3 提供信號、電壓等的定時的功能。備選地，電路 500A 具有控制向節點 A3 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 500A 具有控制向節點 A3 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 500A 具有控制升高節點 A3 的電位的定時的功能。備選地，電路 500A 具有控制降低節點 A3 的電位的定時的功能。備選地，電路 500A 具有控制保持節點 A3 的電位的定時的功能。備選地，電路 500A 具有使節點 A1 的電位反相並且控制向節點 A3 輸出經反相的電位的定時的功能。

如上所述，電路 500A 用作控制電路或反相器電路。注意，電路 500A 可按照節點 A1 的電位來控制。

電晶體 501A 具有控制使佈線 118A 和節點 A3 開始傳導的定時的功能。備選地，電晶體 501A 具有控制將佈線 118A 的電位提供給節點 A3 的定時的功能。備選地，電晶體 501A 具有控制向節點 A3 提供將要輸入到佈線 118A 的信號、電壓等(例如電壓 V2)的定時的功能。備選地，電晶體 501A 具有控制沒有向節點 A3 提供信號、電壓等的定

時的功能。備選地，電晶體 501A 具有控制向節點 A3 提供 H 信號或電壓 V2 的定時的功能。備選地，電晶體 501A 具有控制升高節點 A3 的電位的定時的功能。

如上所述，電晶體 501A 用作開關、整流器元件、二極體、二極體連接電晶體等等。

電晶體 502A 具有控制使佈線 113A 和節點 A3 開始傳導的定時的功能。備選地，電晶體 502A 具有控制將佈線 113A 的電位提供給節點 A3 的定時的功能。備選地，電晶體 502A 具有控制向節點 A3 提供將要輸入到佈線 113A 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 502A 具有控制向節點 A3 提供電壓 V1 的定時的功能。備選地，電晶體 502A 具有控制降低節點 A3 的電位的定時的功能。備選地，電晶體 502A 具有控制保持節點 A3 的電位的定時的功能。

如上所述，電晶體 502A 用作開關。

電晶體 206B 具有控制使佈線 113B 和節點 B1 開始傳導的定時的功能。備選地，電晶體 206B 具有控制將佈線 113B 的電位提供給節點 B1 的定時的功能。備選地，電晶體 206B 具有控制向節點 B1 提供將要輸入到佈線 113B 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 206B 具有控制向節點 B1 提供電壓 V1 的定時的功能。備選地，電晶體 206B 具有控制降低節點 B1 的電位的定時的功能。備選地，電晶體 206B 具有控制保持節點 B1 的電位的定時的功能。

如上所述，電晶體 206B 用作開關。注意，電晶體 206B 可按照節點 B3 的電位來控制。

電路 500B 具有控制節點 B3 的電位的功能。備選地，電路 500B 具有控制向節點 B3 提供信號、電壓等的定時的功能。備選地，電路 500B 具有控制沒有向節點 B3 提供信號、電壓等的定時的功能。備選地，電路 500B 具有控制向節點 B3 提供 H 信號或電壓 V2 的定時的功能。備選地，電路 500B 具有控制向節點 B3 提供 L 信號或電壓 V1 的定時的功能。備選地，電路 500B 具有控制升高節點 B3 的電位的定時的功能。備選地，電路 500B 具有控制降低節點 B3 的電位的定時的功能。備選地，電路 500B 具有控制保持節點 B3 的電位的定時的功能。備選地，電路 500B 具有使節點 B1 的電位反相並且控制向節點 3 輸出經反相的電位的定時的功能。

如上所述，電路 500B 用作控制電路或反相器電路。注意，電路 500B 可按照節點 B1 的電位來控制。

電晶體 501B 具有控制使佈線 118B 和節點 B3 開始傳導的定時的功能。備選地，電晶體 501B 具有控制將佈線 118B 的電位提供給節點 B3 的定時的功能。備選地，電晶體 501B 具有控制向節點 B3 提供將要輸入到佈線 118B 的信號、電壓等(例如電壓 V2)的定時的功能。備選地，電晶體 501B 具有控制沒有向節點 B3 提供信號、電壓等的定時的功能。備選地，電晶體 501B 具有控制向節點 B3 提供 H 信號或電壓 V2 的定時的功能。備選地，電晶體

501B 具有控制升高節點 B3 的電位的定時的功能。

如上所述，電晶體 501B 用作開關、整流器元件、二極體、二極體連接電晶體等等。

電晶體 502B 具有控制使佈線 113B 和節點 B3 開始傳導的定時的功能。備選地，電晶體 502B 具有控制將佈線 113B 的電位提供給節點 B3 的定時的功能。備選地，電晶體 502B 具有控制向節點 B3 提供將要輸入到佈線 113B 的信號、電壓等(例如時鐘信號 CK2 或電壓 V1)的定時的功能。備選地，電晶體 502B 具有控制向節點 B3 提供電壓 V1 的定時的功能。備選地，電晶體 502B 具有控制降低節點 B3 的電位的定時的功能。備選地，電晶體 502B 具有控制保持節點 B3 的電位的定時的功能。

如上所述，電晶體 502B 用作開關。

<半導體裝置的操作>

接下來參照圖 42A 和圖 42B、圖 43A 和圖 43B、圖 44A 和圖 44B 以及圖 45A 和圖 45B 來描述圖 41A 的半導體裝置的操作。圖 42A、圖 42B、圖 43A、圖 43B、圖 44A、圖 44B、圖 45A 和圖 45B 分別對應於期間 a1、期間 b1、期間 c1、期間 d1、期間 a2、期間 b2、期間 c2 和期間 d2 中的半導體裝置的示意圖。

在期間 a1、期間 b1、期間 a2 和期間 b2，節點 A1 具有 H 電平電位。因此，與電路 400A 相似，電路 500A 向節點 A3 輸出 L 信號。然後，電晶體 206A 關斷，使得佈

線 113A 和節點 A1 停止傳導。

具體來說，在期間 a1、期間 b1、期間 a2 和期間 b2，電晶體 502A 導通，使得佈線 113A 和節點 A3 開始傳導。因此，電壓 V1 通過電晶體 502A 提供給節點 A3。這時，電晶體 501A 導通，使得佈線 118A 和節點 A3 開始傳導。因此，電壓 V2 通過電晶體 501A 提供給節點 A3。

在這裏，在使電晶體 502A 的電流提供能力高於電晶體 501A 的電流提供能力(例如，使電晶體 502A 的通道寬度大於電晶體 501A 的通道寬度)時，節點 A3 的電位設置在 L 電平。

在期間 a1、期間 b1、期間 a2 和期間 b2，節點 B1 具有 H 電平電位。因此，與電路 400B 相似，電路 500B 向節點 B3 輸出 L 信號。然後，電晶體 206B 關斷，使得佈線 113B 和節點 B1 停止傳導。

具體來說，在期間 a1、期間 b1、期間 a2 和期間 b2，電晶體 502B 導通，使得佈線 113B 和節點 B3 開始傳導。因此，電壓 V1 通過電晶體 502B 提供給節點 B3。這時，電晶體 501B 導通，使得佈線 118B 和節點 B3 開始傳導。因此，電壓 V2 通過電晶體 501B 提供給節點 B3。

在這裏，在使電晶體 502B 的電流提供能力高於電晶體 501B 的電流提供能力(例如，使電晶體 502B 的通道寬度大於電晶體 501B 的通道寬度)時，節點 B3 的電位設置在 L 電平。

在期間 c1、期間 d1、期間 c2 和期間 d2，節點 A1 具

有 L 電平電位。因此，與電路 400A 相似，電路 500A 向節點 A3 輸出 H 信號。然後，電晶體 206A 導通，使得佈線 113A 和節點 A1 開始傳導。然後，電壓 V1 通過電晶體 206A 提供給節點 A1。

具體來說，在期間 c1、期間 d1、期間 c2 和期間 d2，電晶體 502A 關斷，使得佈線 113A 和節點 A3 停止傳導。這時，電晶體 501A 導通，使得佈線 118A 和節點 A3 開始傳導。因此，電壓 V2 通過電晶體 501A 提供給節點 A3。

另外，在期間 c1、期間 d1、期間 c2 和期間 d2，節點 B1 具有 L 電平電位。因此，與電路 400B 相似，電路 500B 向節點 B3 輸出 H 信號。然後，電晶體 206B 導通，使得佈線 113B 和節點 B1 開始傳導。然後，電壓 V1 通過電晶體 206B 提供給節點 B1。

具體來說，在期間 c1、期間 d1、期間 c2 和期間 d2，電晶體 502B 關斷，使得佈線 113B 和節點 B3 停止傳導。這時，電晶體 501B 導通，使得佈線 118B 和節點 B3 開始傳導。因此，電壓 V2 通過電晶體 501B 提供給節點 B3。

這樣，在期間 c1 和期間 d1，電晶體 206A 導通，使得佈線 113A 和節點 A1 開始傳導。然後，電壓 V1 通過電晶體 206A 提供給節點 A1。因此，節點 A1 的電位能夠是固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

另外，在期間 c2 和期間 d2，電晶體 206B 導通，使得佈線 113B 和節點 B1 開始傳導。然後，電壓 V1 通過電晶體 206B 提供給節點 B1。因此，節點 B1 的電位能夠是

固定的，使得能夠得到幾乎不受雜訊影響的半導體裝置。

<電晶體的尺寸>

接下來描述電晶體的尺寸、如電晶體的通道寬度或者電晶體的通道長度。

最好是，電晶體 501A 的通道寬度基本等於電晶體 501B 的通道寬度。備選地，最好是，電晶體 502A 的通道寬度基本等於電晶體 502B 的通道寬度。

通過以這種方式使電晶體具有基本相同的通道寬度，電晶體能夠具有基本相同的電流提供能力或者基本相同的退化程度。相應地，即使當切換被選擇的電晶體時，輸出信號 OUT 的波形也能夠基本相同。

由於類似原因，最好是，電晶體 501A 的通道長度基本等於電晶體 501B 的通道長度。備選地，最好是，電晶體 502A 的通道長度基本等於電晶體 502B 的通道長度。

具體來說，電晶體 501A 的通道寬度和電晶體 501B 的通道寬度的每個最好爲 100 至 2000 μm，更理想地爲 200 至 1500 μm，進一步最好爲 300 至 700 μm。

電晶體 502A 的通道寬度和電晶體 502B 的通道寬度的每個最好爲 300 至 3000 μm，更理想地爲 500 至 2000 μm，進一步最好爲 700 至 1500 μm。

注意，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F、圖 40A 至圖 40D 以及圖 41A 和圖 41B 所示的結構中，電晶體 302A 的第二端子可連接

到佈線 111，並且電晶體 302B 的第二端子可連接到佈線 111。備選地，可提供用於得到這種連接關係的電晶體。通過這種結構，信號 OUTA 的下降時間和信號 OUTB 的下降時間能夠縮短。

備選地，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F、圖 40A 至圖 40D 以及圖 41A 和圖 41B 所示的結構中，電晶體 302A 的第一端子可連接到佈線 118A；電晶體 30A 的第二端子可連接到節點 A2；電晶體 302A 的閘極可連接到佈線 116A。另外，電晶體 302B 的第一端子可連接到佈線 118B；電晶體 302B 的第二端子可連接到節點 B2；電晶體 302B 的閘極可連接到佈線 116B。備選地，可提供用於得到這種連接關係的電晶體。通過這種結構，反向偏壓可施加到電晶體 302A 和電晶體 302B，使得能夠抑制各電晶體的退化。

注意，在圖 31B、圖 36A、圖 37A 和圖 37B、圖 38A 和圖 38B、圖 39A 至圖 39F、圖 40A 至圖 40D 以及圖 41A 和圖 41B 所示的結構中，如圖 36B 所示，電晶體可以是 p 通道電晶體。

在圖 36B，電晶體 201pA、電晶體 202pA、電晶體 301pA、電晶體 302pA、電晶體 401pA 和電晶體 402pA 是 p 通道電晶體，並且具有分別與圖 36A 的電晶體 201A、電晶體 202A、電晶體 301A、電晶體 302A、電晶體 401A 和電晶體 402A 的功能相似的功能。

此外，在圖 36B，電晶體 201pB、電晶體 202pB、電

晶體 301pB、電晶體 302pB、電晶體 401pB 和電晶體 402pB 是 p 通道電晶體，並且具有分別與圖 36A 的電晶體 201B、電晶體 202B、電晶體 301B、電晶體 302B、電晶體 401B 和電晶體 402B 的功能相似的功能。

注意，在電晶體是 p 通道電晶體的情況下，將電壓 V1 提供給佈線 113A 和佈線 113B。在那種情況下，示出信號 OUTA、信號 OUTB、時鐘信號 CK1、開始信號 SP、重置信號 RE、信號 SELA、信號 SELB、節點 A1 的電位、節點 A2 的電位、節點 B1 的電位和節點 B2 的電位的時序圖對應於圖 17 的時序圖的反相。

(實施例 6)

在這個實施例中，參照圖 46A 至圖 46E、圖 47、圖 48 和圖 49 來描述閘極驅動電路(又稱作閘極驅動)以及包括閘極驅動電路的顯示裝置。

<顯示裝置的結構>

參照圖 46A 至圖 46D 來描述顯示裝置的結構範例。圖 46A 至圖 46D 的顯示裝置包括電路 1001、電路 1002、電路 1003_1、電路 1003_2、畫素部分 1004 和端子 1005。

從電路 1003_1 和電路 1003_2 延伸的多個佈線設置在畫素部分 1004 之上。多個佈線用作閘極線(又稱作閘極信號線)、掃描線或信號線。另外，從電路 1002 延伸的多個

佈線設置在畫素部分 1004 之上。多個佈線用作視頻信號線、資料線、信號線或源極線(又稱作源極信號線)。畫素設置成對應於從電路 1003_1 和電路 1003_2 延伸的多個佈線以及從電路 1002 延伸的多個佈線。

除了上述佈線之外，用作電源線、電容器線等的佈線可設置在畫素部分 1004 之上。

電路 1001 具有控制向電路 1002、電路 1003_1 和電路 1003_2 提供信號、電壓、電流等的定時的功能。備選地，電路 1001 具有控制電路 1002、電路 1003_1 和電路 1003_2 的功能。如上所述，電路 1001 用作控制器、控制電路、定時發生器、電源電路或者調整器。

電路 1002 具有控制向畫素部分 1004 提供視頻信號的定時的功能。備選地，電路 1002 具有控制畫素部分 1004 中包含的畫素的亮度、透射率等的功能。如上所述，電路 1002 用作源極驅動電路或信號線驅動電路。

電路 1003_1 具有與上述實施例中所述的電路 10A、電路 100A 或電路 200A 的功能相似的功能。另外，電路 1003_2 具有與上述實施例中所述的電路 10B、電路 100B 或電路 200B 的功能相似的功能。如上所述，電路 1003_1 和電路 1003_2 各用作閘極驅動電路。

注意，如圖 46A 和圖 46B 所示，電路 1001 和電路 1002 可使用與其上形成畫素部分 1004 的基底 1006 不同的基底(例如半導體基底或 SOI 基底)來形成。另外，電路 1003_1 和電路 1003_2 可使用與畫素部分 1004 相同的基

底來形成。

在電路 1003_1 和電路 1003_2 的驅動頻率低於電路 1001 和電路 1002 的驅動頻率的情況下，遷移率低的電晶體可用作電路 1003_1 和電路 1003_2 中包含的電晶體。因此，非單晶半導體(例如非晶半導體或微晶半導體)、有機半導體或氧化物半導體能夠用於電路 1003_1 和電路 1003_2 中包含的電晶體的半導體層。相應地，當製造半導體裝置時，能夠減少步驟的數量，能夠提高產量，或者能夠降低成本。另外，在這個實施例中的半導體裝置用於顯示裝置的情況下，便利化用於製造半導體裝置的方法，使得顯示裝置的尺寸能夠增加。

注意，如圖 46A、圖 46C 和圖 46D 所示，電路 1003_1 和電路 1003_2 可以隔著畫素部分 1004 彼此相向。例如，如圖 46A 所示，電路 1003_1 設置在畫素部分 1004 的左側，而電路 1003_2 設置在畫素部分 1004 的右側。備選地，如圖 46B 所示，電路 1003_1 和電路 1003_2 可設置在畫素部分 1004 的同一側(例如左側或右側)。

注意，在圖 46A 和圖 46B 所示的結構中，如圖 46C 所示，電路 1002 可設置在與畫素部分 1004 相同的基底 1006 之上。

注意，在圖 46A 至圖 46C 所示的結構中，如圖 46D 所示，電路 1002 的一部分(例如電路 1002a)可設置在其上設置畫素部分 1004 的基底 1006 之上，而電路 1002 的另一部分(例如電路 1002b)可設置在與基底 1006 不同的基底

之上。在那種情況下，作爲電路 1002a，最好使用具有較低驅動頻率的電路，例如開關、移位暫存器或選擇器。

接下來參照圖 46E 來描述顯示裝置的畫素部分中包含的畫素。圖 46E 示出畫素的結構範例。

畫素 3020 包括電晶體 3021、液晶元件 3022 和電容器 3023。電晶體 3021 的第一端子連接到佈線 3031。電晶體 3021 的第二端子連接到液晶元件 3022 的一個電極以及電容器 3023 的一個電極。電晶體 3021 的閘極連接到佈線 3032。液晶元件 3022 的另一個電極連接到電極 3034。電容器 3023 的另一個電極連接到佈線 3033。

視頻信號從圖 46A 至圖 46D 所示的電路 1002 輸入到佈線 3031。因此，佈線 3031 用作信號線、視頻信號線或者源極線(又稱作源極信號線)。

閘極信號、掃描信號或選擇信號從圖 46A 至圖 46D 所示的電路 1003_1 和電路 1003_2 輸入到佈線 3032。因此，佈線 3032 用作閘極線(又稱作閘極信號線)、掃描線或信號線。

恆定電壓從圖 46A 至圖 46D 所示的電路 1001 提供給佈線 3033 和電極 3034。因此，佈線 3033 用作電源線或電容器線。此外，電極 3034 用作公共電極或者相對電極。

注意，可將預充電電壓提供給佈線 3031。預充電電壓的電平最好設置成基本等於提供給電極 3034 的電壓的電平。備選地，信號可輸入到佈線 3033。這樣，施加到

液晶元件 3022 的電壓受到控制，使得能夠降低視頻信號的幅度，並且能夠執行反相驅動。備選地，信號輸入到電極 3034，使得能夠執行幀反相驅動。

電晶體 3021 具有控制使佈線 3031 和液晶元件 3022 的一個電極開始傳導的定時的功能。備選地，電晶體 3021 具有控制將視頻信號寫到畫素的定時的功能。這樣，電晶體 3021 用作開關。

電容器 3023 具有保持液晶元件 3022 的該一個電極的電位與佈線 3033 的電位之間的差的功能。備選地，電容器 3023 具有保持施加到液晶元件 3022 的電壓以使得電壓的電平是恆定的功能。這樣，電容器 3023 用作儲存電容器。

<移位暫存器的結構>

接下來，描述顯示裝置中包含的閘極驅動電路的結構。具體來說，參照圖 47 和圖 48 來描述閘極驅動電路中包含的移位暫存器的結構。圖 47 和圖 48 是移位暫存器的電路圖的範例。

在圖 47，移位暫存器 1100A 包括多個觸發器電路 1101A_1 至 1101A_N(N 爲自然數)。注意，圖 16A 所示半導體裝置中包含的電路 200A 能夠用於圖 47 所示觸發器電路 1101A_1 至 1101A_N 的每個。

另外，移位暫存器 1100B 包括多個觸發器電路 1101B_1 至 1101B_N(N 爲自然數)。注意，圖 16A 所示半

導體裝置中包含的電路 200B 能夠用於圖 47 所示觸發器電路 1101B_1 至 1101B_N 的每個。

移位暫存器 1100A 連接到佈線 1111_1 至 1111_N、佈線 1112A、佈線 1113A、佈線 1114A、佈線 1115A、佈線 1116A 和佈線 1119A。在觸發器 1101A_i(i 是 1 至 N 中的任一個)中，佈線 111、佈線 112A、佈線 113A、佈線 114A、佈線 115A 和佈線 116A 分別連接到佈線 1111_i、佈線 1112A、佈線 1113A、佈線 1111_i-1、佈線 1115A 和佈線 1111_i+1。

注意，在佈線 112A 連接到佈線 1112A 和佈線 1119A 其中之一的情況下，與佈線 112A 連接的部分可在奇數級的觸發器電路與偶數級的觸發器電路之間改變。

另外，移位暫存器 1100B 連接到佈線 1111_1 至 1111_N、佈線 1112B、佈線 1113B、佈線 1114B、佈線 1115B、佈線 1116B 和佈線 1119B。在觸發器 1101B_i(i 是 1 至 N 中的任一個)中，佈線 111、佈線 112B、佈線 113B、佈線 114B、佈線 115B 和佈線 116B 分別連接到佈線 1111_i、佈線 1112B、佈線 1113B、佈線 1111_i-1、佈線 1115B 和佈線 1111_i+1。

注意，在佈線 112B 連接到佈線 1112B 和佈線 1119B 其中之一的情況下，與佈線 112B 連接的部分可在奇數級的觸發器電路與偶數級的觸發器電路之間改變。

移位暫存器 1100A 向佈線 1111_1 至 1111_N 輸出信號 GOUTA_1 至 GOUTA_N。信號 GOUTA_1 至 GOUTA_N

是分別從觸發器 1101A_1 至 1101A_N 所輸出的信號，並且對應於信號 OUTA。移位暫存器 1100B 向佈線 1111_1 至 1111_N 輸出信號 GOUTB_1 至 GOUTB_N。信號 GOUTB_1 至 GOUTB_N 是分別從觸發器 1101B_1 至 1101B_N 所輸出的信號，並且對應於信號 OUTB。因此，佈線 1111_1 至 1111_N 具有與佈線 111 的功能相似的功能。

信號 GCK1 輸入到佈線 1112A 和佈線 1112B，而信號 GCK2 輸入到佈線 1119A 和佈線 1119B。信號 GCK1 和信號 GCK2 分別對應於時鐘信號 CK1 和時鐘信號 CK2。因此，佈線 1112A 和佈線 1119A 具有與佈線 112A 的功能相似的功能，而佈線 1112B 和佈線 1119B 具有與佈線 112B 的功能相似的功能。

將電壓 V1 提供給佈線 1113A 和佈線 1113B。因此，佈線 1113A 具有與佈線 113A 的功能相似的功能，而佈線 1113B 具有與佈線 113B 的功能相似的功能。

信號 GSP 輸入到佈線 1114A 和佈線 1114B。信號 GSP 對應於開始信號 SP。因此，佈線 1114A 具有與佈線 114A 的功能相似的功能，而佈線 1114B 具有與佈線 114B 的功能相似的功能。

信號 SELA 輸入到佈線 1115A，而信號 SELB 輸入到佈線 1115B。因此，佈線 1115A 具有與佈線 115A 的功能相似的功能，而佈線 1115B 具有與佈線 115B 的功能相似的功能。

信號 GRE 輸入到佈線 1116A 和佈線 1116B。信號 GRE 對應於重置信號 RE。因此，佈線 1116A 具有與佈線 116A 的功能相似的功能，而佈線 1116B 具有與佈線 116B 的功能相似的功能。

注意，在相同信號或相同電壓輸入到佈線 1112A 和佈線 1112B 的情況下，佈線 1112A 和佈線 1112B 可相互連接。在那種情況下，如圖 48 所示，一個佈線(一個佈線 1112)可用作佈線 1112A 和佈線 1112B。備選地，不同信號或不同電壓可輸入到佈線 1112A 和佈線 1112B。

在相同信號或相同電壓輸入到佈線 1113A 和佈線 1113B 的情況下，佈線 1113A 和佈線 1113B 可相互連接。在那種情況下，如圖 48 所示，一個佈線(一個佈線 1113)可用作佈線 1113A 和佈線 1113B。備選地，不同信號或不同電壓可輸入到佈線 1113A 和佈線 1113B。

在相同信號或相同電壓輸入到佈線 1114A 和佈線 1114B 的情況下，佈線 1114A 和佈線 1114B 可相互連接。在那種情況下，如圖 48 所示，一個佈線(一個佈線 1114)可用作佈線 1114A 和佈線 1114B。備選地，不同信號或不同電壓可輸入到佈線 1114A 和佈線 1114B。

在相同信號或相同電壓輸入到佈線 1116A 和佈線 1116B 的情況下，佈線 1116A 和佈線 1116B 可相互連接。在那種情況下，如圖 48 所示，一個佈線(一個佈線 1116)可用作佈線 1116A 和佈線 1116B。備選地，不同信號或不同電壓可輸入到佈線 1116A 和佈線 1116B。

在相同信號或相同電壓輸入到佈線 1119A 和佈線 1119B 的情況下，佈線 1119A 和佈線 1119B 可相互連接。在那種情況下，如圖 48 所示，一個佈線(一個佈線 1119)可用作佈線 1119A 和佈線 1119B。備選地，不同信號或不同電壓可輸入到佈線 1119A 和佈線 1119B。

<移位暫存器的操作>

參照圖 49 來描述移位暫存器的操作範例。圖 49 是示出移位暫存器的操作範例的時序圖。圖 49 示出信號 GCK1、信號 GCK2、信號 GSP、信號 GRE、信號 SELA、信號 SELB、信號 GOUTA_1 至 GOUTA_N 以及信號 GOUTB_1 至 GOUTB_N。

首先描述觸發器 1101A_i 在第 k(k 爲自然數)幀中的操作以及觸發器 1101B_i 在第(k-1)幀中的操作。

首先，信號 GOUTA_i-1 和信號 GOUTB_i 設置在 H 電平。然後，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期間 a1 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 L 信號，並且觸發器 1101B_i 向佈線 1111_i 輸出 L 信號。

然後，在對信號 GCK1 和信號 GCK2 反相時，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期間 b1 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 H 信號，並且觸發器 1101B_i 向佈線 1111_i 輸出 H 信號。

然後，當信號 GCK1 和信號 GCK2 再次反相時，信號

GOUTA_i+1 和信號 GOUTB_i+1 設置在 H 電平。此後，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期間 c1 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 L 信號，而觸發器 1101B_i 沒有向佈線 1111_i 輸出信號。

然後，在信號 GOUTA_i-1 和信號 GOUTB_i 再次設置在 H 電平之前，觸發器 1101A_i 和觸發器 1101B_i 執行實施例 4 所述的在期間 d1 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 L 信號，而觸發器 1101B_i 沒有向佈線 1111_i 輸出信號。

首先描述觸發器 1101A_i 在第(k+1)幀中的操作以及觸發器 1101B_i 在第 k 幀中的操作。

首先，信號 GOUTA_i-1 和信號 GOUTB_i 設置在 H 電平。然後，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期間 a2 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 L 信號，並且觸發器 1101B_i 向佈線 1111_i 輸出 L 信號。

然後，在對信號 GCK1 和信號 GCK2 反相時，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期間 b2 中的操作。因此，觸發器 1101A_i 向佈線 1111_i 輸出 H 信號，並且觸發器 1101B_i 向佈線 1111_i 輸出 H 信號。

然後，當信號 GCK1 和信號 GCK2 再次反相時，信號 GOUTA_i+1 和信號 GOUTB_i+1 設置在 H 電平。此後，觸發器 1101A_i 和觸發器 1101B_i 開始實施例 4 所述的在期

間 c2 中的操作。因此，觸發器 1101A_i 沒有向佈線 1111_i 輸出信號，而觸發器 1101B_i 向佈線 1111_i 輸出 L 信號。

然後，在信號 GOUTA_i-1 和信號 GOUTB_i 再次設置在 H 電平之前，觸發器 1101A_i 和觸發器 1101B_i 執行實施例 4 所述的在期間 d2 中的操作。因此，觸發器 1101A_i 沒有向佈線 1111_i 輸出信號，而觸發器 1101B_i 向佈線 1111_i 輸出 L 信號。

(實施例 7)

在這個實施例中，參照圖 50A 至圖 50D 來描述源極驅動電路(又稱作源極驅動)。

圖 50A 示出源極驅動電路的結構範例。源極驅動電路包括電路 2001 和電路 2002。電路 2002 包括多個電路 2002_1 至 2002_N(N 爲自然數)。電路 2002_1 至 2002_N 包括多個電晶體 2003_1 至 2003_k(k 爲自然數)。電晶體 2003_1 至 2003_k 能夠是 n 通道電晶體或 p 通道電晶體。備選地，電晶體 2003_1 至 2003_k 能夠用作 CMOS 開關。

以電路 2002_1 爲例來描述源極驅動電路中包含的電路 2002_1 至 2002_N 的連接關係。電路 2002_1 中包含的電晶體 2003_1 至 2003_k 的第一端子分別連接到佈線 2004_1 至 2004_k。電晶體 2003_1 至 2003_k 的第二端子分別連接到源極線 2008_1 至 2008_k(圖 50B 中由 S1、S2 和 Sk 表示)。電晶體 2003_1 至 2003_k 的閘極連接到佈線

2005_1。

電路 2001 具有控制向佈線 2005_1 以及佈線 2005_2 至 2005_N 依次輸出 H 信號的定時的功能或者依次選擇電路 2002_1 至 2002_N 的功能。這樣，電路 2001 用作移位暫存器。

電路 2001 能夠按照不同順序向佈線 2005_1 至 2005_N 輸出 H 信號。備選地，電路 2001 能夠按照不同順序來選擇 2002_1 至 2002_N。這樣，電路 2001 用作解碼器。

電路 2002_1 具有控制使佈線 2004_1 至 2004_k 和源極線 2008_1 至 2008_k 開始傳導的定時的功能。備選地，電路 2001_1 具有控制將佈線 2004_1 至 2004_k 的電位提供給源極線 2008_1 至 2008_k 的定時的功能。這樣，電路 2002_1 用作選擇器。注意，電路 2002_2 至 2002_N 具有與電路 2002_1 的功能相似的功能。

電晶體 2003_1 至 2003_N 各具有控制使佈線 2004_1 至 2004_k 和源極線 2008_1 至 2008_k 開始傳導的定時的功能。例如，電晶體 2003_1 具有控制使佈線 2004_1 和源極線 2008_1 開始傳導的定時的功能。備選地，電晶體 2003_1 至 2003_N 各具有控制將佈線 2004_1 至 2004_k 的電位提供給源極線 2008_1 至 2008_k 的定時的功能。例如，電晶體 2003_1 具有控制使佈線 2004_1 的電位提供給源極線 2008_1 的定時的功能。這樣，電晶體 2003_1 至 2003_N 各用作開關。

注意，在與視頻信號對應的信號、例如與視頻信號對應的類比信號輸入到佈線 2004_1 至 2004_k 的情況下，佈線 2004_1 至 2004_k 用作信號線。備選地，數位信號、類比電壓或者類比電流可輸入到佈線 2004_1 至 2004_k。

接下來參照圖 50B 的時序圖來描述圖 50A 所示的源極驅動電路的操作範例。

圖 50B 示出信號 2015_1 至 2015_N 以及信號 2014_1 至 2014_k。信號 2015_1 至 2015_N 是電路 2001 的輸出信號。信號 2014_1 至 2014_k 分別輸入到佈線 2004_1 至 2004_k。

注意，源極驅動電路的一個操作期間對應於顯示裝置中的一個閘極選擇期間。一個閘極選擇期間例如分爲期間 T0 至 TN。期間 T0 是預充電電壓同時施加到所選列的畫素的期間，並且又稱作預充電期間。期間 T1 至 TN 的每個是將視頻信號寫到所選列的畫素的期間，並且又稱作寫入期間。

首先，在期間 T0，電路 2001 向佈線 2005_1 至 2005_N 輸出 H 信號。然後，電晶體 2003_1 至 2003_k 在電路 2002_1 中導通，使得佈線 2004_1 至 2004_k 和源極線 2008_1 至 2008_k 開始傳導。這時，預充電電壓 Vp 施加到佈線 2004_1 至 2004_k。因此，預充電電壓 Vp 通過電晶體 2003_1 至 2003_k 輸出到源極線 2008_1 至 2008_k。將預充電電壓 Vp 寫到所選列的畫素，使得對所選列的畫素預充電。

在期間 T1 至 TN，電路 2001 依次向佈線 2005_1 至 2005_N 輸出 H 信號。例如，在期間 T1，電路 2001 向佈線 2005_1 輸出 H 信號。然後，電晶體 2003_1 至 2003_k 導通，使得佈線 2004_1 至 2004_k 和源極線 2008_1 至 2008_k 開始傳導。這時，資料(S1)至資料(Sk)分別輸入到佈線 2004_1 至 2004_k。資料(S1)至資料(Sk)分別通過電晶體 2003_1 至 2003_k 輸入到所選列中第一至第 k 行的畫素。這樣，在期間 T1 至 TN，視頻信號逐行依次寫到所選列中的 k 行的畫素。

當視頻信號如上所述逐行寫到多行的畫素時，能夠減少將視頻信號寫到畫素所需的視頻信號的數量或者佈線的數量。因此，在其上形成畫素部分的基底與外部電路之間的連接的數量能夠減少，使得能夠實現產量的提高、可靠性的提高、元件數量的減少或者成本的降低。

備選地，在將視頻信號逐行寫到多行的畫素時，寫入時間能夠延長。因此，能夠防止視頻信號的寫入的不足，使得顯示品質能夠得到提高。

注意，當使 k 變大時，到外部電路的連接的數量能夠減少。但是，如果 k 過大，則將信號寫到畫素的時間會縮短。因此，k 最好爲 6 或以上，更理想地爲 3 或以上，進一步最好爲 2。

具體來說，在畫素的顏色要素的數量爲 n(n 爲自然數)時，k=n 或 k=n×d(d 爲自然數)是較佳的。例如，在畫素分爲紅色(R)、綠色(G)和藍色(B)三種顏色要素的情況

下，k=3 或 k=3×d 是較佳的。

例如，在畫素分爲 m 個(m 爲自然數)子畫素的情況下，k=m 或 k=m×d 是較佳的。例如，在畫素分爲兩個子畫素的情況下，k=2 是較佳的。備選地，在畫素的顏色要素的數量爲 n 的情況下，k=m×n 或 k=m×n×d 是較佳的。

參照圖 50C 來描述源極驅動電路的不同結構範例。注意，在電路 2001 和電路 2002 的驅動頻率低的情況下，電路 2001 和電路 2002 可使用單晶半導體來形成。因此，電路 2001 和電路 2002 能夠使用與畫素部分 2007 相同的基底來形成，如圖 50C 所示。通過這種結構，在其上形成畫素部分的基底與外部電路之間的連接的數量能夠減少，使得能夠實現產量的提高、可靠性的提高、元件數量的減少或者成本的降低。

當閘極驅動電路 2006A 和閘極驅動電路 2006B 也使用與畫素部分 2007 相同的基底來形成時，到外部電路的連接的數量能夠進一步減少。注意，閘極驅動電路 2006A 對應於以上實施例中所述的電路 10A、電路 100A 或電路 200A，而閘極驅動電路 2006B 對應於以上實施例中所述的電路 10B、電路 100B 或電路 200B。

參照圖 50D 來描述源極驅動電路的不同結構範例。如圖 50D 所示，電路 2001 可使用與其上形成畫素部分 2007 的基底不同的基底來形成，而電路 2002 可使用與畫素部分 2007 相同的基底來形成。通過這種結構，在其上形成畫素部分的基底與外部電路之間的連接的數量能夠減少，

使得能夠實現產量的提高、可靠性的提高、元件數量的減少或者成本的降低。此外，由於使用與畫素部分 2007 相同的基底來形成的電路的數量減少，所以幀能夠減小。

(實施例 8)

在顯示裝置中，保護電路在一些情況下設置用於閘極線或源極線，以便防止設置在畫素中的元件(例如電晶體、顯示元件或電容器)被靜電放電(ESD)、雜訊等損壞。

在這個實施例中，描述保護電路的結構以及包括保護電路的半導體裝置的結構。

參照圖 51A 至圖 51G 來描述保護電路的電路圖的範例。

圖 51A 所示的保護電路 3000 可用作保護電路。提供圖 51A 所示的保護電路 3000，以便防止設置在與佈線 3011 連接的畫素中的元件被靜電放電、雜訊等損壞。保護電路 3000 包括電晶體 3001 和電晶體 3002。電晶體 3001 和 3002 能夠是 n 通道電晶體或 p 通道電晶體。

電晶體 3001 的第一端子連接到佈線 3012。電晶體 3001 的第二端子連接到佈線 3011。電晶體 3001 的閘極連接到佈線 3011。電晶體 3002 的第一端子連接到佈線 3013。電晶體 3002 的第二端子連接到佈線 3011。電晶體 3002 的閘極連接到佈線 3013。

將信號(例如掃描信號、視頻信號、時鐘信號、開始信號、重置信號或選擇信號)和電壓(例如負電源電位、地

電壓或正電源電位)提供給佈線 3011。將高電源電位 VDD 提供給佈線 3012。將低高電源電位 VSS(或地電壓)提供給佈線 3013。

當佈線 3011 的電位處於低電源電位 VSS 與高電源電位 VDD 之間時，電晶體 3011 和電晶體 3002 關斷。因此，將提供給佈線 3011 的信號或電壓提供給連接到佈線 3011 的畫素。

由於靜電等的不利影響，高於高電源電位 VDD 的電位或者低於低電源電位 VSS 的電位在一些情況下提供給佈線 3011。在那種情況下，設置在與佈線 3011 連接的畫素中的元件可能被高於高電源電位 VDD 的電位或者低於低電源電位 VSS 的電位損壞。

爲了防止這種靜電放電，在高於高電源電位 VDD 的電位因靜電等的不利影響而提供給佈線 3011 的情況下，電晶體 3001 導通。然後，由於佈線 3011 中的電荷通過電晶體 3001 傳遞到佈線 3012，所以佈線 3011 的電位降低。

在高於低電源電位 VSS 的電位因靜電等的不利影響而提供給佈線 3011 的情況下，電晶體 3002 導通。然後，由於佈線 3011 中的電荷通過電晶體 3002 傳遞到佈線 3013，所以佈線 3011 的電位升高。

當保護電路 3000 如上所述設置時，能夠防止與佈線 3011 連接的畫素中設置的元件被靜電等損壞。

注意，圖 51B 或圖 51C 所示的保護電路 3000 可用作

保護電路。圖 51B 所示的結構對應於一種結構，其中從圖 51A 所示的結構消除電晶體 3002 和佈線 3013。圖 51C 所示的結構對應於一種結構，其中從圖 51 的結構消除電晶體 3001 和佈線 3012。

圖 51D 所示的保護電路 3000 可用作保護電路。圖 51D 所示的結構對應於一種結構，其中電晶體 3003 串聯連接在圖 51A 所示結構中的佈線 3011 與佈線 3012 之間，並且電晶體 3004 串聯連接在佈線 3011 與佈線 3013 之間。

在圖 51D，電晶體 3003 的第一端子連接到佈線 3012；電晶體 3003 的第二端子連接到電晶體 3001 的第一端子；並且電晶體 3003 的閘極連接到電晶體 3001 的第一端子。電晶體 3004 的第一端子連接到佈線 3013；電晶體 3004 的第二端子連接到電晶體 3002 的第一端子；電晶體 3004 的閘極連接到佈線 3013。

圖 51E 所示的保護電路 3000 可用作保護電路。圖 51E 所示的結構對應於一種結構，其中電晶體 3001 的閘極連接到圖 51D 所示結構中的電晶體 3003 的閘極，並且電晶體 3002 的閘極連接到電晶體 3004 的閘極。

圖 51F 所示的保護電路 3000 可用作保護電路。圖 51F 所示的結構對應於一種結構，其中電晶體 3001 和電晶體 3003 並聯連接在圖 51A 所示結構中的佈線 3011 與佈線 3012 之間，並且電晶體 3002 和電晶體 3004 並聯連接在佈線 3011 與佈線 3013 之間。

在圖 51F，電晶體 3003 的第一端子連接到佈線 3012；電晶體 3003 的第二端子連接到佈線 3011；電晶體 3003 的閘極連接到佈線 3011。電晶體 3004 的第一端子連接到佈線 3013；電晶體 3004 的第二端子連接到佈線 3011；電晶體 3004 的閘極連接到佈線 3013。

圖 51G 所示的保護電路 3000 可用作保護電路。圖 51G 所示的結構對應於一種結構，其中電容器 3005 和電阻器 3006 並聯連接在圖 51A 所示結構中的電晶體 3001 的閘極與電晶體 3001 的第一端子之間，並且電容器 3007 和電阻器 3008 並聯連接在電晶體 3002 的閘極與電晶體 3002 的第一端子之間。

通過圖 51Q 所示的結構，能夠防止保護電路 30000 本身的損壞或退化。

例如，在將高於電源電位的電壓提供給佈線 3011 的情況下，電晶體 3001 的閘極與電晶體 3001 的源極之間的電位差 Vgs 升高。因此，電晶體 3001 導通，使得佈線 3011 的電位降低。但是，由於高電壓施加在電晶體 3001 的閘極與電晶體 3001 的第二端子之間，所以電晶體 3001 可能被損壞或者退化。爲了防止電晶體 3001 的損壞或退化，電晶體的閘極電壓使用電容器 3005 來升高，並且電晶體 3001 的閘極與電晶體 3001 的源極之間的電位差 Vgs 降低。

具體來說，當電晶體 3001 導通時，電晶體 3001 的第一端子的電壓暫態升高。然後，通過電容器 3005 的電容

耦合，電晶體 3001 的閘極電壓升高。這樣，電晶體 3001 的閘極與電晶體 3001 的源極之間的電位差 Vgs 能夠降低，使得能夠抑制電晶體 3001 的損壞或退化。

類似地，在將低於電源電位的電壓提供給佈線 3011 的情況下，電晶體的第一端子的電壓暫態降低。然後，通過電容器 3007 的電容耦合，電晶體 3002 的閘極電壓降低。這樣，電晶體 3002 的閘極與電晶體 3002 的源極之間的電位差 Vgs 能夠降低，使得能夠抑制電晶體 3002 的損壞或退化。

接下來參照圖 52A 和圖 52B 來描述提供有保護電路的半導體裝置的結構。

圖 52A 示出其中保護電路設置在閘極線中的半導體裝置的結構範例。在圖 52A，閘極線 3102_1 和閘極線 3102_2 每個對應於圖 51A 至圖 51G 的佈線 3011。

佈線 3012 和佈線 3013 連接到與閘極驅動電路 3100 連接的佈線的任一個。通過這種結構，閘極驅動電路的電源電壓能夠用作用於操作保護電路 300 的電源電壓，使得電源電壓的種類以及用於向保護電路 3000 提供電源電壓的佈線的數量能夠減少。

圖 52B 示出一種半導體裝置的結構範例，其中保護電路設置在從外部、如 FPC 向其提供信號或電壓的端子中。在圖 52B，佈線 3012 和佈線 3013 能夠連接到外部端子的任一個。例如，在佈線 3012 連接到端子 3101a 的情況下，在設置於端子 3101a 的保護電路中，能夠消除電晶

體 3001。類似地，在佈線 3013 連接到端子 3101b 的情況下，在設置於端子 3101b 的保護電路中，能夠消除電晶體 3002。對於設置在端子 3101c 和端子 3101d 中的保護電路，情況也會是這樣。

通過這種結構，電晶體的數量能夠減少，使得佈局面積能夠減小。

(實施例 9)

在這個實施例中，參照圖 53A 至圖 53C 來描述包括電晶體和顯示元件的顯示裝置的結構以及電晶體的結構。

例如，場效電晶體或雙極電晶體能夠用作電晶體。薄膜電晶體(又稱作 TFT)能夠用作場效電晶體。另外，場效電晶體可以是頂閘電晶體或底閘電晶體。通道蝕刻電晶體或底接觸電晶體(又稱作倒置共面電晶體)能夠用作底閘電晶體。此外，場效電晶體可具有 n 型或 p 型導電。

注意，場效電晶體例如包括：閘電極；半導體層，其中包括源區、通道區和汲區；以及閘絕緣層，在截面圖中設置在閘電極與半導體層之間。半導體層使用半導體膜或半導體基底來形成。

用於半導體膜或半導體基底的半導體材料的範例包括非晶半導體、微晶半導體、單晶半導體和多晶半導體。另外，氧化物半導體可用作半導體材料。

作爲氧化物半導體，能夠使用四成分金屬氧化物(例如 In-Sn-Ga-Zn-O 基金屬氧化物)、三成分金屬氧化物(例

如 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物或者 Sn-Al-Zn-O 基金屬氧化物)或者二成分金屬氧化物(例如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、In-Mg-O 基金屬氧化物、In-Ga-O 基金屬氧化物或者 In-Sn-O 基金屬氧化物)。In-O 基金屬氧化物、Sn-O 基金屬氧化物、Zn-O 基金屬氧化物等等能夠用作氧化物半導體。此外，作爲氧化物半導體，能夠使用在能夠用作該氧化物半導體的金屬氧化物中包含 $SiO_2$ 的氧化物半導體。

作爲氧化物半導體，能夠使用由 $InMO_3(ZnO)_m(m>0)$ 所表示的材料。在這裏，M 表示從 Ga、Al、Mn 或 Co 中選取的一種或多種金屬元素。例如，M 能夠是 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等等。

圖 53A 和圖 53B 示出包括電晶體和顯示元件的結構範例。頂閘電晶體用作圖 53A 的電晶體，而底閘電晶體用作圖 53B 的電晶體。

圖 53A 示出基底 5260、設置在基底 5260 之上的絕緣層 5261、設置在絕緣層 5261 之上並且提供有區域 5262a 至 5262e 的半導體層 5262、設置成覆蓋半導體層 5262 的絕緣層 5263、設置在半導體層 5262 和絕緣層 5263 之上的導電層 5264、設置在絕緣層 5263 和導電層 5264 之上並且提供有開口的絕緣層 5265 以及設置在絕緣層 5265 之

上以及在設置於絕緣層 5265 的開口中的導電層 5266。

圖 53B 示出基底 5300、設置在基底 5300 之上的導電層 5301、設置成覆蓋導電層 5301 的絕緣層 5302、設置在導電層 5301 和絕緣層 5302 之上的半導體層 5303a、設置在半導體層 5303a 之上的半導體層 5303b、設置在半導體層 5303b 和絕緣層 5302 之上的導電層 5304、設置在絕緣層 5302 和導電層 5304 之上並且提供有開口的絕緣層 5305 以及設置在絕緣層 5305 之上以及在設置於絕緣層 5305 的開口中的導電層 5306。

圖 53C 示出電晶體的不同結構範例。圖 53C 示出包括區域 5353 和區域 5355 的半導體基底 5352、設置在半導體基底 5352 之上的絕緣層 5356、設置在半導體基底 5352 之上的絕緣層 5354、設置在絕緣層 5356 之上的導電層 5357、設置在絕緣層 5354、絕緣層 5356 和導電層 5357 之上並且提供有開口的絕緣層 5358 以及設置在絕緣層 5358 之上以及在設置於絕緣層 5358 的開口中的導電層 5359。在圖 53C，電晶體在區域 5350 和區域 5351 的每個中形成。圖 53C 所示的電晶體的結構可適用於圖 53A 和圖 53B 所示的電晶體。

注意，如圖 53A 所示，顯示裝置可包括：絕緣層 5267，設置在導電層 5266 和絕緣層 5265 之上，並且提供有開口；導電層 5268，設置在絕緣層 5267 之上並且在設置於絕緣層 5267 的開口中；絕緣層 5269，設置在絕緣層 5267 和導電層 5268 之上，並且提供有開口；EL 層

5270，設置在絕緣層 5269 之上並且在設置於絕緣層 5269 的開口中；以及導電層 5271，設置在絕緣層 5269 和 EL 層 5270 之上。對於圖 53B 的顯示裝置，情況會是這樣。

注意，如圖 53B 所示，顯示裝置可包括：液晶層 5307，設置在絕緣層 5305 和導電層 5306 之上；以及導電層 5308，設置在液晶層 5307 之上。對於圖 53A 的顯示裝置，情況會是這樣。

絕緣層 5261 用作基膜。絕緣層 5354 用作元件隔離層(例如場氧化膜)。絕緣層 5263、絕緣層 5302 和絕緣層 5356 的每個用作閘絕緣膜。導電層 5264、導電層 5301 和導電層 5357 的每個用作閘電極。絕緣層 5265、絕緣層 5267、絕緣層 5305 和絕緣層 5358 的每個用作層間膜或平坦化膜。導電層 5266、導電層 5304 和導電層 5359 的每個用作佈線、電晶體的電極、電容器的電極等等。導電層 5268 和導電層 5306 的每個用作畫素電極、反射電極等等。絕緣層 5269 用作隔牆。導電層 5271 和導電層 5308 的每個用作相對電極、公共電極等等。

作爲基底 5260 和基底 5300 的每個，可使用玻璃基底、石英基底、半導體基底(例如矽基底或單晶基底)、SOI 基底、塑膠基底、金屬基底、不銹鋼基底、包括不銹鋼箔的基底、鎢基底、包括鎢箔的基底、柔性基底等等。

作爲玻璃基底，可使用鋇硼矽酸鹽玻璃基底、鋁硼矽酸鹽玻璃基底等等。對於柔性基底，可使用諸如由聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)或聚醚

碸(PES)或丙烯酸所代表的塑膠之類的柔性合成樹脂。備選地，可使用貼合膜(使用聚丙烯、聚酯、乙烯基、聚氟乙烯、聚氯乙烯等等形成)、包括纖維材料的紙張、基礎材料膜(使用聚酯、聚醯胺、聚醯亞胺、無機汽相沈積膜、紙張等形成)等等。

作爲半導體基底 5352，可使用具有 n 型導電的單晶矽基底。備選地，單晶矽基底的一部分或整體可用作半導體基底 5352。區域 5353 是其中將雜質元素添加到半導體基底 5352 的區域，並且用作井。例如，在半導體基底 5352 具有 p 型導電的情況下，區域 5353 具有 n 型導電，並且用作 n 井。在半導體基底 5352 具有 n 型導電的情況下，區域 5353 具有 p 型導電，並且用作 p 井。區域 5355 是其中將雜質元素添加到半導體基底 5352 的區域，並且用作源區或汲區。注意，LDD(輕摻雜汲極)區可在半導體基底 5352 中形成。

對於絕緣層 5261，能夠使用包含氧或氮的絕緣膜、例如氧化矽膜、氮化矽膜、氧氮化矽($SiO_xN_y$)(x>y>0)膜或者氧化氮化矽($SiN_xO_y$)(x>y>0)膜的單層結構、分層結構等。在絕緣層 5261 具有兩層結構的情況下，例如，能夠使用其中氮化矽膜形成爲第一絕緣層並且氧化矽膜形成爲第二絕緣層的絕緣層。在絕緣層 5261 具有三層結構的情況下，例如，能夠使用其中氧化矽膜形成爲第一絕緣層、氮化矽膜形成爲第二絕緣層以及氧化矽膜形成爲第三絕緣層的絕緣層。

對於半導體層 5262、半導體層 5303a 和半導體層 5303b 的每個，能夠使用非單晶半導體(例如非晶矽、多晶矽或微晶矽)、單晶半導體、化合物半導體或氧化物半導體(例如 ZnO、InGaZnO、SiGe、GaAs、IZO(氧化銦鋅)、ITO(氧化銦錫)、SnO、TiO 或 AlZnSnO(AZTO))、有機半導體、碳奈米管等等。

區域 5262a 是沒有將雜質元素添加到半導體層 5262 的本質區，並且用作通道區。注意，可將雜質元素添加到區域 5262a。添加到區域 5262a 的雜質元素的濃度最好低於添加到區域 5262b、區域 5262c、區域 5262d 或區域 5262e 的雜質元素的濃度。區域 5262b 和區域 5262d 的每個是以比區域 5262c 和區域 5262e 更低的濃度將雜質元素添加到半導體層 5262 的區域，並且用作 LDD(輕摻雜汲極)區。注意，可消除區域 5262b 和區域 5262d。區域 5262c 和區域 5262e 的每個是以高濃度將雜質元素添加到半導體層 5262 的區域，並且用作源區或汲區。

半導體層 5303b 是對其添加作爲雜質元素的磷等的半導體層，並且具有 n 型導電。注意，在氧化物半導體或化合物半導體用於半導體層 5303a 的情況下，可消除半導體層 5303b。

對於絕緣層 5263 和絕緣層 5356 的每個，最好使用包含氧或氮的絕緣膜、例如氧化矽膜、氮化矽膜、氧氮化矽($SiO_xN_y$)(x>y>0)膜或者氧化氮化矽($SiN_xO_y$)(x>y>0)膜的單層結構或分層結構。

作爲導電層 5264、導電層 5266、導電層 5268、導電層 5271、導電層 5301、導電層 5304、導電層 5306、導電層 5308、導電層 5357 和導電層 5359 的每個，最好使用具有單層結構或分層結構的導電膜等等。對於導電膜，最好使用由下列元素所組成的組、包含從該組所選的一種元素的單層膜、使用包含從該組所選的一種或多種元素的化合物所形成的膜等，下列元素如：鋁(Al)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鎢(W)、釹(Nd)、鉻(Cr)、鎳(Ni)、鉑(Pt)、金(Au)、銀(Ag)、銅(Cu)、錳(Mn)、鈷(Co)、鈮(Nb)、矽(Si)、鐵(Fe)、鈀(Pd)、碳(C)、鈧(Sc)、鋅(Zn)、鎵(Ga)、銦(In)、錫(Sn)、鋯(Zr)和鈰(Ce)。注意，單層膜或化合物可包含磷(P)、硼(B)、砷(As)、氧(O)等等。

包含從該多種元素中選取的一種或多種元素的化合物(例如合金)、包含氮以及從該多種元素中選取的一種或多種元素的化合物(例如氮化物膜)、包含矽以及從該多種元素中選取的一種或多種元素的化合物(例如矽化物膜)、奈米管材料等等能夠用作該化合物。氧化銦錫(ITO)、氧化銦鋅(IZO)、包含氧化矽的氧化銦錫(ITSO)、氧化鋅(ZnO)、氧化錫(SnO)、氧化鎘錫(CTO)、鋁釹(Al-Nd)、鋁鎢(Al-W)、鋁鋯(Al-Zr)、鋁鈦(Al-Ti)、鋁鈰(Al-Ce)、鎂銀(Mg-Ag)、鉬鈮(Mo-Nb)、鉬鎢(Mo-W)、鉬鉭(Mo-Ta)等等能夠用作合金。氮化鈦、氮化鉭、氮化鉬等等能夠用於氮化膜。矽化鎢、矽化鈦、矽化鎳、鋁矽、鉬矽等等能夠用於矽化物膜。碳奈米管、有機奈米管、無機奈米管或金

屬奈米管等等能夠用作奈米管材料。

對於絕緣層 5265、絕緣層 5267、絕緣層 5269、絕緣層 5305 和絕緣層 5358 的每個，最好使用具有單層結構或分層結構等等的絕緣層。作爲絕緣層，能夠使用：包含氧或氮的膜，例如氧化矽膜、氮化矽膜、氧氮化矽($SiO_xN_y$)(x>y>0)膜或氧化氮化矽($SiN_xO_y$)(x>y>0)膜；包含諸如菱形碳(DLC)之類的碳的膜；使用包含諸如矽氧烷樹酯、環氧樹酯、聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯或丙烯酸之類的有機材料所形成的膜；等等。

EL 層 5270 包括使用發光材料所形成的發光層。除了發光層之外，EL 層 5270 還可包括使用電洞注入材料所形成的電洞注入層、使用電洞傳輸材料所形成的電洞傳輸層、使用電子傳輸材料所形成的電子傳輸層、使用電子注入材料所形成的電子注入層、其中混合多個這些材料的層等等。導電層 5268、EL 層 5270 和導電層 5271 形成有機 EL 元件。

液晶層 5307 包括液晶，其中包含多個液晶分子。液晶分子的狀態主要由施加到畫素電極與相對電極之間的電壓來確定，並且液晶的透射率發生改變。例如，電控雙折射液晶(又稱作 ECB 液晶)、對其添加二色性色素的液晶(又稱作 GH 液晶)、聚合物分散液晶、盤狀液晶等等能夠用作該液晶。呈現藍相的液晶材料可用作該液晶。呈現藍相的液晶包含例如其中包括呈現藍相的液晶和手性試劑的液晶成分。呈現藍相的液晶具有 1 ms 或以下的短回應時

間，並且是光學各向同性的；因此，不需要定向處理（alignment treatment），並且視角依賴性小。因此，通過呈現藍相的液晶，操作速度能夠得到提高。

注意，用作定向膜的絕緣層、用作突出部分的絕緣層等等可設置在絕緣層 5305 和導電層 5306 之上。

注意，用作濾色器、黑矩陣或突出部分的絕緣層等可在導電層 5308 之上形成。用作定向膜的絕緣層可在導電層 5308 之下形成。

以上實施例的任一個中所述的閘極驅動電路和半導體裝置能夠適用於這個實施例的顯示裝置。另外，這個實施例中所述的電晶體能夠在以上實施例的任一個所述的閘極驅動電路和半導體裝置中使用。具體來說，甚至在非單晶半導體、如非晶半導體或微晶半導體、有機半導體、氧化物半導體等等用於電晶體的半導體層的情況下，通過以上實施例的任一個中所述的閘極驅動電路和半導體裝置的結構也能夠得到抑制電晶體的退化的優點。

(實施例 10)

在這個實施例中，參照圖 54A 至圖 54C 來描述顯示裝置的結構。作爲顯示裝置的結構範例，圖 54A 示出顯示裝置的頂視圖，而圖 54B 和圖 54C 示出沿圖 54A 的截線 A-B 所截取的截面圖。

在圖 54A，驅動電路 5392 和畫素部分 5393 在基底 5400 之上形成。驅動電路 5392 包括閘極驅動電路、源極

驅動電路等等。

圖 54B 示出基底 5400、設置在基底 5400 之上的導電層 5401、設置成覆蓋導電層 5401 的絕緣層 5402、設置在導電層 5401 和絕緣層 5402 之上的半導體層 5403a、設置在半導體層 5403a 之上的半導體層 5403b、設置在半導體層 5403b 和絕緣層 5402 之上的導電層 5404、設置在絕緣層 5402 和導電層 5404 之上並且提供有開口的絕緣層 5405、設置在絕緣層 5405 之上並且在絕緣層 5405 的開口中的導電層 5406、設置在絕緣層 5405 和導電層 5406 之上的絕緣層 5408、設置在絕緣層 5405 之上的液晶層 5407、設置在液晶層 5407 和絕緣層 5408 之上的導電層 5409 以及設置在導電層 5409 之上的基底 5410。

導電層 5401 用作閘電極。絕緣層 5402 用作閘絕緣膜。導電層 5404 用作佈線、電晶體的電極、或者電容器的電極。絕緣層 5405 用作層間膜或平坦化膜。導電層 5406 用作佈線、畫素電極或反射電極。絕緣層 5408 用作密封層。導電層 5409 用作相對電極或公共電極。

在這裏，在一些情況下，寄生電容在驅動電路 5392 與導電層 5409 之間產生。相應地，從驅動電路 5392 所輸出的信號或者各節點的電位發生失真或延遲，並且增加驅動電路 5392 的功率消耗。

相比之下，當如圖 54B 所示的用作密封層並且具有比液晶層更低的介電常數的絕緣層 5408 在驅動電路 5392 之上形成時，能夠減小在驅動電路 5392 與導電層 5409 之間

所產生的寄生電容。因此，能夠降低從驅動電路 5392 所輸出的信號或者各節點的電位的失真、延遲等等。備選地，驅動電路 5392 的功率消耗能夠降低。

如圖 54C 所示，當用作密封層的絕緣層 5408 在驅動電路 5392 的一部分之上形成時，能夠得到類似效果。注意，在寄生電容的不利影響不成問題的情況下，沒有必要提供絕緣層 5408。

注意，雖然在這個實施例中描述了提供有包括液晶層的液晶元件的顯示裝置，但是除了液晶元件之外，EL 元件、電泳元件等等也能夠用作顯示裝置中的顯示元件。

由於在這個實施例的顯示裝置中能夠減小驅動電路的寄生電容，所以能夠降低各節點的電位或輸出信號的失真或延遲。因此，沒有必要提高電晶體的電流提供能力，使得電晶體的通道寬度能夠減小。因此，驅動電路的佈局面積能夠減小，使得顯示裝置的框架能夠減小，或者顯示裝置能夠具有更高清晰度。

(實施例 11)

在這個實施例中，描述半導體裝置的佈局圖(又稱作頂視圖)。例如，圖 55 是圖 31B 所示半導體裝置的佈局圖。

圖 55 所示的半導體裝置包括導電層 901、半導體層 902、導電層 903、導電層 904 和接觸孔 905。注意，可形成不同導電層、不同接觸孔、絕緣膜等等。例如，可形成

用於將導電層 901 和導電層 903 相互連接的接觸孔。

導電層 901 包括用作閘電極或佈線的部分。半導體層 902 包括用作電晶體的半導體層的部分。導電層 903 包括用作佈線、源極或汲極的部分。導電層 904 包括用作透明電極、畫素電極或佈線的部分。導電層 901 和導電層 904 能夠通過接觸孔 905 相互連接，或者導電層 903 和導電層 904 能夠通過接觸孔 905 相互連接。

注意，當半導體層 902 設置在導電層 901 和導電層 903 相互重疊的部分時，導電層 901 與導電層 903 之間的寄生電容能夠減小，使得雜訊能夠降低。由於類似原因，半導體層 902 可設置在導電層 901 和導電層 904 相互重疊的部分或者在導電層 903 與導電層 904 相互重疊的部分。

注意，當導電層 904 在導電層 901 的一部分之上形成並且通過接觸孔 905 連接到導電層 901 時，佈線電阻能夠降低。

當導電層 903 和 904 在導電層 901 的一部分之上形成、導電層 901 通過接觸孔 905 連接到導電層 904 並且導電層 903 能夠通過不同接觸孔 905 連接到導電層 904 時，佈線電阻能夠進一步降低。

當導電層 904 在導電層 903 的一部分之上形成並且導電層 903 通過接觸孔 905 連接到導電層 904 時，佈線電阻能夠降低。

當導電層 901 或導電層 903 在導電層 904 的一部分之下形成並且導電層 904 通過接觸孔 905 連接到導電層 901

或導電層 903 時，佈線電阻能夠降低。

(實施例 12)

在這個實施例中，參照圖 56A 至圖 56H 以及圖 57A 至圖 57H 來描述包括以上實施例的任一個中所述的閘極驅動電路、半導體裝置或顯示裝置的電子裝置的範例以及半導體裝置的應用。

圖 56A 至圖 56H 以及圖 57A 至圖 57D 示出電子裝置的範例。這些電子裝置包括殼體 5000、顯示部分 5001、喇叭 5003、LED 燈 5004、操作按鍵 5005、連接端子 5006、感測器 5007、話筒 5008 和等等。注意，操作按鍵 5005 包括電源開關或操作開關。感測器 5007 具有測量力、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁性、溫度、化學物質、聲、時間、硬度、電場、電流、電壓、電力、輻射、流率、濕度、梯度、振盪、氣味或紅外線的功能。

圖 56A 示出移動電腦，它除了上述元件之外還包括開關 5009、紅外埠 5010 等等。圖 56B 示出提供有儲存媒體(例如 DVD 再現裝置)的可攜式影像再生裝置，它除了上述元件之外還包括顯示部分 5002、儲存媒體讀取部分 5011 等等。圖 56C 示出眼鏡式顯示器，它除了上述元件之外還包括顯示部分 5002、支架 5012、耳機 5013 等等。圖 56D 示出可攜式遊戲機，它除了上述元件之外還包括儲存媒體讀取部分 5011 等等。

圖 56E 示出投影機，它除了上述元件之外還包括光源 5033、投影透鏡 5034 等等。圖 56F 示出可攜式遊戲機，它除了上述元件之外還包括顯示部分 5002、儲存媒體讀取部分 5011 等等。圖 56G 示出電視接收器，它除了上述元件之外還包括調諧器、影像處理部分等等。圖 56H 示出可攜式電視接收器，它除了上述元件之外還能夠包括能夠傳送和接收信號的充電器 5017 等等。

圖 57A 示出顯示器，它除了上述元件之外還包括支承底座 5018 等等。圖 57B 示出相機，它除了上述元件之外還包括外部連接埠 5019、快門按鈕 5015、影像接收部分 5016 等等。圖 57C 示出電腦，它除了上述元件之外還包括指標裝置 5020、外部連接埠 5019、讀取器/寫入器 5021 等等。圖 57D 示出行動電話，它除了上述元件之外還包括天線、行動電話和移動終端的一段(1seg 數位電視廣播)部分接收服務的調諧器等等。

圖 56A 至圖 56H 以及圖 57A 至圖 57D 所示的電子裝置除了上述功能之外還能夠具有各種功能。

圖 56A 至圖 56H 以及圖 57A 至 57D 所示的電子裝置可具有例如：在顯示部分顯示資訊(例如靜止影像、運動影像或文字影像)的功能；觸摸面板功能；顯示日曆、日期、時間等的功能；採用軟體(例如程式)來控制處理的功能；無線通信功能；採用無線通信功能連接到各種電腦網路的功能；採用無線通信功能來傳送和接收資料的功能；讀取儲存媒體中儲存的程式或資料並且在顯示部分顯示程

式或資料的功能。

此外，包括多個顯示部分的電子裝置可具有主要在一個顯示部分顯示影像資訊而同時在另一個顯示部分顯示文字資訊的功能、通過在考慮視差的情況下顯示影像在多個顯示部分來顯示三維影像的功能等等。

此外，包括影像接收部分的電子裝置可具有拍攝靜止影像的功能、拍攝運動影像的功能、自動或手動校正拍攝的影像的功能、將拍攝的影像儲存在儲存媒體(外部儲存媒體或者結合在電子裝置中的儲存媒體)中的功能、在顯示部分顯示拍攝的影像的功能等等。

這個實施例中所述的電子裝置各包括用於顯示某種資訊的顯示部分。通過在這個實施例中的電子裝置的顯示部分中採用以上實施例中所述的閘極驅動電路、半導體裝置或顯示裝置，應用這個實施例的電子裝置，可以實現可靠性的提高、產量的提高、成本的降低、顯示部分尺寸的減小、顯示部分的清晰度提高等等。

接下來參照圖 57E 至圖 57H 來描述半導體裝置的應用。

參照圖 57E 和圖 57F 的每個來描述半導體裝置結合在建築物結構中的範例。參照圖 57G 和圖 57H 的每個來描述半導體裝置結合在運動車輛中的範例。

在圖 57E，半導體裝置結合在作爲建築物結構的牆壁上。在圖 57E，半導體裝置包括殼體 5022、顯示部分 5023、作爲操作部分的遠端控制項 5024、喇叭 5025 等

等。半導體裝置結合在建築物結構的牆壁中，並且可在無需較大空間的情況下提供。

在圖 57F，半導體裝置結合在作爲建構結構的預製浴缸 5027 中。半導體裝置中包含的顯示面板 5026 結合在預製浴缸 5027 中，使得洗浴者能夠觀看顯示面板 5026。

注意，雖然圖 57E 和圖 57F 示出牆壁和預製浴缸單元作爲建構結構的範例，但是半導體裝置能夠設置在各種建構結構中。

在圖 57G，半導體裝置結合在汽車的車體 5029 的顯示面板 5028 中，並且能夠按需求顯示與汽車的運行相關的資訊或者從汽車內部或外部輸入的資訊。注意，半導體裝置可具有導航功能。

在圖 57H，半導體裝置結合在客機中。圖 57H 示出在爲客機座位上方的天花板 5030 提供顯示面板 5031 時的使用模式。顯示面板 5031 通過鉸鏈 5032 結合在天花板 5030 中，並且乘客能夠通過拉直鉸鏈 5032 來觀看顯示面板 5031。顯示面板 5031 具有通過乘客的操作來顯示資訊的功能。

注意，雖然車輛和飛機在圖 57G 和圖 57H 中示爲運動車輛，但是半導體裝置能夠設置用於各種車輛，例如兩輪車輛、四輪車輛(包括汽車、公共汽車等)、火車(包括單軌、鐵路等)和船隻。

[範例 1]

在這個範例中，執行電路模擬，以便檢驗輸出到閘極信號線的信號的延遲或失真在包括兩個閘極驅動電路的半導體裝置中降低。

在電路模擬中，使用實施例 5 中參照圖 31B 所述的半導體裝置。在圖 31B 所示的半導體裝置中，佈線 111 對應於閘極信號線，而電路 200A 和 200B 對應於閘極驅動電路。

另外，圖 59 是用作比較範例的半導體裝置的電路圖。在圖 59，電路 6200 包括電晶體 6201、電晶體 6202、電晶體 6301、電晶體 6302、電晶體 6401 和電晶體 6402。

電晶體 6201 的第一端子連接到佈線 6112。電晶體 6201 的第二端子連接到佈線 6111。電晶體 6201 的閘極連接到節點 C1。電晶體 6202 的第一端子連接到佈線 6113。電晶體 6202 的第二端子連接到佈線 6111。電晶體 6202 的閘極連接到節點 C2。

電晶體 6301 的第一端子連接到佈線 6114。電晶體 6301 的第二端子連接到節點 C1。電晶體 6301 的閘極連接到佈線 6114。電晶體 6302 的第一端子連接到佈線 6113。電晶體 6302 的第二端子連接到節點 C1。電晶體 6302 的閘極連接到佈線 6116。電晶體 6401 的第一端子連接到佈線 6115。電晶體 6401 的第二端子連接到節點 C2。電晶體 6401 的閘極連接到佈線 6115。電晶體 6402 的第一端子連接到佈線 6113。電晶體 6402 的第二端子連接到節點 C2。

電晶體 6402 的閘極連接到電晶體 6201 的閘極。

圖 60A、圖 60B 和圖 61 示出電路模擬的結果。注意，PSpice 用作計算軟體。假定電晶體的閾值電壓爲 5 V，並且電晶體的場效遷移率爲 1 $cm^2/Vs$。此外，假定時鐘信號 CK1 的電壓幅度爲 30 V(H 電平電位爲 30 V，而 L 電平電位爲 0 V)，並且地電壓爲 0 V。

在這裏，圖 31B 的電晶體 201A 和電晶體 201B 以及圖 59 的電晶體 6201 具有相同特性。類似地，圖 31B 的電晶體 202A 和電晶體 202B 以及圖 59 的電晶體 6202 具有相同特性；圖 31B 的電晶體 301A 和電晶體 301B 以及圖 59 的電晶體 6301 具有相同特性；圖 31B 的電晶體 302A 和電晶體 302B 以及圖 59 的電晶體 6302 具有相同特性；圖 31B 的電晶體 401A 和電晶體 401B 以及圖 59 的電晶體 6401 具有相同特性；圖 31B 的電晶體 402A 和電晶體 402B 以及圖 59 的電晶體 6402 具有相同特性。

相同電壓輸入到圖 31B 的佈線 113A 和佈線 113B 以及圖 59 的佈線 6113。類似地，相同開始脈衝 SP 輸入到圖 31B 的佈線 114A 和佈線 114B 以及圖 59 的佈線 6114；相同重置信號 RE 輸入到圖 31B 的佈線 116A 和佈線 116B 以及圖 59 的佈線 6116。另外，信號 SELA 輸入到佈線 115A，而信號 SELB 輸入到佈線 115B。固定電壓輸入到佈線 6115。

圖 60A 示出使用圖 31 所示的電路圖的電路模擬的結果。圖 60B 示出使用圖 59 所示的電路圖的電路模擬的結

果。圖 60A 示出節點 A1 的電位 Va1、節點 A2 的電位 Va2、節點 B1 的電位 Vb1、節點 B2 的電位 Vb2 和佈線 111 的輸出信號 OUT 的電位。另外，圖 60B 示出節點 C1 的電位 Vc1、節點 C2 的電位 Vc2 和信號線 6111 的輸出信號 OUT 的電位。

通過使用圖 61，將圖 60A 中的佈線 111 的輸出信號 OUT 的電位與圖 60B 中的信號線 6111 的輸出信號 OUT 的電位進行比較。

如圖 61 所示，得到證實，與輸出到圖 60B 的信號線 6111 的輸出信號 OUT 的延遲相比，輸出到圖 60A 的佈線 111 的輸出信號 OUT 的延遲進一步降低。

本申請基於 2010 年 9 月 9 日向日本專利局提交的日本專利申請序號 2010-201621，通過引用將其完整內容結合於此。

【符號說明】

10A：電路

10B：電路

10C：電路

10D：電路

11：佈線

50：畫素部分

51：第一閘極驅動電路

52：第二閘極驅動電路

54：閘極線

100A：電路

100B：電路

100C：電路

100D：電路

101A：開關

101B：開關

101C：開關

101D：開關

102A：開關

102B：開關

102C：開關

102D：開關

111：佈線

112A：佈線

112B：佈線

112C：佈線

112D：佈線

113A：佈線

113B：佈線

113C：佈線

113D：佈線

114A：佈線

114B：佈線

115A：佈線

115B：佈線

116A：佈線

116B：佈線

117A：佈線

117B：佈線

118A：佈線

118B：佈線

121A：路徑

121B：路徑

122A：路徑

122B：路徑

200A：電路

200B：電路

201A：電晶體

201B：電晶體

201pA：電晶體

201pB：電晶體

202A：電晶體

202B：電晶體

202pA：電晶體

202pB：電晶體

203A：電容器

203B：電容器

204A：電晶體

204B：電晶體

205A：電晶體

205B：電晶體

206A：電晶體

206B：電晶體

207A：電晶體

207B：電晶體

211A：二極體

211B：二極體

212A：二極體

212B：二極體

300A：電路

300B：電路

301A：電晶體

301B：電晶體

301pA：電晶體

301pB：電晶體

302A：電晶體

302B：電晶體

302pA：電晶體

302pB：電晶體

400A：電路

400B：電路

401A：電晶體

401B：電晶體

401pA：電晶體

401pB：電晶體

402A：電晶體

402B：電晶體

402pA：電晶體

402pB：電晶體

403A：電阻器

403B：電阻器

404A：電晶體

404B：電晶體

405A：電晶體

405B：電晶體

406A：電晶體

406B：電晶體

407A：電晶體

407B：電晶體

408A：電晶體

408B：電晶體

409A：電晶體

409B：電晶體

500A：電路

500B：電路

501A：電晶體

501B：電晶體

502A：電晶體

502B：電晶體

901：導電層

902：半導體層

903：導電層

904：導電層

905：接觸孔

1001：電路

1002, 1002a, 1002b：電路

1003_1：電路

1003_2：電路

1004：畫素部分

1005：端子

1006：基底

1100A：暫存器

1100B：暫存器

1101A_1 – 1101A_N：觸發器電路

1101B_1 – 1101B_N：觸發器電路

1111_1 – 1111_N：佈線

1112：佈線

1112A：佈線

1112B：佈線

1113：佈線

1113A：佈線

1113B：佈線

1114：佈線

1114A：佈線

1114B：佈線

1115：佈線

1115A：佈線

1115B：佈線

1116：佈線

1116A：佈線

1116B：佈線

1119：佈線

1119A：佈線

1119B：佈線

2001：電路

2002：電路

2002_1 – 2002_N：電路

2003_1 – 2003_k：電晶體

2004_1 – 2004_k：佈線

2005_1 – 2005_k：佈線

2006A：閘極驅動電路

2006B：閘極驅動電路

2007：畫素部分

2008_1 – 2008_k：源極線

2014_1 – 2014_k：信號

2015_1 – 2015_k：信號

3000：保護電路

3001, 3002：電晶體

3003：電晶體

3004：電晶體

3005：電容器

3006：電阻器

3007：電容器

3008：電阻器

3011：佈線

3012：佈線

3013：佈線

3020：畫素

3021：電晶體

3022：液晶元件

3023：電容器

3031：佈線

3032：佈線

3033：佈線

3034：電極

3100：閘極驅動電路

3101a：端子

3101b：端子

3101c：端子

3101d：端子

3102_1, 3102_2：閘極線

5000：殼體

5001：顯示部分

5002：顯示部分

5003：喇叭

5004：LED 燈

5005：操作按鍵

5006：連接端子

5007：感測器

5008：話筒

5009：開關

5010：紅外埠

5011：媒體讀取部分

5012：支架

5013：耳機

5015：快門按鈕

5016：影像接收部分

5017：充電器

5018：支承底座

5019：外部連接埠

5020：指標裝置

5021：讀取器/寫入器

5022：殼體

5023：顯示部分

5024：遠端控制項

5025：喇叭

5026：顯示面板

5027：預製浴缸

5028：顯示面板

5029：車體

5030：天花板

5031：顯示面板

5032：鉸鏈

5102：畫素部分

5108：第一閘極驅動電路

5110：第二閘極驅動電路

5112：源極驅動電路

5260：基底

5261：絕緣層

5262：半導體層

5262a – 5262e：區域

5263：絕緣層

5264：導電層

5265：絕緣層

5266：導電層

5267：絕緣層

5268：導電層

5269：絕緣層

5270：EL 層

5271：導電層

5300：基底

5301：導電層

5302：絕緣層

5303a, 5303b：半導體層

5304：導電層

5305：絕緣層

5306：導電層

5307：液晶層

5308：導電層

5350, 5351：區域

5352：基底

5353：區域

5354：絕緣層

5355：區域

5356：絕緣層

5357：導電層

5358：絕緣層

5359：導電層

5392：驅動電路

5393：畫素部分

5400：基底

5401：導電層

5402：絕緣層

5403a, 5403b：半導體層

5404：導電層

5405：絕緣層

5406：導電層

5407：液晶層

5408：絕緣層

5409：導電層

5410：基底

6111：佈線

6112：佈線

6113：佈線

6114：佈線

6115：佈線

6116：佈線

6200：電路

6201：電晶體

6202：電晶體

6301：電晶體

6302：電晶體

6401：電晶體

6402：電晶體

# 申請專利範圍

【請求項1】一種顯示裝置，包括：

第1閘極驅動電路；

第2閘極驅動電路；

該第1閘極驅動電路與該第2閘極驅動電路之間的畫素部分；以及

閘極線；

其中：

該第1閘極驅動電路包括第1電晶體、第2電晶體、第3電晶體、第4電晶體、第5電晶體、第6電晶體、第7電晶體、第8電晶體、第9電晶體及第10電晶體，

該第2閘極驅動電路包括第11電晶體、第12電晶體、第13電晶體、第14電晶體、第15電晶體、第16電晶體、第17電晶體、第18電晶體、第19電晶體及第20電晶體，

該第1電晶體的源極或汲極中的一者電連接於該閘極線，

該第1電晶體的該源極或該汲極中的另一者電連接於第1佈線，

該第2電晶體的源極或汲極中的一者電連接於該閘極線，

該第2電晶體的該源極或該汲極中的另一者被配置以被提供第一電位，

該第3電晶體的源極或汲極中的一者電連接於該第2電晶體的閘極，

該第3電晶體的該源極或該汲極中的另一者電連接於第3佈線，

該第4電晶體的源極或汲極中的一者電連接於該第2電晶體的該閘極，

該第4電晶體的該源極或該汲極中的另一者電連接於第2佈線，

該第4電晶體的閘極電連接於該第1電晶體的閘極，

該第5電晶體的源極或汲極中的一者電連接於該第3電晶體的閘極，

該第5電晶體的該源極或該汲極中的另一者電連接於該第3佈線，

該第5電晶體的閘極電連接於該第3佈線，

該第6電晶體的源極或汲極中的一者電連接於該第3電晶體的該閘極，

該第6電晶體的該源極或該汲極中的另一者電連接於該第2佈線，

該第6電晶體的閘極電連接於該第1電晶體的該閘極，

該第7電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第7電晶體的該源極或該汲極中的另一者電連接於第4佈線，

該第8電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第8電晶體的該源極或該汲極中的另一者電連接於

該第2佈線，

該第8電晶體的閘極電連接於第5佈線，

該第9電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第9電晶體的該源極或該汲極中的另一者電連接於該第2佈線，

該第9電晶體的閘極電連接於該第2電晶體的該閘極，

該第10電晶體的源極或汲極中的一者電連接於第6佈線，

該第10電晶體的該源極或該汲極中的另一者電連接於該第1佈線，

該第10電晶體的閘極電連接於該第1電晶體的該閘極，

該第11電晶體的源極或汲極中的一者電連接於該閘極線，

該第11電晶體的該源極或該汲極中的另一者電連接於第7佈線，

該第12電晶體的源極或汲極中的一者電連接於該閘極線，

該第12電晶體的該源極或該汲極中的另一者被配置以被提供第二電位，

該第13電晶體的源極或汲極中的一者電連接於該第12電晶體的閘極，

該第13電晶體的該源極或該汲極中的另一者電連接於

第9佈線，

該第14電晶體的源極或汲極中的一者電連接於該第12電晶體的該閘極，

該第14電晶體的該源極或該汲極中的另一者電連接於第8佈線，

該第14電晶體的閘極電連接於該第11電晶體的閘極，

該第15電晶體的源極或汲極中的一者電連接於該第13電晶體的閘極，

該第15電晶體的該源極或該汲極中的另一者電連接於該第9佈線，

該第15電晶體的閘極電連接於該第9佈線，

該第16電晶體的源極或汲極中的一者電連接於該第13電晶體的該閘極，

該第16電晶體的該源極或該汲極中的另一者電連接於該第8佈線，

該第16電晶體的閘極電連接於該第11電晶體的該閘極，

該第17電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第17電晶體的該源極或該汲極中的另一者電連接於第10佈線，

該第18電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第18電晶體的該源極或該汲極中的另一者電連接於

該第8佈線，

該第18電晶體的閘極電連接於第11佈線，

該第19電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第19電晶體的該源極或該汲極中的另一者電連接於該第8佈線，

該第19電晶體的閘極電連接於該第12電晶體的該閘極，

該第20電晶體的源極或汲極中的一者電連接於第12佈線，

該第20電晶體的該源極或該汲極中的另一者電連接於該第7佈線，以及

該第20電晶體的閘極電連接於該第11電晶體的該閘極。

【請求項2】一種顯示裝置，包括：

第1閘極驅動電路；

第2閘極驅動電路；

該第1閘極驅動電路與該第2閘極驅動電路之間的畫素部分；以及

閘極線；

其中：

該第1閘極驅動電路包括第1電晶體、第2電晶體、第3電晶體、第4電晶體、第5電晶體、第6電晶體、第7電晶體、第8電晶體、第9電晶體及第10電晶體，

該第2閘極驅動電路包括第11電晶體、第12電晶體、第13電晶體、第14電晶體、第15電晶體、第16電晶體、第17電晶體、第18電晶體、第19電晶體及第20電晶體，

該第1電晶體的源極或汲極中的一者電連接於該閘極線，

該第1電晶體的該源極或該汲極中的另一者電連接於第1佈線，

該第2電晶體的源極或汲極中的一者電連接於該閘極線，

該第2電晶體的該源極或該汲極中的另一者被配置以被提供第一電位，

該第3電晶體的源極或汲極中的一者電連接於該第2電晶體的閘極，

該第3電晶體的該源極或該汲極中的另一者電連接於第3佈線，

該第4電晶體的源極或汲極中的一者電連接於該第2電晶體的該閘極，

該第4電晶體的該源極或該汲極中的另一者電連接於第2佈線，

該第4電晶體的閘極電連接於該第1電晶體的閘極，

該第5電晶體的源極或汲極中的一者電連接於該第3電晶體的閘極，

該第5電晶體的該源極或該汲極中的另一者電連接於該第3佈線，

該第5電晶體的閘極電連接於該第3佈線，

該第6電晶體的源極或汲極中的一者電連接於該第3電晶體的該閘極，

該第6電晶體的該源極或該汲極中的另一者電連接於該第2佈線，

該第6電晶體的閘極電連接於該第1電晶體的該閘極，

該第7電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第7電晶體的該源極或該汲極中的另一者電連接於第4佈線，

該第8電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第8電晶體的該源極或該汲極中的另一者電連接於該第2佈線，

該第8電晶體的閘極電連接於第5佈線，

該第9電晶體的源極或汲極中的一者電連接於該第1電晶體的該閘極，

該第9電晶體的該源極或該汲極中的另一者電連接於該第2佈線，

該第9電晶體的閘極電連接於該第2電晶體的該閘極，

該第10電晶體的源極或汲極中的一者電連接於第6佈線，

該第10電晶體的該源極或該汲極中的另一者電連接於該第1佈線，

該第10電晶體的閘極電連接於該第1電晶體的該閘極，

該第11電晶體的源極或汲極中的一者電連接於該閘極線，

該第11電晶體的該源極或該汲極中的另一者電連接於第7佈線，

該第12電晶體的源極或汲極中的一者電連接於該閘極線，

該第12電晶體的該源極或該汲極中的另一者被配置以被提供第二電位，

該第13電晶體的源極或汲極中的一者電連接於該第12電晶體的閘極，

該第13電晶體的該源極或該汲極中的另一者電連接於第9佈線，

該第14電晶體的源極或汲極中的一者電連接於該第12電晶體的該閘極，

該第14電晶體的該源極或該汲極中的另一者電連接於第8佈線，

該第14電晶體的閘極電連接於該第11電晶體的閘極，

該第15電晶體的源極或汲極中的一者電連接於該第13電晶體的閘極，

該第15電晶體的該源極或該汲極中的另一者電連接於該第9佈線，

該第15電晶體的閘極電連接於該第9佈線，

該第16電晶體的源極或汲極中的一者電連接於該第13電晶體的該閘極，

該第16電晶體的該源極或該汲極中的另一者電連接於該第8佈線，

該第16電晶體的閘極電連接於該第11電晶體的該閘極，

該第17電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第17電晶體的該源極或該汲極中的另一者電連接於第10佈線，

該第18電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第18電晶體的該源極或該汲極中的另一者電連接於該第8佈線，

該第18電晶體的閘極電連接於第11佈線，

該第19電晶體的源極或汲極中的一者電連接於該第11電晶體的該閘極，

該第19電晶體的該源極或該汲極中的另一者電連接於該第8佈線，

該第19電晶體的閘極電連接於該第12電晶體的該閘極，

該第20電晶體的源極或汲極中的一者電連接於第12佈線，

該第20電晶體的該源極或該汲極中的另一者電連接於

該第7佈線，

該第20電晶體的閘極電連接於該第11電晶體的該閘極，

輸入至該第3佈線的信號與輸入至該第9佈線的信號不同，以及

輸入至該第1佈線的信號與輸入至該第7佈線的信號相同。

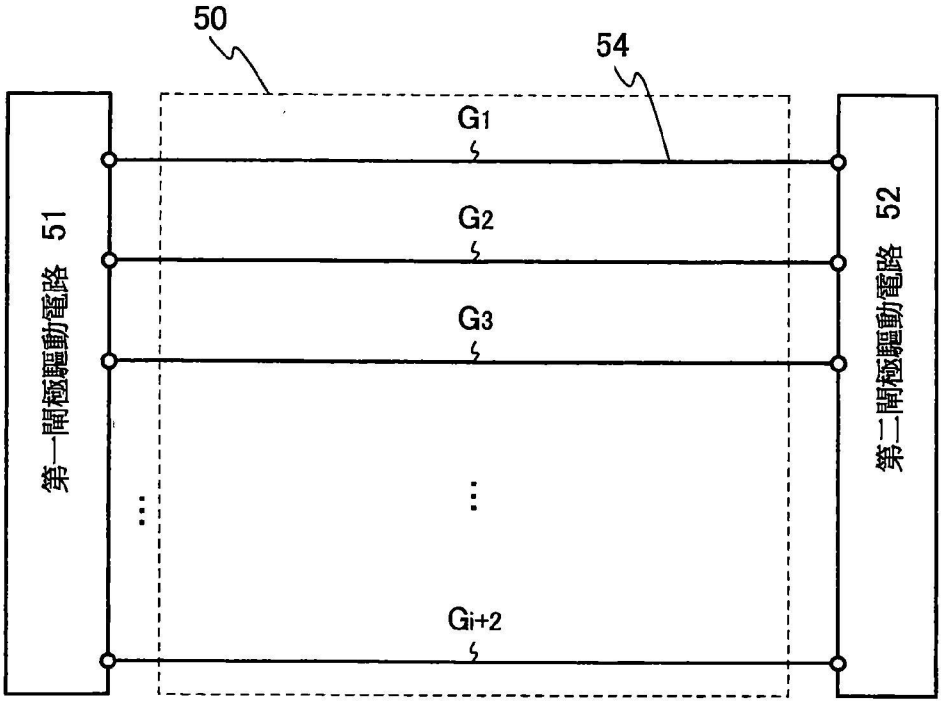
【請求項3】如請求項1或2之顯示裝置，其中該第1佈線與該第7佈線電連接。

【請求項4】如請求項1或2之顯示裝置，其中該第一電位與該第二電位同電位。

【請求項5】如請求項1或2之顯示裝置，其中該第2佈線與該第8佈線電連接。

# 圖式

## 圖1A


50
54
G1
G2
G3
Gi+2
第一閘極驅動電路 51
第二閘極驅動電路 52

## 圖1B

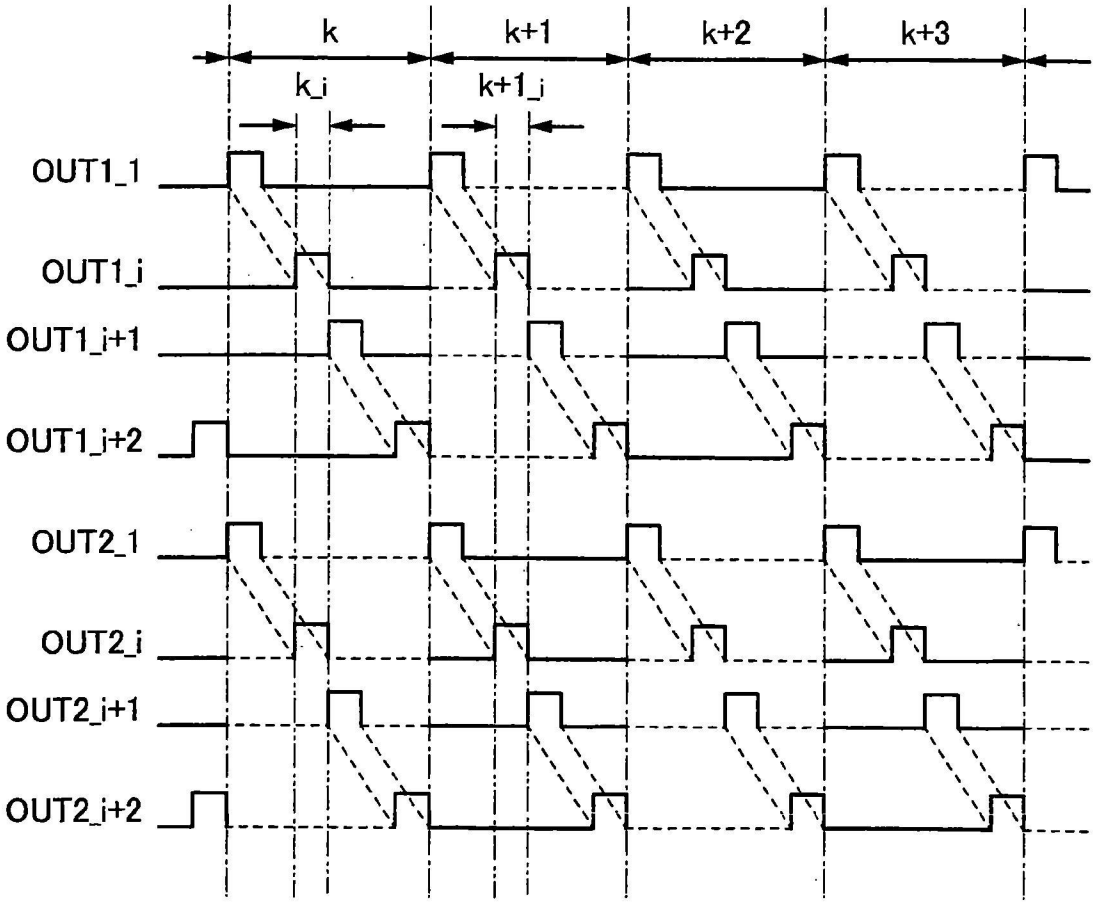

k
k+1
k+2
k+3
k_i
k+1_j
OUT1_1
OUT1_i
OUT1_i+1
OUT1_i+2
OUT2_1
OUT2_i
OUT2_i+1
OUT2_i+2

圖2A

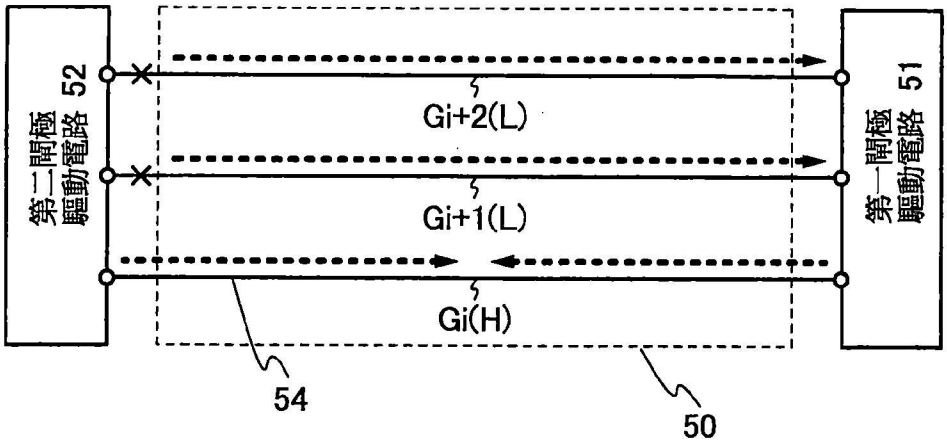

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(L)
Gi+1(L)
Gi(H)
54
50

圖2B

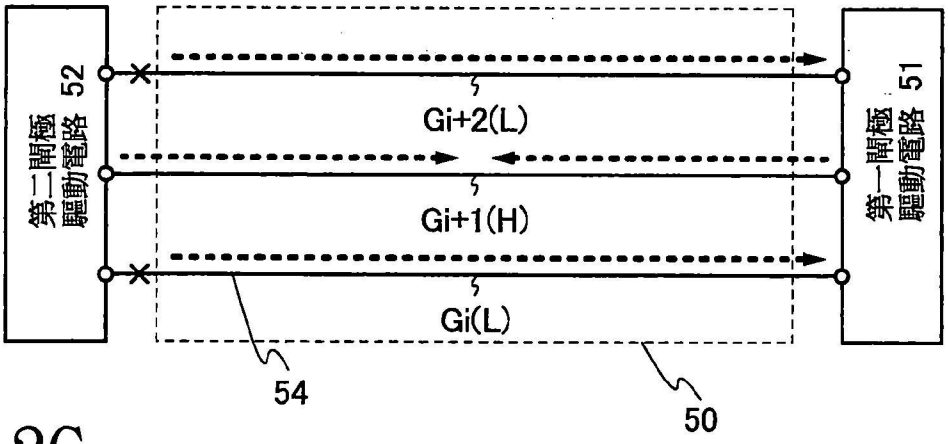

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(L)
Gi+1(H)
Gi(L)
54
50

圖2C

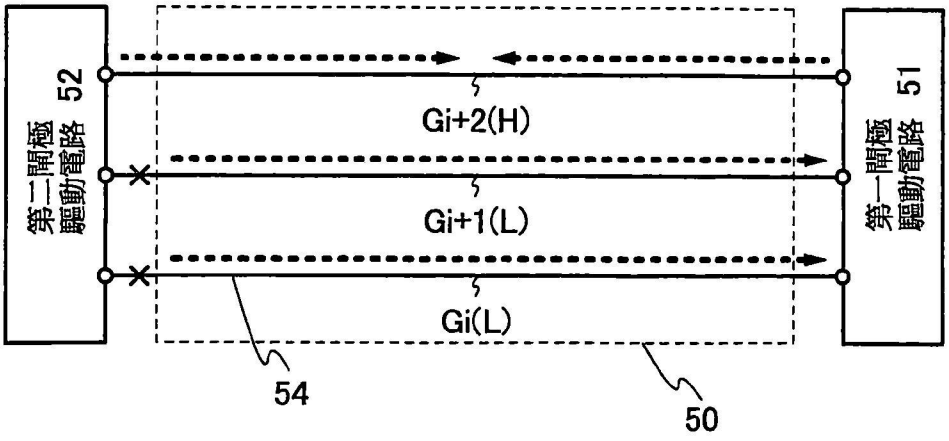

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(H)
Gi+1(L)
Gi(L)
54
50

圖3A

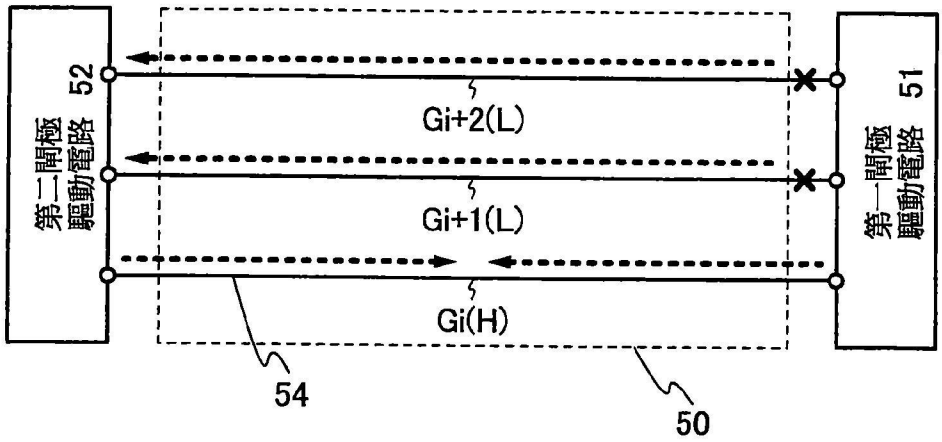

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(L)
Gi+1(L)
Gi(H)
54
50

圖3B

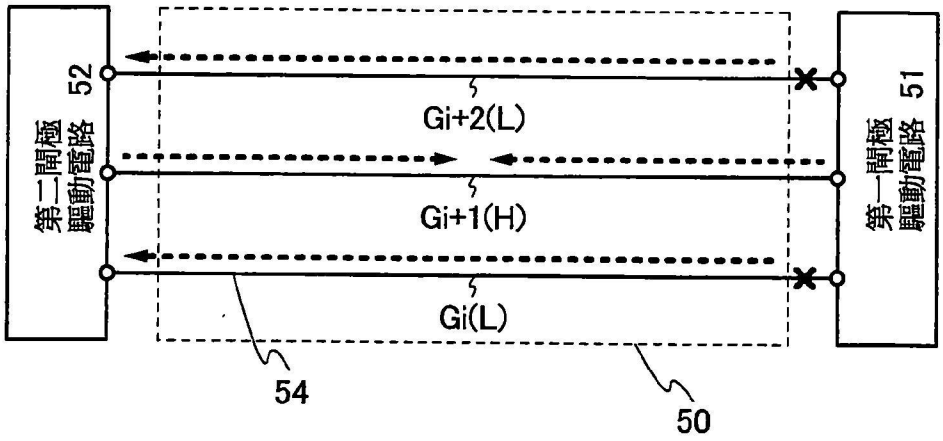

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(L)
Gi+1(H)
Gi(L)
54
50

圖3C

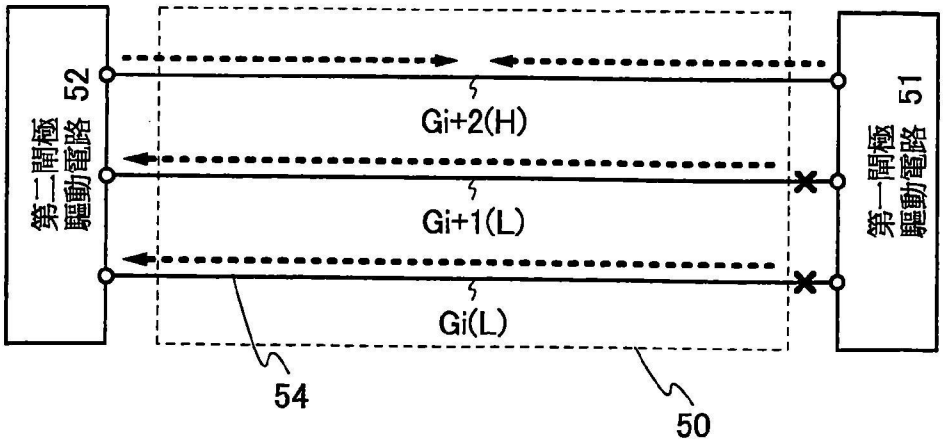

第二閘極驅動電路 52
第一閘極驅動電路 51
Gi+2(H)
Gi+1(L)
Gi(L)
54
50

圖4A

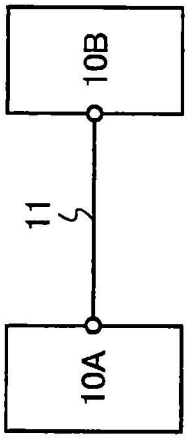



圖4B

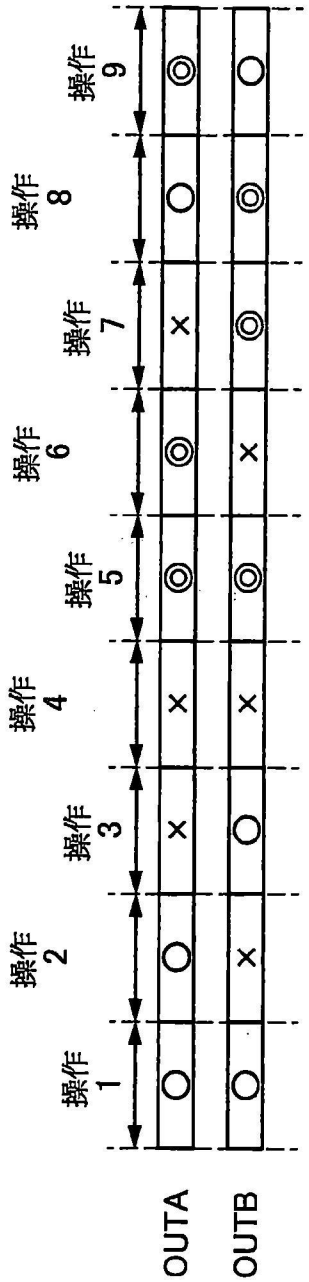


圖5A

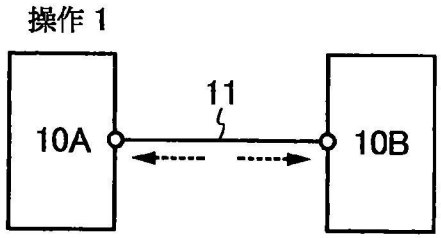



圖5B

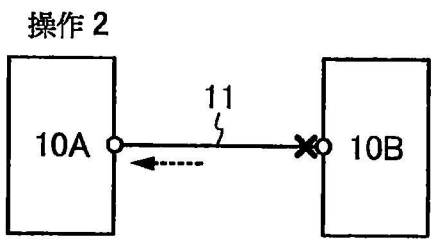



圖5C

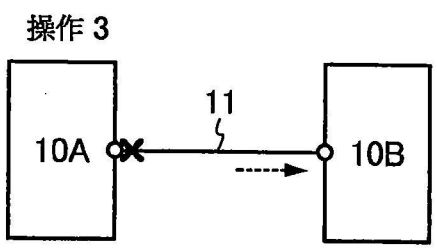



圖5D

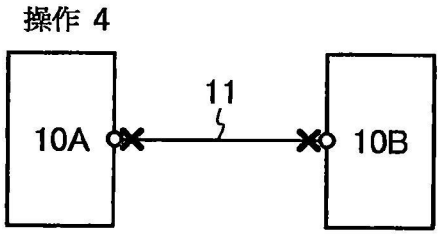



圖5E

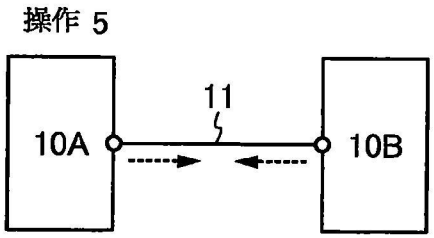



圖5F

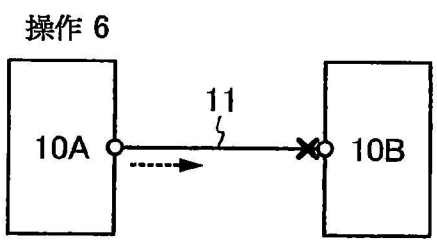



圖5G

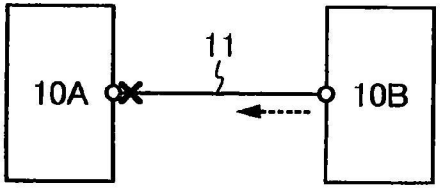



圖5H

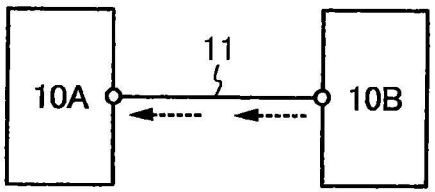



圖5I

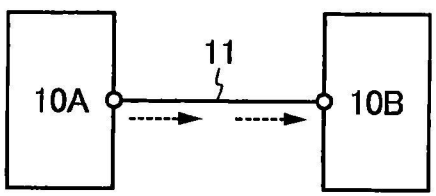


圖6A

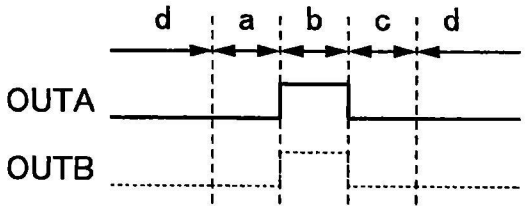



圖6B

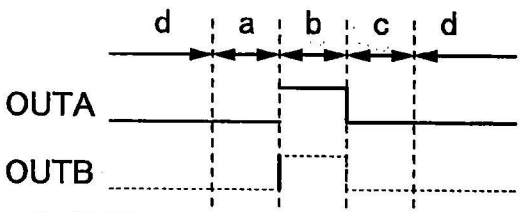



圖6C

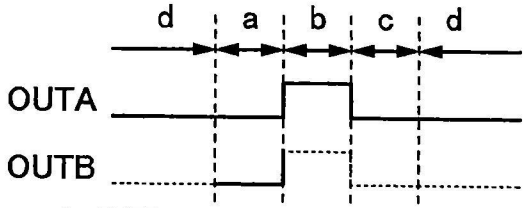



圖6D

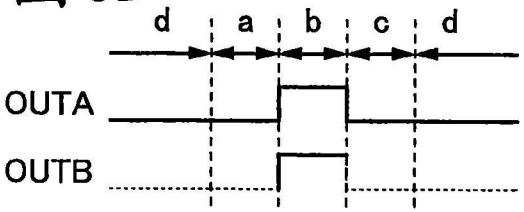



圖6E

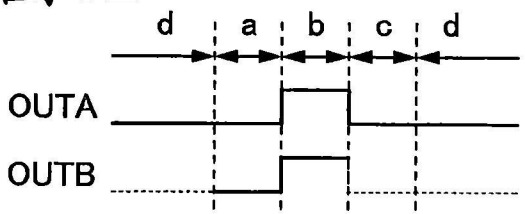



圖6F

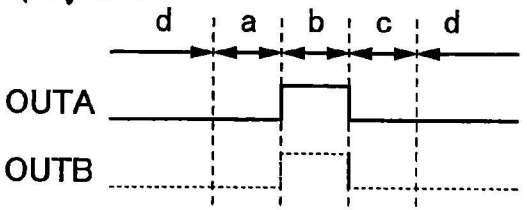



圖6G

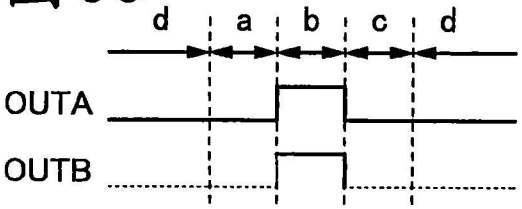



圖6H

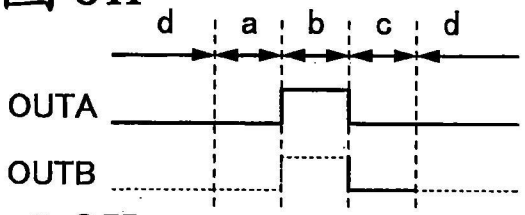



圖6I

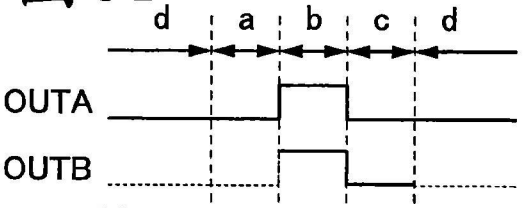



圖6J

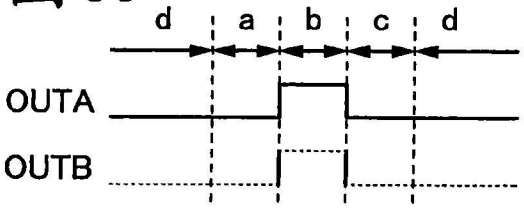



圖6K

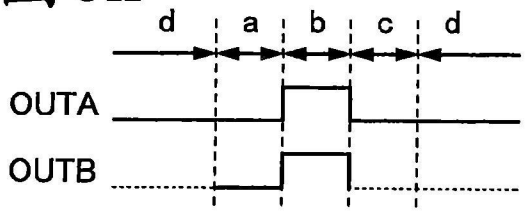



圖6L

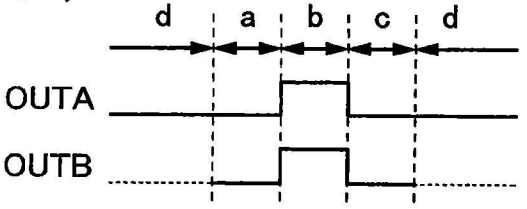


圖7A

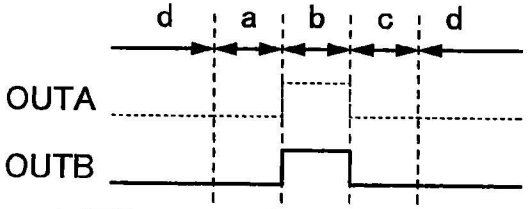



圖7B

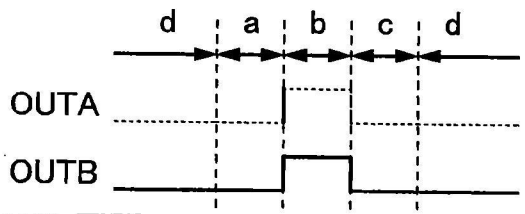



圖7C

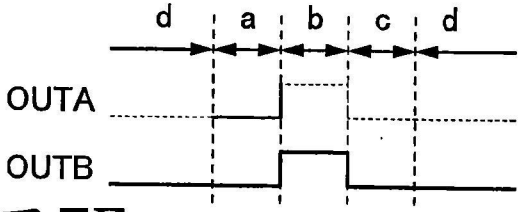



圖7D

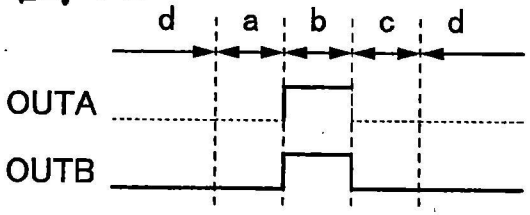



圖7E

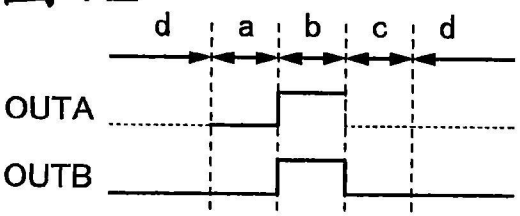



圖7F

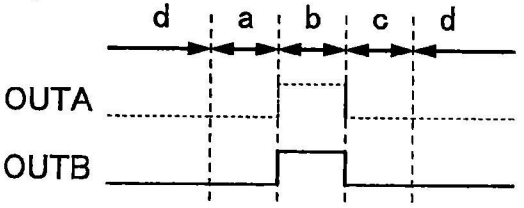



圖7G

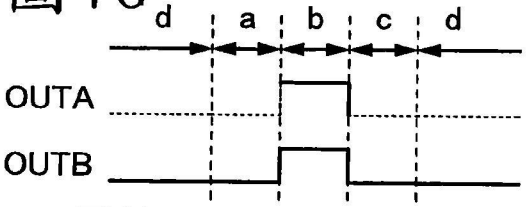



圖7H

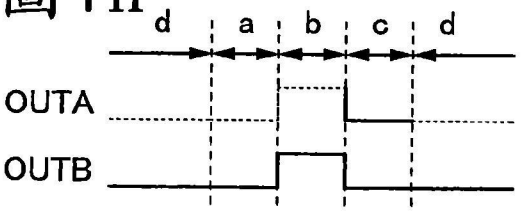



圖7I

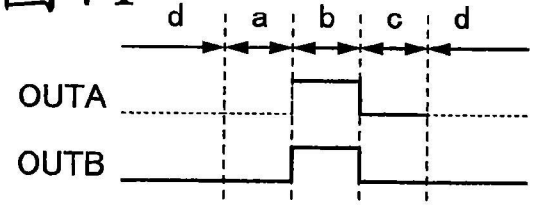



圖7J

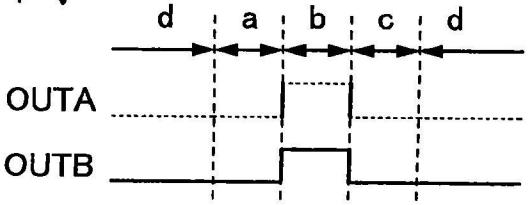



圖7K

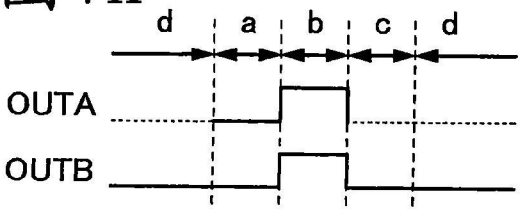
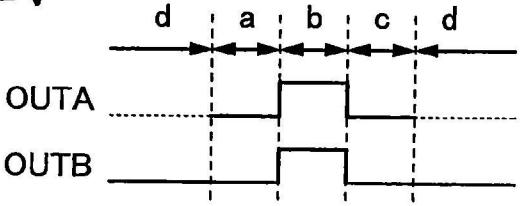



圖7L



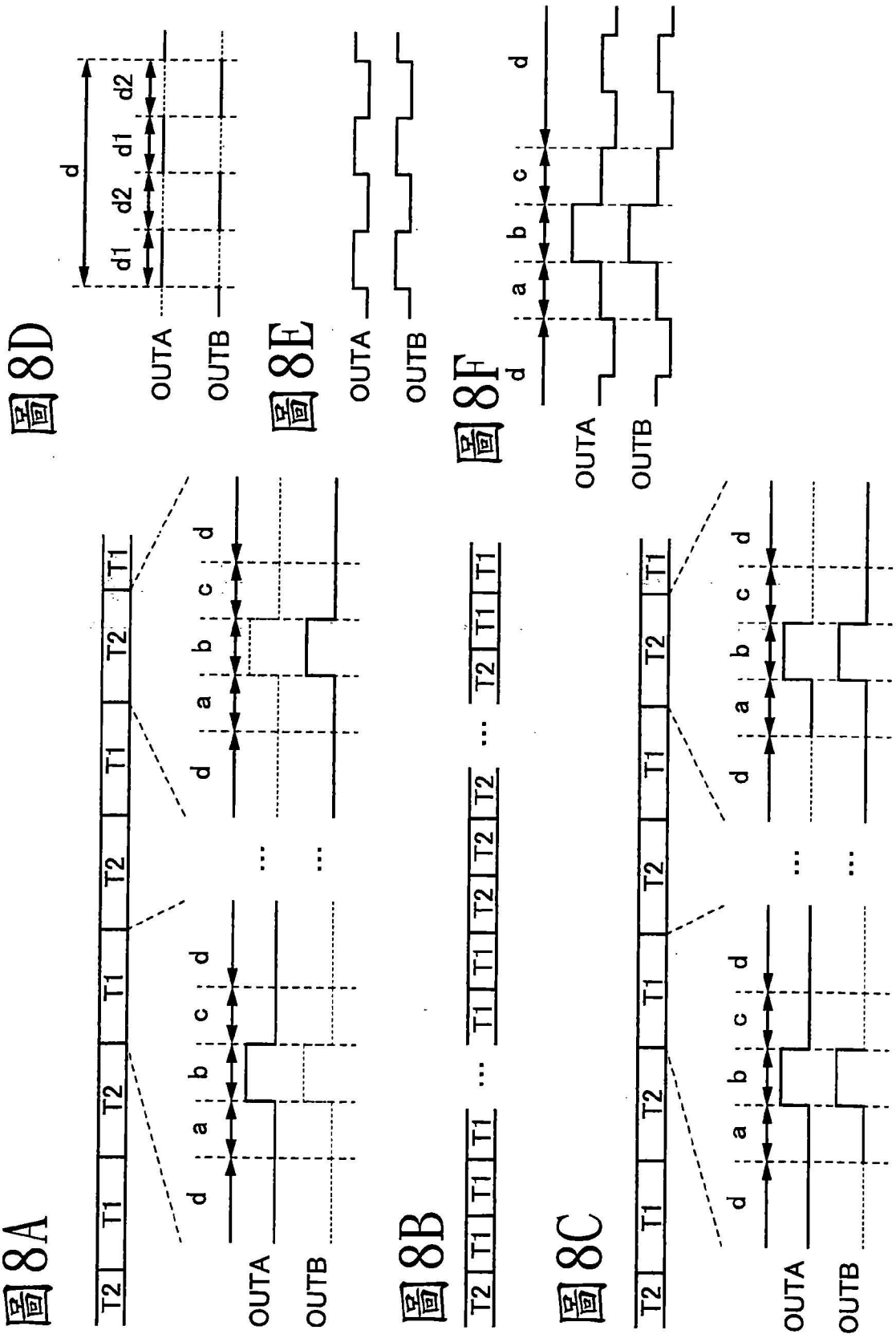

圖8A
T2
T1
T2
T1
T2
T1
T1
d
a
b
c
d
OUTA
OUTB
圖8B
T2
T1
T1
T1
T2
T2
T2
T1
T1
圖8C
圖8D
d
d1
d2
d1
d2
OUTA
OUTB
圖8E
OUTA
OUTB
圖8F
d
a
b
c
d
OUTA
OUTB

圖9A

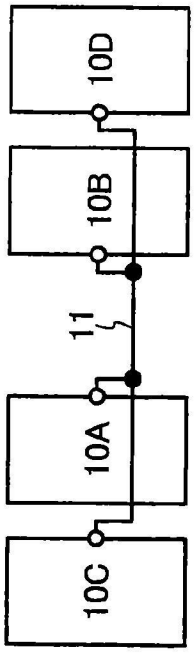

10C
10A
11
10B
10D

圖9B

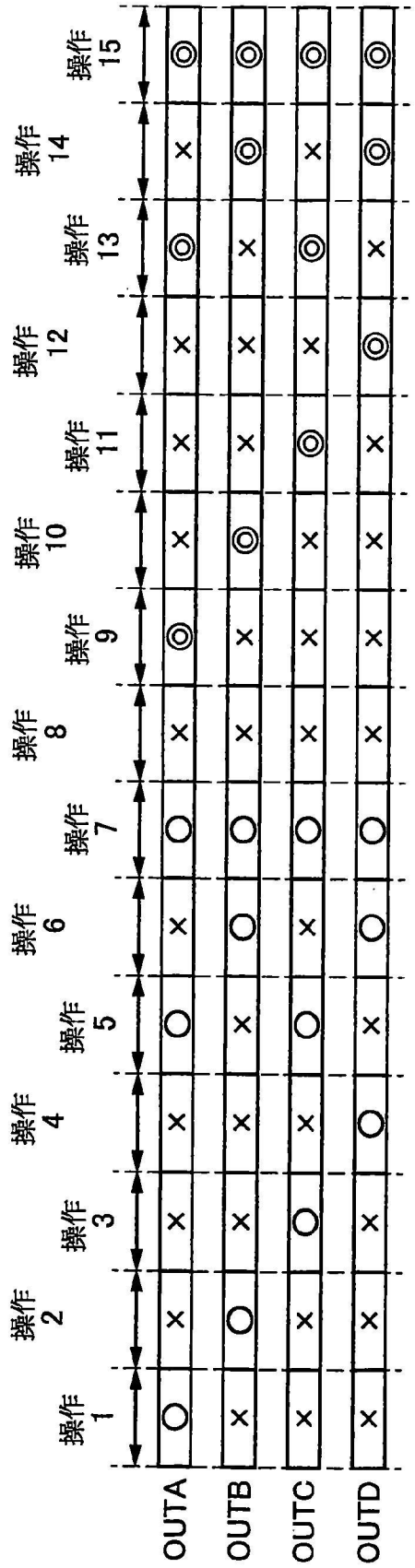

操作 1
操作 2
操作 3
操作 4
操作 5
操作 6
操作 7
操作 8
操作 9
操作 10
操作 11
操作 12
操作 13
操作 14
操作 15
OUTA
OUTB
OUTC
OUTD

圖10A

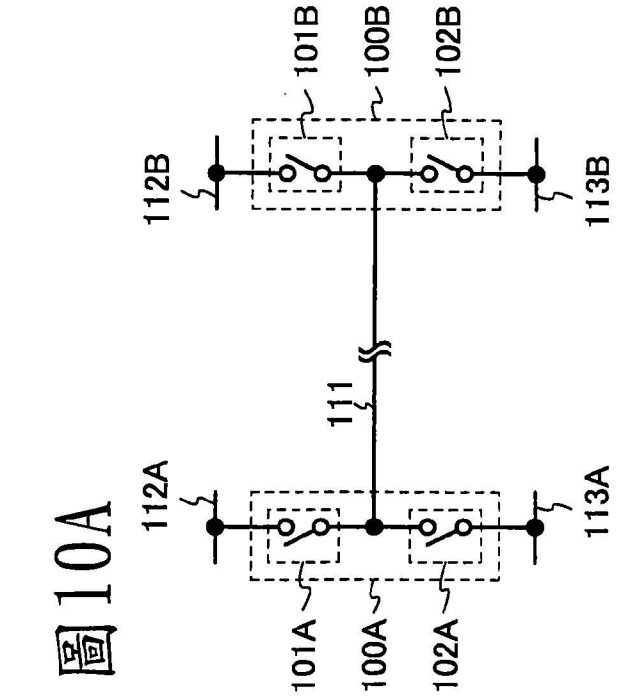



圖10B

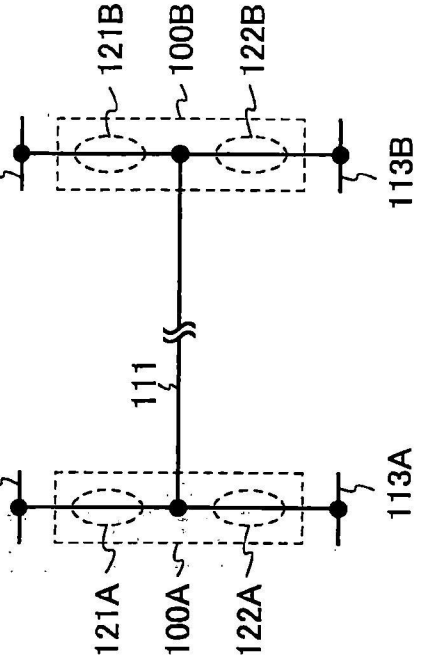



圖10C

| | 操作 1a | 操作 1b | 操作 1c | 操作 2a | 操作 2b | 操作 2c | 操作 3a | 操作 3b | 操作 3c | 操作 4a | 操作 5a | 操作 6a | 操作 7a |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 101A | ON | OFF | ON | ON | ON | OFF | OFF | OFF | OFF | OFF | ON | ON | OFF |
| 102A | ON | ON | OFF | ON | OFF | ON | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| 101B | ON | OFF | ON | OFF | OFF | OFF | ON | ON | OFF | OFF | ON | OFF | ON |
| 102B | ON | ON | OFF | OFF | OFF | OFF | ON | OFF | ON | OFF | OFF | OFF | OFF |

圖11A

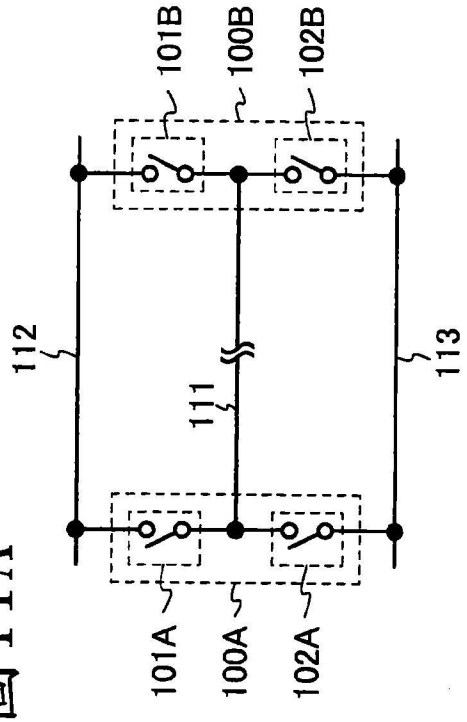



圖11B

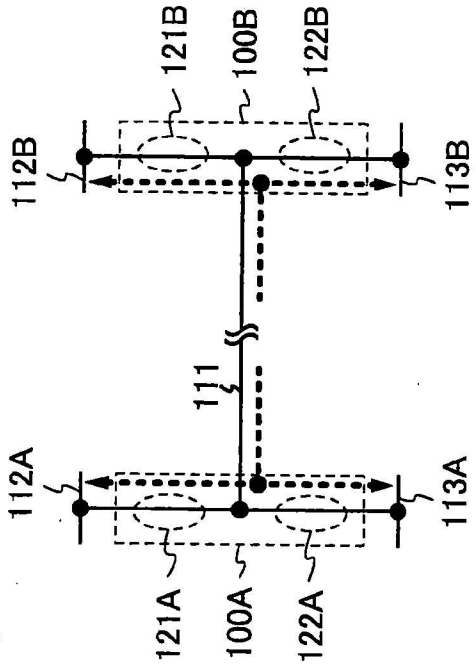



圖11C

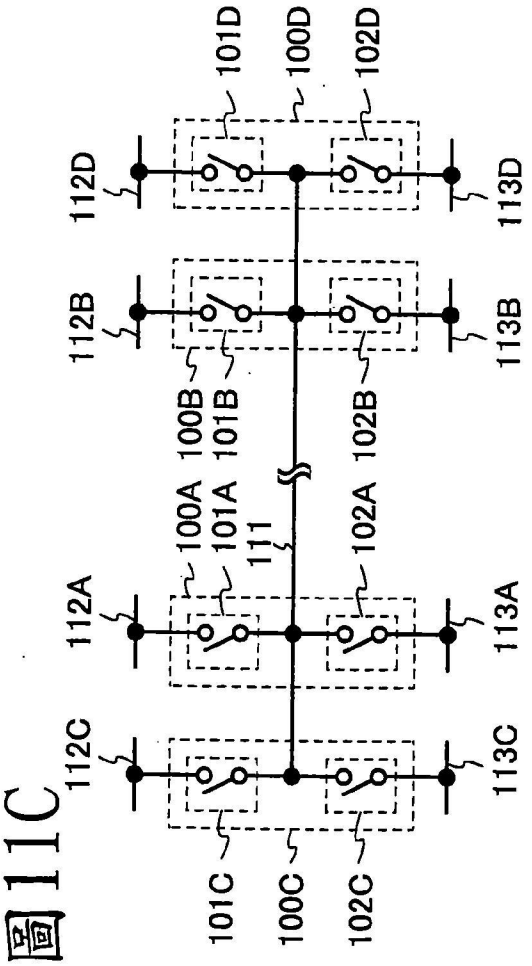


圖12A

操作 1a

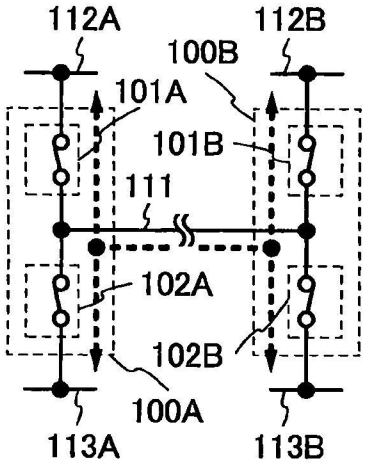



圖12B

操作 1b

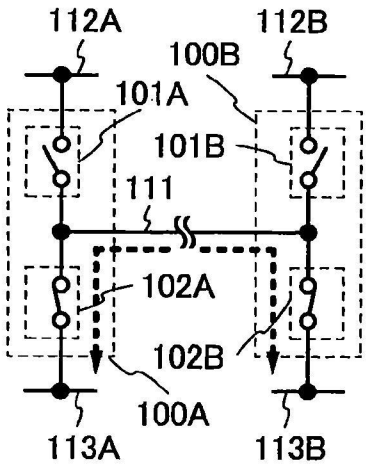



圖12C

操作 1c

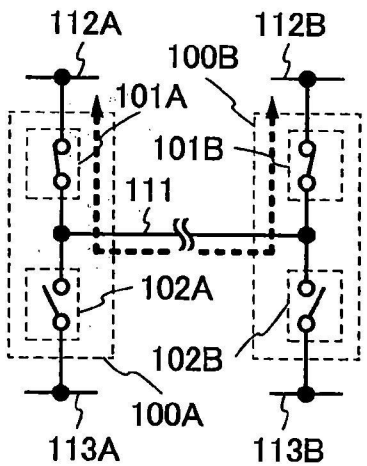



圖12D

操作 2a

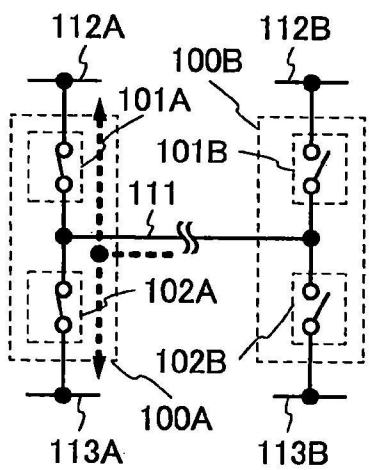



圖12E

操作 2b

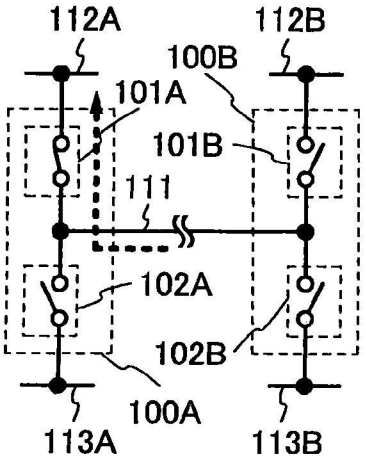



圖12F

操作 2c

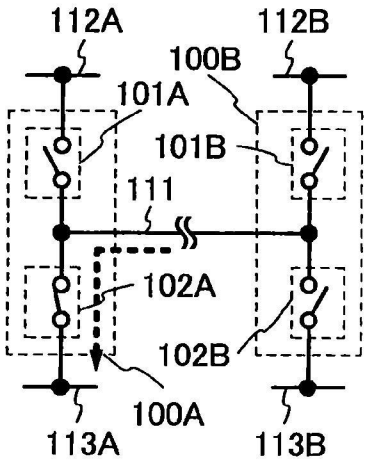



圖12G

操作 3a

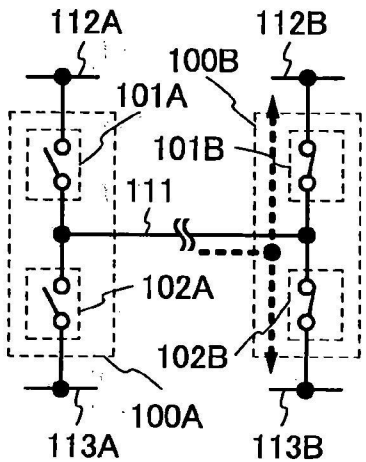



圖12H

操作 3b

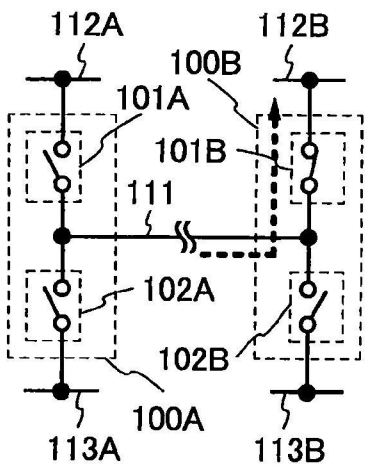


圖13A

操作 3c

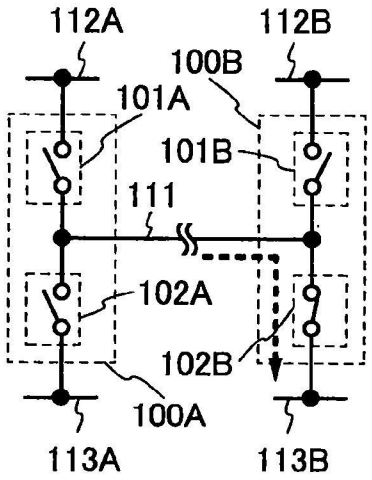



圖13B

操作 4a

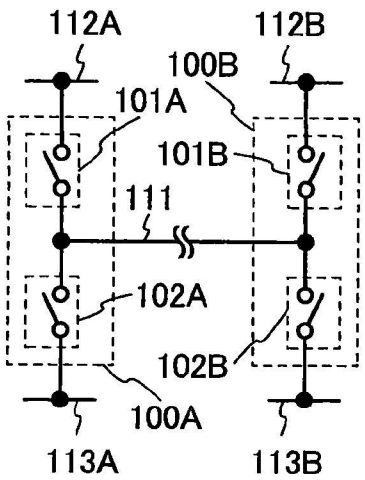



圖13C

操作 5a

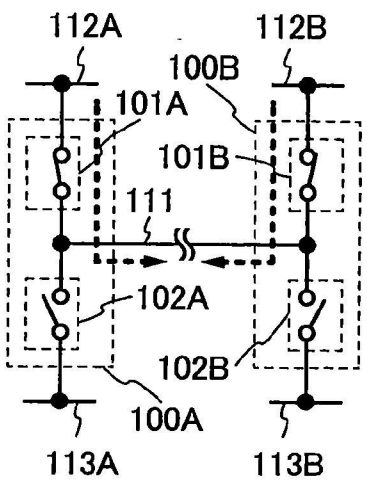



圖13D

操作 6a

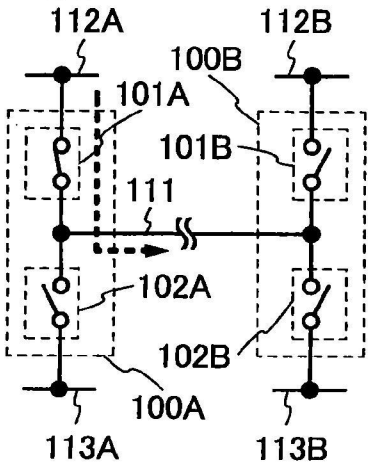



圖13E

操作 7a

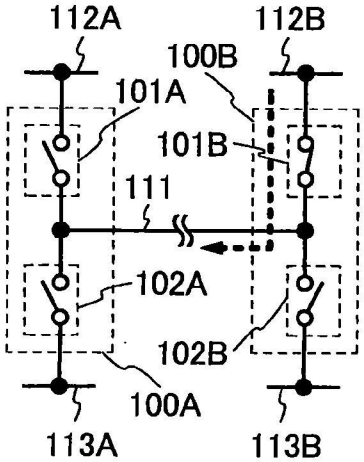


圖14A

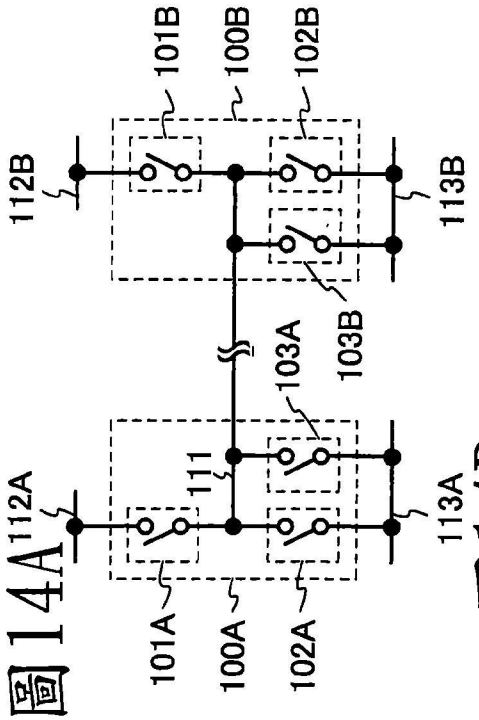



圖14B

| | 操作 1d | 操作 1e | 操作 1f | 操作 2d | 操作 2e | 操作 2f | 操作 3d | 操作 3e | 操作 3f | 操作 4b | 操作 5b | 操作 6b | 操作 7b |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 101A | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | ON | ON | OFF |
| 102A | ON | ON | OFF | ON | ON | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| 103A | ON | OFF | ON | ON | OFF | ON | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| 101B | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF | ON | OFF | ON |
| 102B | ON | ON | OFF | OFF | OFF | OFF | ON | ON | OFF | OFF | OFF | OFF | OFF |
| 103B | ON | OFF | ON | OFF | OFF | ON | ON | OFF | ON | OFF | OFF | OFF | OFF |

圖15A
操作 2e

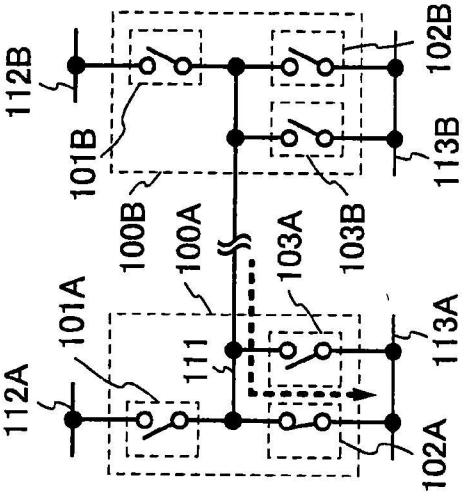



圖15B
操作 2f

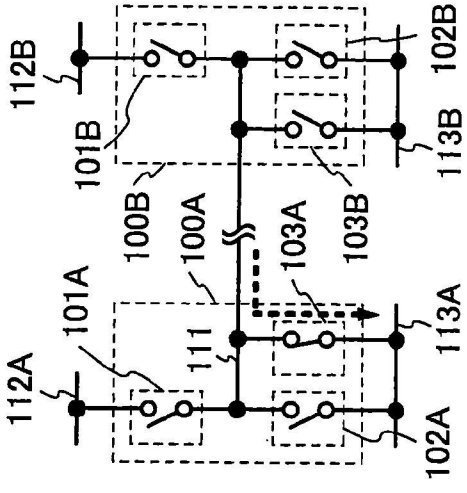



圖15C
操作 3e

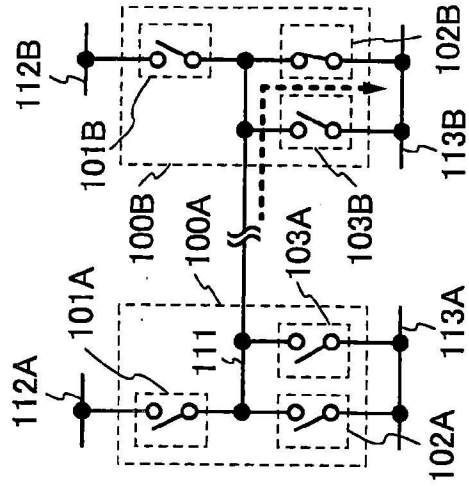



圖15D
操作 3f




圖15E
操作 5b

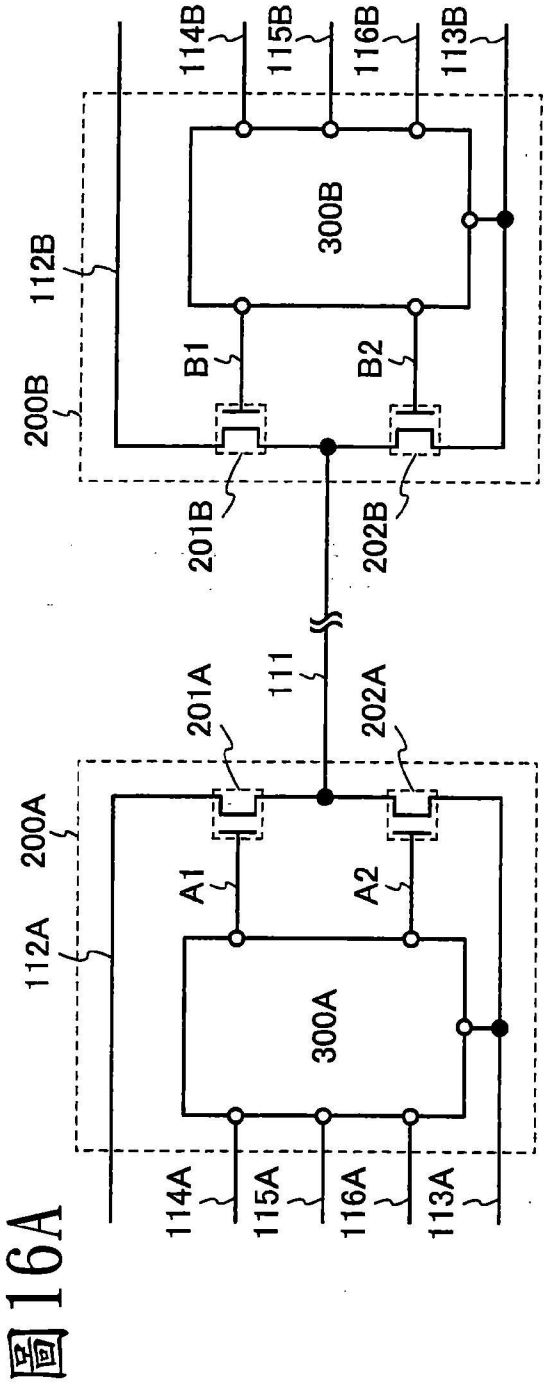

200B
112B
114B
115B
116B
113B
300B
B1
B2
201B
202B
111
201A
202A
200A
112A
A1
A2
300A
114A
115A
116A
113A

圖16A

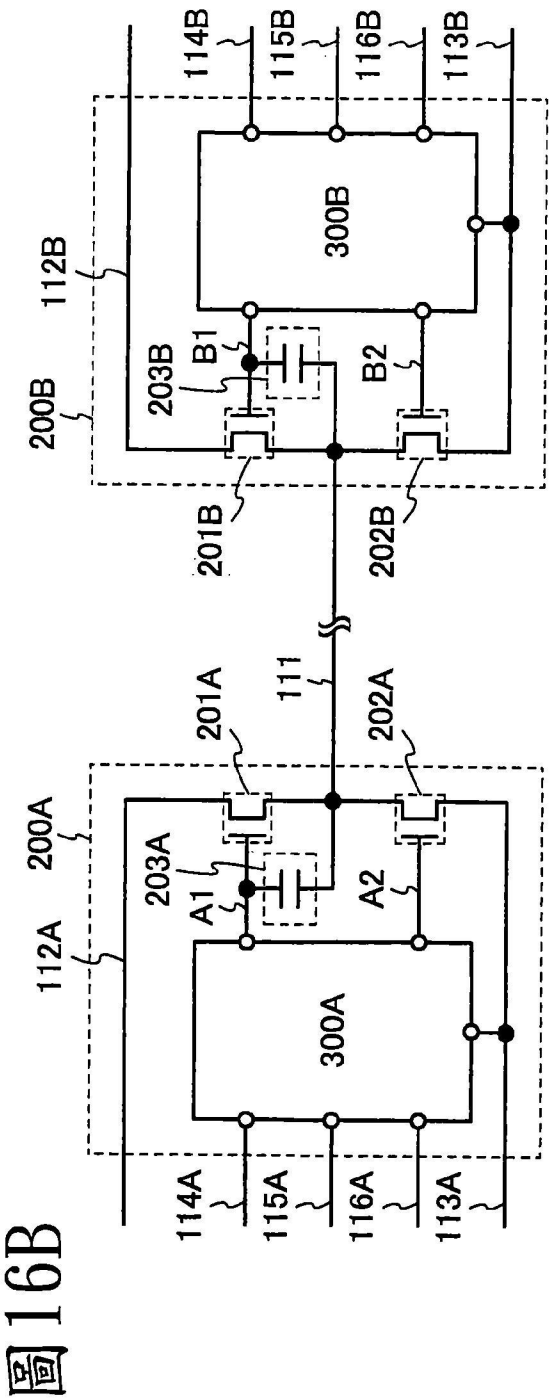
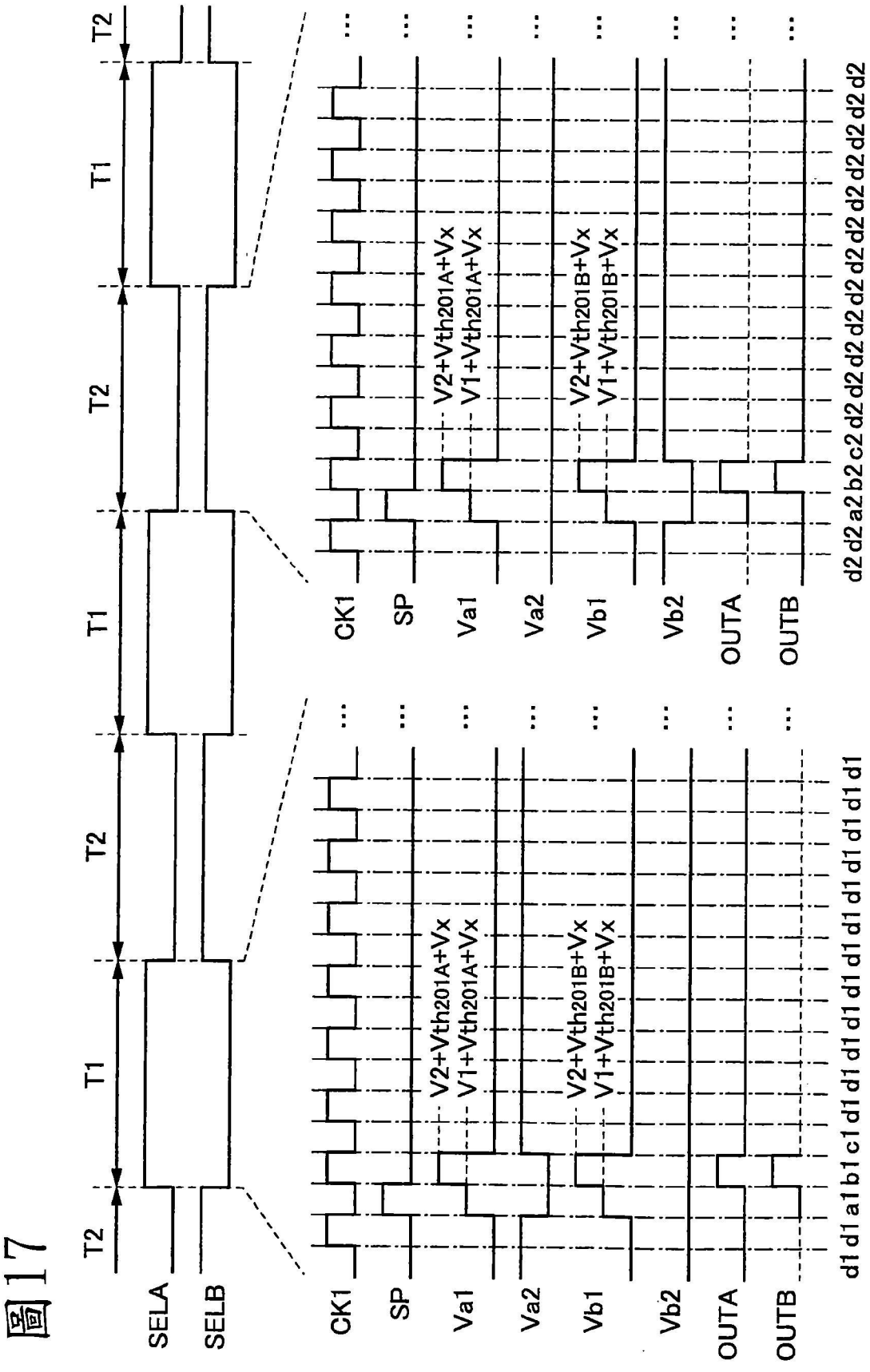

200B
112B
114B
115B
116B
113B
300B
203B
B1
B2
201B
202B
111
201A
202A
200A
112A
203A
A1
A2
300A
114A
115A
116A
113A

圖16B

圖17


T2
T1
T2
T1
T2
SELA
SELB
CK1
SP
Va1
Va2
Vb1
Vb2
OUTA
OUTB
V2+Vth201A+Vx
V1+Vth201A+Vx
V2+Vth201B+Vx
V1+Vth201B+Vx
d1 d1 a1 b1 c1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1 d1
d2 d2 a2 b2 c2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2 d2

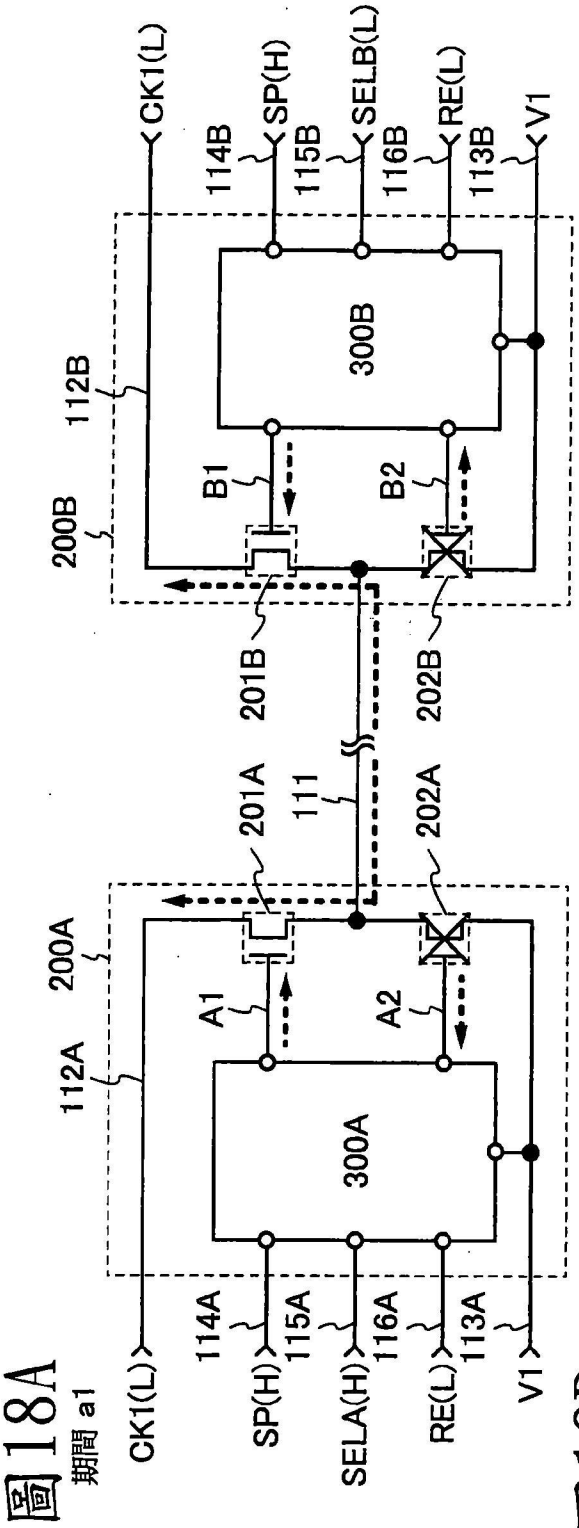



圖18A
期間 a1

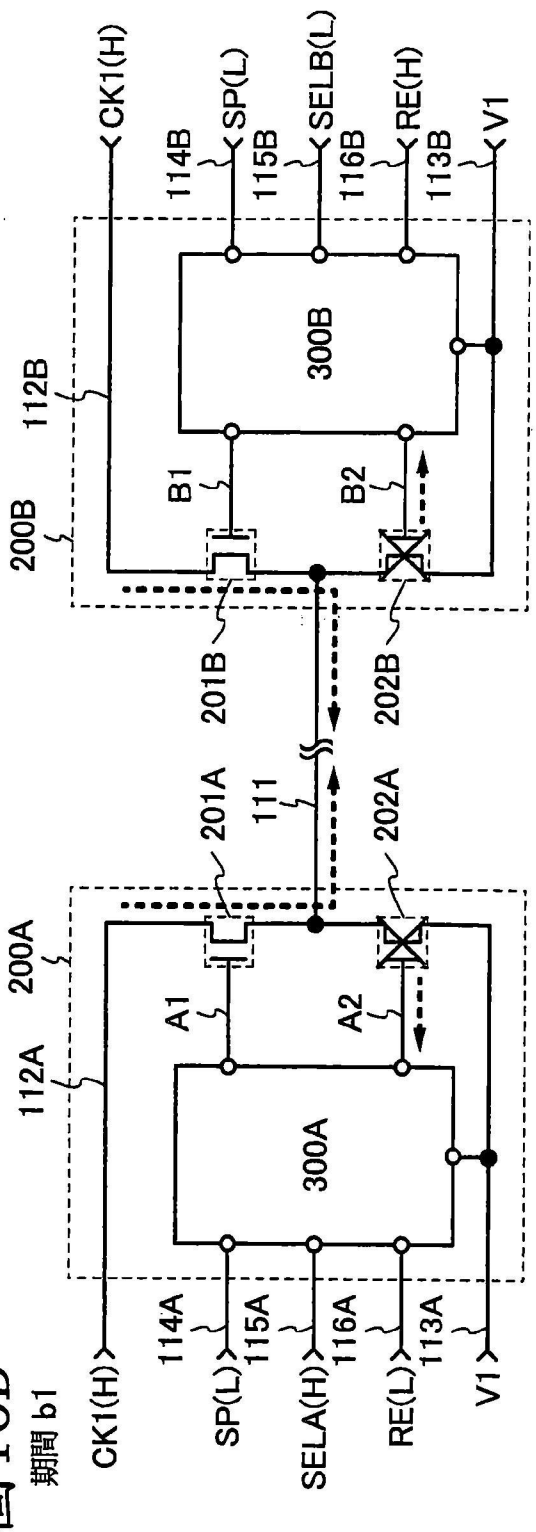



圖18B
期間 b1

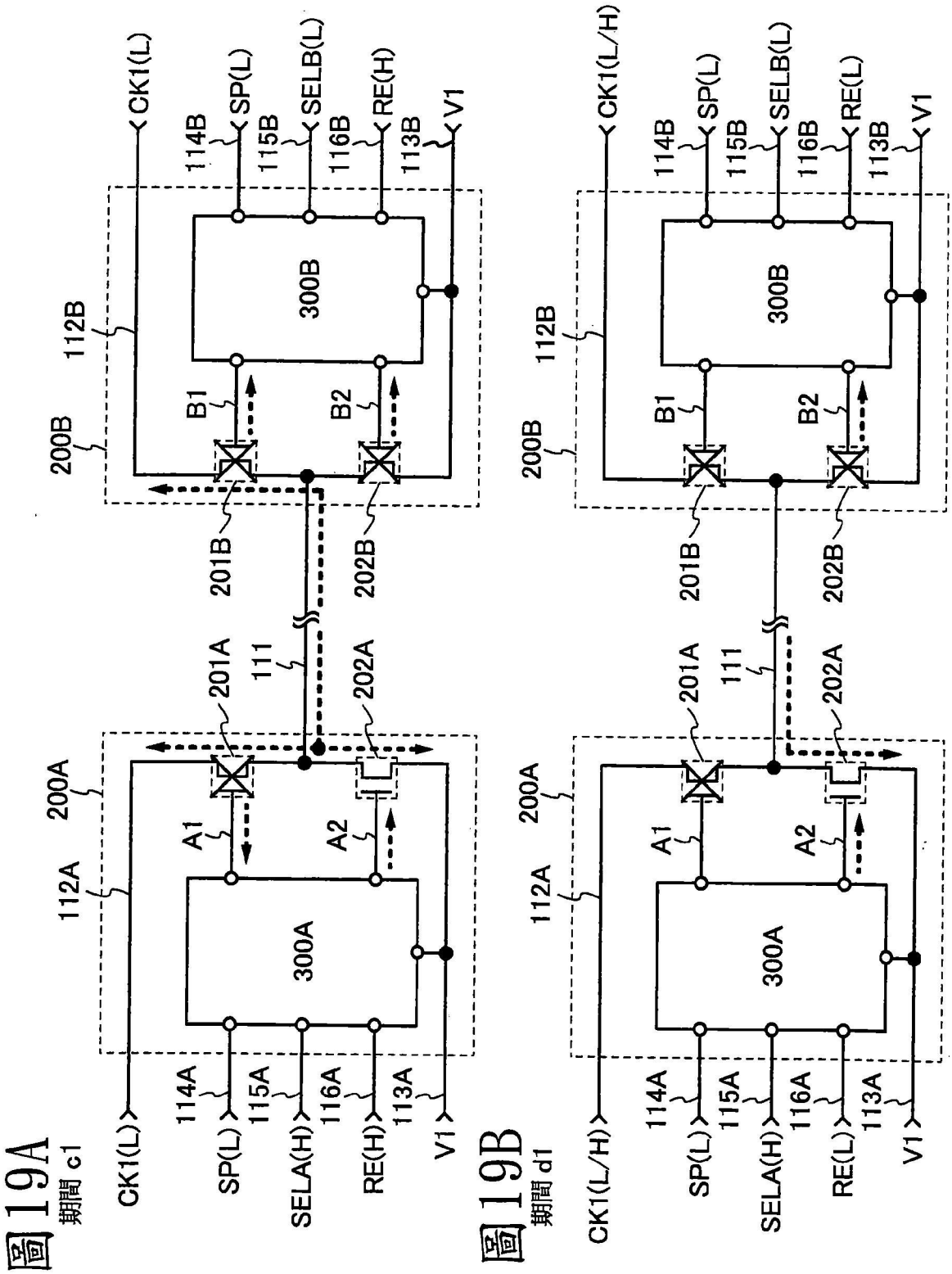



圖19A
期間 c1

圖19B
期間 d1

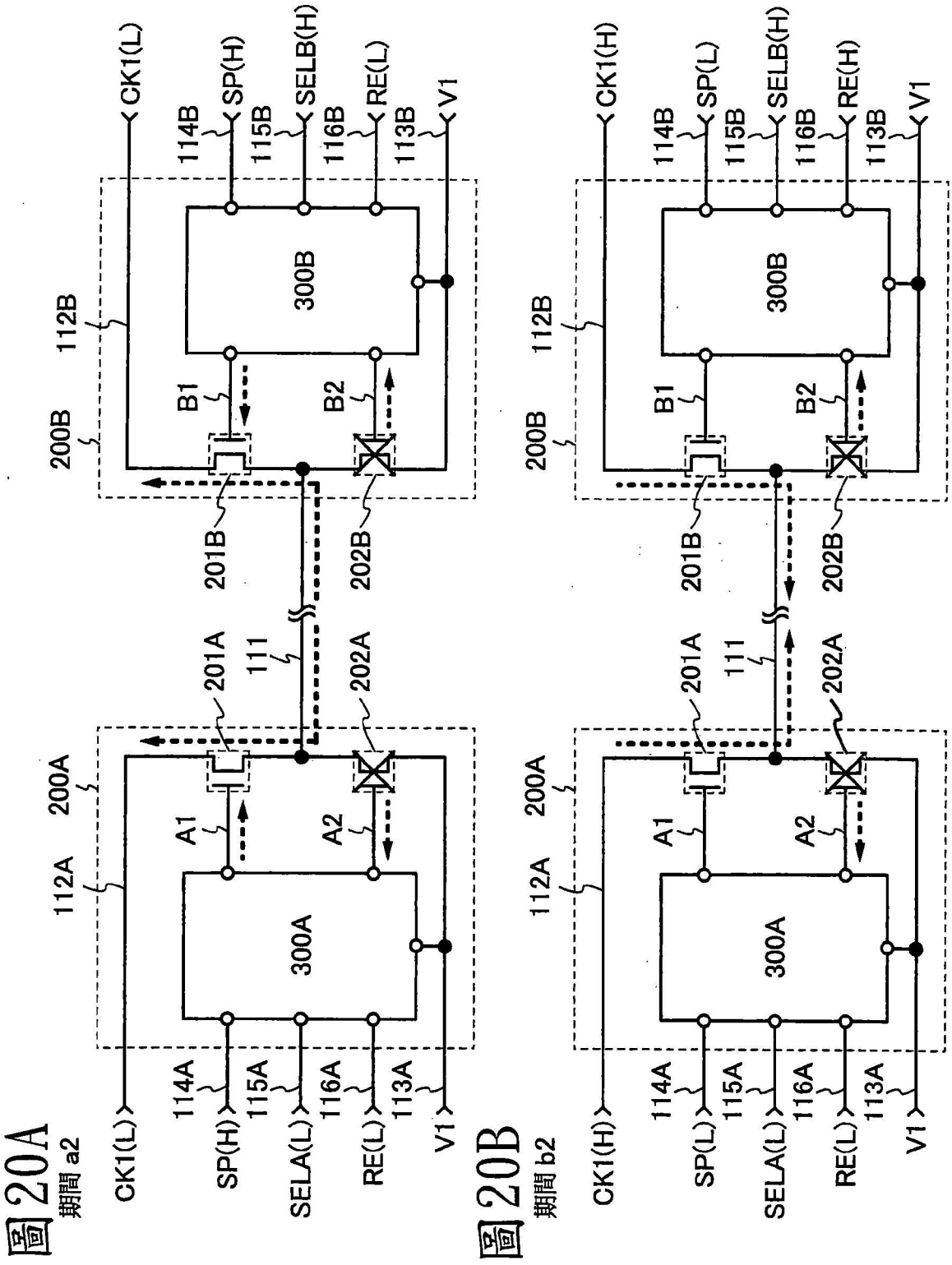



圖 20A
期間 a2

圖 20B
期間 b2

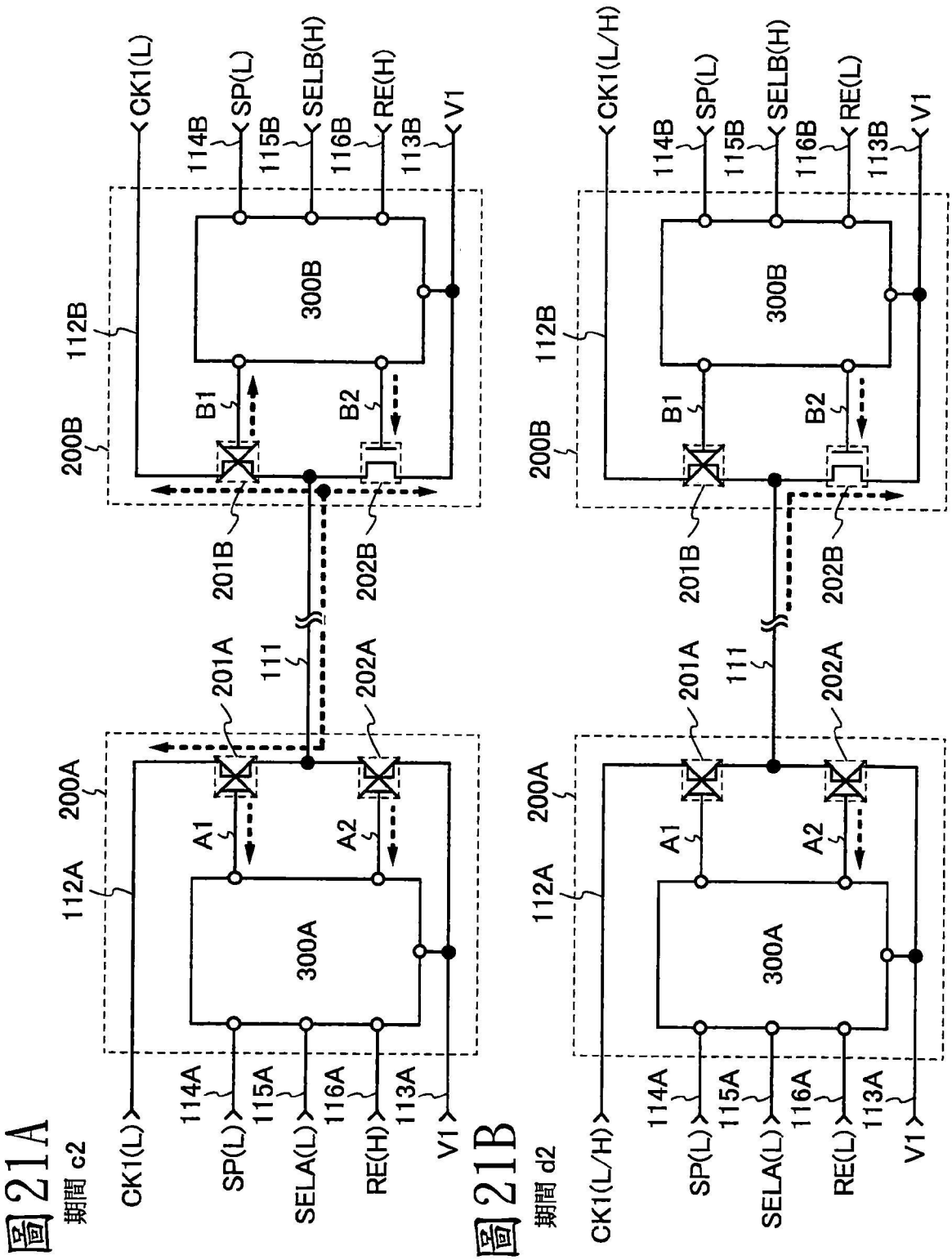



圖21A
期間 c2

圖21B
期間 d2

圖22

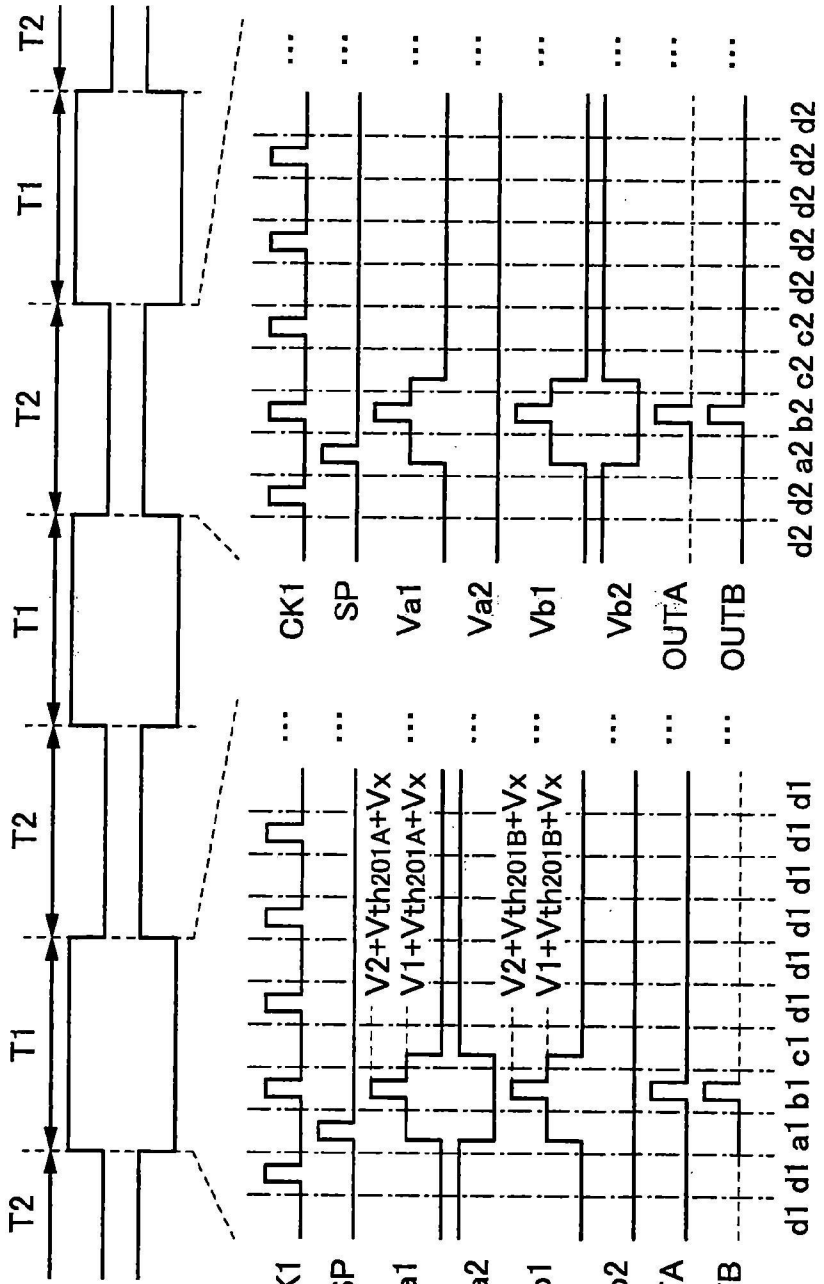

T2
T1
T2
T1
T2
T1
T2
CK1
SP
Va1
Va2
Vb1
Vb2
OUTA
OUTB
V2+Vth201A+Vx
V1+Vth201A+Vx
V2+Vth201B+Vx
V1+Vth201B+Vx
d1 d1 a1 b1 c1 d1 d1 d1 d1 d1 d1 d1 d1
d2 d2 a2 b2 c2 d2 d2 d2 d2 d2 d2 d2 d2

圖23

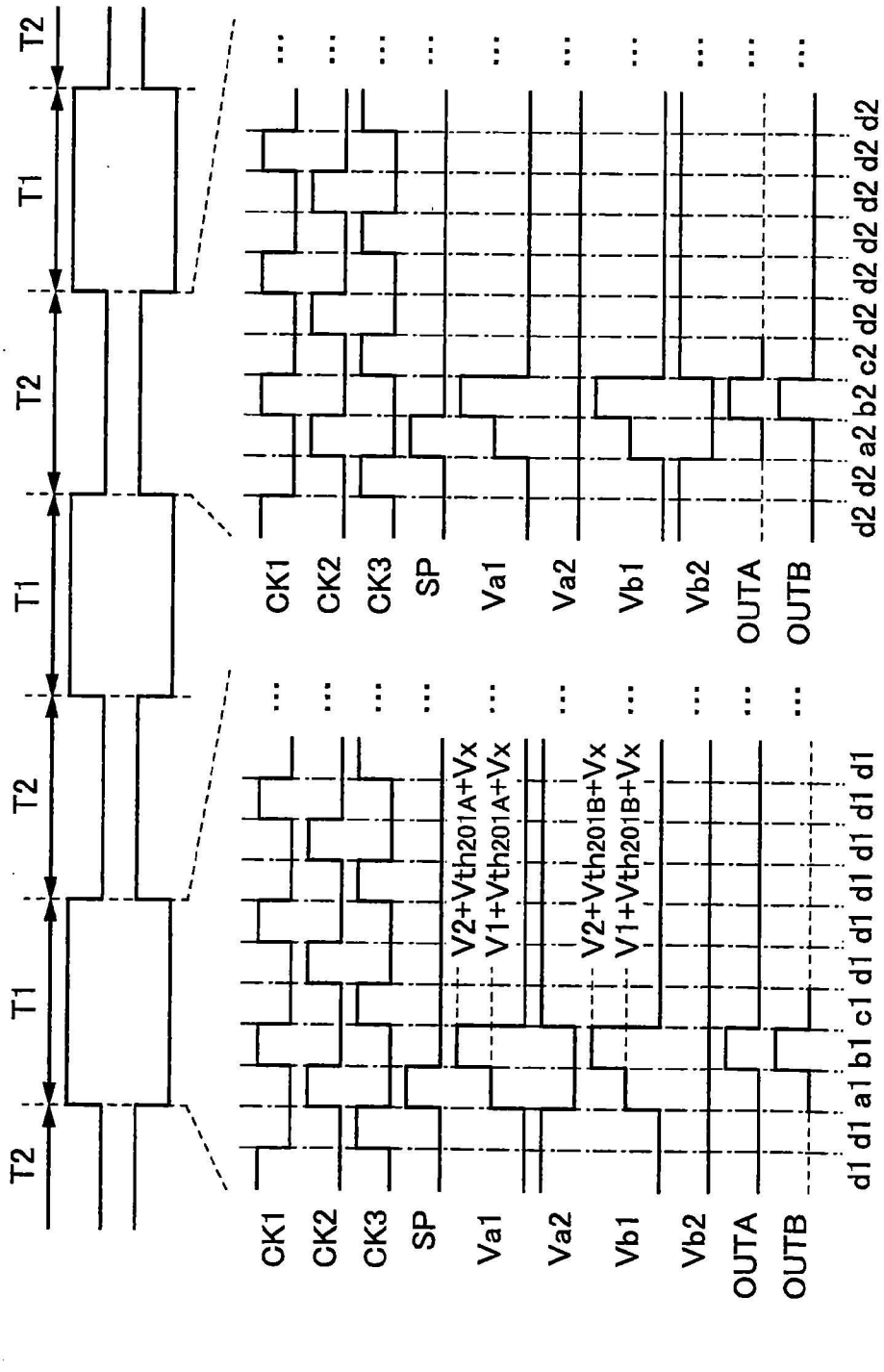

T2
T1
T2
T1
T2
T1
T2
CK1
CK2
CK3
SP
Va1
Va2
Vb1
Vb2
OUTA
OUTB
V2+Vth201A+Vx
V1+Vth201A+Vx
V2+Vth201B+Vx
V1+Vth201B+Vx
d1 d1 a1 b1 c1 d1 d1 d1 d1 d1 d1
d2 d2 a2 b2 c2 d2 d2 d2 d2 d2 d2

圖24A

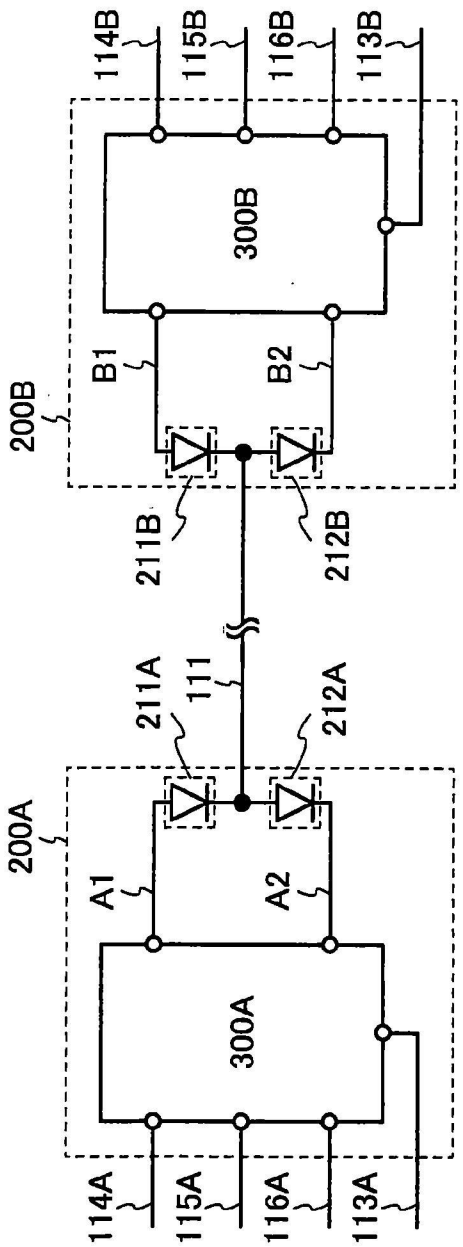
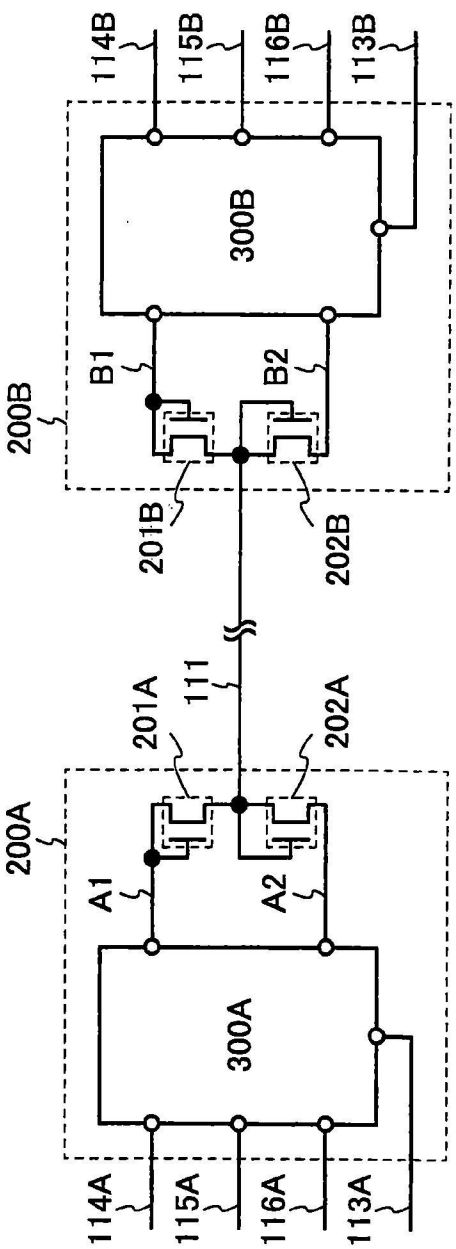

114B
115B
116B
113B
300B
B1
B2
200B
211B
212B
211A
111
212A
200A
A1
A2
300A
114A
115A
116A
113A

圖24B


114B
115B
116B
113B
300B
B1
B2
200B
201B
202B
201A
111
202A
200A
A1
A2
300A
114A
115A
116A
113A

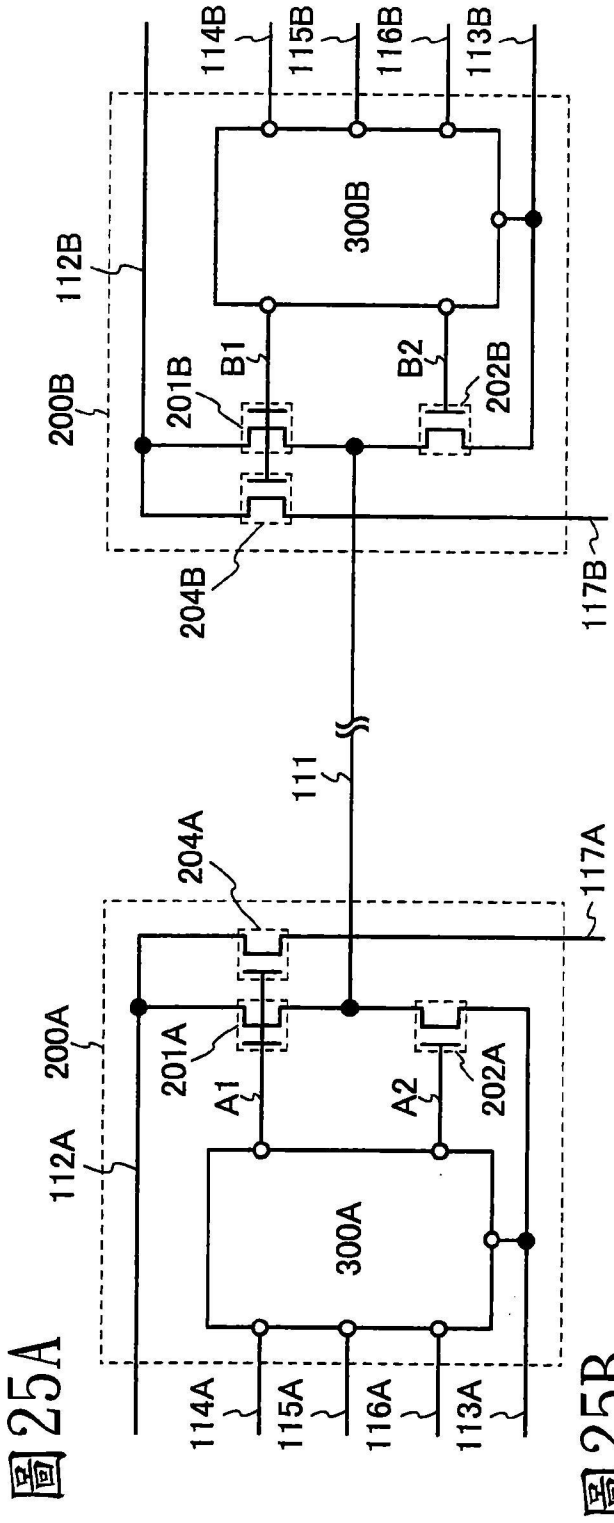

114B
115B
116B
113B
112B
300B
200B
201B
B1
B2
202B
204B
117B
111
204A
117A
200A
201A
A1
A2
202A
112A
300A
114A
115A
116A
113A

圖25A

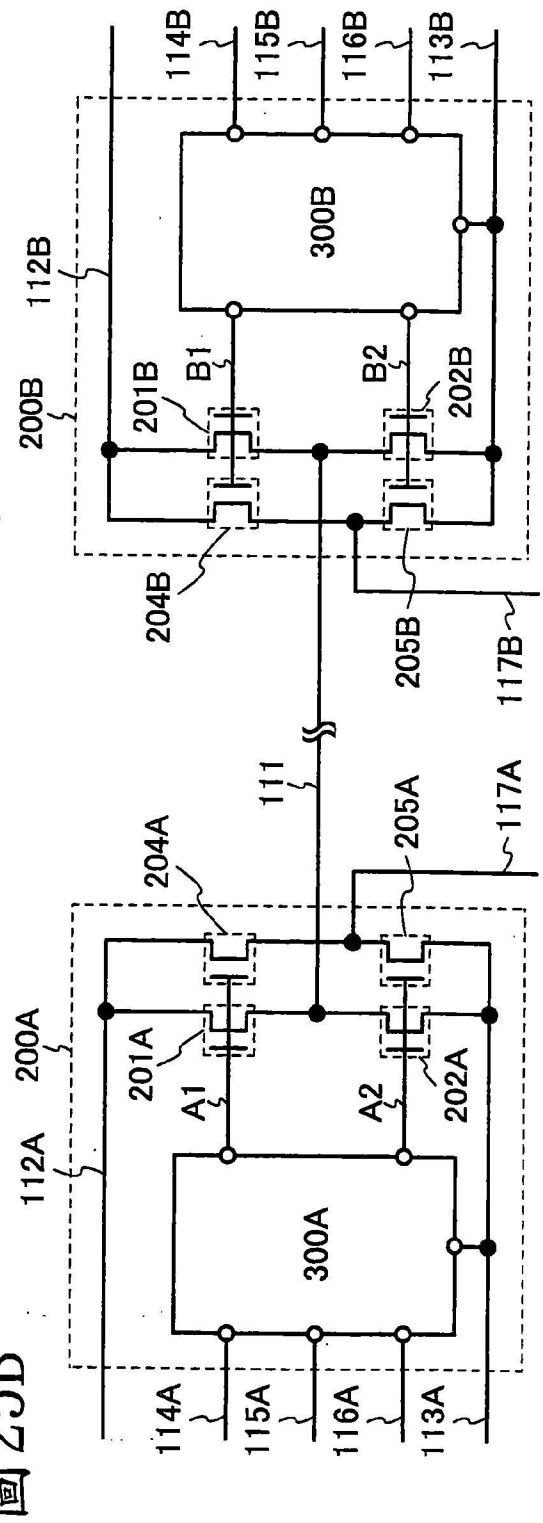

114B
115B
116B
113B
112B
300B
200B
201B
B1
B2
202B
204B
205B
117B
111
205A
117A
204A
200A
201A
A1
A2
202A
112A
300A
114A
115A
116A
113A

圖25B

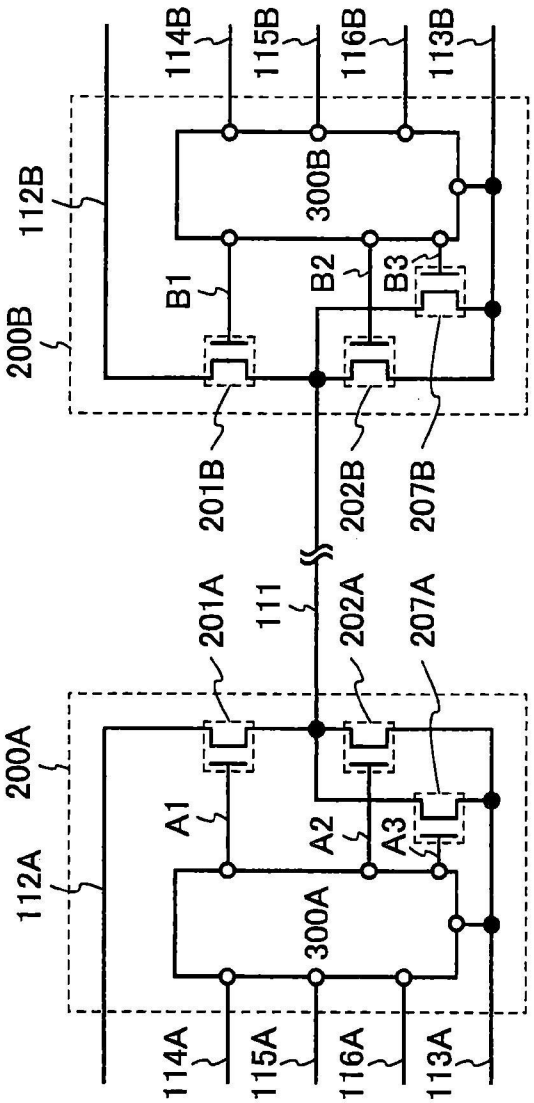

114B
115B
116B
113B
112B
300B
200B
B1
B2
B3
201B
202B
207B
111
201A
202A
207A
200A
A1
A2
A3
112A
300A
114A
115A
116A
113A

圖26

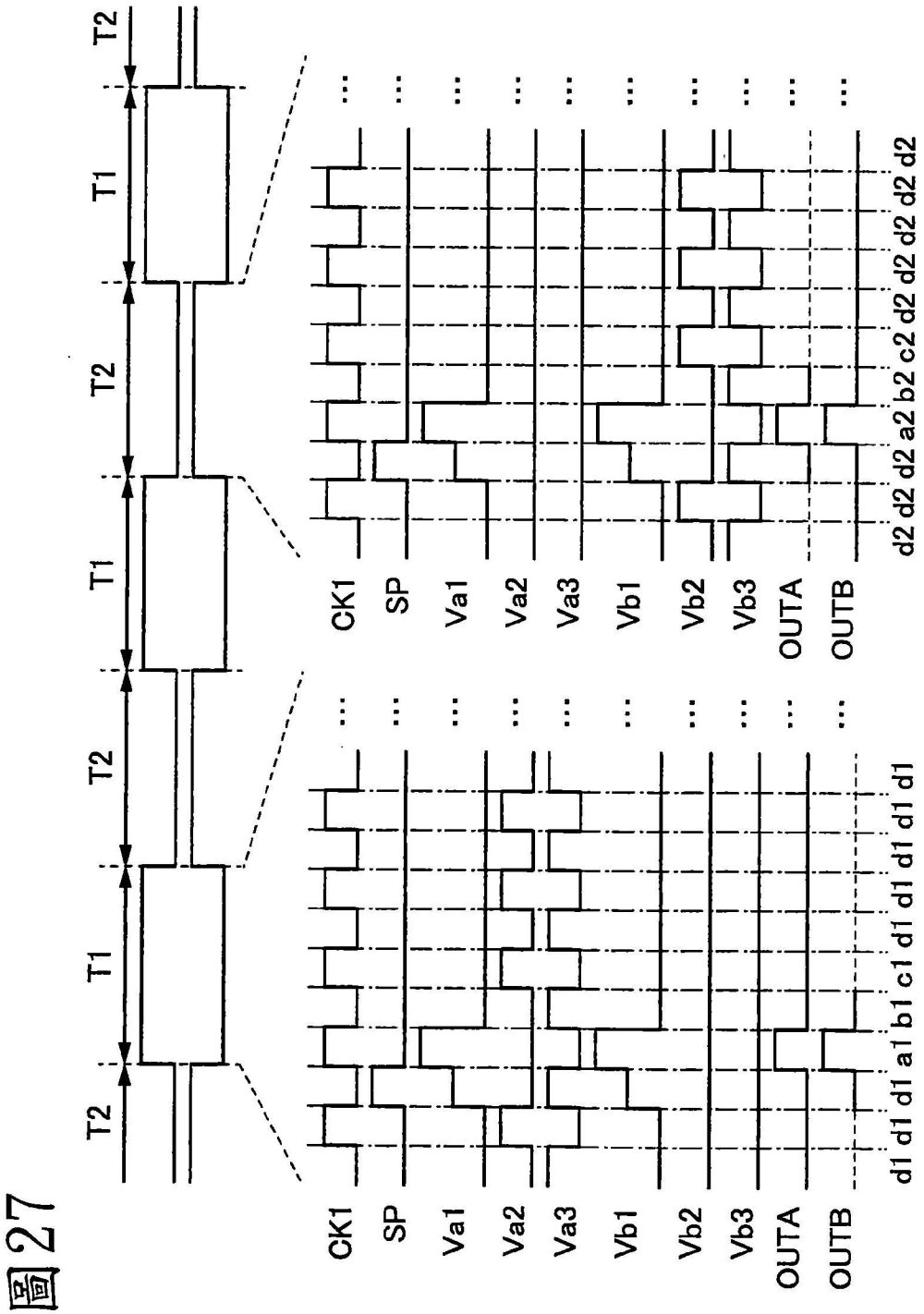

T2
T1
T2
T1
T2
T1
T2
CK1
SP
Va1
Va2
Va3
Vb1
Vb2
Vb3
OUTA
OUTB
d1 d1 d1 a1 b1 c1 d1 d1 d1 d1 d1 d1 d1
d2 d2 d2 a2 b2 c2 d2 d2 d2 d2 d2 d2 d2

圖27

圖28A

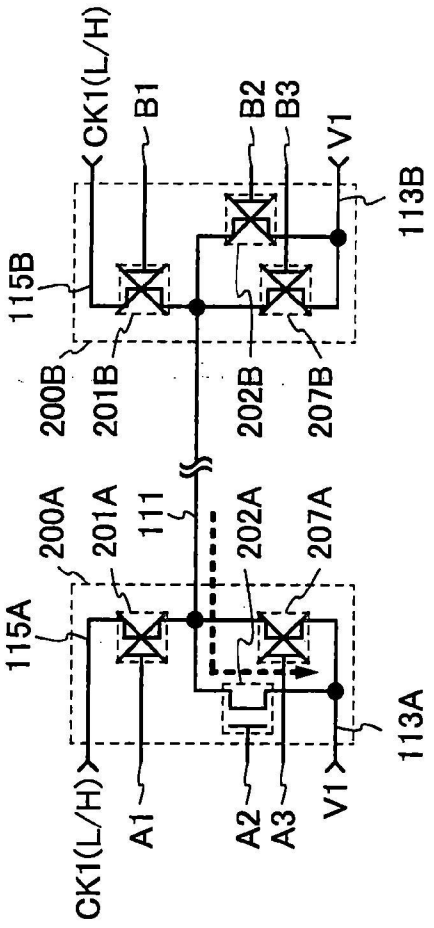
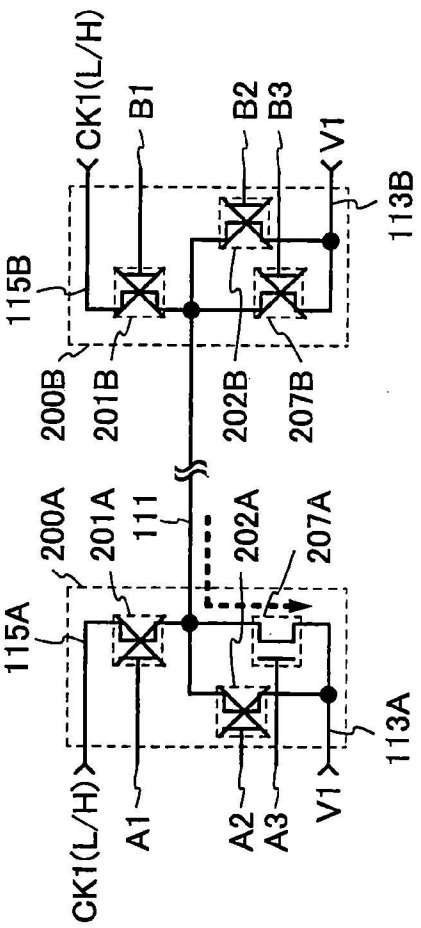

CK1(L/H)
B1
B2
B3
V1
113B
115B
200B
201B
202B
207B
200A
201A
111
202A
207A
115A
113A
CK1(L/H)
A1
A2
A3
V1

圖28B


CK1(L/H)
B1
B2
B3
V1
113B
115B
200B
201B
202B
207B
200A
201A
111
202A
207A
115A
113A
CK1(L/H)
A1
A2
A3
V1

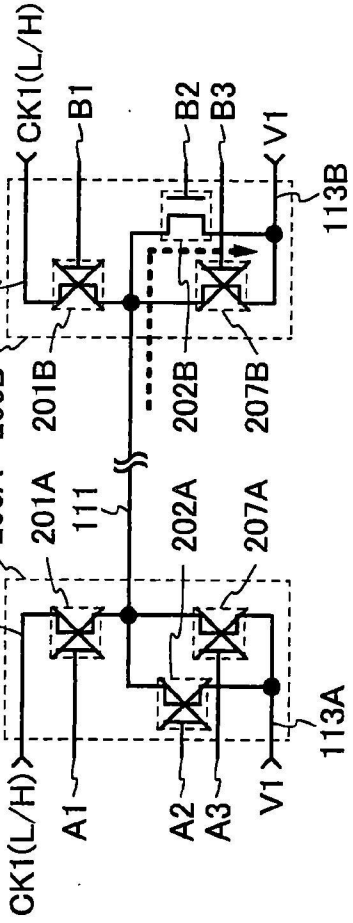

CK1(L/H)
B1
B2
B3
V1
113B
115B
200B
201B
202B
207B
200A
201A
111
202A
207A
115A
113A
CK1(L/H)
A1
A2
A3
V1

圖29A

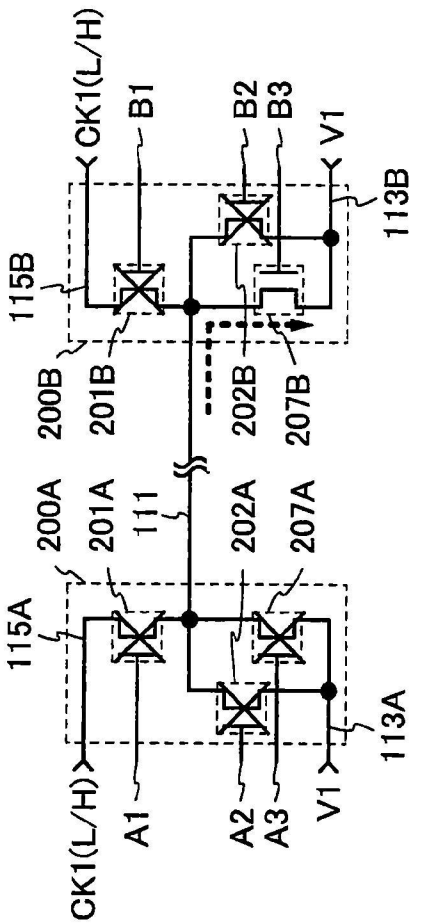
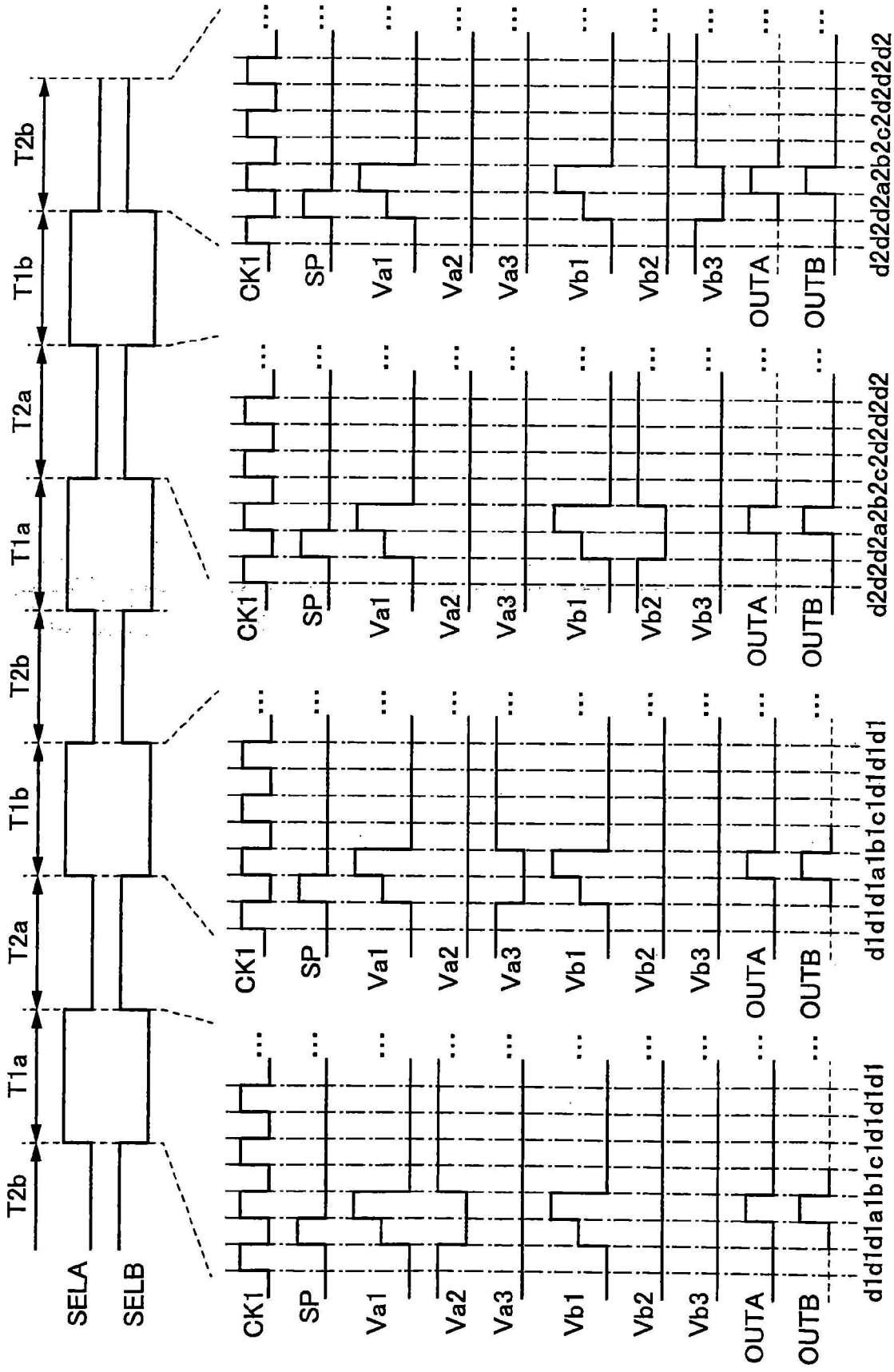

CK1(L/H)
B1
B2
B3
V1
113B
115B
200B
201B
202B
207B
200A
201A
111
202A
207A
115A
113A
CK1(L/H)
A1
A2
A3
V1

圖29B

圖30


T2b
T1a
T2a
T1b
T2b
T1a
T2a
T1b
T2b
SELA
SELB
CK1
SP
Va1
Va2
Va3
Vb1
Vb2
Vb3
OUTA
OUTB
d1d1d1a1b1c1d1d1d1
d1d1d1a1b1c1d1d1d1
d2d2d2a2b2c2d2d2d2
d2d2d2a2b2c2d2d2d2

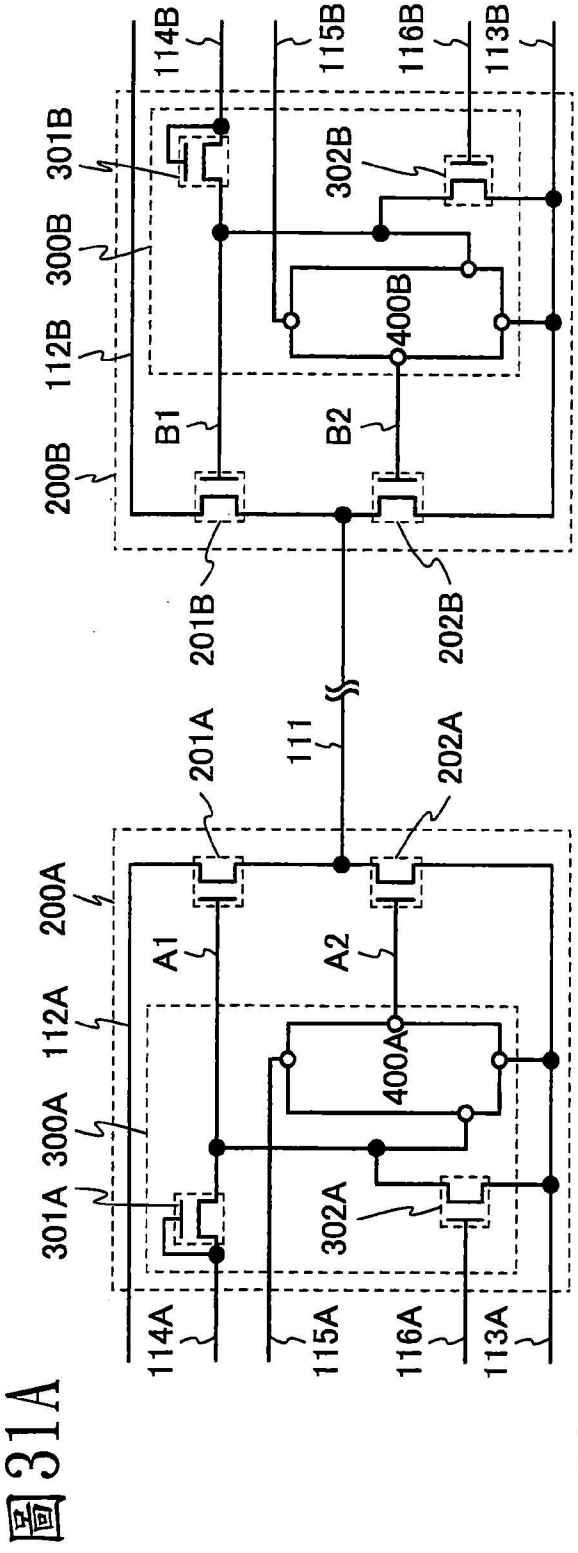

301A
300A
112A
200A
A1
A2
400A
302A
114A
115A
116A
113A
201A
111
202A
301B
300B
112B
200B
B1
B2
400B
302B
114B
115B
116B
113B
201B
202B

圖31A

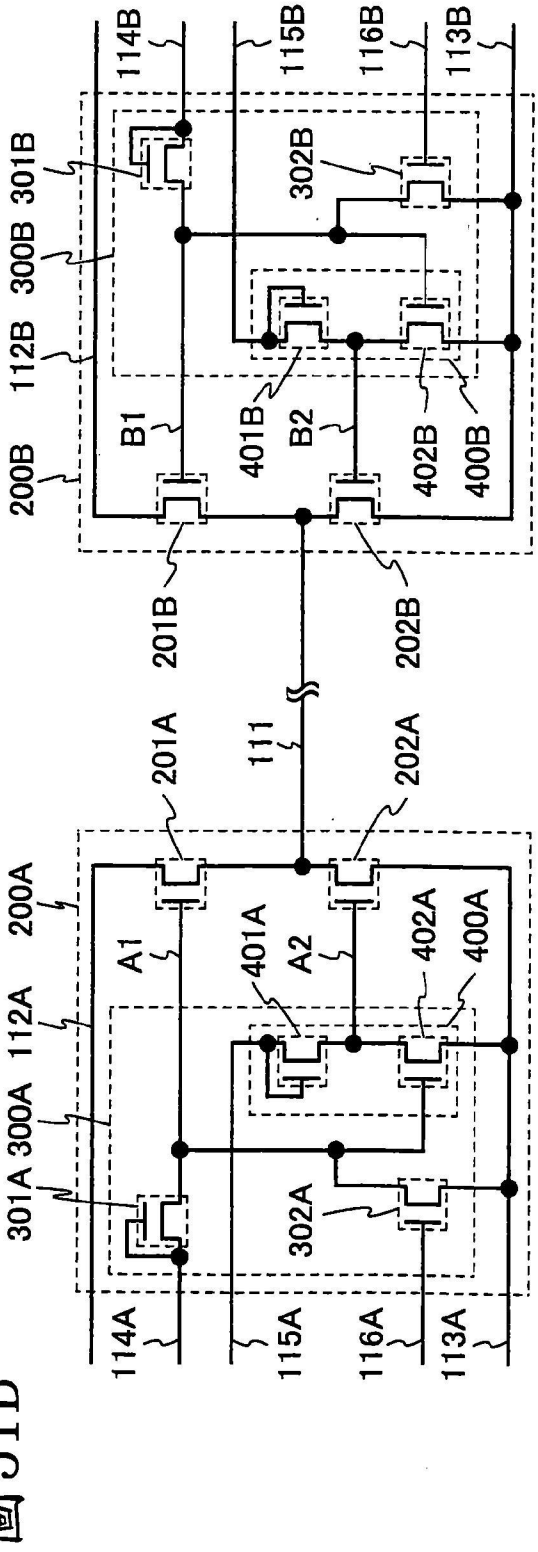

301A
300A
112A
200A
A1
A2
401A
402A
400A
302A
114A
115A
116A
113A
201A
111
202A
301B
300B
112B
200B
B1
B2
401B
402B
400B
302B
114B
115B
116B
113B
201B
202B

圖31B

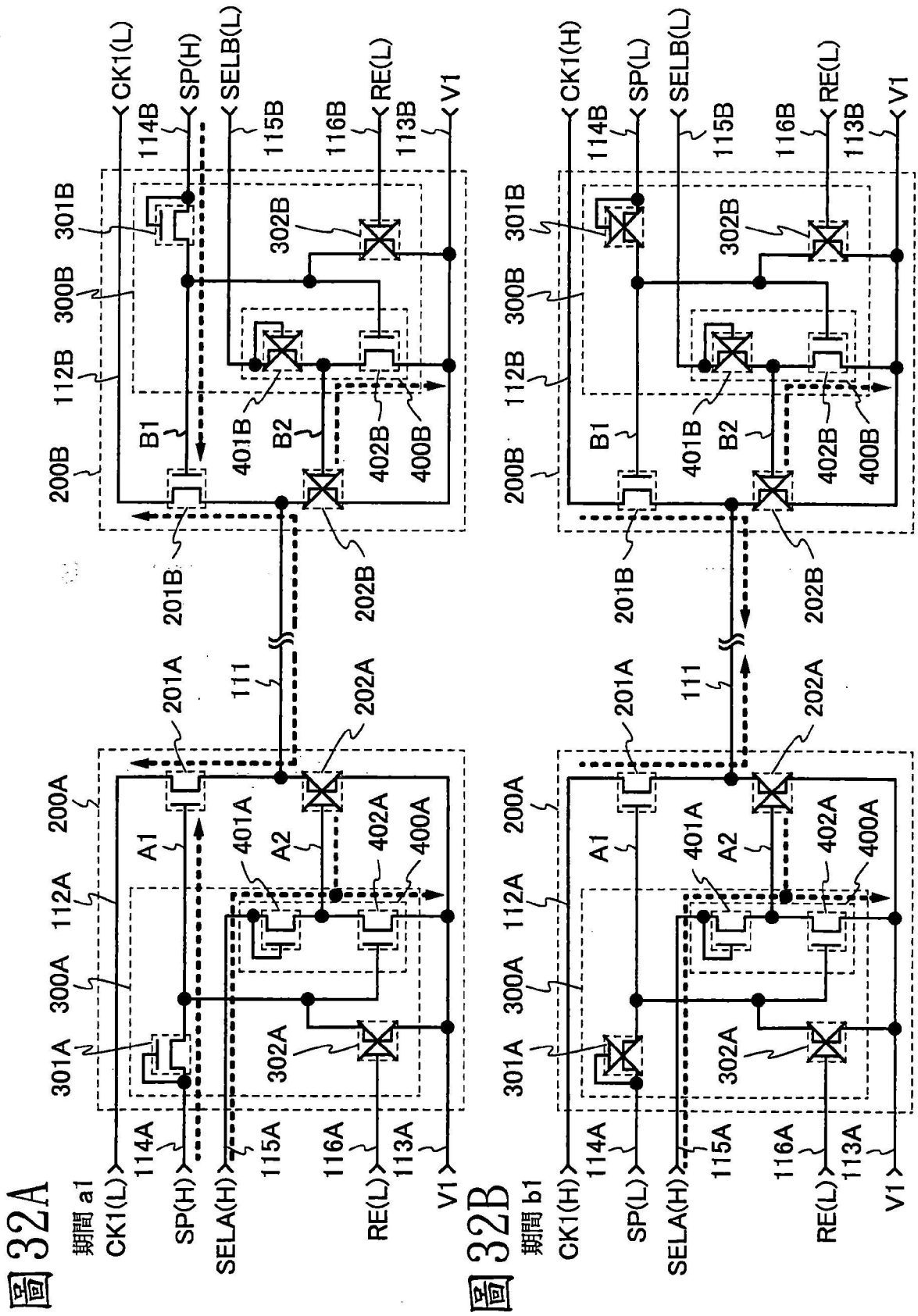

期間 a1
CK1(L)
SP(H)
SELA(H)
RE(L)
V1
114A
115A
116A
113A
301A
300A
112A
200A
A1
401A
A2
402A
400A
302A
111
201A
202A
201B
202B
200B
112B
300B
301B
B1
401B
B2
402B
400B
302B
114B
115B
116B
113B
CK1(L)
SP(H)
SELB(L)
RE(L)
V1
期間 b1
CK1(H)
SP(L)
SELA(H)
RE(L)
V1
CK1(H)
SP(L)
SELB(L)
RE(L)
V1

圖32A

圖32B

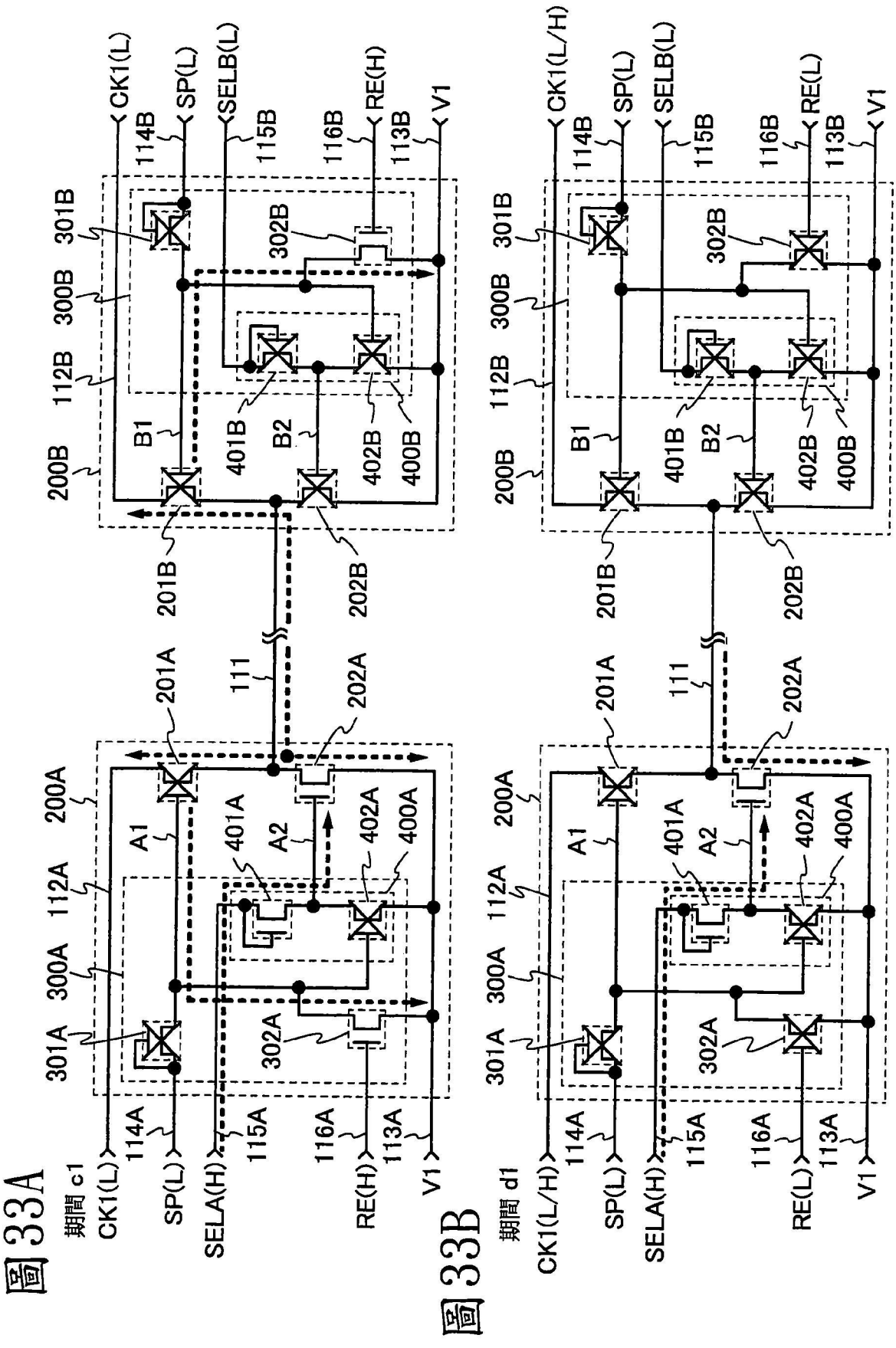

期間 c1
CK1(L)
SP(L)
SELA(H)
RE(H)
V1
114A
115A
116A
113A
301A
300A
112A
200A
A1
A2
401A
402A
400A
302A
201A
202A
111
200B
112B
300B
301B
B1
B2
401B
402B
400B
302B
201B
202B
114B
115B
116B
113B
CK1(L)
SP(L)
SELB(L)
RE(H)
V1
期間 d1
CK1(L/H)
SELA(H)
RE(L)

圖 33A

圖 33B

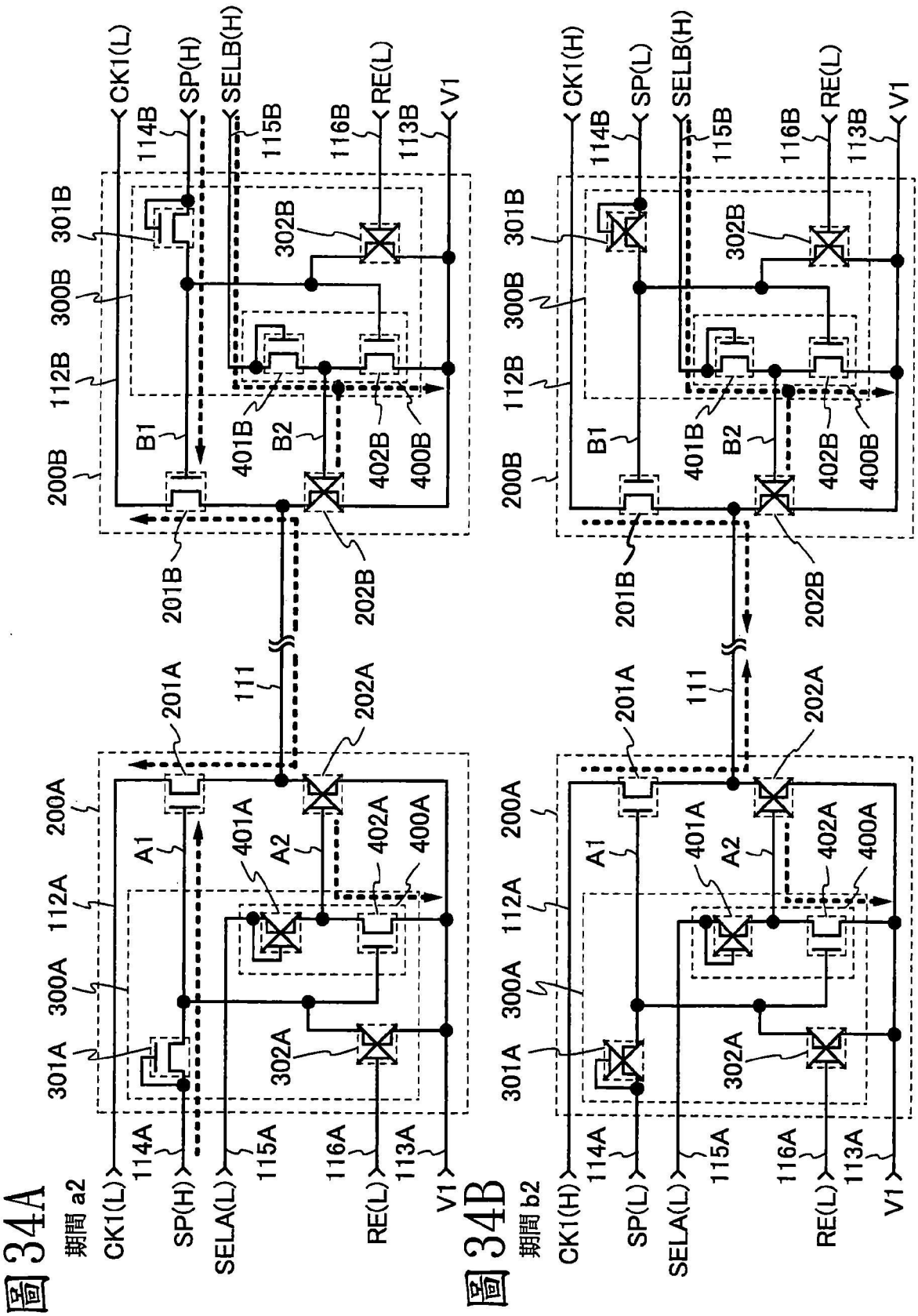



圖34A

期間 a2

圖34B

期間 b2

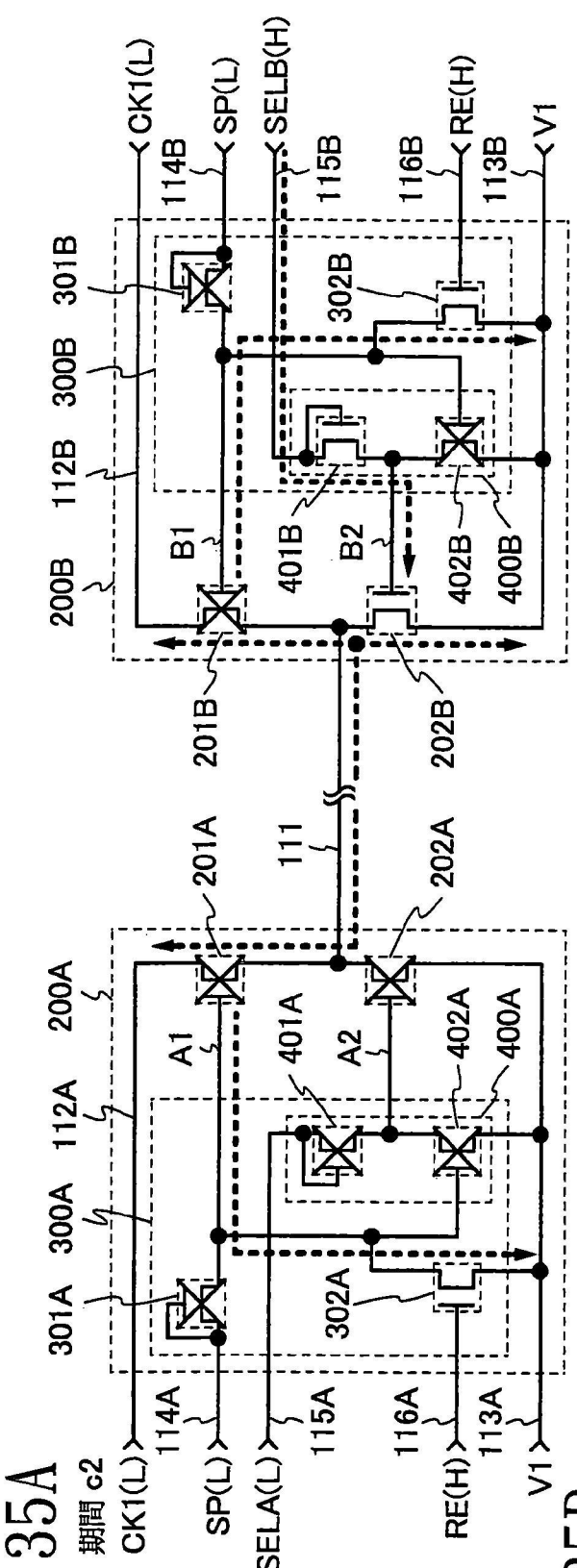

期間 c2
CK1(L)
SP(L)
SELA(L)
RE(H)
V1
301A
300A
112A
200A
114A
115A
116A
113A
A1
A2
401A
402A
400A
302A
201A
202A
111
301B
300B
112B
200B
114B
115B
116B
113B
B1
B2
401B
402B
400B
302B
201B
202B
CK1(L)
SP(L)
SELB(H)
RE(H)
V1

圖35A

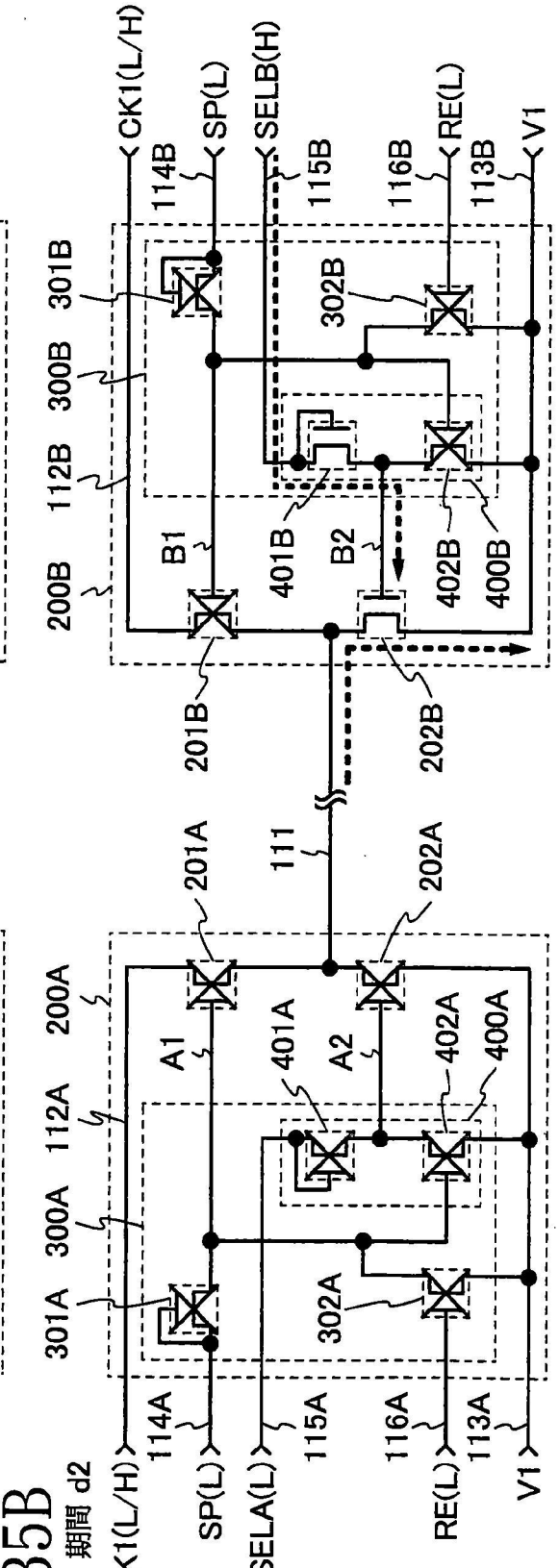

期間 d2
CK1(L/H)
SP(L)
SELA(L)
RE(L)
V1
301A
300A
112A
200A
114A
115A
116A
113A
A1
A2
401A
402A
400A
302A
201A
202A
111
301B
300B
112B
200B
114B
115B
116B
113B
B1
B2
401B
402B
400B
302B
201B
202B
CK1(L/H)
SP(L)
SELB(H)
RE(L)
V1

圖35B

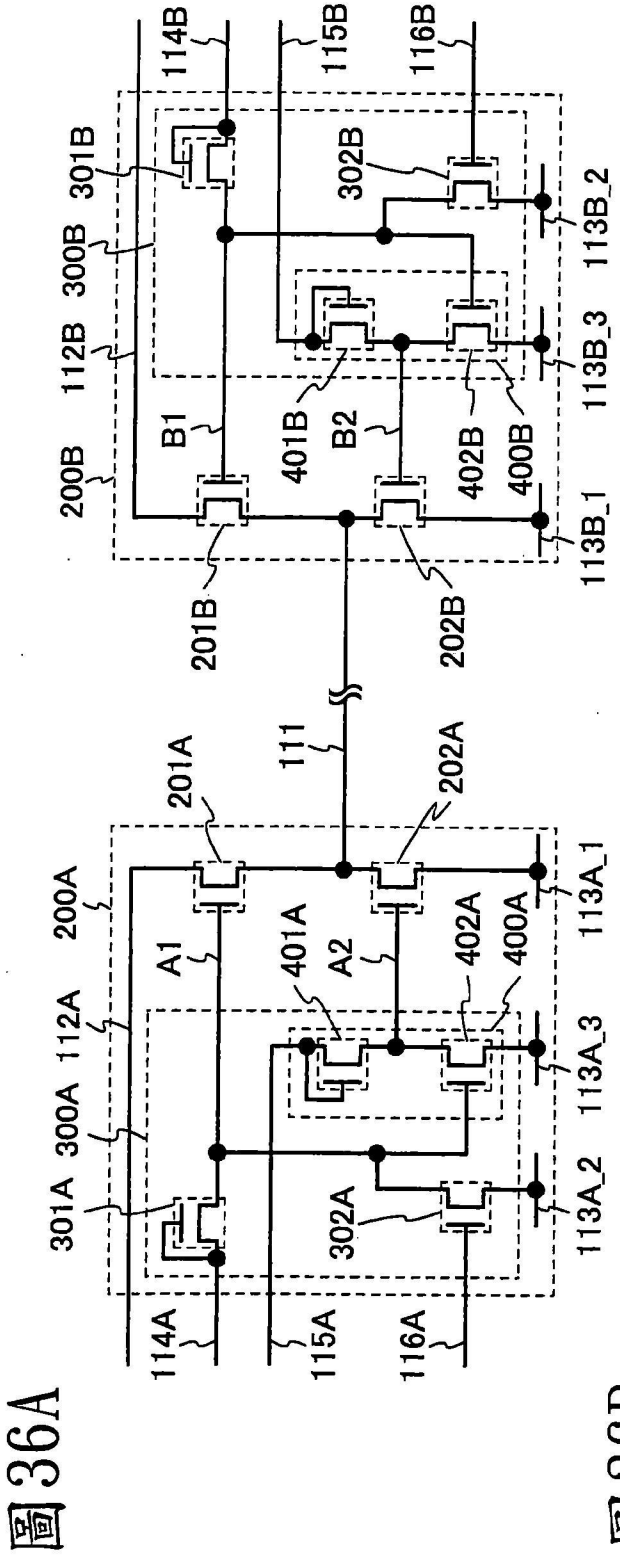

200B
112B
300B
301B
114B
115B
116B
302B
B1
B2
401B
402B
400B
201B
202B
113B_1
113B_2
113B_3
111
200A
112A
300A
301A
201A
202A
A1
A2
401A
402A
400A
302A
113A_1
113A_2
113A_3
114A
115A
116A

圖36A

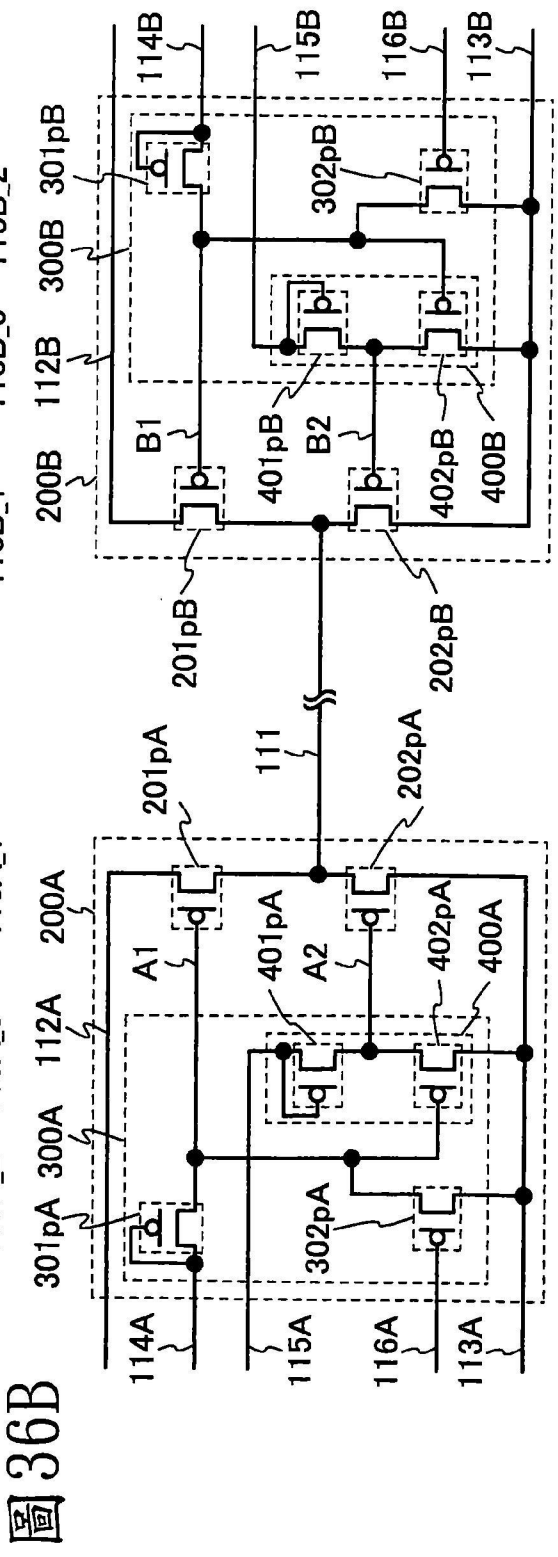

200B
112B
300B
301pB
114B
115B
116B
113B
302pB
B1
B2
401pB
402pB
400B
201pB
202pB
111
200A
112A
300A
301pA
201pA
202pA
A1
A2
401pA
402pA
400A
302pA
114A
115A
116A
113A

圖36B

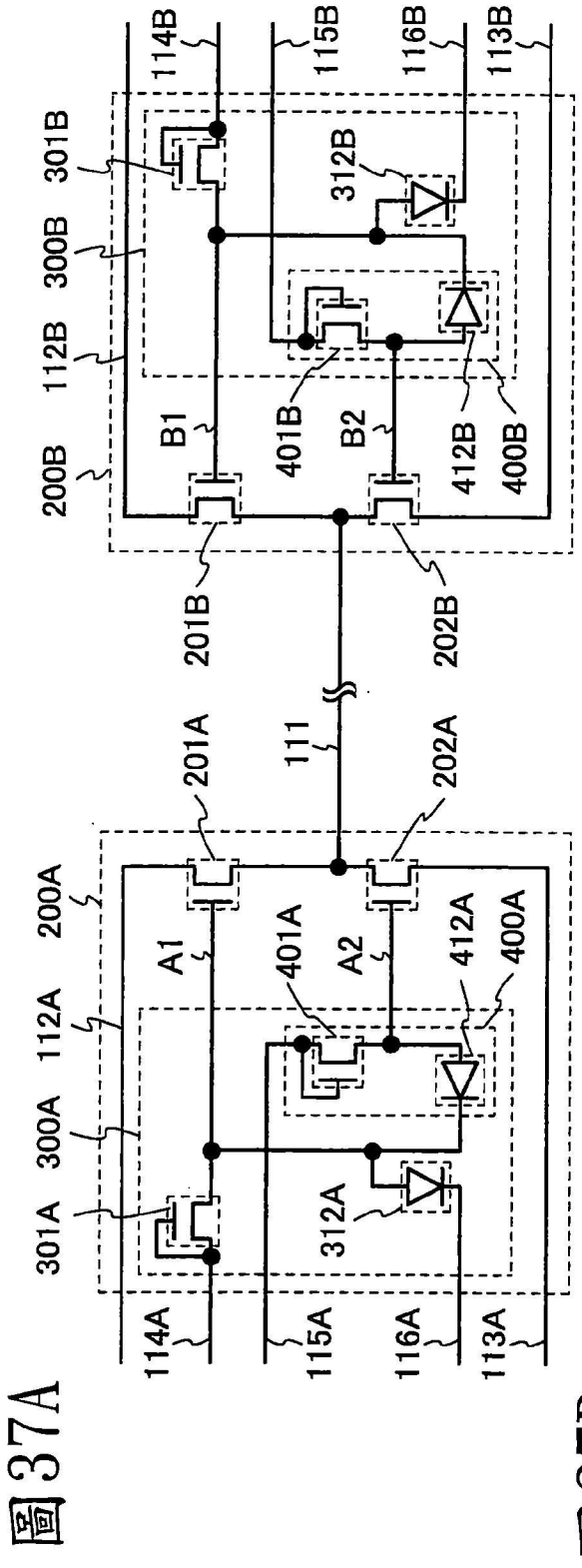

114B
115B
116B
113B
301B
300B
112B
200B
312B
B1
401B
B2
412B
400B
201B
202B
111
201A
202A
200A
112A
300A
301A
A1
401A
A2
412A
400A
312A
114A
115A
116A
113A

圖37A

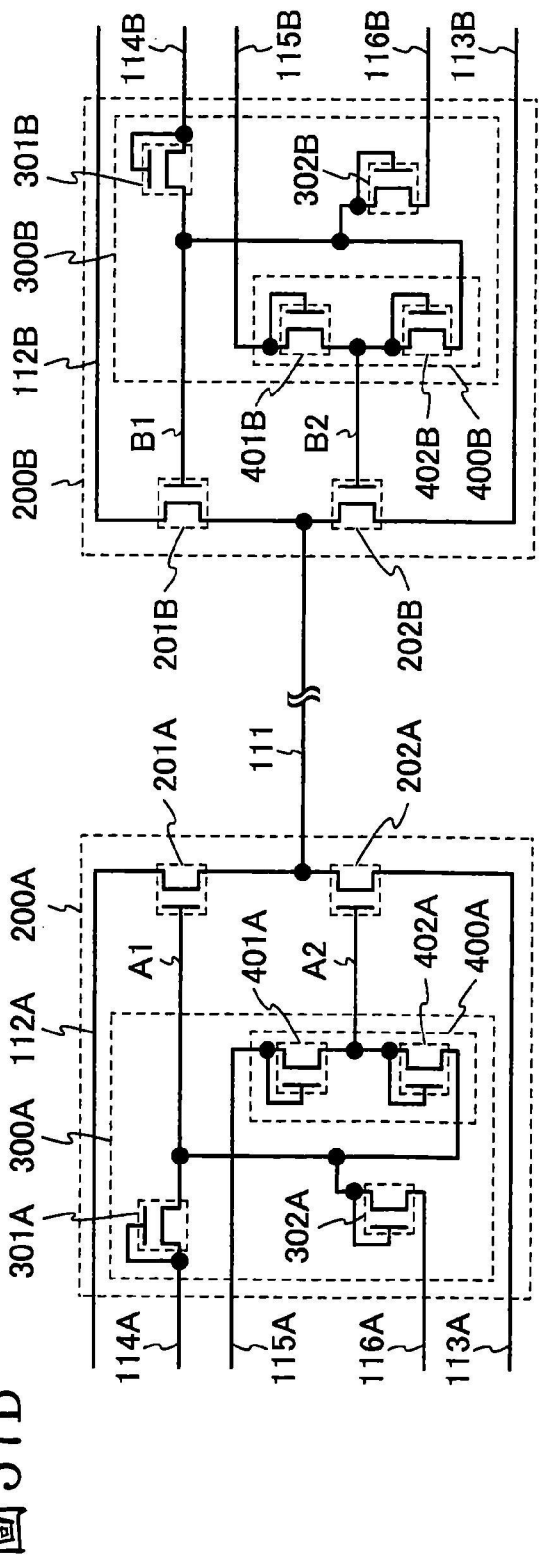

114B
115B
116B
113B
301B
300B
112B
200B
302B
B1
401B
B2
402B
400B
201B
202B
111
201A
202A
200A
112A
300A
301A
A1
401A
A2
402A
400A
302A
114A
115A
116A
113A

圖37B

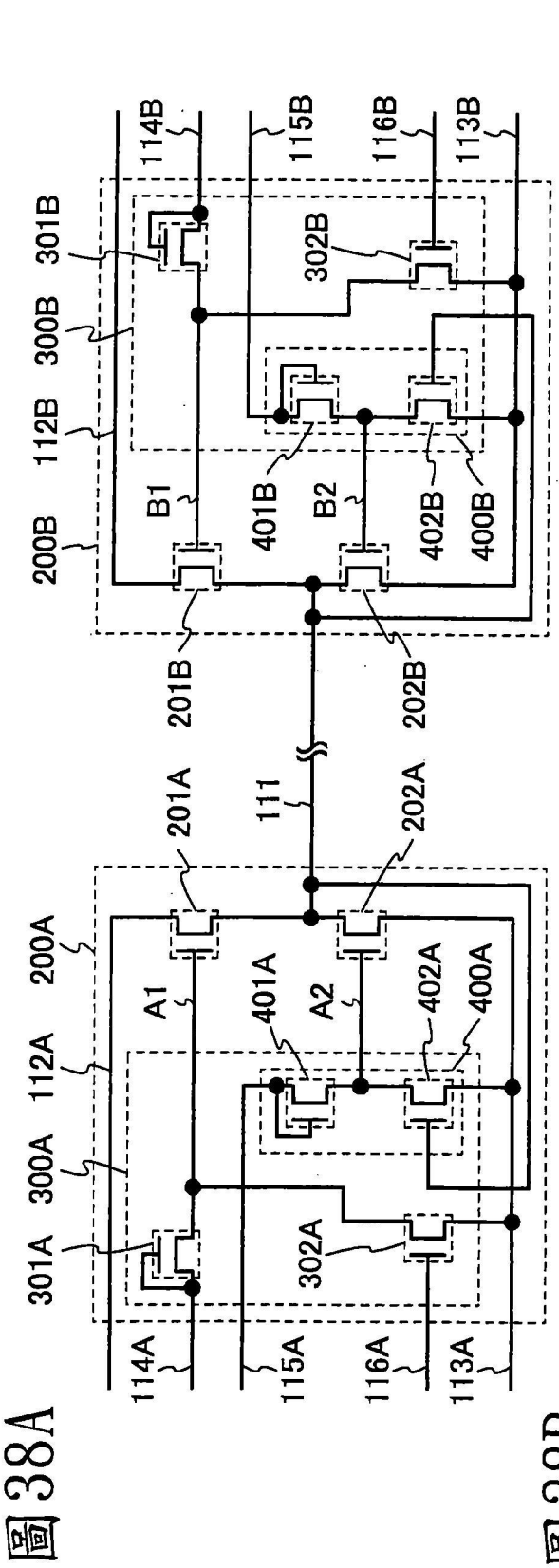

114B
115B
116B
113B
301B
300B
112B
200B
302B
B1
401B
B2
402B
400B
201B
202B
111
201A
202A
200A
112A
300A
301A
A1
401A
A2
402A
400A
302A
114A
115A
116A
113A

圖38A

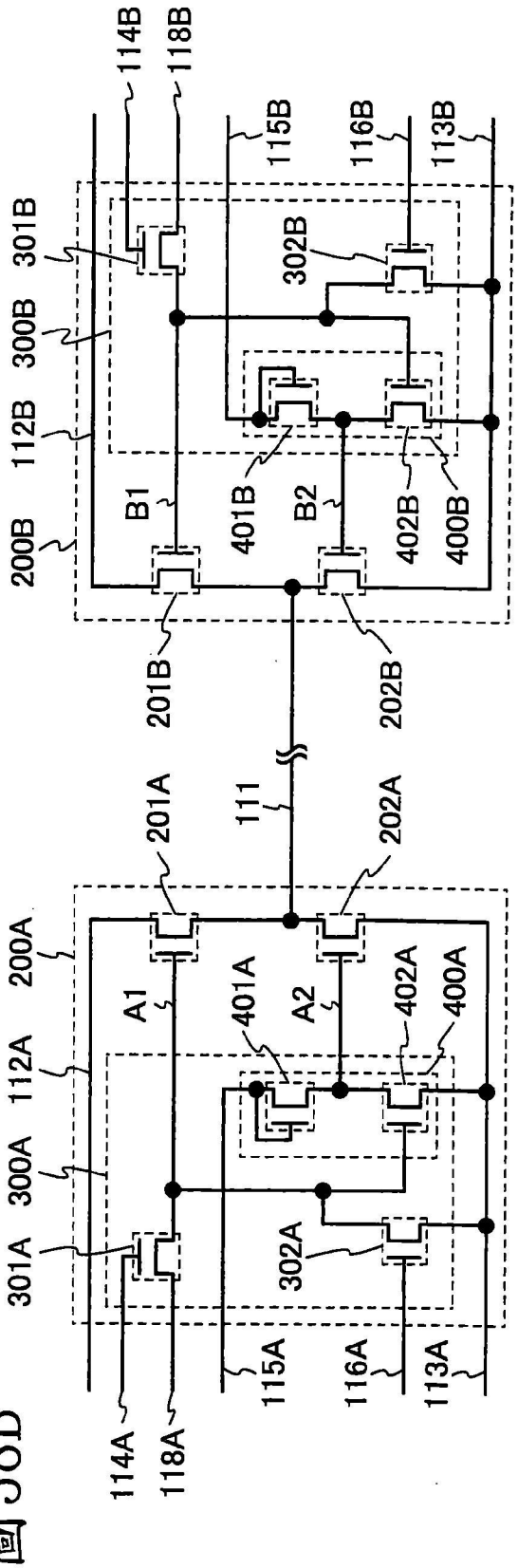

114B
118B
115B
116B
113B
301B
300B
112B
200B
302B
B1
401B
B2
402B
400B
201B
202B
111
201A
202A
200A
112A
300A
301A
A1
401A
A2
402A
400A
302A
114A
118A
115A
116A
113A

圖38B

圖39A

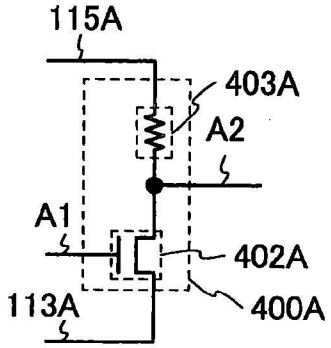



圖39B

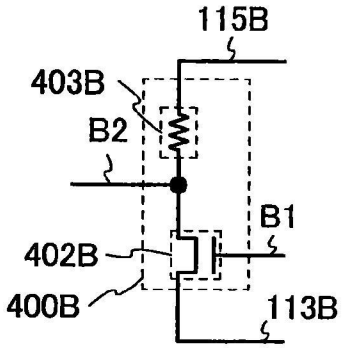



圖39C

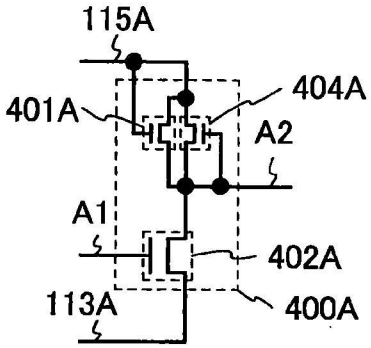



圖39D

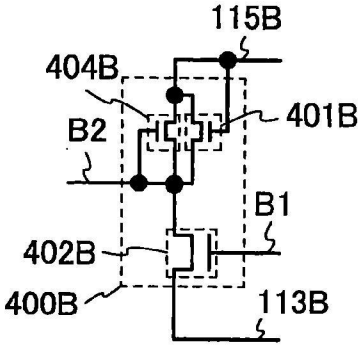



圖39E

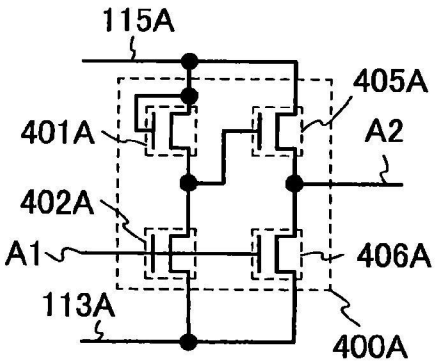



圖39F

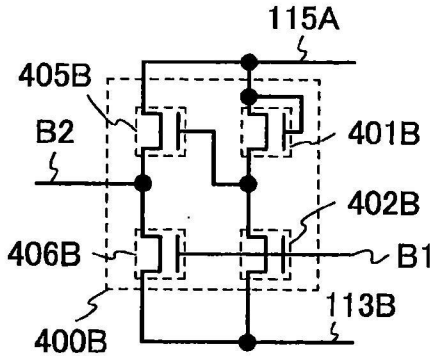


圖40A

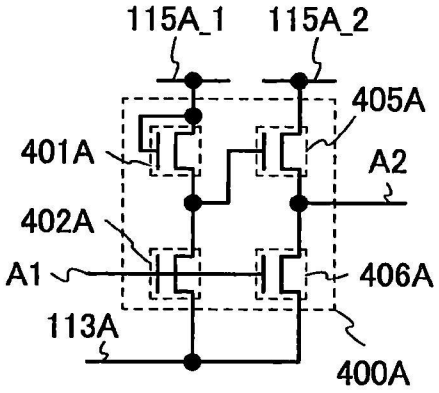



圖40B

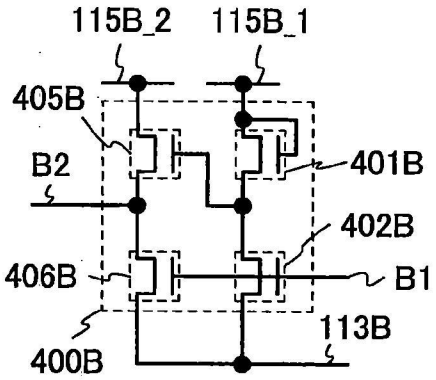



圖40C

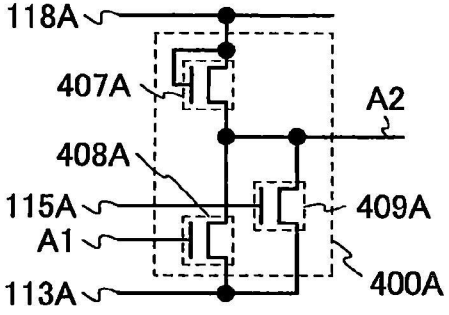
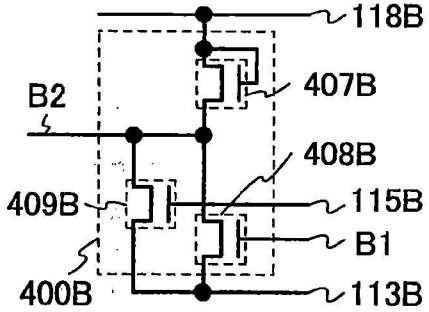



圖40D



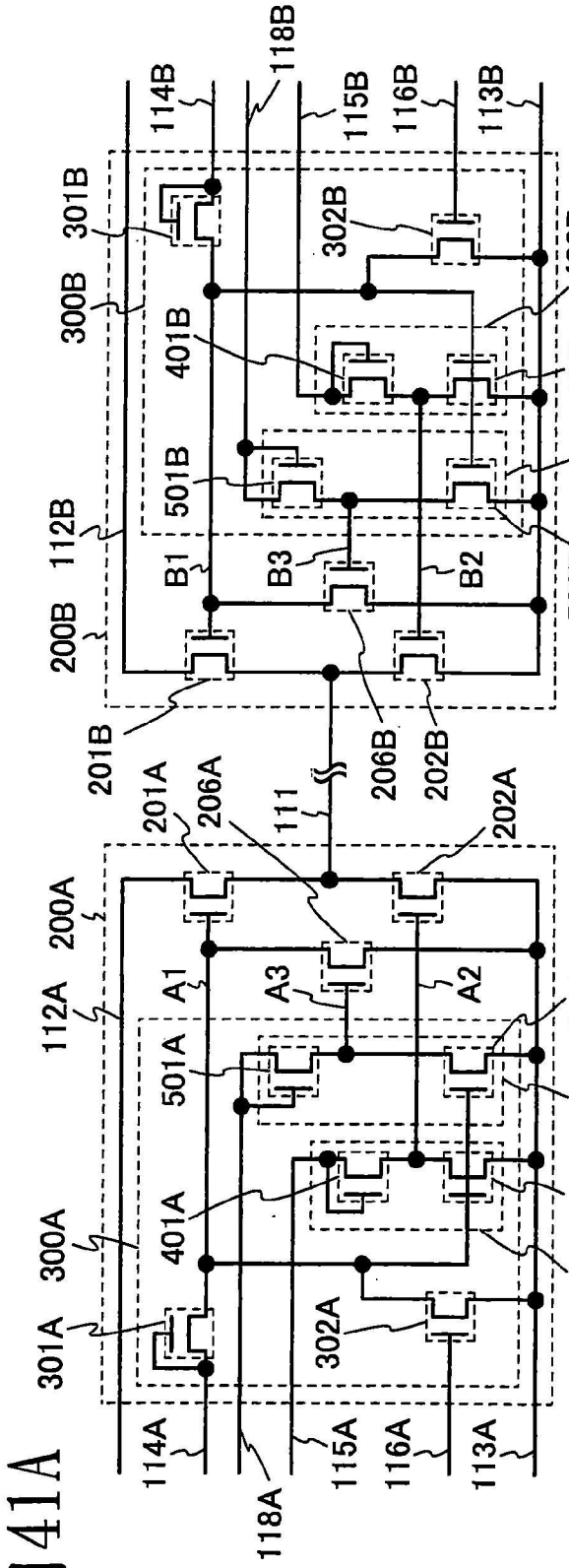

114B
118B
115B
116B
113B
301B
300B
302B
400B
401B
402B
501B
500B
112B
B1
B3
B2
502B
200B
201B
206B
202B
201A
206A
111
202A
200A
A1
A3
A2
112A
501A
502A
500A
401A
402A
400A
300A
301A
302A
114A
115A
116A
113A
118A

圖41A

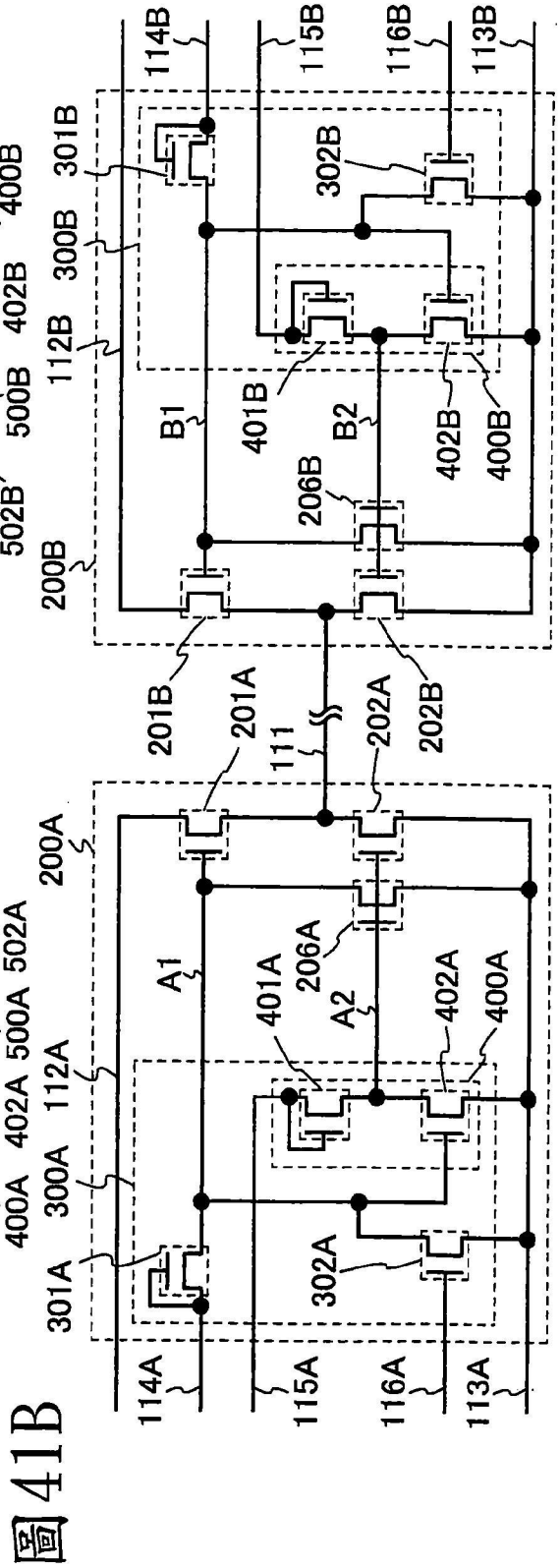

114B
115B
116B
113B
301B
300B
302B
112B
B1
401B
B2
206B
402B
400B
200B
201B
201A
111
202A
202B
200A
A1
206A
401A
A2
402A
400A
112A
300A
302A
301A
114A
115A
116A
113A

圖41B

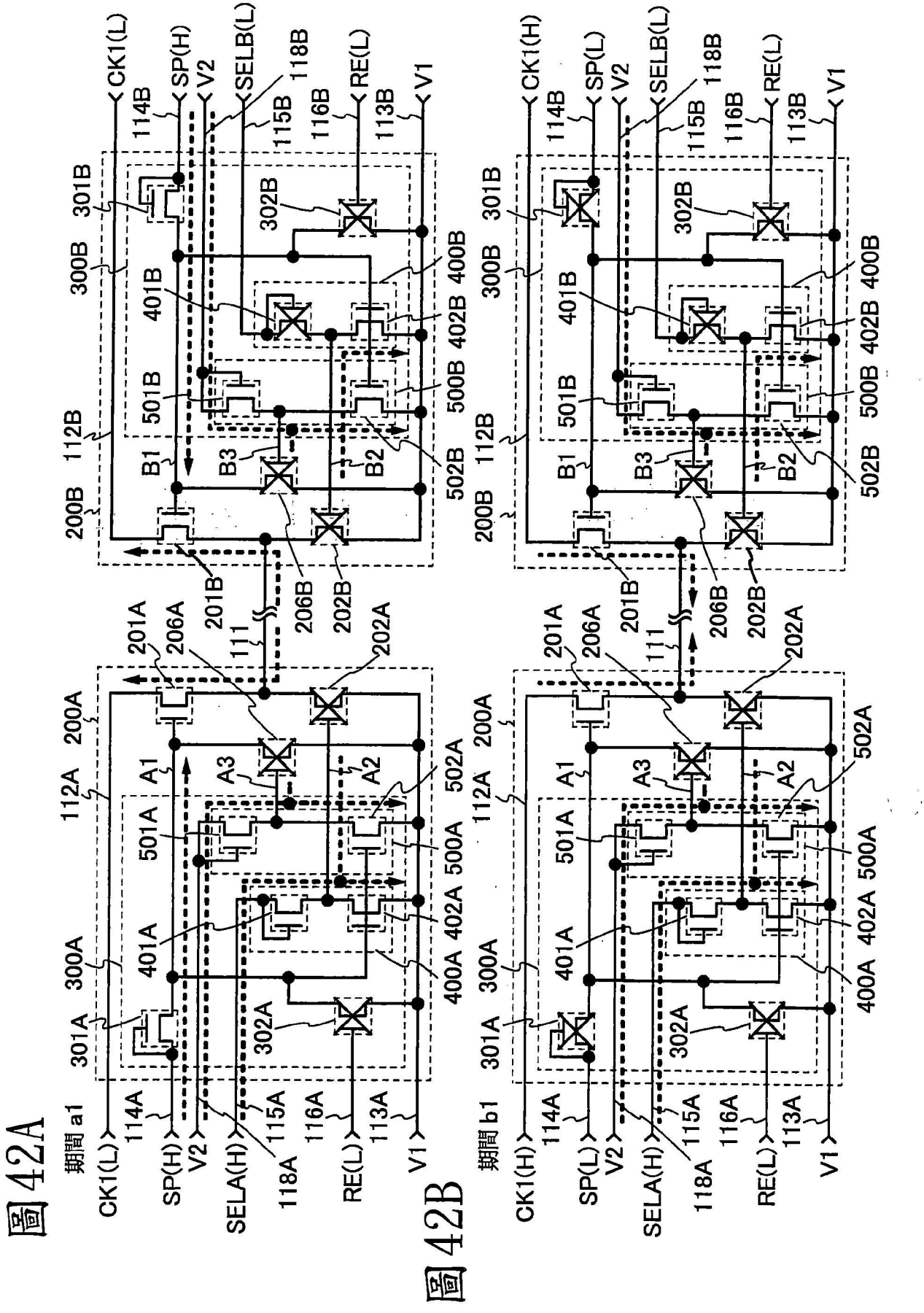
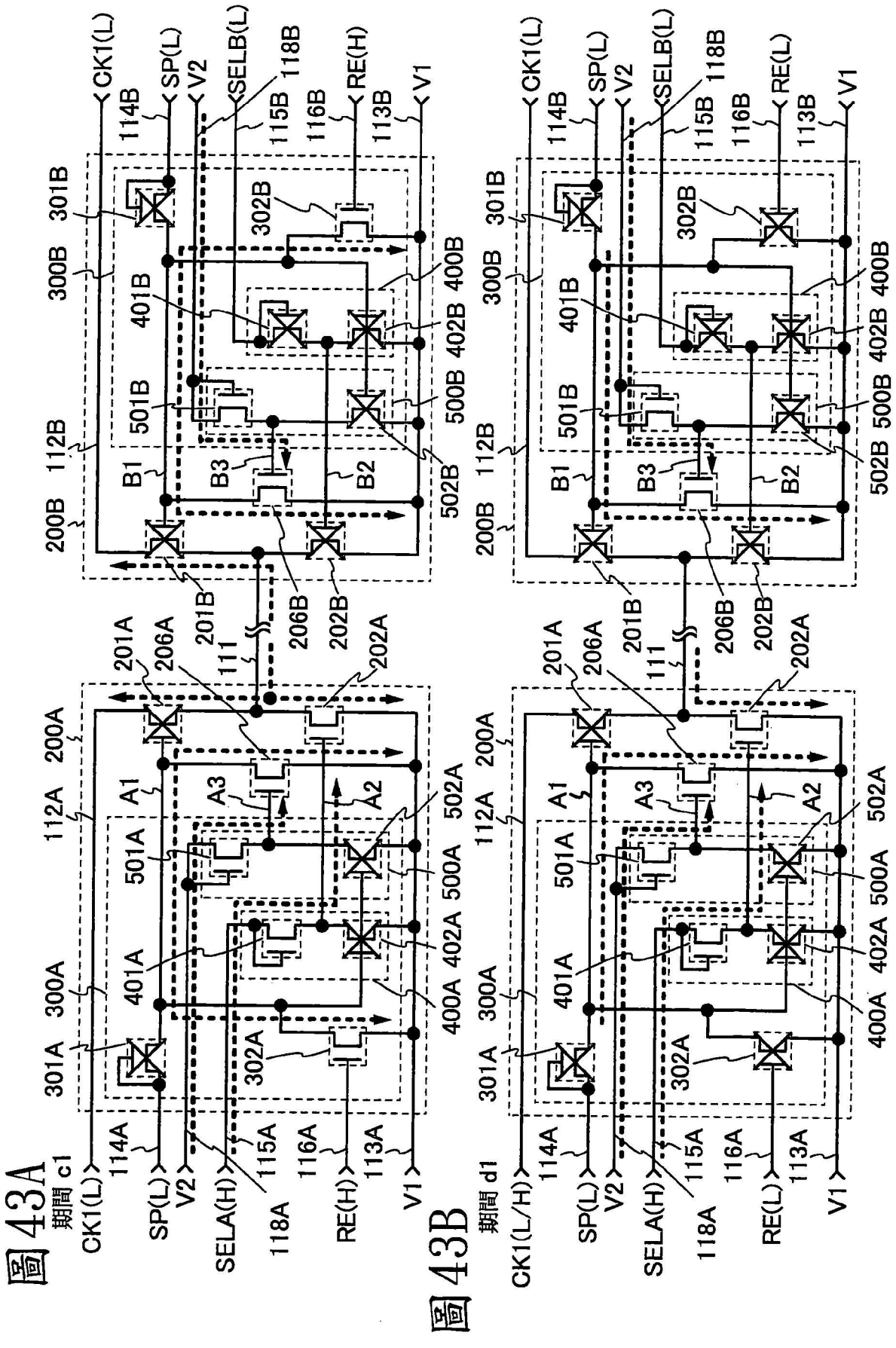

期間 a1
CK1(L)
SP(H)
V2
SELA(H)
RE(L)
V1
114A
115A
116A
118A
113A
301A
300A
112A
200A
201A
206A
111
202A
401A
501A
A1
A3
A2
302A
502A
500A
402A
400A
200B
112B
201B
206B
202B
300B
301B
114B
115B
116B
118B
113B
401B
501B
B1
B3
B2
302B
502B
500B
402B
400B
SELB(L)
CK1(H)
SP(L)
期間 b1

圖 42A

圖 42B


圖43A
期間 c1
CK1(L)
SP(L)
V2
SELA(H)
RE(H)
V1
114A
115A
116A
113A
118A
301A
300A
112A
200A
201A
206A
111
202A
401A
501A
A1
A2
A3
302A
400A
402A
500A
502A
114B
115B
116B
113B
118B
301B
300B
112B
200B
201B
206B
202B
401B
501B
B1
B2
B3
302B
400B
402B
500B
502B
SELB(L)
RE(L)
圖43B
期間 d1
CK1(L/H)

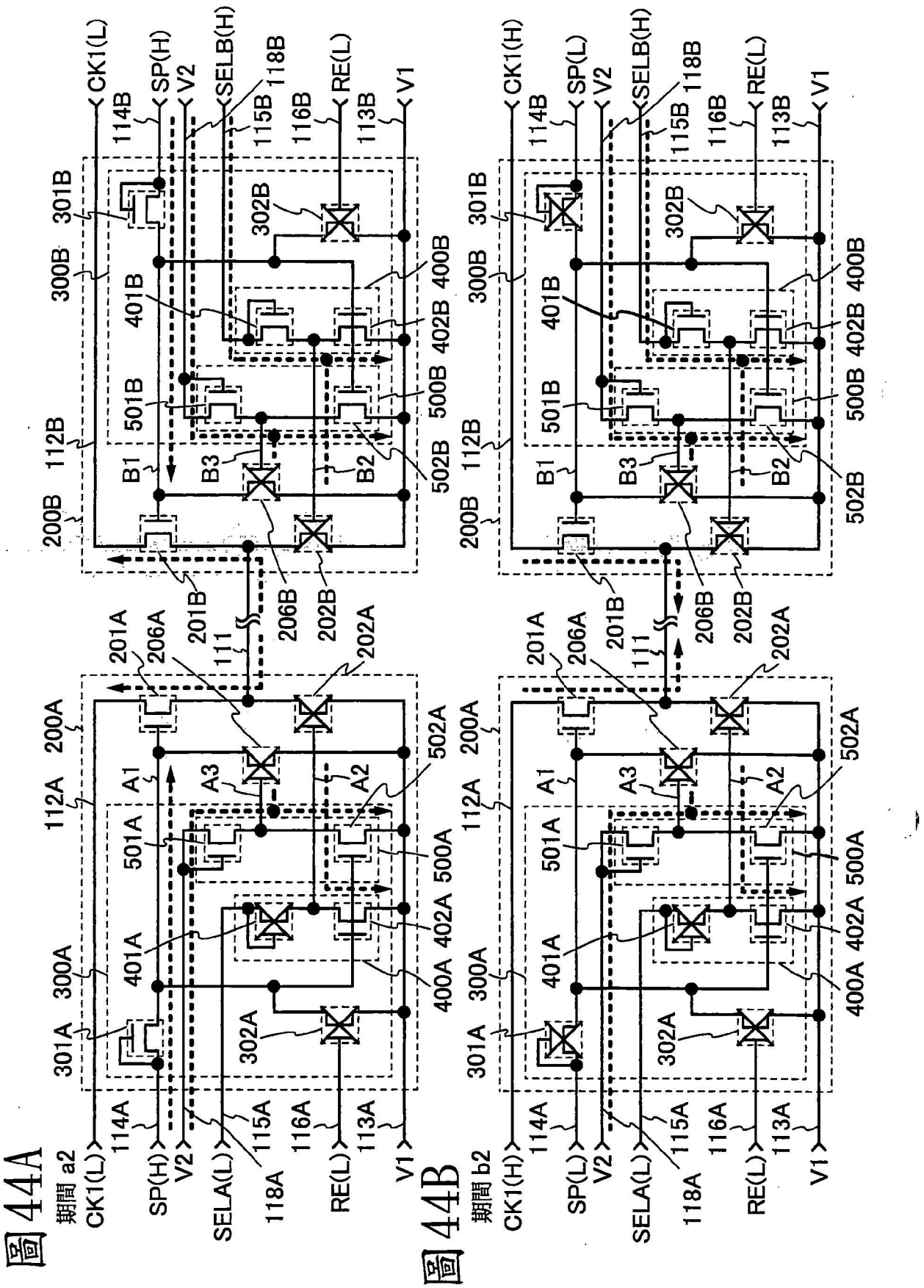



圖44A

圖44B

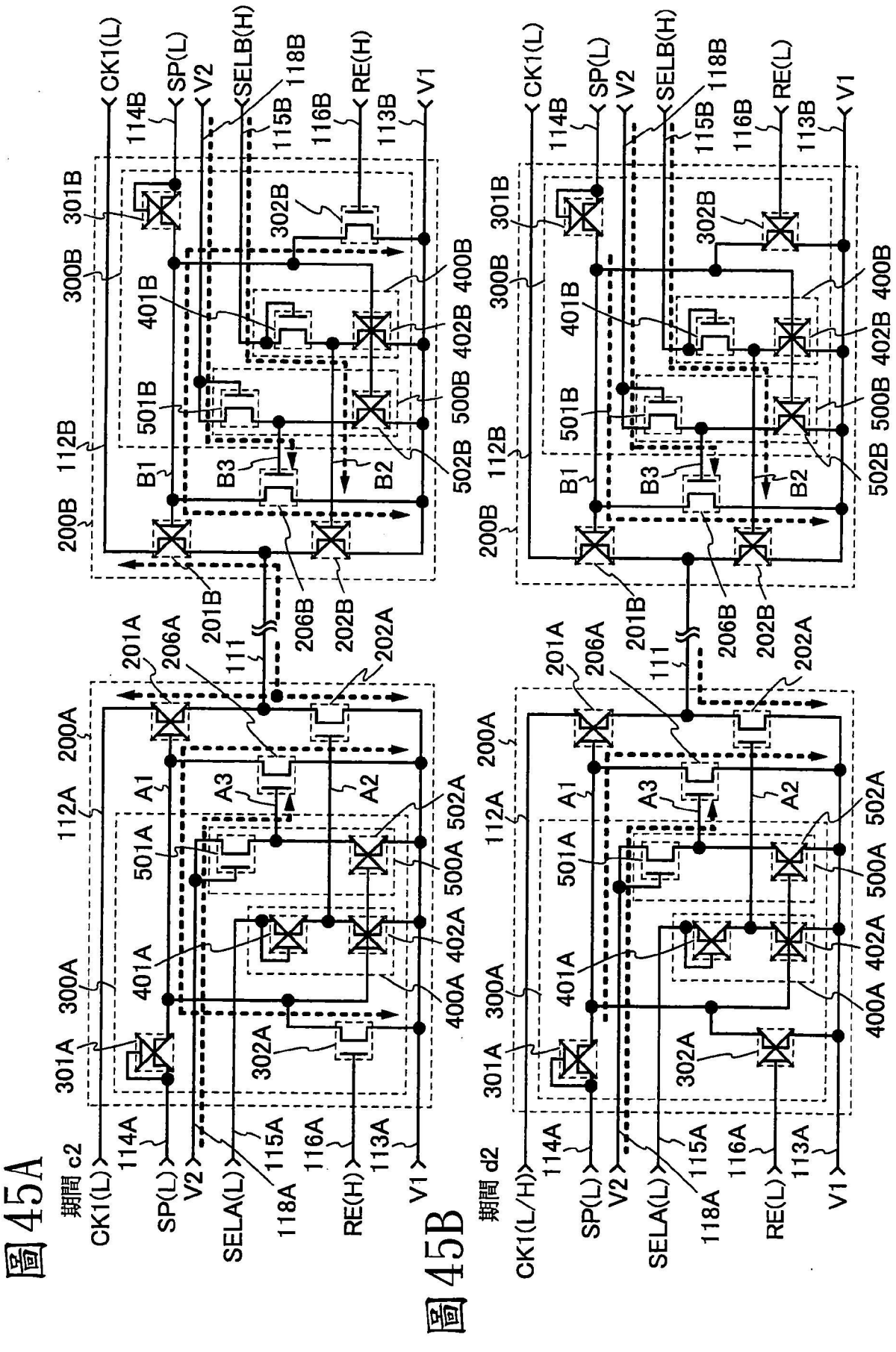

期間 c2
CK1(L)
SP(L)
V2
SELA(L)
RE(H)
V1
301A
300A
112A
200A
201A
206A
111
202A
202B
206B
201B
200B
112B
300B
301B
114A
115A
116A
113A
118A
114B
115B
116B
113B
118B
SELB(H)
RE(L)
401A
501A
A1
A2
A3
302A
400A
402A
500A
502A
401B
501B
B1
B2
B3
302B
400B
402B
500B
502B
期間 d2
CK1(L/H)

圖45A

圖45B

圖46A

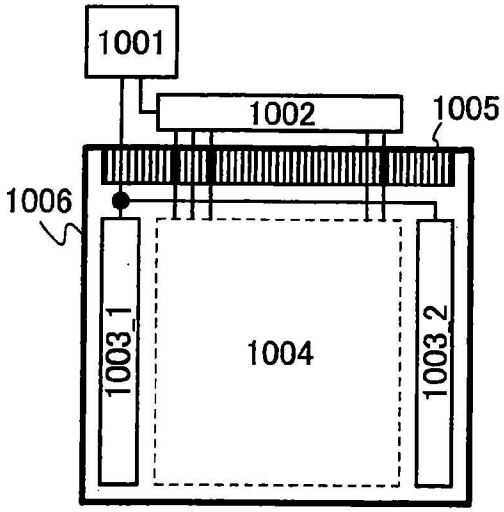



圖46B

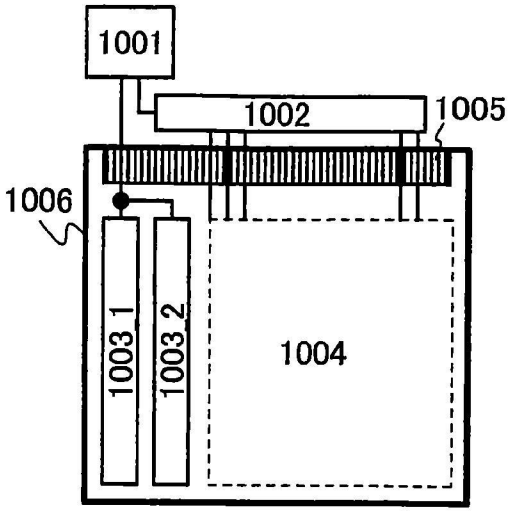



圖46C

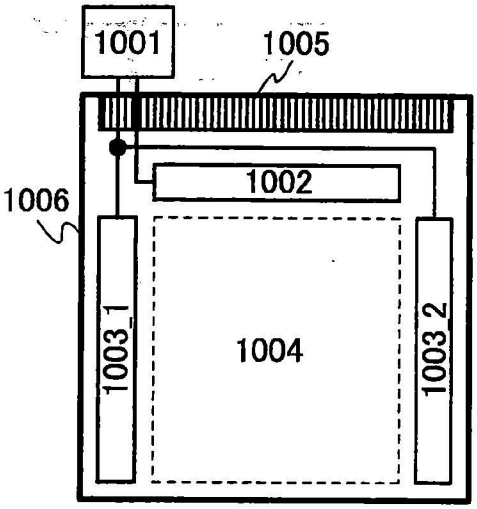



圖46D

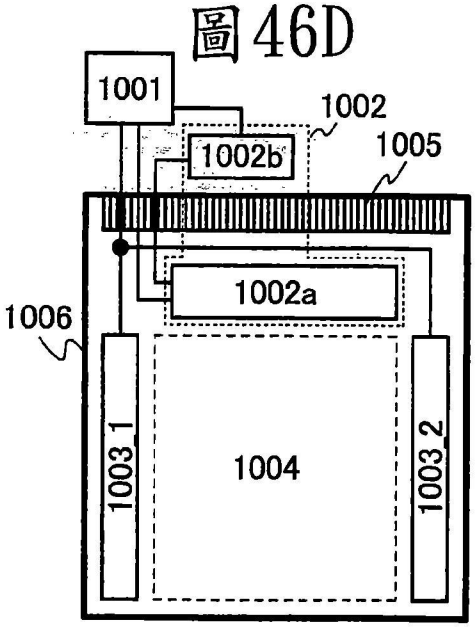



圖46E

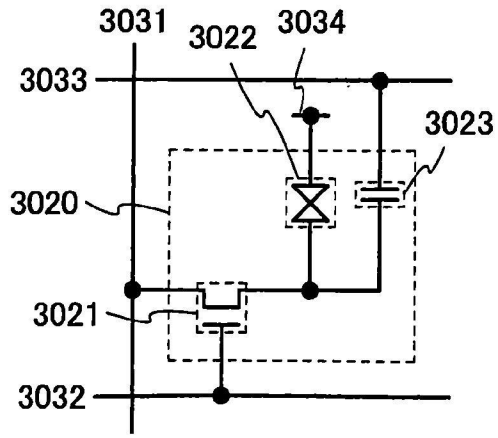


圖47

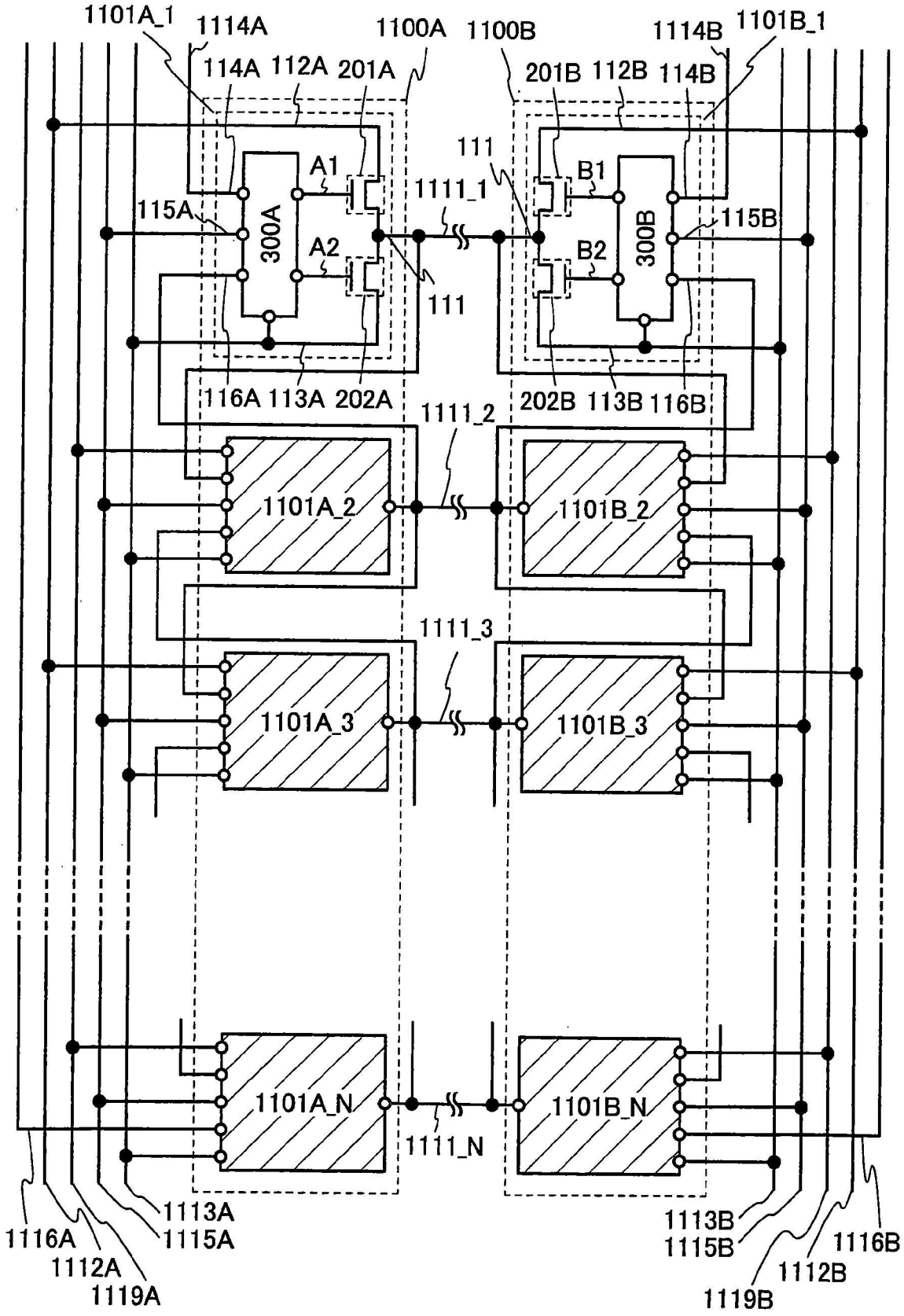
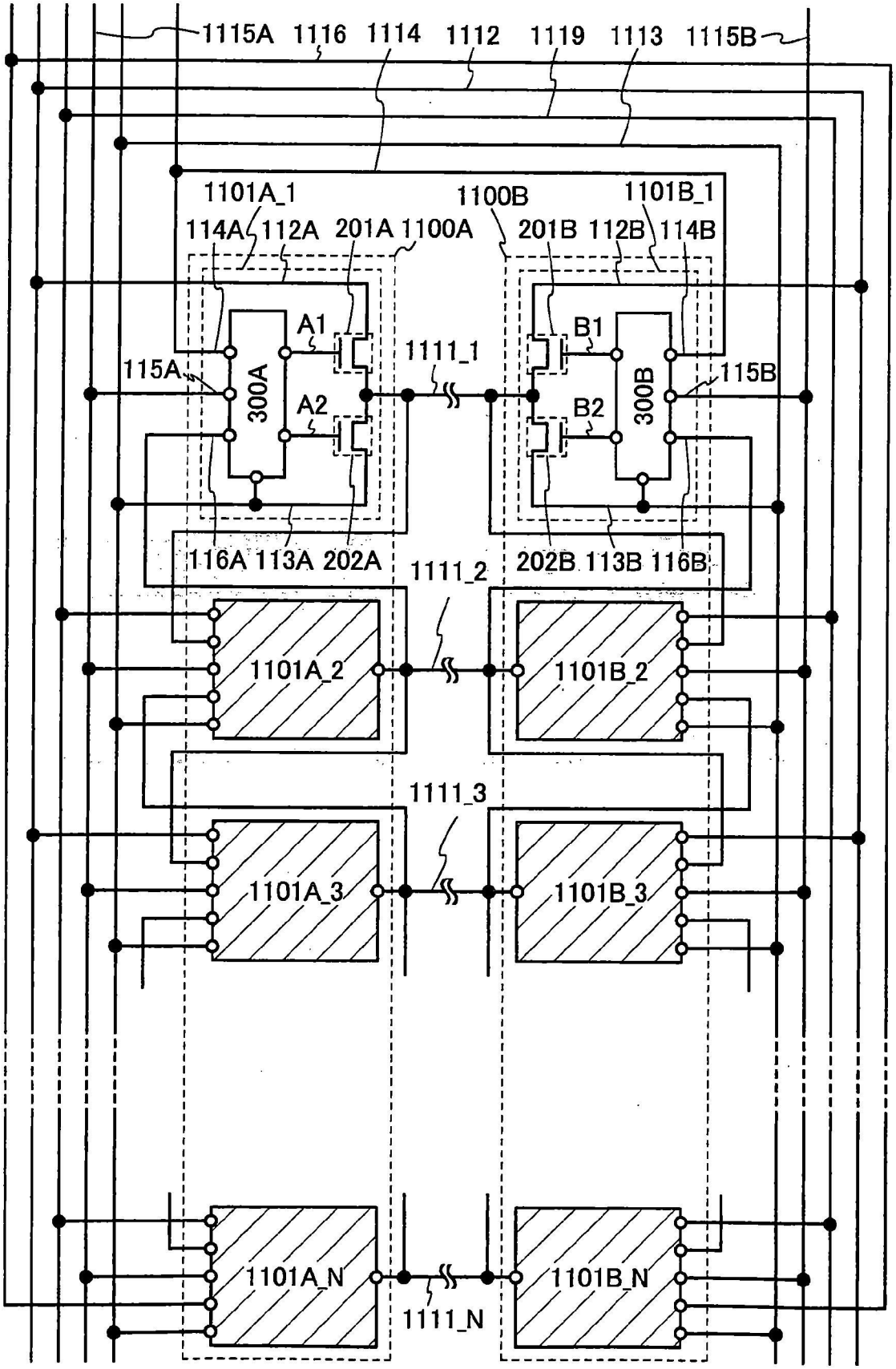

1101A_1
1114A
1100A
1100B
1114B
1101B_1
114A
112A
201A
201B
112B
114B
111
A1
B1
1111_1
115A
300A
300B
115B
A2
B2
111
116A
113A
202A
202B
113B
116B
1111_2
1101A_2
1101B_2
1111_3
1101A_3
1101B_3
1101A_N
1101B_N
1111_N
1113A
1115A
1116A
1112A
1119A
1113B
1115B
1116B
1112B
1119B

圖48


1115A
1116
1114
1112
1119
1113
1115B
1101A_1
1100B
1101B_1
114A
112A
201A
1100A
201B
112B
114B
A1
B1
1111_1
115A
300A
A2
B2
300B
115B
116A
113A
202A
1111_2
202B
113B
116B
1101A_2
1101B_2
1111_3
1101A_3
1101B_3
1101A_N
1101B_N
1111_N

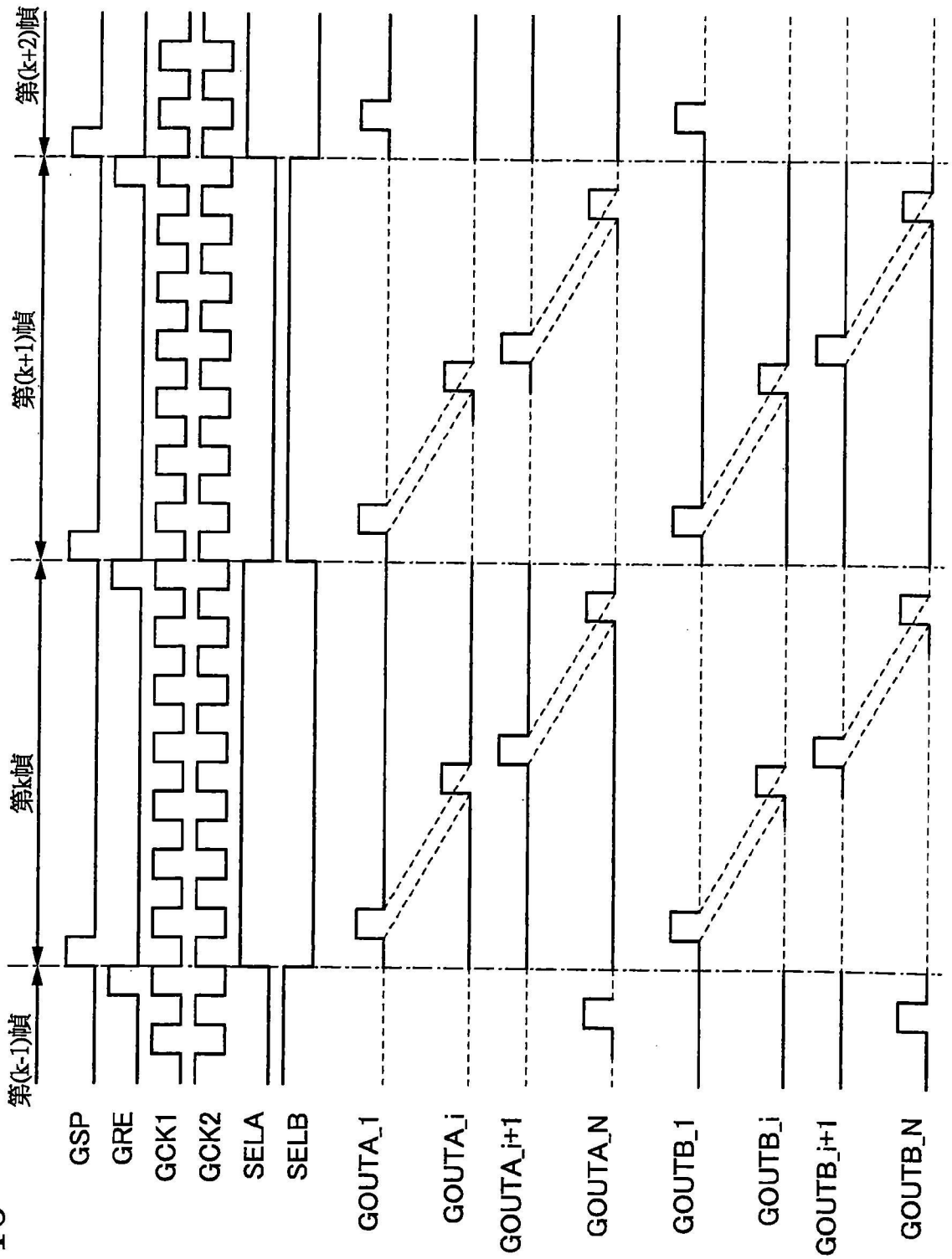

第(k-1)幀
第k幀
第(k+1)幀
第(k+2)幀
GSP
GRE
GCK1
GCK2
SELA
SELB
GOUTA_1
GOUTA_i
GOUTA_i+1
GOUTA_N
GOUTB_1
GOUTB_i
GOUTB_i+1
GOUTB_N

圖49

圖50A

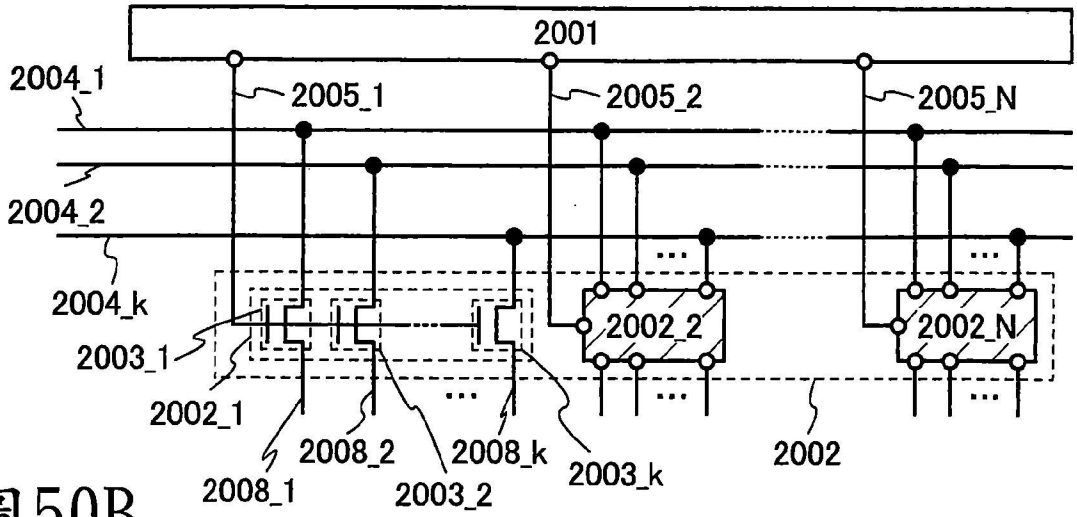



圖50B

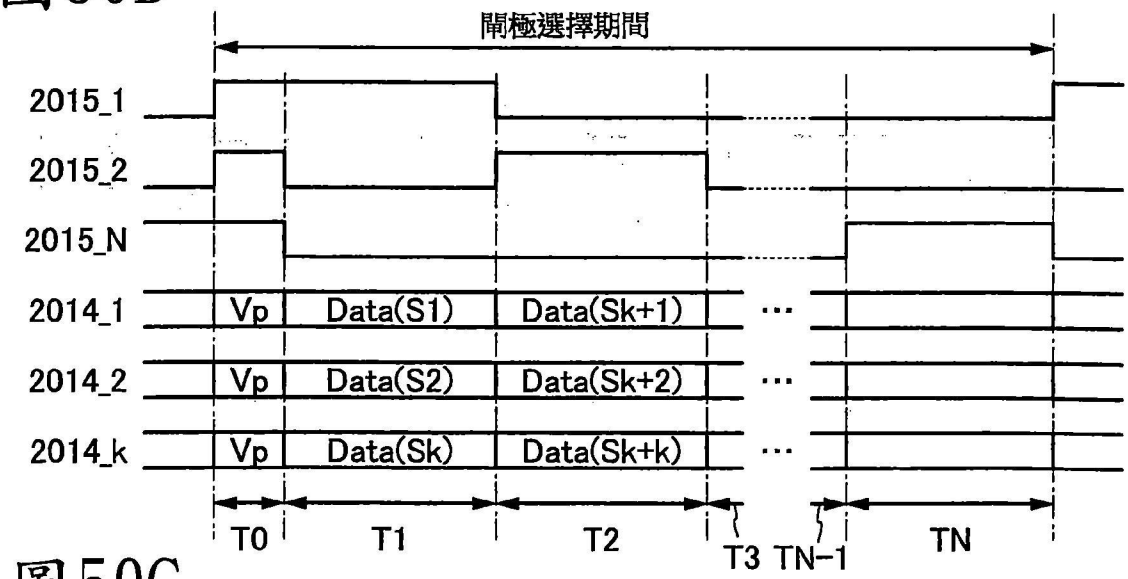



圖50C

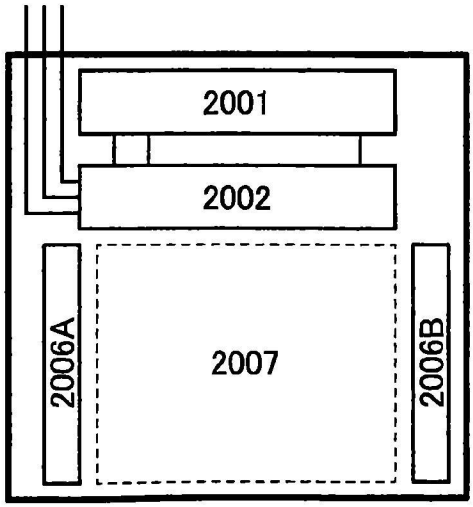



圖50D

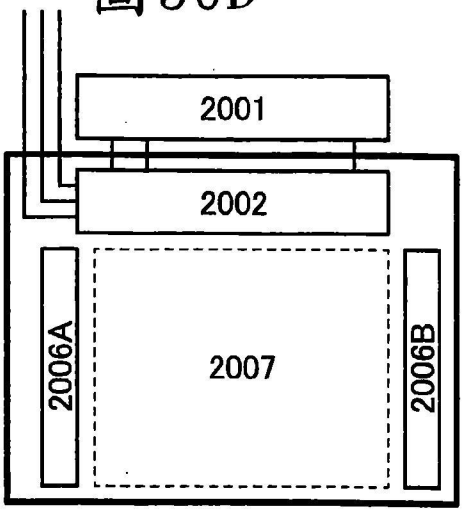


圖51A

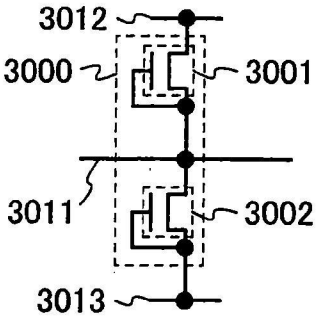



圖51B

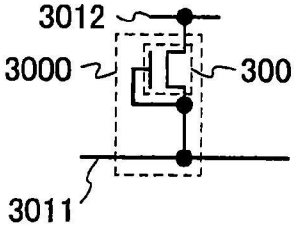



圖51C

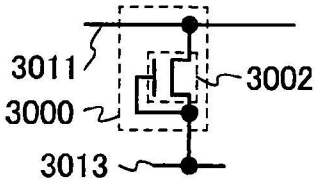



圖51D

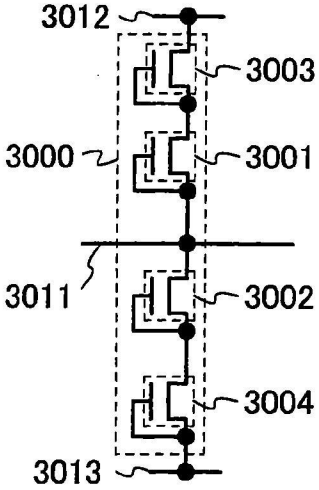



圖51E

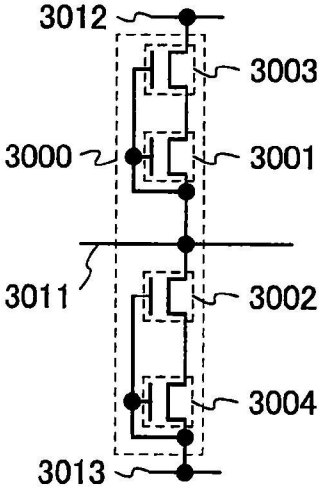



圖51F

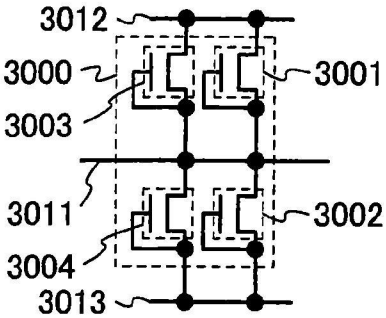



圖51G

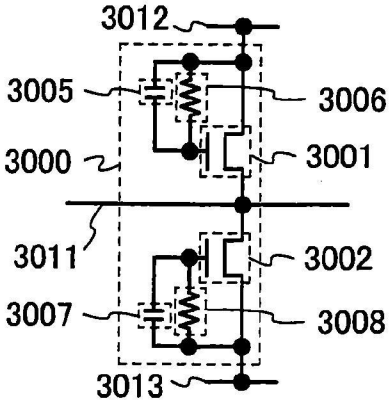


圖52A

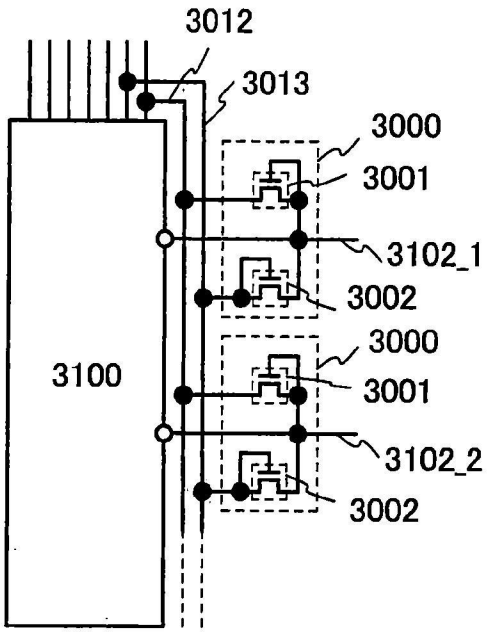

3012
3013
3000
3001
3102_1
3002
3000
3100
3001
3102_2
3002

圖52B

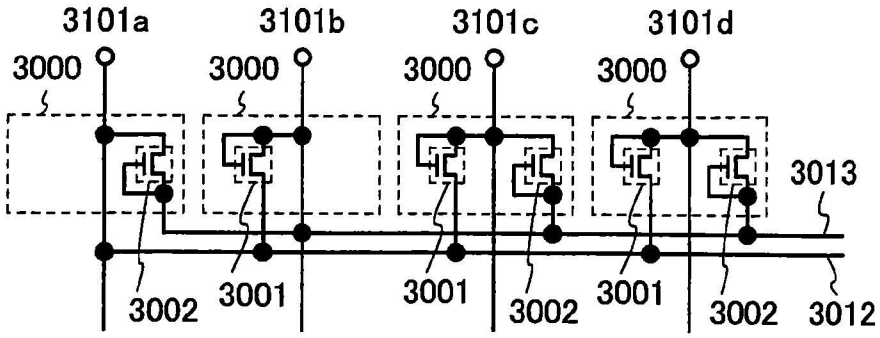

3101a
3101b
3101c
3101d
3000
3000
3000
3000
3013
3002
3001
3001
3002
3001
3002
3012

圖53A

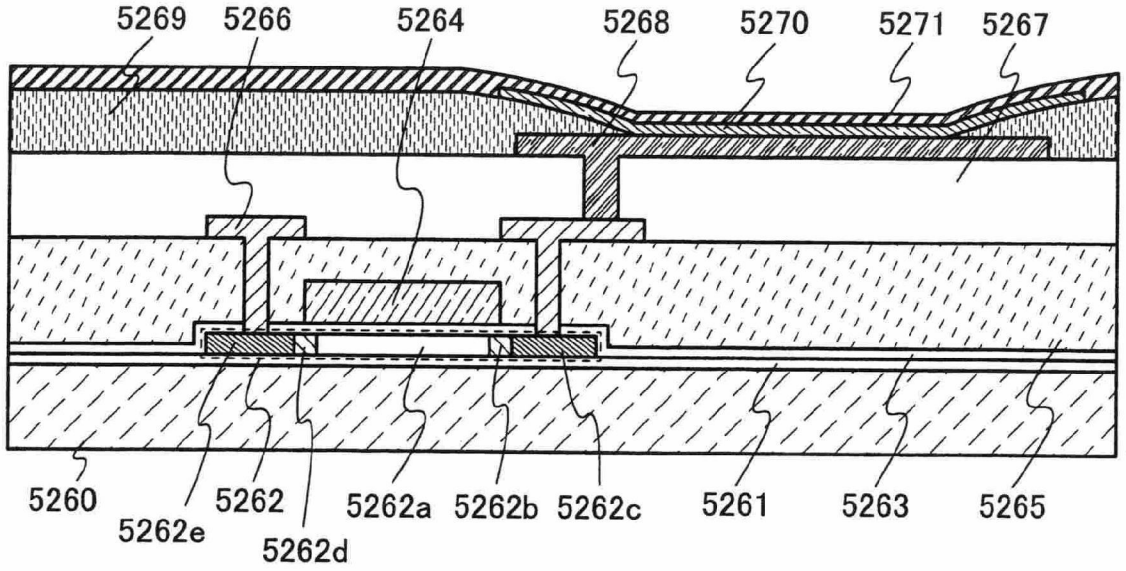



圖53B

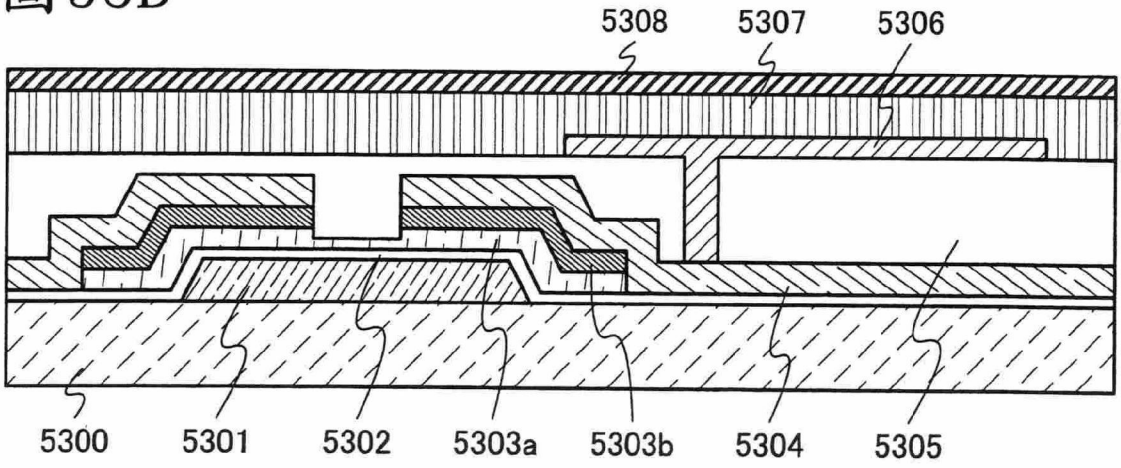



圖53C

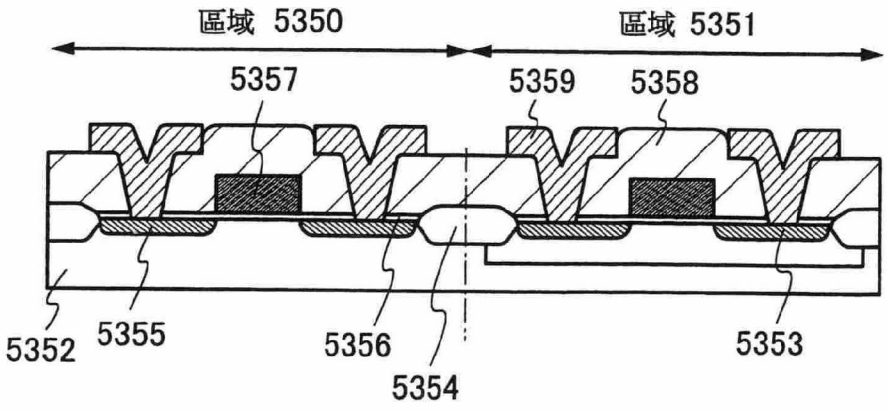


圖54A

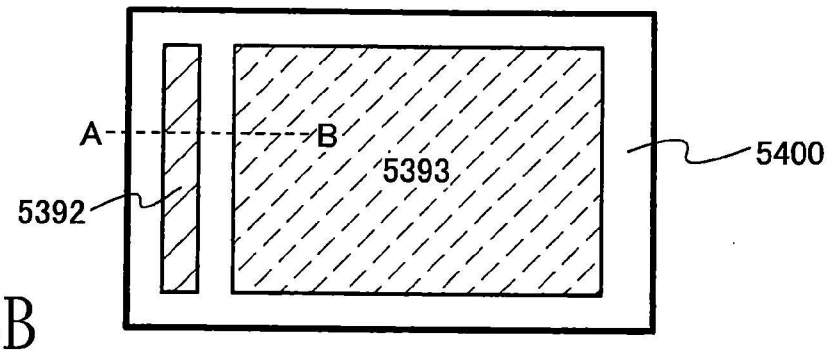



圖54B

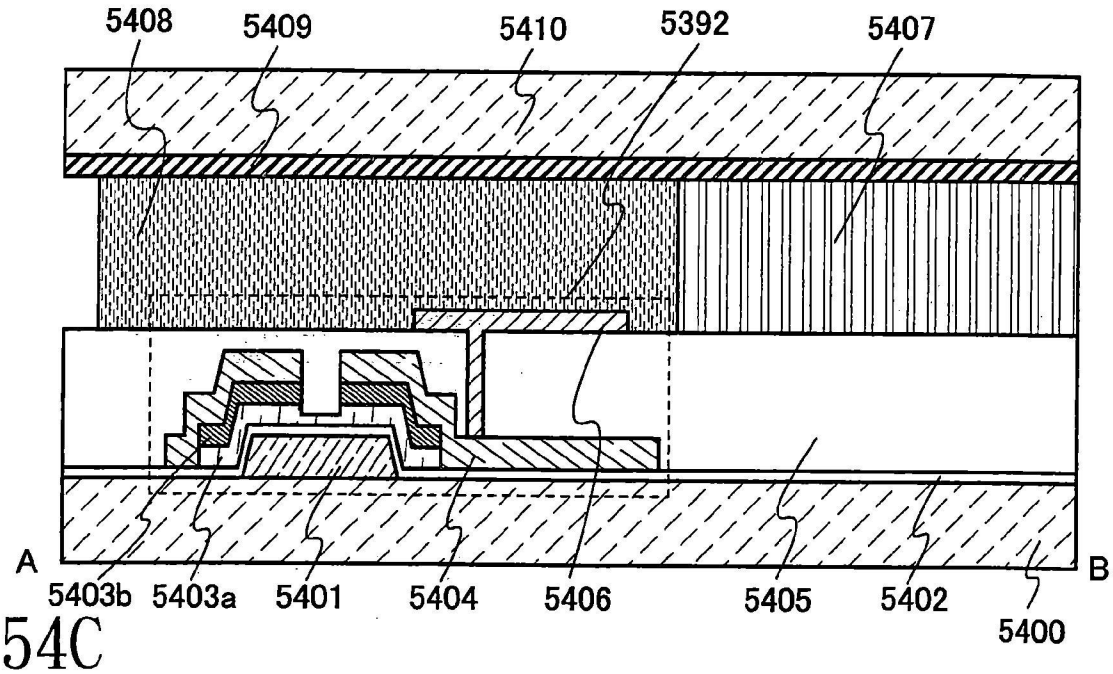
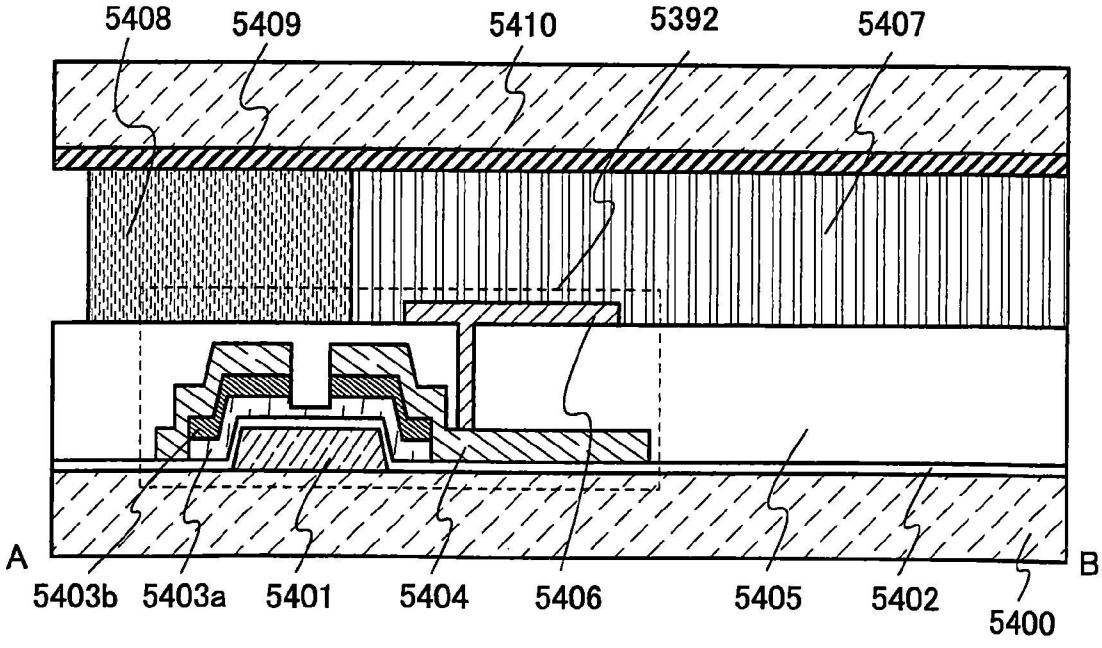



圖54C



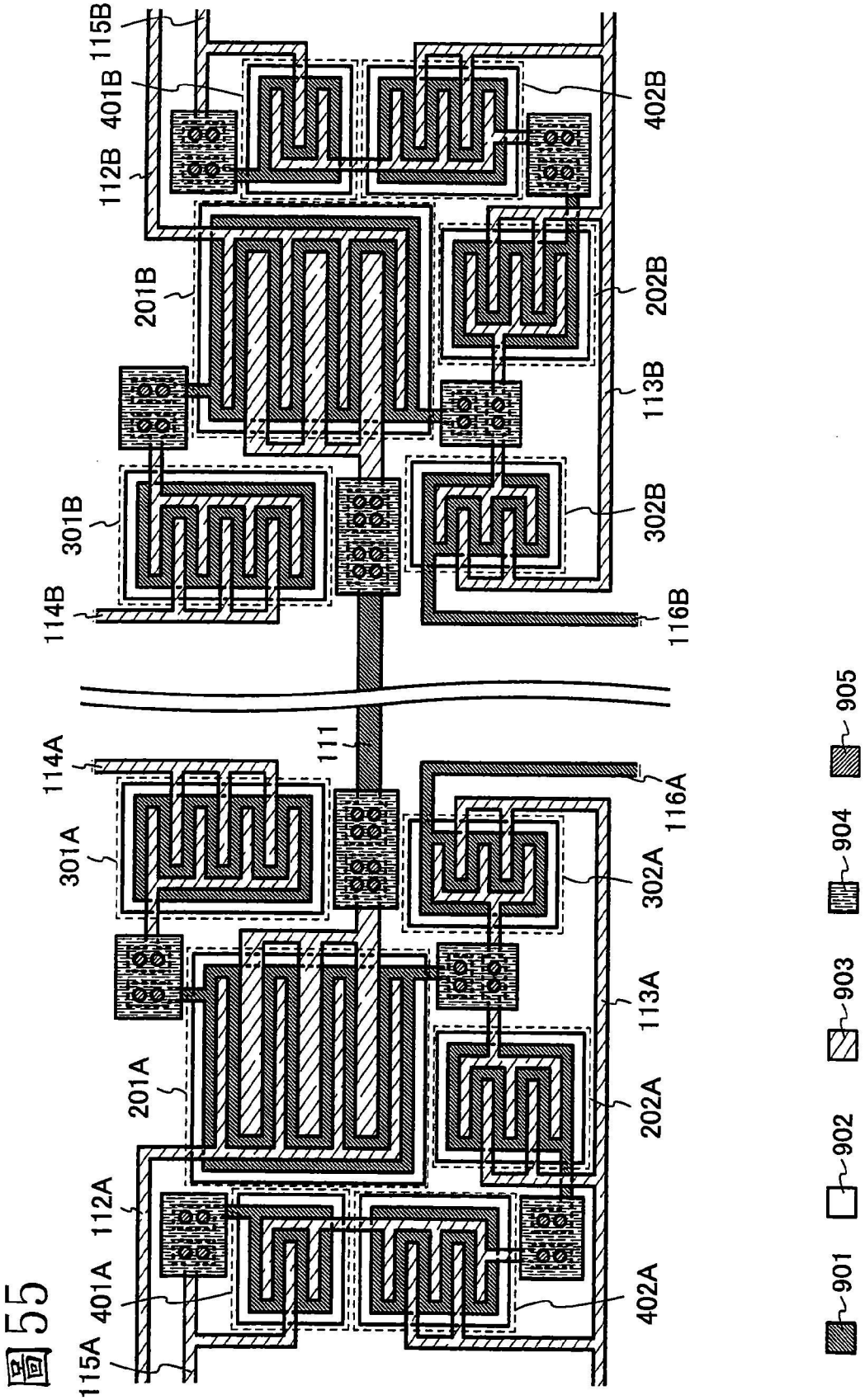

115B
401B
112B
402B
201B
202B
113B
301B
302B
114B
116B
111
114A
116A
301A
302A
113A
201A
202A
112A
401A
402A
115A
901
902
903
904
905

圖55

圖56A

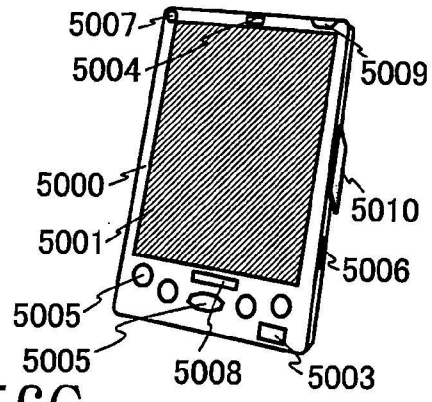



圖56B

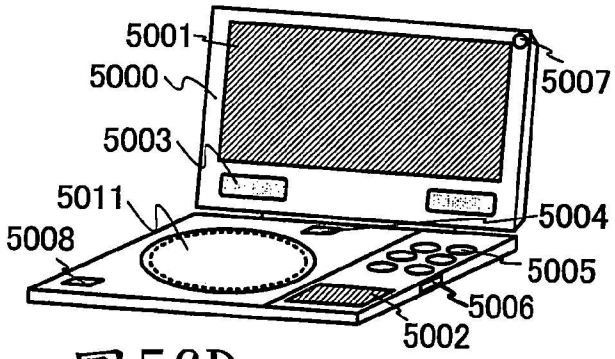



圖56C

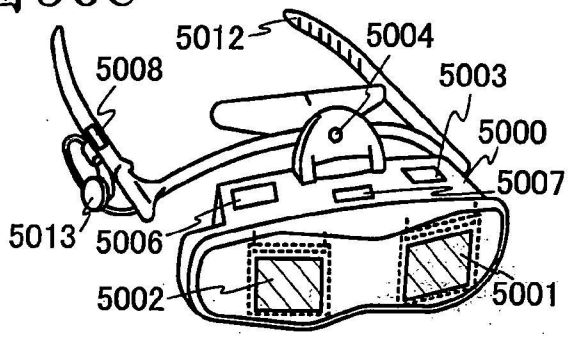



圖56D

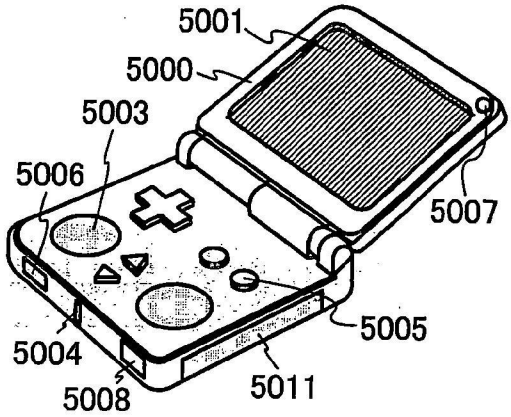



圖56E

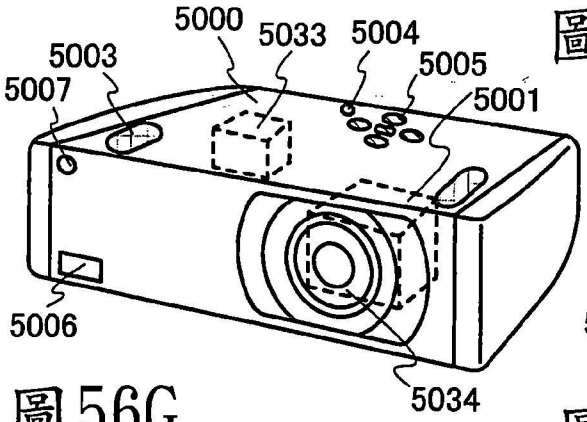



圖56F

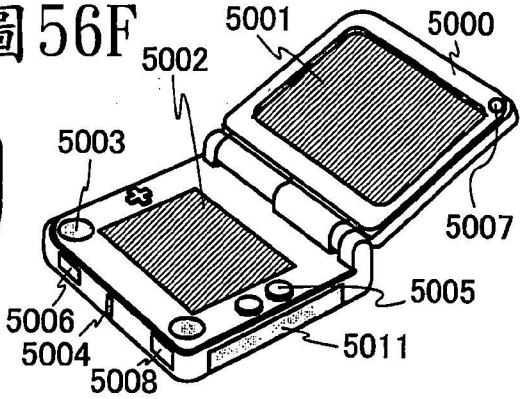



圖56G

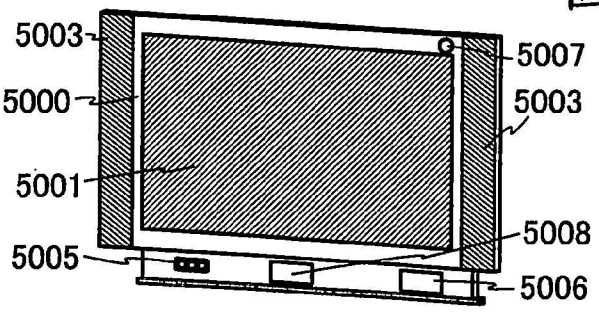



圖56H

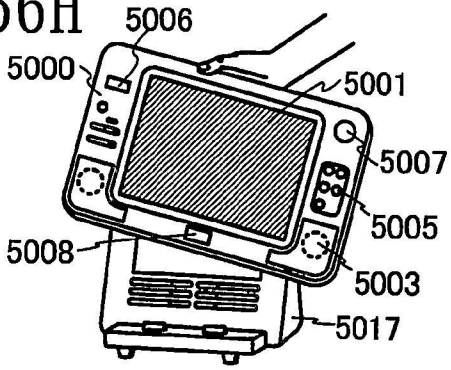


圖57A

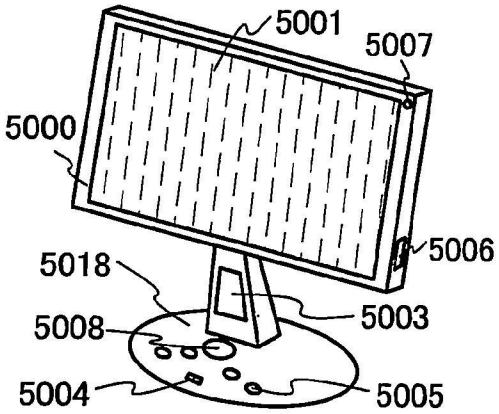



圖57B

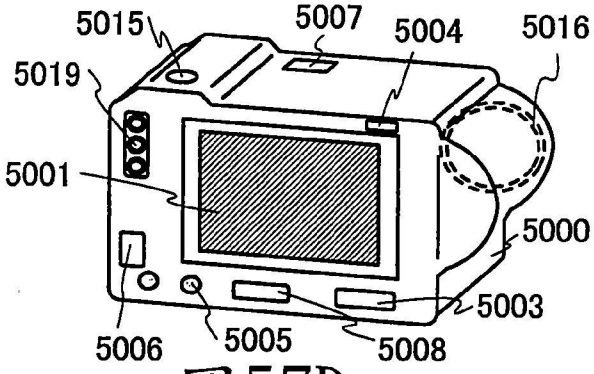



圖57C

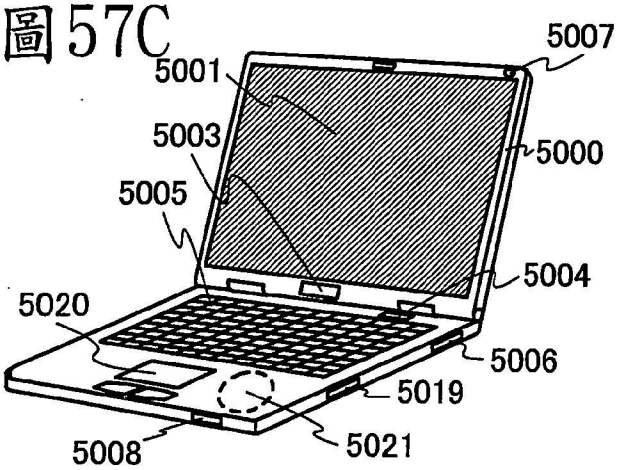



圖57D

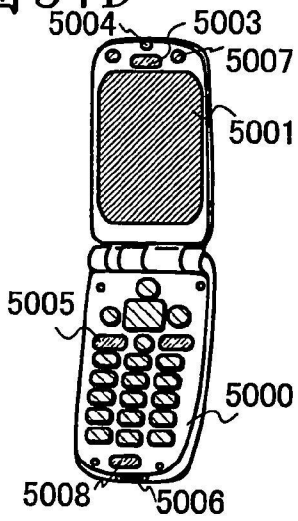



圖57E

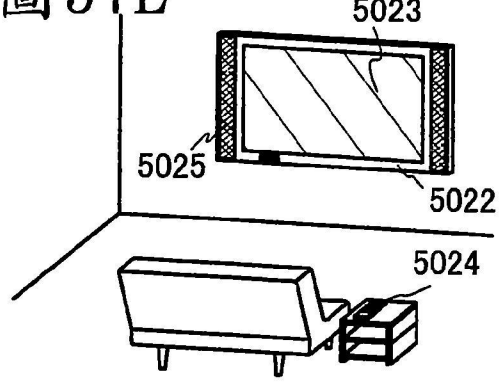



圖57F

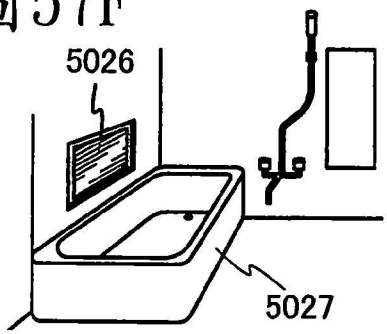



圖57G

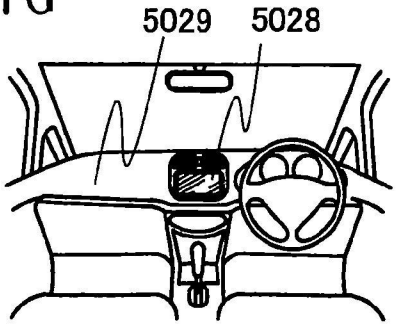
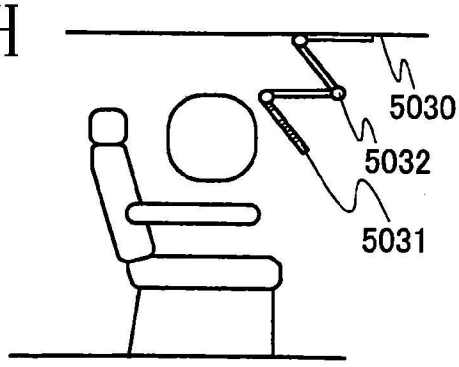



圖57H



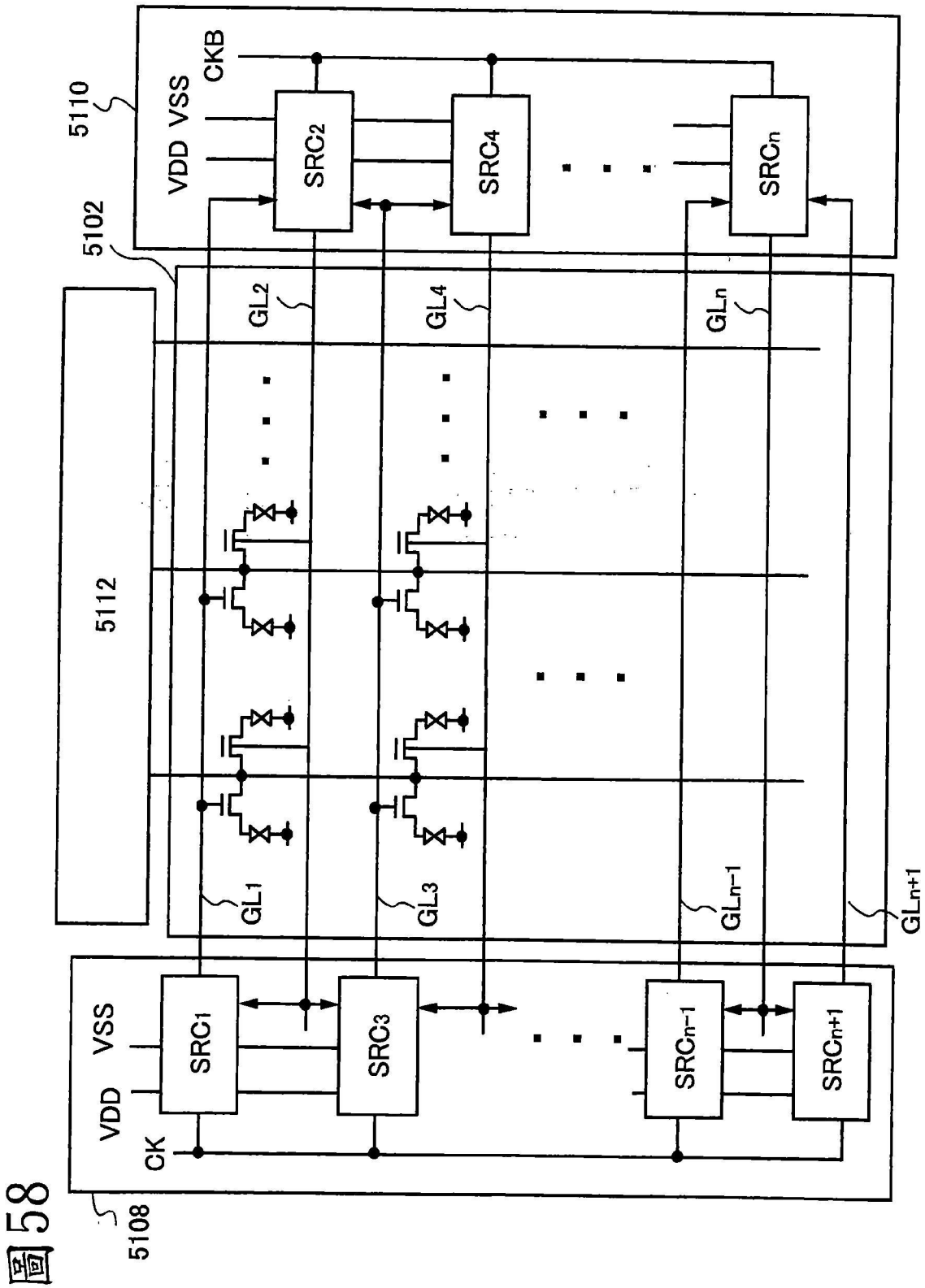

5110
VDD VSS CKB
SRC2
SRC4
SRCn
5102
GL2
GL4
GLn
5112
GL1
GL3
GLn-1
GLn+1
VSS
VDD
CK
SRC1
SRC3
SRCn-1
SRCn+1
5108

圖58

圖59

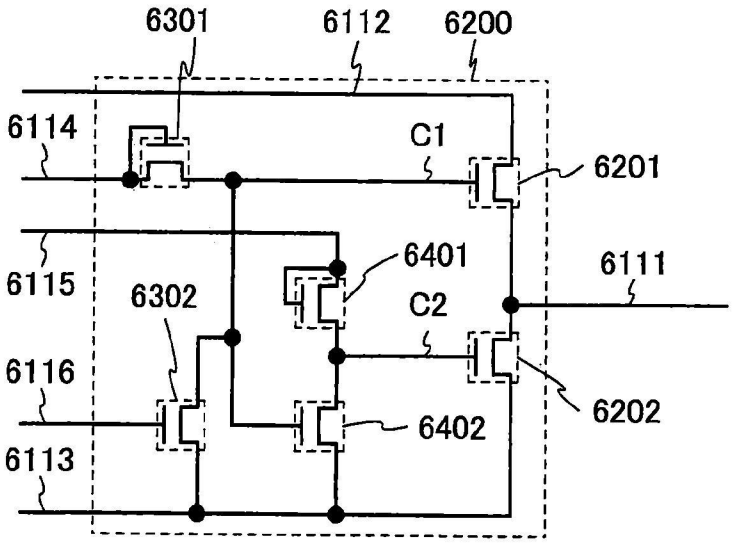

6301
6112
6200
6114
C1
6201
6115
6401
6111
6302
C2
6116
6202
6402
6113

圖60A

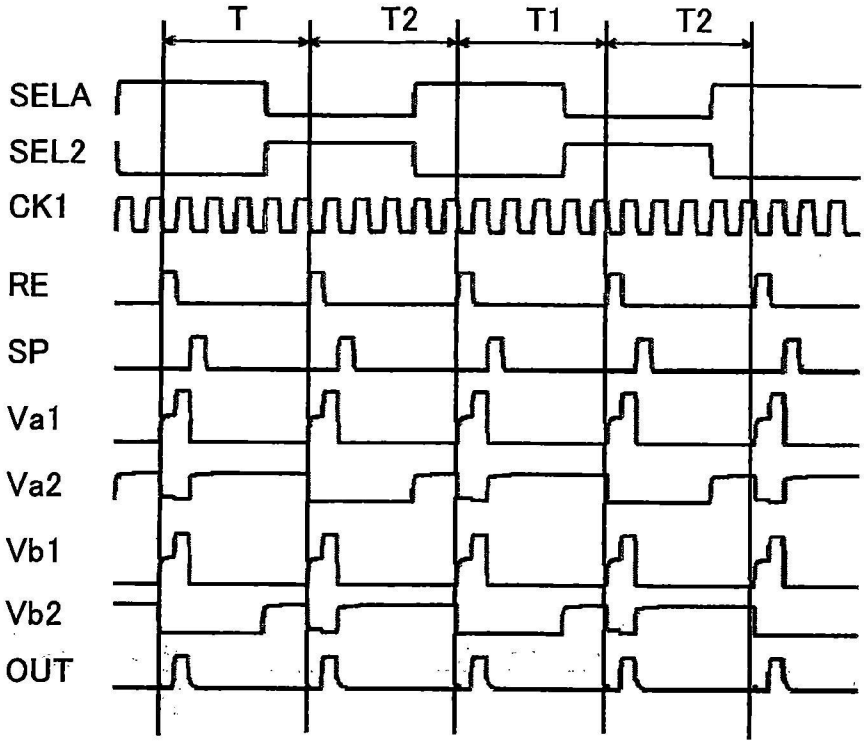

T
T2
T1
T2
SELA
SEL2
CK1
RE
SP
Va1
Va2
Vb1
Vb2
OUT

圖60B

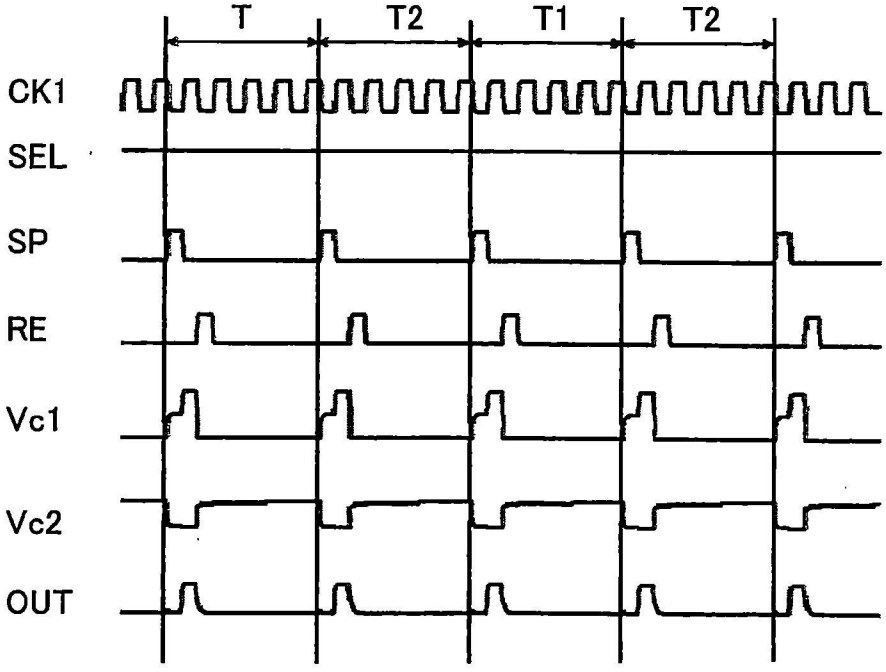
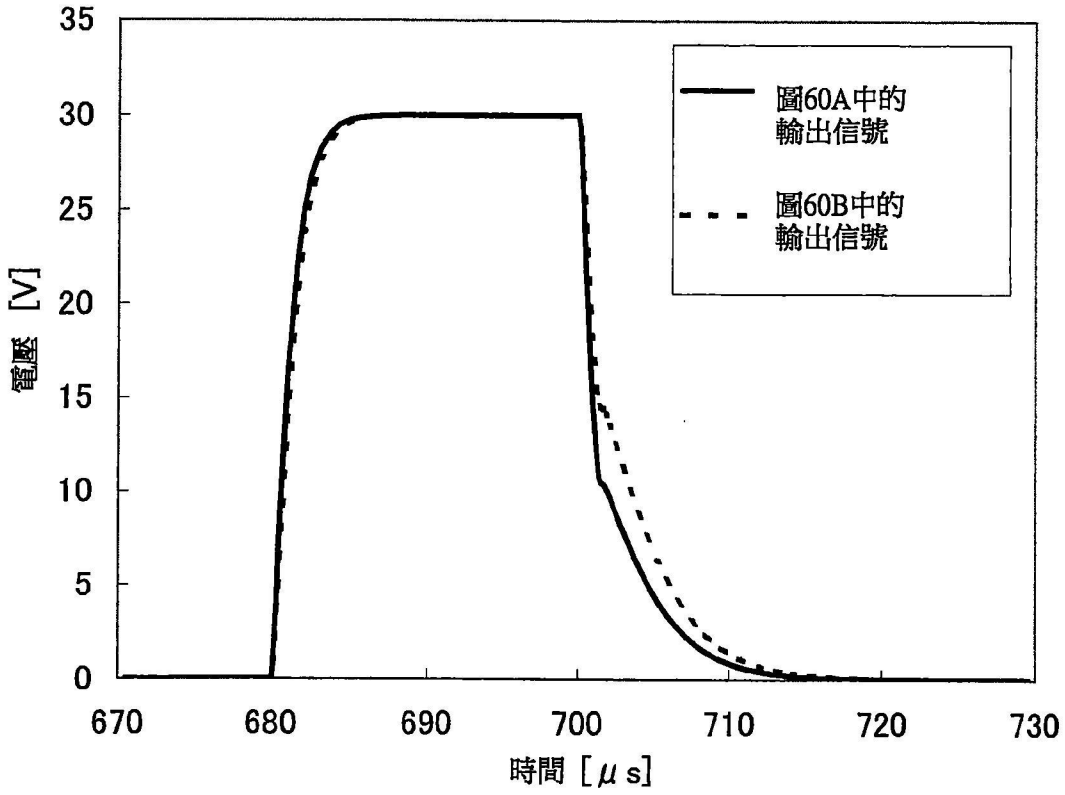

T
T2
T1
T2
CK1
SEL
SP
RE
Vc1
Vc2
OUT

圖61


35
30
25
20
15
10
5
0
電壓 [V]
670
680
690
700
710
720
730
時間 [μs]
圖60A中的
輸出信號
圖60B中的
輸出信號